

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-65304

(P2009-65304A)

(43) 公開日 平成21年3月26日(2009.3.26)

(51) Int.Cl.
H03K 17/687 (2006.01)F I
H03K 17/687テーマコード (参考)
5 J 0 5 5

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願2007-229643 (P2007-229643)
(22) 出願日 平成19年9月5日(2007.9.5)(71) 出願人 000005821
パナソニック株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100097445
弁理士 岩橋 文雄
(74) 代理人 100109667
弁理士 内藤 浩樹
(74) 代理人 100109151
弁理士 永野 大介
(72) 発明者 谷内 寛直
大阪府門真市大字門真1006番地 松下
電器産業株式会社内
(72) 発明者 按田 義治
大阪府門真市大字門真1006番地 松下
電器産業株式会社内

最終頁に続く

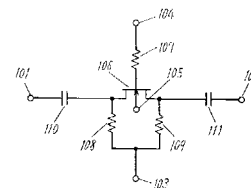
(54) 【発明の名称】 高周波スイッチ装置

(57) 【要約】

【課題】トランジスタのオン状態において基板バイアス効果による電流駆動能力の低下を抑制し、低挿入損失、低信号歪を備えた高周波スイッチ装置を提供する。

【解決手段】スイッチトランジスタ106のソース・ドレインはそれぞれDCカット用の容量110, 111を介して高周波信号の入出力端子101, 102に接続され、スイッチトランジスタ106のゲートには抵抗107を介して第2のDC端子104が接続、固定電位が印加され、ソース・ドレインは抵抗108, 109を介して第1のDC端子103が接続、スイッチトランジスタの制御電位が印加される。また、スイッチトランジスタの基板には、第3のDC端子105が接続され、固定電位が印加される。

【選択図】図1



【特許請求の範囲】

【請求項 1】

高周波信号の入力、出力端子と、第 1、第 2、第 3 の端子と、1 ないし複数である N 個のスイッチトランジスタと、スイッチトランジスタと同数の第 1 の抵抗と、スイッチトランジスタより 1 個多い第 2 の抵抗、および第 1、第 2 の容量を備え、

N 個のスイッチトランジスタのゲートは、それぞれに対応した第 1 の抵抗を介して、第 2 の端子に接続され、

N 個のスイッチトランジスタの基板は、第 3 の端子に接続され、

N 個のスイッチトランジスタのソース・ドレインは n 番目のスイッチトランジスタのドレインと $n + 1$ 番目のスイッチトランジスタのソースが接続し、この接続したノードは、それぞれに対応した第 2 の抵抗を介して、第 1 の端子に接続され、

1 番目のスイッチトランジスタのソースは、第 1 の容量と対応した第 2 の抵抗に接続され、第 1 の容量は高周波信号の入力端子に、対応した第 2 の抵抗は第 1 の端子にそれぞれ接続され、

N 番目のスイッチトランジスタのドレインは、第 2 の容量と対応した第 2 の抵抗に接続され、第 2 の容量は高周波信号の入力端子に、対応した第 2 の抵抗は第 1 の端子にそれぞれ接続され、

第 1 の端子には第 1 の固定電位が印加され、

第 2 の端子にはスイッチトランジスタの制御電位が印加され、

第 3 の端子には第 2 の固定電位が印加されることを特徴とする、

高周波スイッチ装置。

【請求項 2】

高周波信号の入力、出力端子と、第 1、第 2、第 3 の端子と、1 ないし複数である N 個のスイッチトランジスタと、スイッチトランジスタと同数の第 1 の抵抗と、スイッチトランジスタより 1 個多い第 2 の抵抗、および第 1、第 2 の容量を備え、

N 個のスイッチトランジスタのゲートは、それぞれに対応した第 1 の抵抗を介して、第 2 の端子に接続され、

N 個のスイッチトランジスタの基板は、第 3 の端子に接続され、

N 個のスイッチトランジスタのソース・ドレインは n 番目のスイッチトランジスタのドレインと $n + 1$ 番目のスイッチトランジスタのソースが接続し、この接続したノードは、それぞれに対応した第 2 の抵抗を介して、第 1 の端子に接続され、

1 番目のスイッチトランジスタのソースは、第 1 の容量を介して高周波信号の入力端子に、対応した第 2 の抵抗を介して第 1 の端子に接続され、

N 番目のスイッチトランジスタのドレインは、第 2 の容量を介して高周波信号の入力端子に、対応した第 2 の抵抗を介して第 1 の端子に接続され、

第 1 の端子と第 3 の端子にはスイッチトランジスタの制御電位が印加され、

第 2 の端子には第 1 の固定電位が印加されていることを特徴とする、

高周波スイッチ装置。

【請求項 3】

請求項 1 ないし請求項 2 に記載の高周波スイッチ装置において、特にスイッチトランジスタにデプレッションモードの n 型 FET を用いることを特徴とする、

高周波スイッチ装置。

【請求項 4】

請求項 1 ないし請求項 3 のいずれかに記載の高周波スイッチ装置において、スイッチトランジスタを形成する半導体層構造において、チャネル層より深い半導体層に伝導キャリアと逆の電荷を持つキャリアを生成する半導体層を備えるスイッチトランジスタを用いることを特徴とする、

高周波スイッチ装置。

【請求項 5】

請求項 1 ないし請求項 4 のいずれかに記載の高周波スイッチ装置において、スイッチトラ

10

20

30

40

50

ンジスタの制御電位に、グランド電位と任意の正電位を印加してスイッチトランジスタのオン・オフないしオフ・オンを制御することを特徴とする、高周波スイッチ装置。

【請求項 6】

請求項 5 に記載の高周波スイッチ装置において、スイッチトランジスタに印加されるハイレベル電位は第 2 の固定電位と同電位であることを特徴とする、高周波スイッチ装置。

【請求項 7】

請求項 1 および、請求項 3 ないし請求項 6 のいずれかに記載の高周波スイッチ装置において、第 1 固定電位および第 2 の固定電位はそれぞれ、グランド電位であることを特徴とする、高周波スイッチ装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、送受信信号の通過周波数帯域と送受信経路を切り替える高周波スイッチ装置に関する。

【背景技術】

【0002】

携帯電話に代表される無線通信システムでは、通信方式の切替および送受信の切替のため、アンテナと送受信装置とを接続、遮断する高周波スイッチ装置が用いられている。

20

【0003】

図 9 に一般的な高周波スイッチ装置である S P D T (Single-Pole Double-Throw) スイッチの回路図を示す。図 9 の高周波スイッチでは、第 1 のスイッチトランジスタ 9 0 7 のソース・ドレインはそれぞれ容量 9 1 2、9 1 1 を介して第 1 の R F 端子 9 0 1 と第 2 の R F 端子 9 0 2 に接続されており、第 2 のスイッチトランジスタ 9 1 3 のソース・ドレインはそれぞれ容量 9 1 2、9 1 7 を介して第 1 の R F 端子 9 0 1 と第 3 の R F 端子 9 0 3 に接続されている。

【0004】

第 1 の D C 端子 9 0 5 にハイ・ローレベルの電位 V 1 を印加して第 1 のスイッチトランジスタ 9 0 7 をオン、オフさせることで、第 1 と第 2 の R F 端子間の高周波信号の接続、遮断を制御している。同様に、第 2 の D C 端子 9 0 6 にハイ・ローレベルの電位 V 2 を印加することで、第 1 と第 3 の R F 端子間の高周波信号の接続、遮断を制御している。このとき第 1 および第 2 のスイッチトランジスタの基板電位はパッケージのダイパッドを介して接地されている。

30

【0005】

第 1、第 2 のスイッチトランジスタ 9 0 7、9 1 3 のそれぞれオン、オフは、第 1、第 2 の D C 端子 9 0 5、9 0 6 に印加された電位と第 3 の D C 端子 9 0 4 に印加された固定電位 V 3 との電位差により制御させる。スイッチトランジスタがオン状態の場合、スイッチトランジスタのインピーダンスは、負荷インピーダンスに対して十分低く高周波信号の電圧振幅 V A によるスイッチトランジスタのバイアス状態への影響は小さい。

40

【0006】

スイッチトランジスタのオフ状態の場合、高周波信号の電圧振幅 V A により、スイッチトランジスタのソースおよびドレイン電圧は $V 3 \pm V A$ の範囲で変動する。このため、スイッチトランジスタをオフ状態に安定させるには、第 1、第 2 の D C 端子にそれぞれ印加されるローレベルでの電圧 V 1 L、V 2 L および第 3 の D C 端子に印加される固定電圧 V 3 は、スイッチトランジスタのゲート閾値電圧に、高周波信号の電圧振幅 V A をマージン考慮した、 $V 1 L - V 3 < V_{th} - V A$ ($V 2 L - V 3 < V_{th} - V A$) で設計する必要がある。

【0007】

50

そのため、スイッチトランジスタをオフさせるためには、第 1、第 2 のコントロール端子のローレベル電位 V_1 、 V_2 を低い電位に、固定電位 V_3 を高い電位で設計する必要がある。第 1、第 2 の DC 端子に負電位を印加するには電源回路が複雑かつ大規模化するため、ローレベル電位 V_{1L} 、 V_{2L} をグランド電位とし、 V_3 を十分高い電位とする電位条件が一般に用いられている。このとき、スイッチトランジスタの基板は接地されているため、基板・ソース間にはスイッチトランジスタのオン、オフに係わらず、 $-V_3$ の電位差があり、実効的に負の基板バイアスが印加された状態となる。

【0008】

なお、この出願の発明に関する先行技術文献情報としては、例えば、特許文献 1 が知られている。

【特許文献 1】特開 2004 - 320439 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

上記のバイアス条件で動作するスイッチトランジスタの動作における負の基板バイアスの影響について述べる。

【0010】

図 10 にスイッチトランジスタとして用いられる、ガリウム砒素電界効果トランジスタ (GaAs FET) の断面構造の例を示す。半絶縁基板 1001 上に、アンドープバッファ層 1002、p 型バッファ層 1003、アンドープバッファ層 1004、チャンネル層 1005、n 型キャリア供給層 1006、アンドープバリア層 1007 の順に半導体層が形成されている。

【0011】

GaAs - FET のオフ状態において、ドレイン・ソース間を、バッファ層および基板を介した微小なドレインリーク電流が流れ、高周波スイッチ装置のアイソレーション特性の劣化および、信号歪みの要因となる。そこで、チャンネルの伝導キャリアと異なる電荷を供給する半導体層をバッファ層に形成し、伝導キャリアに対してエネルギーレベルを高くすることで、バッファ層、基板に入る伝導キャリアを抑制し、ドレインリーク電流を抑制する。図 10 の断面構造例では、p 型バッファ層 1003 がドレインリーク電流低減を目的とした半導体層である。

【0012】

前述したように、スイッチトランジスタのソース・ドレインには第 3 の DC 端子より V_3 が印加され、スイッチトランジスタの基板はパッケージのダイパッドを介して接地されるため、スイッチトランジスタの基板・ソースには実効的に負の基板バイアス $-V_3$ が印加される。

【0013】

図 7 は、図 10 の GaAs - FET の断面 A - A' において実効的な基板バイアス 0 V および -5 V 印加された状態におけるコンダクションバンド、バレンスバンドをそれぞれ示す。この図から、基板バイアス -5 V におけるコンダクションバンドは 0 V におけるそれに対して、チャンネル層を含めたバンド全体が持ち上がっていることがわかる。

【0014】

結果、ゲート閾値電圧のシフトが発生、スイッチ素子の電流駆動能力が低下し、高周波信号損失の増加、信号歪の増加となる。特に、p 型半導体層をバッファ層に有する半導体層構造の場合、チャンネル層に比較的近い p 型半導体層に電界が集中、それに引っ張られる形でチャンネル層のポテンシャルが持ち上がるためスイッチトランジスタの電流駆動能力の低下は大きくなる。

【0015】

つまり、従来の高周波スイッチ装置における、スイッチトランジスタのソース、ドレインに固定電位を印加し、ゲートにハイレベルもしくはローレベルの制御電位を印加する制御方法では、スイッチトランジスタのオフ状態におけるアイソレーション、信号歪み特性

10

20

30

40

50

と、スイッチ素子のオン状態における挿入損失、信号歪み特性にトレードオフの関係を有する。

【 0 0 1 6 】

本発明は、このような従来の高周波スイッチ装置におけるトレードオフの関係を鑑みてなされたものであり、その目的はスイッチトランジスタのオン状態において基板バイアス効果による電流駆動能力の低下を抑制し、スイッチトランジスタのオン状態、オフ状態における高周波特性のトレードオフを解消するものである。

【課題を解決するための手段】

【 0 0 1 7 】

第 1 の発明の高周波スイッチ装置は、高周波信号の入力、出力端子と、第 1、第 2、第 3 の端子と、1 ないし複数である N 個のスイッチトランジスタと、スイッチトランジスタと同数の第 1 の抵抗と、スイッチトランジスタより 1 個多い第 2 の抵抗、および第 1、第 2 の容量を備え、

N 個のスイッチトランジスタのゲートは、それぞれに対応した第 1 の抵抗を介して、第 2 の端子に接続され、

N 個のスイッチトランジスタの基板は、第 3 の端子に接続され、

N 個のスイッチトランジスタのソース・ドレインは n 番目のスイッチトランジスタのドレインと $n + 1$ 番目のスイッチトランジスタのソースが接続し、この接続したノードは、それぞれに対応した第 2 の抵抗を介して、第 1 の端子に接続され、

1 番目のスイッチトランジスタのソースは、第 1 の容量と対応した第 2 の抵抗に接続され、第 1 の容量は高周波信号の入力端子に、対応した第 2 の抵抗は第 1 の端子にそれぞれ接続され、

N 番目のスイッチトランジスタのドレインは、第 2 の容量と対応した第 2 の抵抗に接続され、第 2 の容量は高周波信号の入力端子に、対応した第 2 の抵抗は第 1 の端子にそれぞれ接続され、

第 1 の端子には第 1 の固定電位が印加され、

第 2 の端子にはスイッチトランジスタの制御電位が印加され、

第 3 の端子には一定の電位が印加されることを特徴とする、

高周波スイッチ装置である。

【 0 0 1 8 】

第 2 の発明の高周波スイッチ装置は、高周波信号の入力、出力端子と、第 1、第 2、第 3 の端子と、1 ないし複数である N 個のスイッチトランジスタと、スイッチトランジスタと同数の第 1 の抵抗と、スイッチトランジスタより 1 個多い第 2 の抵抗、および第 1、第 2 の容量を備え、

N 個のスイッチトランジスタのゲートは、それぞれに対応した第 1 の抵抗を介して、第 2 の端子に接続され、

N 個のスイッチトランジスタの基板は、第 3 の端子に接続され、

N 個のスイッチトランジスタのソース・ドレインは n 番目のスイッチトランジスタのドレインと $n + 1$ 番目のスイッチトランジスタのソースが接続し、この接続したノードは、それぞれに対応した第 2 の抵抗を介して、第 1 の端子に接続され、

1 番目のスイッチトランジスタのソースは、第 1 の容量を介して高周波信号の入力端子に、対応した第 2 の抵抗を介して第 1 の端子に接続され、

N 番目のスイッチトランジスタのドレインは、第 2 の容量を介して高周波信号の入力端子に、対応した第 2 の抵抗を介して第 1 の端子に接続され、

第 1 の端子と第 3 の端子にはスイッチトランジスタの制御電位が印加され、

第 2 の端子には第 1 の固定電位が印加されていることを特徴とする、

高周波スイッチ装置である。

【 0 0 1 9 】

第 3 の発明は、第 1 ないし第 2 の発明の高周波スイッチ装置において、特にスイッチトランジスタにデプレッションモードの n 型 FET を用いることを特徴とする、

高周波スイッチ装置である。

【 0 0 2 0 】

第 4 の発明は、第 1 ないし第 3 の発明の高周波スイッチ装置において、スイッチトランジスタを形成する半導体層構造において、チャンネル層より深い半導体層に伝導キャリアと逆の電荷を持つキャリアを生成する半導体層を備えるエピタキシャル構造上に形成されたスイッチトランジスタを用いることを特徴とする、
高周波スイッチ装置である。

【 0 0 2 1 】

第 5 の発明は、第 1 ないし第 4 の発明の高周波スイッチ装置において、スイッチトランジスタの制御電位に、グランド電位と任意の正電位を印加してスイッチトランジスタのオン・オフないしオフ・オンを制御することを特徴とする、
高周波スイッチ装置である。

10

【 0 0 2 2 】

第 6 の発明は、第 5 の発明の高周波スイッチ装置において、スイッチトランジスタに印加されるハイレベル電位は第 2 の固定電位と同電位であることを特徴とする、
高周波スイッチ装置である。

【 0 0 2 3 】

第 7 の発明は、第 1 および、第 3 ないし第 6 の発明のいずれかの高周波スイッチ装置において、第 1 固定電位および第 2 の固定電位はそれぞれ、グランド電位であることを特徴とする、
高周波スイッチ装置である。

20

【 発明の効果 】

【 0 0 2 4 】

本発明によれば、スイッチトランジスタのオン状態、オフ状態における高周波特性のトレードオフを解消し、低損失、高アイソレーション、低信号歪みの高周波スイッチ装置を提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 2 5 】

(実施の形態 1)

図 1 に本発明の第 1 の実施の形態を示す。

30

【 0 0 2 6 】

スイッチトランジスタ 1 0 6 のソース・ドレインはそれぞれ D C カット用の容量 1 1 0 , 1 1 1 を介して高周波信号の入出力端子 1 0 1 , 1 0 2 に接続されている。また、スイッチトランジスタ 1 0 6 のゲートには抵抗 1 0 7 を介して第 2 の D C 端子 1 0 4 が接続され、固定電位が印加されている。また、ソース・ドレインは抵抗 1 0 8 , 1 0 9 を介して第 1 の D C 端子 1 0 3 が接続され、スイッチトランジスタの制御電位が印加される。また、スイッチトランジスタの基板には、第 3 の D C 端子 1 0 5 が接続され、固定電位が印加されている。

【 0 0 2 7 】

このとき、スイッチトランジスタ 1 0 6 のゲート閾値電圧を V_{th} 、第 1 の D C 端子 1 0 3 に印加されるローレベル電位を V_L 、ハイレベル電位を V_H 、第 2 の D C 端子 1 0 4 に印加される固定電位を V_{GG} 、第 3 の D C 端子 1 0 5 に印加される電位を V_{BB} とすると、 $V_{GG} - V_L > V_{th}$ となる V_L が印加されたとき、スイッチトランジスタはオン状態となる。尚、 V_{th} に対して $V_{GG} - V_L$ を大きくすることで、スイッチトランジスタのドレイン電流を上げ、低挿入損失、低信号歪とすることができる。また、 $V_{GG} - V_H < V_{th}$ となる V_H が印加されたとき、スイッチトランジスタはオフ状態となる。

40

【 0 0 2 8 】

従来の高周波スイッチ装置の場合、ソース・ドレインに高い固定電位を印加し、基板を接地した状態で動作させるため、前述したように実効的に負の基板バイアスが印加された状態となるため、チャンネルのコンダクションバンドが持ち上がり、同一のゲート電位にお

50

いて生成されるキャリア密度は、オン、オフ状態に係わらず低くなる。

【0029】

これに対し、本発明の第1の実施の形態ではスイッチトランジスタがオンの場合、スイッチトランジスタ106のソース電位は V_L 、基板電位は V_{BB} となり、実効的な基板バイアスは $V_{BB} - V_L$ と任意のバイアス状態で動作させることが可能となる。また、ソース・ドレインのローレベル電位 V_L と基板電位 V_{BB} を等しい電位とすることで、基板バイアスを0Vとし、基板バイアスによるキャリア密度の低減を効果を排除することが可能となる。また、 $V_{BB} > V_L$ として設計することで、キャリア密度を高くし、低挿入損失、低信号歪を実現することも可能である。

【0030】

また、スイッチトランジスタがオフの場合、スイッチトランジスタ106のソース電位は V_H 、基板電位は V_{BB} となり、実効的な基板バイアスは $V_{BB} - V_H$ と任意のバイアス状態で動作させることが可能となる。このとき、 V_H を十分高い電位とすることで負の基板バイアス効果を大きくし、チャネル層におけるキャリアの空乏化により、アイソレーションの向上が可能である。

【0031】

図8に、図9に示す従来構成のSPDTスイッチ装置と、図6に示す本発明の第1の実施の形態の高周波スイッチ装置を用いたSPDTスイッチ装置における挿入損失と2次高調波の特性比較を示す。図6、図9それぞれ同じGaAsデプレッションモードFETをスイッチトランジスタとして用いた。スイッチトランジスタの閾値 V_{th} は-0.5V、ゲート幅は600 μm である。

【0032】

図9の高周波スイッチ装置は、第1のDC端子905にハイレベル電位5Vが印加され、第2のDC端子906にローレベル電位0Vが印加され、第3の端子904に固定電位5Vが印加され、それぞれのスイッチトランジスタの基板は接地されている。このとき、第1のスイッチトランジスタ907はオン状態、第2のスイッチトランジスタ913はオフ状態となり、第1のRF端子901と第2のRF端子902が導通状態となる。

【0033】

図6の高周波スイッチ装置では、第1のDC端子604にローレベル電位0Vが印加され、第2のDC端子605にハイレベル電位5Vが印加され、第3のDC端子606には固定電位0Vが印加され、第4、第5のDC端子619、620にはそれぞれ固定電位0Vが印加される。このとき、第1のスイッチトランジスタ607はオン状態、第2のスイッチトランジスタ613はオフ状態となり、第1のRF端子601と第2のRF端子602が導通状態となる。

【0034】

図8(a)に図9に示す従来の高周波スイッチ装置と図6に示す本発明の第1の実施の形態の高周波スイッチ装置を用いたSPDTスイッチ、それぞれの第1のRF端子と第2のRF端子間の挿入損失を示す。従来の高周波スイッチに対して、第1の実施の形態を用いたSPDTスイッチの方が、入力電力25dBm以下において、入力電力に依らず、0.1~0.2dB低いことがわかる。これは、従来の高周波スイッチでは実効的な負の基板バイアス効果によるキャリア減少によりオン抵抗が増加していたが、第1の実施の形態により負の基板バイアスを0として、キャリアの減少とオン抵抗の増加を抑えたため、挿入損失を低減できた。

【0035】

また、従来例の高周波スイッチ装置において、入力電力27dBm付近より挿入損失の増加が見られるのに対して、本発明の第1の実施の形態を用いたSPDTでは、入力電力30dBmまで挿入損失の増加が見られない。これは、従来例の高周波スイッチ装置では負の基板バイアス効果によるキャリア密度の低下のため、低いドレイン・ソース電圧でチャネルがピンチオフし、電流が飽和するためである。本発明の第1の実施の形態では、負の基板バイアスが0であるため、キャリア密度の低下がなく、より高いドレイン・ソース

10

20

30

40

50

電圧で線形動作するため、より大きい電力を低損失で導通させることが可能である。

【 0 0 3 6 】

図 8 (b) に図 9 に示す従来の高周波スイッチ装置と図 6 に示す本発明の第 1 の実施の形態の高周波スイッチ装置を用いた S P D T スイッチ、それぞれについて、第 1 の R F 端子から入力した R F 信号に対する、第 2 の R F 端子での出力信号の 2 次高調波を示す。広い入力電力に対して 1 0 d B 程度の信号歪が低い。これは、挿入損失における議論同様、本発明の第 1 の実施の形態では、負の基板バイアスが 0 であるため、キャリア密度の低下がなく、より高いドレイン・ソース電圧で線形動作するため、従来の高周波スイッチ装置に比べて線形性が良いためである。

【 0 0 3 7 】

尚、本発明の第 1 の実施の形態の高周波スイッチ装置による特性改善について n 型のデプレッションモード F E T をスイッチトランジスタに用いた S P D T スイッチ装置で説明したが、エンハンスモード F E T をスイッチトランジスタに用いたスイッチ装置においても同様の効果は得られる。しかし、エンハンスモード F E T を用いた高周波スイッチ装置もオフ状態で許容する R F 信号の電圧振幅を大きくするためにソース電位を高く設定する場合に限られ、デプレッションモードに比べてゲート閾値の高い分、低いドレイン、ソース電位で動作するため、デプレッションモード F E T をスイッチトランジスタに用いた場合に比べて効果は低い。

【 0 0 3 8 】

また、チャンネル層より深い半導体層に伝導キャリアと逆のキャリアを生成するドープ層があるエピ構造を備えた F E T をスイッチトランジスタに場合、実効的な負の基板バイアスによるコンダクタンスバンドの持ち上がりは、伝導キャリアと逆のキャリアを生成するドープ層で大きく持ち上がるため、第 1 の実施の形態の実施による負の基板バイアスの効果低減による、低挿入損失、低信号歪化の効果は大きく、特に、伝導キャリアと逆のキャリアを生成するドープ層がチャンネル層に対して 1 0 0 0 n m 以下と近接して存在する場合は低挿入損失、低信号歪化の効果は大きい。

【 0 0 3 9 】

尚、図 6 の第 1 の実施の形態を用いた S P D T スイッチの動作について、第 1 の D C 端子 6 0 4 に印加されるローレベル電位、第 3 の D C 端子 6 0 6 に印加される固定電位、第 4 の D C 端子 6 1 9 に印加される固定電位を、それぞれ 0 V として説明をしたが、第 1 のスイッチトランジスタ 6 0 7 がオンの状態において、第 1 の D C 端子 6 0 4 を介してスイッチトランジスタのソース・ドレインに印加される電位と、第 3 の D C 端子 6 0 6 を介して、スイッチトランジスタのソース・ドレインに印加される電位と、第 4 の D C 端子 6 1 9 を介して基板に印加される電位差、つまり負の基板バイアスを低減する電位条件であれば任意のバイアス条件で動作させることが可能である。

【 0 0 4 0 】

図 2 に本発明の第 2 の実施の形態を示す。

【 0 0 4 1 】

スイッチトランジスタ 2 0 5 のソース・ドレインはそれぞれ D C カット用の容量 2 0 9 , 2 1 0 を介して高周波信号の入出力端子 2 0 1 , 2 0 2 に接続されている。また、スイッチトランジスタ 2 0 5 のゲートには抵抗 2 0 6 を介して第 2 の D C 端子 2 0 4 が接続され、スイッチトランジスタの制御電位が印加される。また、ソース・ドレインは抵抗 2 0 7、2 0 8 を介して第 1 の D C 端子 2 0 3 が接続され、固定電位が印加される。また、スイッチトランジスタの基板には第 2 の D C 端子と同電位が印加される。

【 0 0 4 2 】

このとき、スイッチトランジスタ 2 0 5 のゲート閾値電圧を V_{th} 、第 2 の D C 端子 2 0 4 に印加されるローレベル電位を V_L 、ハイレベル電位を V_H 、第 1 の D C 端子 2 0 3 に印加される固定電位を V_{DD} 、第 3 の D C 端子に印加される電位を V_{BB} とすると、 $V_H - V_{DD} > V_{th}$ となる V_H が印加されたとき、スイッチトランジスタはオン状態となる。尚、 V_{th} に対して $V_H - V_{DD}$ を大きくすることで、スイッチトランジスタのド

10

20

30

40

50

ライン電流を上げることができ、低挿入損失、低信号歪化をすることができる。

【0043】

従来の高周波スイッチ装置の場合、第1の端子を介してスイッチトランジスタのソース・ドレインに電位VDDを印加した場合、実効的な負の基板バイアス-VDDが印加されるため、前述したようにチャンネルのキャリア密度は減少し、挿入損失、信号歪が大きくなる。これに対して、本発明の第2の実施の形態では、第2のDC端子からスイッチトランジスタのゲート電位と同電位を基板電位として印加するため、実効的な負の基板バイアスはVH-VDDに抑えることができる。

【0044】

また、デプレッションモードFETをスイッチトランジスタに用いた場合、第2のDC端子から印加されるハイレベル電位は、第1の端子に印加される固定電位VDDと同電位で設計することが多いため、スイッチトランジスタがオン状態において、実効的な基板バイアスは0になり、効果が大きい。

【0045】

さらに第1の実施の形態で説明したように、チャンネル層より深い半導体層に伝導キャリアと逆のキャリアを生成するドープ層があるエピ構造を備えたFETをスイッチトランジスタに場合、実効的な負の基板バイアスによるコンダクタンスバンドの持ち上がりは大きいため、低挿入損失、低信号歪化の改善効果は大きい。

【0046】

図3に本発明の第3の実施の形態を示す。

【0047】

スイッチトランジスタ305のソース・ドレインはそれぞれDCカット用の容量309、310を介して高周波信号の入出力端子301、302に接続されている。また、スイッチトランジスタ305のゲートは抵抗306を介して接地され、ソース・ドレインは抵抗307、308を介して第1のDC端子303が接続され、ハイレベルもしくは、ローレベルの制御電位が印加される。また、スイッチトランジスタの基板は接地される。

【0048】

スイッチの動作および、効果は第1の実施の形態と同様である。スイッチトランジスタのゲート、基板電位を接地する事で、印加電圧の変動、ノイズ等の影響を低減することができ、動作の安定性を向上することができる。また、スイッチトランジスタの基板を設置するため、基板電位を印加する構造およびダイパッドに任意の電位を印加する構造を必要としない利点がある。

【0049】

また、スイッチトランジスタにエンハンスモードFETを用いる場合は、第1のDC端子に印加するローレベル電位は負電位となり負電源を必要とするが、デプレッションモードFETを用いる場合は、負電位を必要としないため、正電源のみで動作が可能である。

【0050】

図4に本発明の第4の実施の形態を示す。

【0051】

第1、第2のスイッチトランジスタ405、406のソース・ドレインの一方は互いに接続し、他方はそれぞれDCカット用の容量412、413を介して高周波信号の入出力端子401、402に接続されている。第1、第2のスイッチトランジスタ405、406のゲートは抵抗407、408を介して第2のDC端子404に接続され、固定電位が印加されている。第1、第2のスイッチトランジスタ405、406のソース・ドレインは抵抗409、410、411を介して第1のDC端子403に接続され、ハイレベルもしくは、ローレベルの制御電位が印加される。第1、第2のスイッチトランジスタ405、406の基板は第3のDC端子414に接続され、固定電位が印加される。

【0052】

スイッチの動作および、効果は第1の実施の形態と同様である。一般にトランジスタを用いた高周波スイッチにおいて、アイソレーションの向上および、オフ時の許容電圧振幅

10

20

30

40

50

の向上を目的として、複数のスイッチトランジスタをRF端子間に直列に接続する。本発明は複数のスイッチトランジスタを直列に接続した場合にも用いることが可能である。

【0053】

また、第4の実施の形態は、第2、第3の実施の形態の高周波スイッチについても適用可能である。

【0054】

図5に本発明の第5の実施の形態を示す。

【0055】

スイッチトランジスタ505のソース・ドレインはそれぞれDCカット用の容量509, 510を介して高周波信号の入出力端子501, 502に接続されている。また、スイッチトランジスタ505のゲートには抵抗506を介して第2のDC端子504が接続され、固定電位が印加されている。また、ソースは抵抗507を介して第1のDC端子503が接続され、スイッチトランジスタの制御電位が印加される。ドレインは抵抗508を介してソースに接続されている。また、スイッチトランジスタの基板には、第3のDC端子511が接続され、固定電位が印加されている。

【0056】

スイッチの動作および、効果は第1の実施の形態と同様である。スイッチトランジスタのソース・ドレインに接続する抵抗はスイッチトランジスタ1個の場合で2個、スイッチトランジスタN個の場合、 $N + 1$ 個必要となるが、すべて同じ抵抗値である必要はないので、図5のようなレイアウトのスイッチ装置でも同様の効果が得られる。

【0057】

また、第5の実施の形態における、スイッチトランジスタのソース・ドレインに接続する抵抗のレイアウトは、第2、第3の実施の形態の高周波スイッチについても適用可能である。

【0058】

以上、スイッチトランジスタの基板電位の印加手段については、エピ上に電極を形成する、ダイパッドに電位を印加する等、半導体装置で一般に用いられている基板電位印加手段を用いることができる。

【産業上の利用可能性】

【0059】

本発明の高周波スイッチ装置は、携帯電話などの無線システムにおいて、特に低挿入損失、低信号歪を要求される高周波信号のスイッチング装置に用いることができる。

【図面の簡単な説明】

【0060】

【図1】本発明の高周波スイッチ装置の第1の実施の形態の回路図

【図2】本発明の高周波スイッチ装置の第2の実施の形態の回路図

【図3】本発明の高周波スイッチ装置の第3の実施の形態の回路図

【図4】本発明の高周波スイッチ装置の第4の実施の形態の回路図

【図5】本発明の高周波スイッチ装置の第5の実施の形態の回路図

【図6】本発明の高周波スイッチ装置の第1の実施の形態を用いたSPDTスイッチ装置の回路図

【図7】基板バイアス効果の有無によるバンド図の比較を示す図

【図8】図6と図9のSPDTスイッチ装置の挿入損失および2次高調波特性の比較を示す図

【図9】従来の高周波スイッチ装置により形成したSPDTスイッチ装置の回路図

【図10】一般にスイッチトランジスタに用いられるGaAs-HFETの断面図

【符号の説明】

【0061】

101 入出力端子

102 入出力端子

10

20

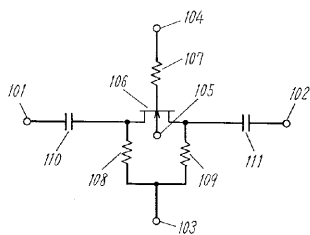
30

40

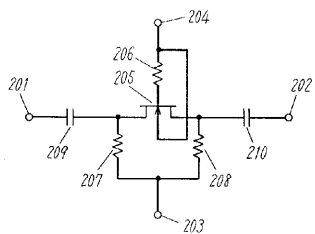
50

- 103 第1のDC端子
- 104 第2のDC端子
- 105 第3のDC端子
- 106 スイッチトランジスタ
- 107 第1の抵抗
- 108, 109 第2の抵抗
- 110, 111 DCカット容量

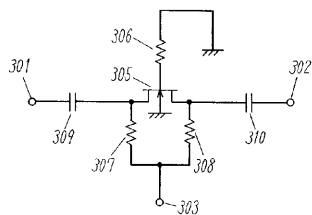
【図1】



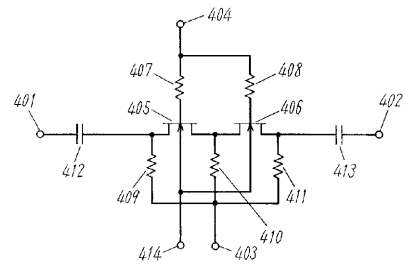
【図2】



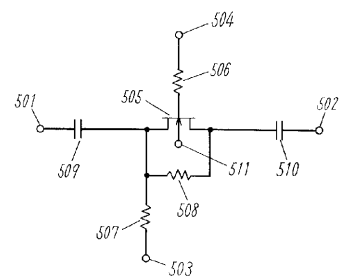
【図3】



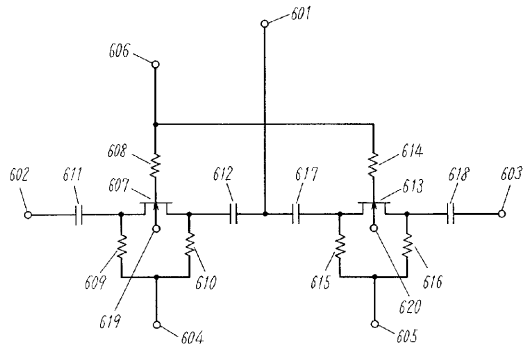
【図4】



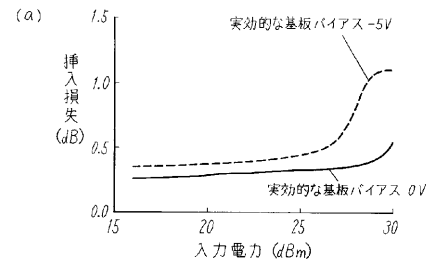
【図5】



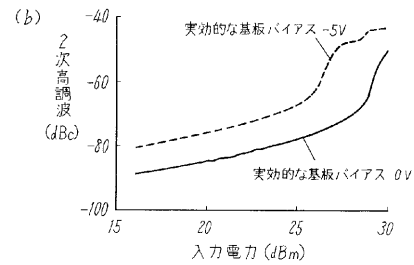
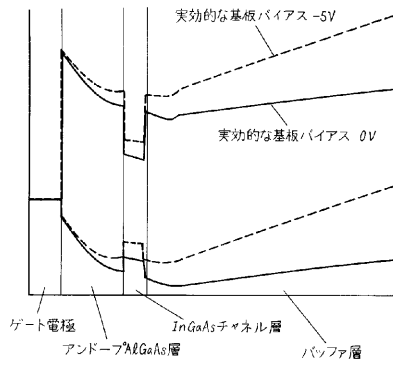
【図 6】



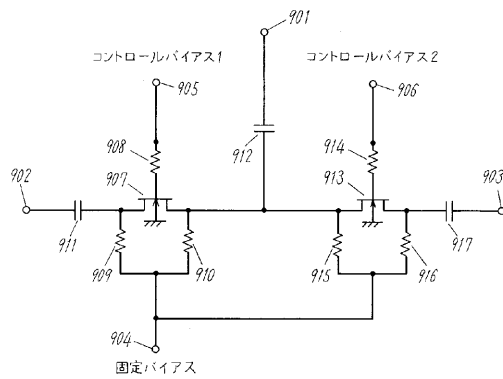
【図 8】



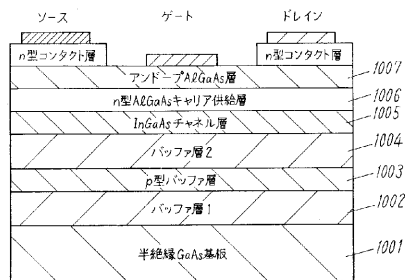
【図 7】



【図 9】



【図 10】



フロントページの続き

(72)発明者 河野 広明

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 5J055 AX05 BX17 CX03 CX24 DX12 EX07 EY01 EY10 EY21 EZ12
FX05 FX12 FX32 GX01