

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5388071号
(P5388071)

(45) 発行日 平成26年1月15日 (2014. 1. 15)

(24) 登録日 平成25年10月18日 (2013. 10. 18)

(51) Int. Cl.

F I

H O 1 L 23/12 (2006. 01)

H O 1 L 23/12 3 O 1 Z

H O 1 P 3/08 (2006. 01)

H O 1 L 23/12 N

H O 5 K 3/46 (2006. 01)

H O 1 P 3/08

H O 5 K 3/46

Z

請求項の数 14 (全 17 頁)

(21) 出願番号 特願2010-515828 (P2010-515828)
 (86) (22) 出願日 平成21年5月22日 (2009. 5. 22)
 (86) 国際出願番号 PCT/JP2009/059422
 (87) 国際公開番号 W02009/147956
 (87) 国際公開日 平成21年12月10日 (2009. 12. 10)
 審査請求日 平成24年3月16日 (2012. 3. 16)
 (31) 優先権主張番号 特願2008-149911 (P2008-149911)
 (32) 優先日 平成20年6月6日 (2008. 6. 6)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 504157024
 国立大学法人東北大学
 宮城県仙台市青葉区片平二丁目1番1号
 (73) 特許権者 000173658
 公益財団法人国際科学振興財団
 茨城県つくば市春日三丁目2番16
 (74) 代理人 100077838
 弁理士 池田 憲保
 (74) 代理人 100082924
 弁理士 福田 修一
 (72) 発明者 大見 忠弘
 宮城県仙台市青葉区片平二丁目1番1号
 国立大学法人東北大学内

最終頁に続く

(54) 【発明の名称】 多層配線基板

(57) 【特許請求の範囲】

【請求項 1】

複数の第1の配線層が第1の絶縁層を介して積層されている、1 GHz 以下の周波数信号を伝送するための第1の配線領域と、該第1の絶縁層の厚さの2倍以上の厚さをもつ第2の絶縁層を有しかつ前記第1の配線層の幅の2倍以上の幅をもつ、1 GHz を超える周波数信号を伝送するための第2の配線層を前記第2の絶縁層上に設けた第2の配線領域とを有し、前記第1の配線領域と前記第2の配線領域とが同一基板に一体的に形成されていることを特徴とする多層配線基板。

【請求項 2】

複数の第1の配線層が第1の絶縁層を介して積層されている第1の配線領域と、該第1の絶縁層の厚さの2倍以上の厚さをもつ第2の絶縁層を有しかつ前記第1の配線層の幅の2倍以上の幅をもつ第2の配線層を前記第2の絶縁層上に設けた第2の配線領域とを有し、前記第1の配線領域と前記第2の配線領域とが同一基板に一体的に形成されており、

前記第2の配線領域が、前記第2の絶縁層の厚さより厚い第3の絶縁層と、該第3の絶縁層上に設けられた前記第2の配線層の幅よりも幅の大きい第3の配線層とを有する部分を含むことを特徴とする多層配線基板。

【請求項 3】

前記第2の配線領域における配線層の配線幅が30 μm以上でかつ絶縁層の厚さが40 μm以上であることを特徴とする請求項 1 または 2 に記載の多層配線基板。

【請求項 4】

10

20

前記第 1 の配線領域と前記第 2 の配線領域との境界部の絶縁層に、該絶縁層を貫通して導体が形成され、該導体が接地されていることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の多層配線基板。

【請求項 5】

前記第 2 の配線領域における配線層によって形成される配線パターンの特性インピーダンスが 100Ω 以上であることを特徴とする請求項 1 から 4 のいずれか 1 項に記載の多層配線基板。

【請求項 6】

前記第 2 の配線領域における絶縁層の比誘電率が 2.7 以下でかつ誘電正接が 0.015 以下であることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の多層配線基板。

10

【請求項 7】

請求項 1 から 6 のいずれか 1 項に記載の多層配線基板を半導体素子の搭載基板として用いたことを特徴とする半導体装置。

【請求項 8】

前記半導体素子と前記多層配線基板とが同一パッケージに收容されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記第 1 の配線領域には周波数が 1GHz 以下の信号が伝送され、前記第 2 の配線領域には周波数が 1GHz を越える信号が伝送されることを特徴とする請求項 7 または 8 に記載の半導体装置。

20

【請求項 10】

前記第 2 の配線領域には 1GHz を越える信号を 1cm 以上伝送する部分を含むことを特徴とする請求項 7 から 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】

請求項 1 から 6 のいずれか 1 項に記載の多層配線基板を複数の電子部品の搭載基板として用いたことを特徴とする電子装置。

【請求項 12】

前記複数の電子部品と前記多層配線基板とが同一容器に收容されていることを特徴とする請求項 11 に記載の電子装置。

【請求項 13】

30

前記第 1 の配線領域には周波数が 1GHz 以下の信号が伝送され、前記第 2 の配線領域には周波数が 1GHz を越える信号が伝送されることを特徴とする請求項 11 または 12 に記載の電子装置。

【請求項 14】

前記第 2 の配線領域には 1GHz を越える信号を 1cm 以上伝送する部分を含むことを特徴とする請求項 11 から 13 のいずれか 1 項に記載の電子装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、LSI、IC等の半導体素子を搭載するための基板を含む多層配線基板に関し、特に高周波用途における電気信号損失を低減することのできる半導体素子搭載基板及び多層配線基板一般に関するものである。

40

【背景技術】

【0002】

多層配線基板は、半導体素子を搭載して該半導体素子とともに同一パッケージに收容されて半導体装置を構成したり、あるいは複数の電子部品（半導体装置やその他の能動体部品、キャパシタや抵抗素子等の受動体部品等）を搭載して情報機器、通信機器、表示装置等の電子装置を構成したりするのに広く用いられている（例えば特許文献 1 参照）。これら半導体装置や情報機器等の近年の高速伝送化と小型化に伴い、信号周波数の高周波化と信号配線密度の高密度化が進み、高周波信号の伝送と高密度配線を同時に実現することが

50

求められるようになった。

【 0 0 0 3 】

しかしながら信号周波数の高周波化と信号配線密度の高密度化により、伝送損失が増大するため、伝送信号の信頼性を確保することが困難であり、信号配線の高密度化と高周波信号の伝送を同一基板上で実現する課題は解決されていなかった。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 7 - 2 8 8 1 8 0 号公報

【 発明の概要 】

10

【 発明が解決しようとする課題 】

【 0 0 0 5 】

本発明は上記の課題に鑑みて為されたものであり、高周波信号伝送部の伝送損失の低減と低周波信号伝送部の高密度化を同一基板上に実現する多層配線基板を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 6 】

本発明によれば、複数の第 1 の配線層が第 1 の絶縁層を介して積層されている第 1 の配線領域と、該第 1 の絶縁層の厚さの 2 倍以上の厚さをもつ第 2 の絶縁層を有しかつ前記第 1 の配線層の幅の 2 倍以上の幅をもつ第 2 の配線層を前記第 2 の絶縁層上に設けた第 2 の配線領域とを有し、第 1 の配線領域と第 2 の配線領域とが同一基板上に一体的に構成された多層配線基板が得られる。

20

【 0 0 0 7 】

このような構成として、第 1 の配線領域において主として 1GHz 以下の周波数信号を伝送し、第 2 の配線領域において主として 1GHz を越える高周波信号を好ましくは 1cm 以上の長距離高速伝送することで、第 1 の配線領域によって高実装密度を維持しつつ、第 2 の配線領域によって高周波信号を長距離伝送する場合の伝送信号の劣化を抑えることができる。すなわち、第 1 の配線領域を主として低周波信号伝送部として用い、第 2 の配線領域を主として高周波信号伝送部として用いる。

【 0 0 0 8 】

30

本発明において、「絶縁体」あるいは「絶縁層」とは、JISC3005で測定した比抵抗が $1k\Omega \cdot cm$ 以上のものを言う。また、本発明において、「配線パターン」あるいは「配線」とは JISC3005で測定した比抵抗が $1k\Omega \cdot cm$ 未満の材料で形成された線路で、回路を含む概念で用いる。導体の断面形状は矩形に限らず、円形、楕円形、その他の形状であっても良い。また、絶縁体の断面形状も特に限定されない。

【 0 0 0 9 】

本発明において、好ましくは、前記第 2 の配線領域が、前記第 2 の絶縁層の厚さより厚い第 3 の絶縁層と、該第 3 の絶縁層上に設けられた前記第 2 の配線層の幅よりも幅の大きい第 3 の配線層とを有する部分を含むようにすることができる。

【 0 0 1 0 】

40

本発明において、好ましくは、前記第 2 の配線領域の絶縁層を構成する誘電体厚みを $40\mu m$ 以上、配線幅を $30\mu m$ 以上とすることで、主に 1GHz を越える高周波信号を 1cm 以上の長距離伝送する場合の信号損失の劣化をより効果的に抑えることができる。

【 0 0 1 1 】

本発明において、好ましくは、前記第 1 の配線領域と第 2 の配線領域の境界部の絶縁層に、該絶縁層を貫通して導体が形成され、該導体を接地することで、第 1 の配線領域と第 2 の配線領域の信号の相互の電気的結合を抑制し、相互の信号配線からの放射ノイズを抑制することができる。

【 0 0 1 2 】

現在一般的に使用されている信号配線の特性インピーダンスは 50Ω であるが、前記第 1

50

及び第2の配線領域の配線幅と誘電体（絶縁層）厚み及び配線厚みを、特性インピーダンスが好ましくは 100Ω 以上となるように設計することで、配線中を流れる電流を抑制し、伝送損失を低減することが可能となる。

【0013】

また、前記第1の配線領域と第2の配線領域の絶縁層が、誘電率2.7以下、誘電正接が0.015以下であるような絶縁材料を用いることで、伝送信号の劣化を抑えることが出来る。

【発明の効果】

【0014】

本発明によれば、第1の配線領域によって高実装密度を維持しつつ、第2の配線領域によって高周波信号を長距離伝送する場合の伝送信号の劣化を抑えることができ、多層配線基板の信号配線の高密度化と伝送信号の高周波化を同一基板上で実現可能となる。

【図面の簡単な説明】

【0015】

【図1】本発明の第1の実施形態による多層配線基板の構造を示す断面図である。

【図2】図1に示す多層配線基板の作製フローを示す断面図である。

【図3】本発明の第2の実施形態による多層配線基板の構造を示す断面図である。

【図4】本発明の第3の実施形態による多層配線基板の構造を示す断面図である。

【図5】本発明の実施例1による伝送線路、及び比較例として多層配線基板中の第2の配線領域にマイクロストリップライン構造を形成した伝送線路の伝送損失と信号周波数の関係を示す図である。

【図6】比誘電率2.6、10GHzの誘電正接0.01の誘電体の場合について、配線幅、誘電体厚さ（絶縁層厚み）と伝送損失の関係について求めた特性図である。

【図7】誘電体厚さ（絶縁層厚み）と伝送損失の関係を、比誘電率2.6、10GHzの誘電正接0.01の誘電体の場合について求めた特性図である。

【図8】誘電体厚さ（絶縁層厚み）と伝送損失の関係を、比誘電率及び誘電正接が異なる場合について比較するために示した特性図である。

【図9】周波数条件以外は図8と同条件下で得られた誘電体厚さ（絶縁層厚み）と伝送損失の関係を示した特性図である。

【図10】本発明の実施例2による多層配線基板の構造を示す断面図である。

【図11】図10に示す多層配線基板の作製フローを説明するための図である。

【図12】実施例2において用いたマイクロストリップラインの配線寸法の例を示した図である。

【図13】実施例2として試作された多層配線基板の断面光学顕微鏡観察像を示す写真である。

【図14】実施例2において作製されたマイクロストリップラインの伝送特性を示した図である。

【図15】実施例2において作製されたマイクロストリップラインの伝送特性と高周波RLGCモデルの計算結果を示した図である。

【図16】実施例2において作製されたマイクロストリップラインの伝送可能距離特性について示した図である。

【図17】実施例2において作製されたマイクロストリップラインの消費電力特性を示した図である。

【図18】実施例2において作製されたマイクロストリップラインの伝送特性を、距離10cmを-3dbの損失に抑えて伝搬可能な周波数 f_p と、配線1本あたりの消費電力 P_{board} として従来例と比較しつつ示す図である。

【発明を実施するための形態】

【0016】

（第1の実施形態）

以下、本発明の第1の実施形態を図面に基づき説明する。

【0017】

図 1 に示すように、本発明の第 1 の実施形態に係わる回路基板としての多層配線基板 100 は、第 1 の配線領域（多層配線領域）101 と第 2 の配線領域（多層配線領域）102 を有する。第 1 の配線領域（多層配線領域）101 は、板状または膜状の絶縁層 104a、104b と、配線 103a とが交互に積層されてなる。第 2 の配線領域（多層配線領域）102 は、第 1 の配線領域 101 における 1 層当たりの絶縁層厚み H1 に対して 2 倍以上の絶縁層厚み H2 を有する絶縁層 104 上に配線 103b を有する。配線 103b の配線幅 W2 は、第 1 の配線領域 101 の配線 103a の配線幅 W1 に対して 2 倍以上としている。105 は導電膜である。

【 0 0 1 8 】

第 1 の実施形態の多層配線基板 100 は、例えば半導体素子パッケージ基板として用いられる。この多層配線基板 100 においては、主に半導体素子の端子から伝送する信号の周波数が 1GHz を越えかつ伝送距離が 1cm を越えるような用途には第 2 の配線領域 102 が用いられ、それ以外には第 1 の配線領域 101 が用いられる。

【 0 0 1 9 】

第 2 の配線領域 102 中の絶縁層厚み H2 は特に限定されないが、好ましくは 40 μm 以上の膜厚とすることで、1GHz 以上の高周波信号の伝送損失を大きく減少させることができる。配線 103b の幅 W2 は特に限定されないが、好ましくは 30 μm 以上の配線幅とすることで、1GHz 以上の高周波信号の伝送損失を大きく減少させることができる。

【 0 0 2 0 】

また、第 1 の配線領域 101 の特性インピーダンスは特に限定されないが、第 2 の配線領域 102 の配線幅と誘電体（絶縁層）厚み及び配線厚みを、特性インピーダンスが好ましくは 100 Ω 以上となるように設計することで、配線中を流れる電流を抑制し、特に高周波における伝送損失を低減することができる。

【 0 0 2 1 】

第 1 の配線領域 101 中の配線間距離 G1 は特に限定されない。第 1 の配線領域 101 と第 2 の配線領域 102 の境界における配線間距離 G2 は特に限定されないが、第 2 の配線領域 102 の絶縁層厚み H2 以上にすることで、配線間の結合を抑え、クロストークノイズを抑制することができる。第 1 の配線領域 101 中の配線層の厚み T1 は特に限定されない。第 2 の配線領域 102 中の配線層の厚み T2 は特に限定されないが、伝送信号周波数を f、配線 103b の導電率を σ、絶縁層 104 の透磁率を μ とした場合、電磁波の配線への進入深さ d は、下記の数 1 で表される値 d 以上であることが好ましい。

【 0 0 2 2 】

【数 1】

$$d = \frac{1}{\sqrt{\pi f \mu \sigma}}$$

【 0 0 2 3 】

第 1 の配線領域 101 と第 2 の配線領域 102 を同一基板に一体的に構成する方法は、例えば以下のようにして行われる。

【 0 0 2 4 】

図 2 (a) に示すように、まず、絶縁層 104 (図 1) の下部絶縁層 104a をシート状に形成する。その下部絶縁層 104a の下面に、導電膜 105 を形成すると共に、下部絶縁層 104a の上部に配線層 103 を形成する。導電膜 105 および配線層 103 は、例えば Cu 膜をめっき法、スパッタ法、有機金属 CVD 法、Cu 等の金属膜の接着法などにより形成することができる。

【 0 0 2 5 】

次に、図 2 (b) に示すように、配線層 103 をフォトリソグラフィ法などによりパターンニングして、所望パターンの配線 103a を形成する。配線 103a は第 1 の配線領域 101 中の配線パターンを構成するが、第 2 の配線領域 102 中の配線層はエッチング法などによって除去される。引き続き、図 2 (c) に示すように配線 103a が形成された下部絶縁層 104a の上に、上部絶縁層 104b を形成する。上部絶縁層 104b は、例えば下部絶縁層 104a と同様にし

10

20

30

40

50

てシート状に形成され、下部絶縁層104aの上に例えばプレス法により張り合わされる。

【0026】

その後、図2(d)に示すように、上部絶縁層104bの上に配線層103を形成する。続いて、図2(e)に示すように上部絶縁層104b上の配線層103をフォトリソグラフィ法などによりパターンニングして、第1の配線領域101の配線103aを上部絶縁層104b上にも形成すると共に、第2の配線領域102の配線103bを上部絶縁層104b上に形成する。

【0027】

なお、上部絶縁層104bは、例えばスピンコート法や塗布法などで形成してもよい。

【0028】

(第2の実施形態)

次に、図3を参照して第2の実施形態について説明する。

【0029】

図3に示すように、第2の実施形態では、図1で説明した最上層の配線103a、103b上に絶縁層104cが形成されると共に、絶縁層104c上の第1の配線領域101に配線103aが、第2の配線領域102のうち、配線103bが形成されている第1の部分ではない第2の部分に配線103cが、それぞれ形成されている。第2の配線領域102の第2の部分では、最上層の配線103cの下の絶縁層には配線層が形成されておらず、該絶縁層の厚さH3は絶縁層厚みH1の3倍以上となっている。また配線103cの幅W3も好ましくは第1の部分の配線103bの幅W2よりも大きくする。第2の実施形態では、第2の配線領域(多層配線領域)102が、第1の配線領域(多層配線領域)101の1層当たりの絶縁層厚みH1に対して2倍以上の複数種類の絶縁層厚みH2、H3で規定される絶縁層104を有し、かつ配線103aの配線幅W1に対して2倍以上の複数種類の配線幅W2、W3で規定される配線103b、103cを有する点以外は、第1の実施形態と同様な構成を有する。

【0030】

以下、各実施形態では、前記第1の実施形態と共通する部材には同一符号を付し、その説明を一部省略し、以下、相違点のみについて詳細に説明する。

【0031】

第2の実施形態では、第2の配線領域102中の複数種類の絶縁層厚みを有する配線のうち、配線下部の絶縁層厚みが厚い構造のもの、すなわち厚みH3の絶縁層上の配線103cの方が、より高周波信号の伝送損失を抑制できる。なお、図3では第2の配線領域102中の配線を103bと103cの2種類で代表させているが、第2の配線領域102中の配線構造の絶縁層厚みと配線幅は2種類に限定されるものではない。また、第1の配線領域101の配線構造との関係を満たしていれば、第2の配線領域102中の配線構造における絶縁層厚みと配線幅の組み合わせは限定されない。

【0032】

(第3の実施形態)

図4を参照して第3の実施形態について説明する。

【0033】

第3の実施形態は、第1の配線領域101と第2の配線領域102との境界領域において、ビア(VIA)ホール、すなわち絶縁層を縦方向に貫通する穴を設け、その穴を導電体で埋めて、該導電体を介して配線106を接地電極105に接続するように形成する点以外は、第1の実施形態と同様な構成を有する。接地電極105に接続されたビアホール導電体および配線106を配置することで、第1の配線領域101中の配線の信号と第2の配線領域102中の配線の信号との電気的結合を抑制し、第2の配線領域102中を伝送する信号に対するノイズを抑制することができる。

【0034】

図4では、配線106を接地電極としての導電膜105に接続しているが、配線106は接地電極に接続していれば、接地電極との位置関係は限定されない。また、配線106の断面構造やビアホール導電体の断面構造は矩形に限定されない。

【0035】

10

20

30

40

50

また、図 4 のように一つのビアホール導電体で接地電極（導電膜）105に接続する構成とする代わりに、まず下部絶縁層104aの表面へ設けたランドへ、上部絶縁層104bを貫通する第 1 のビアホール導電体で接続し、そのランドと接地電極105とを下部絶縁層104aを貫通する第 2 のビアホール導電体で接続してもよい。この例は、実施例 2 として後で詳しく説明する。この場合、第 1 のビアホール導電体と第 2 のビアホール導電体は一直線とせず、ずらして配置してもよい。

【 0 0 3 6 】

また、図 4 の構造の上部に図 3 のように絶縁層104cを形成すると共に、絶縁層104c上の第 2 の配線領域102内における配線103bと配線103cとの間における絶縁層104c上に接地配線を設けてビアホール導電体を介して接地電極105へ接続させるようにしてもよい。

10

【 0 0 3 7 】

[実施例]

以下、本発明を、さらに詳細な実施例に基づき説明するが、本発明は、この実施例に限定されない。

【 0 0 3 8 】

(実施例 1)

図 1 を参照すると、前記第 1 の実施形態に記載の多層配線構造による第 1 の配線領域101として絶縁層104bの厚みH1が40 μm であり、配線103aの配線幅W1が104 μm 、配線厚みT1が12 μm であるマイクロストリップライン構造と、第 2 の配線領域102として絶縁層104の厚みH2が80 μm であり、配線103bの配線幅W2が215 μm 、配線厚みT2が12 μm であるマイクロストリップライン構造を、それぞれ前記第 1 の実施形態に記載の方法で同一基板上に形成した。

20

【 0 0 3 9 】

本実施例 1 における第 1 の配線領域101中の配線間距離G1は100 μm であり、第 1 の配線領域101の配線103aと第 2 の配線領域102の配線103bの配線間距離G2は150 μm であった。なお、絶縁層104として、空洞共振法によって求めた1GHzの比誘電率が2.5であり、かつ1GHzの誘電正接が0.01であるようなポリシクロオレフィン系絶縁材料を用いた。また、配線103a、103b、導電膜105として抵抗率が1.8 $\mu\Omega\cdot\text{cm}$ である金属銅をめっき法により形成した。

【 0 0 4 0 】

30

この多層配線基板100中の第 2 の配線領域102の信号周波数に対する伝送損失をSパラメータ法により測定した結果を図 5 に実線で示す。

【 0 0 4 1 】

また、第 1 の配線領域101の配線 1 本あたりの占有断面積を 1 とした場合、実施例 1 における多層配線基板100中の配線の占有断面積は10.1であった。

【 0 0 4 2 】

(比較例 1)

第 2 の配線領域102として、第 1 の配線領域101と同一の構造を有する、絶縁層104の厚みH2が40 μm であり、配線103bの配線幅W2が104 μm であるマイクロストリップライン構造を有する点以外は、前記実施例 1 と同様にして多層配線基板100を製造した。この第 2 の配線領域102の信号周波数に対する伝送損失をSパラメータ法により測定した結果を図 5 に破線で示す。

40

【 0 0 4 3 】

また、第 1 の配線領域101の配線 1 本あたりの占有断面積を 1 とした場合、比較例 1 における多層配線基板100中の配線の占有断面積は7.0であった。

【 0 0 4 4 】

(比較例 2)

第 1 の配線領域101として、第 2 の配線領域102と同一の構造を有する、絶縁層厚みが80 μm であり、配線幅が215 μm であるマイクロストリップライン構造を有する点以外は、前記実施例 1 と同様にして多層配線基板100を製造した。

50

【 0 0 4 5 】

この多層配線基板100中の第2の配線領域102の信号周波数に対する伝送損失は、実施例1の第2の配線領域102の信号周波数に対する伝送損失と同等の値となった。

【 0 0 4 6 】

また、第1の配線領域101の配線1本あたりの占有断面積を1とした場合、比較例2における多層配線基板100中の配線の占有断面積は29.9であった。

【 0 0 4 7 】

図5に示すように、実施例1の方が比較例1に比較して、高周波信号の伝送損失を低減できていることが確認できた。また、実施例1の方が比較例2に比較して配線の占有断面積を小さくすることが可能であることを確認した。

10

【 0 0 4 8 】

図6は、比誘電率 $\epsilon_r=2.6$ 、10GHzの誘電正接 $\tan \delta=0.01$ の誘電体の場合について配線幅W、誘電体厚さ（絶縁層厚み）Hと伝送損失の関係について求めた特性図である。

【 0 0 4 9 】

また、図7は誘電体厚さ（絶縁層厚み）と伝送損失の関係を、比誘電率 $\epsilon_r=2.6$ 、10GHzの誘電正接 $\tan \delta=0.01$ の誘電体の場合について求めた特性図である。図7に示すように、絶縁層の厚さを40 μm 以上とすると、伝送損失が極めて低減する。

【 0 0 5 0 】

一方、図8は10GHzの信号の伝送における誘電体厚さ（絶縁層厚み）と伝送損失の関係を、比誘電率 $\epsilon_r=2.6$ 、10GHzの誘電正接 $\tan \delta=0.01$ の誘電体（図中、左側）と、比誘電率 $\epsilon_r=3.4$ 、10GHzの誘電正接 $\tan \delta=0.023$ の誘電体（図中、右側）とで比較するために示した図である。

20

【 0 0 5 1 】

図9は、周波数5GHz以外は図8と同条件下で得られた誘電体厚さ（絶縁層厚み）と伝送損失の関係を示す。図9の左側に示すように、絶縁層の比誘電率 $\epsilon_r=2.6$ 、誘電正接 $\tan \delta=0.01$ とすると、図9の右側に比べて伝送損失が極めて低減することがわかる。

【 0 0 5 2 】

図6～図9からも、実施例1と同様に高周波信号の伝送損失を低減できることが確認でき、特に誘電体厚さ、すなわち絶縁層厚みを厚くすること、絶縁層の比誘電率および誘電正接を小さくすることによる伝送損失の低減効果が顕著であることが確認できる。なお、伝送損失の低減効果は、比誘電率が2.7以下、誘電正接が0.015以下で顕著である。

30

【 0 0 5 3 】

（実施例2）

図10を参照して、図3、図4で説明した第2、第3の実施形態を組み合わせた実施例である多層配線基板100について説明する。この多層配線基板100は、複数誘電体厚混載・高インピーダンスプリント配線基板と呼ぶことができ、その構造は、実装密度の低下を最小限度に抑制しつつ、一つのプリント配線基板100上にGHz帯域、特に10GHz以上の超高周波信号を低消費電力で伝送可能な領域を持つ。

【 0 0 5 4 】

この複数誘電体厚混載・高インピーダンスプリント配線基板の特徴をまとめると以下の通りである。

40

【 0 0 5 5 】

A) 一つのプリント配線基板100上に1GHz以下の低周波・直流電源を伝送するための高密度実装領域101と、1GHzを越える高周波伝送を低損失で実現可能な高周波伝送領域102を有する。

【 0 0 5 6 】

B) 高密度実装領域101は、配線幅Wを可能な限り微細に形成し、実装密度の向上を図る。誘電体厚みHは配線損失を抑えるために、極端な薄膜化は行わない。また、高密度実装領域101の配線特性インピーダンス Z_1 を125 Ω 以上に保ち、低消費電力を実現するためにも、誘電体膜の薄膜化は抑える必要がある。例えば比誘電率 $\epsilon_r=2.60$ のポリシクロオレフ

50

イン樹脂フィルムを用い、誘電体膜厚を $H1 = 40 \mu\text{m}$ 、配線高さ $T = 10 \mu\text{m}$ とした場合、特性インピーダンス $Z1 = 125 \Omega$ となる配線幅は、 $W1 = 9.4 \mu\text{m}$ である。この配線は、平滑めっきプリント配線技術によって実現可能である。

【0057】

C) 高周波伝送領域102は、第1の部分と第2の部分とを有する。配線金属損失を抑制するために誘電体膜厚を第1の部分では高密度実装領域101の誘電体膜厚の2倍($H2 = 2 \times H1$)またはそれ以上にし、第2の部分では3倍($H2' = 3 \times H1$)またはそれ以上とする。この誘電体膜厚は、ビルドアップ多層プリント配線基板の形成方法を応用することで実現可能である。すなわち高周波伝送領域102における下層誘電体樹脂膜上のめっき銅配線を、配線パターンニング時にエッチングにより除去し、その上に2層目、および3層目の樹脂膜をビルドアップすることで、特殊な工程を新たに導入することなく実現可能である。高周波伝送領域102の特性インピーダンス $Z2$ は 100Ω 以上とする。これは消費電力を低下させるとともに、誘電体樹脂膜厚の増加に伴う配線幅の増加を抑制し、実装密度を向上させるためである。例えば、比誘電率 $\epsilon_r = 2.60$ の誘電体樹脂膜を用い、誘電体膜厚を $H2 = 80 \mu\text{m}$ 、配線高さ $T = 10 \mu\text{m}$ とした場合、特性インピーダンス $Z2 = 50 \Omega$ となる配線幅は、 $W2 = 209 \mu\text{m}$ である。一方、特性インピーダンス $Z2 = 100 \Omega$ で配線を設計した場合、 $W2 = 52 \mu\text{m}$ となり、1/2の消費電力を実現しながら配線幅の増大を抑制できる。なお、第2の部分の配線の幅 $W2'$ は、第1の部分の配線の幅 $W2$ よりも大きく(好ましくは2倍以上に)してある。

【0058】

D) 高周波伝送領域102と高密度実装領域101の境界は、配線間の信号の電氣的結合を低減し伝送信号に重畳するクロストークノイズを抑制するために、ビアホールによるノイズシールドを設ける。高周波伝送領域102においても、第1の部分と第2の部分との配線間の信号の電氣的結合を低減するためにビアホール導電体によるノイズシールドを設けてある。前述した図4のように一つのビアホール導電体で接地電極(導電膜)105に接続する構成に代えて、本実施例では以下のような構成を採用している。まず下部絶縁層104aを貫通するビアホール導電体で下部絶縁層104aの表面に設けたランドと接地電極(導電膜)105とを接続し、続いて下部絶縁層104aの表面に設けたランドを、上部絶縁層104bを貫通するビアホール導電体で接続し、更に上部絶縁層104bの表面に設けたランドと絶縁層104cの表面に設けたランドをビアホール導電体で接続している。

【0059】

実施例2による複数誘電体厚混載・高インピーダンスプリント配線基板の効果を実証するために、以下の実験を行った。

【0060】

まず、複数誘電体厚混載・高インピーダンスプリント配線基板を、図11に示すビルドアップ多層プリント配線基板の作製フローによって試作した。誘電体樹脂膜には厚さ $H = 40 \mu\text{m}$ のポリシクロオレフィン樹脂を用い、高密度実装領域101として誘電体厚み $H1 = 40 \mu\text{m}$ 、配線幅 $W1 = 10 \mu\text{m}$ 、配線高さ $T = 10 \mu\text{m}$ の配線を持つ領域(特性インピーダンス $Z1 = 123 \Omega$)と、高周波伝送領域102として $H2 = 80 \mu\text{m}$ 、 $W2 = 50 \mu\text{m}$ 、 $T = 10 \mu\text{m}$ のマイクロストリップラインを持つ配線領域(特性インピーダンス $Z2 = 101 \Omega$)を同一基板上に試作し、複数誘電体厚混載・高インピーダンスプリント配線基板を実証した。

【0061】

高周波伝送領域102では、1層目の銅めっき配線をエッチング時に除去することで、2層目の誘電体樹脂膜と併せて膜厚を $2 \times H = H2 = 80 \mu\text{m}$ とする。このプロセスフローは、ポリシクロオレフィン樹脂上に平滑めっきを形成する技術を用いたビルドアップ多層プリント配線基板の配線形成工程で実現可能である。

【0062】

次に、高周波伝送領域102の伝送特性を確認するために、図11と同様のプロセスによってマイクロストリップライン構造を形成し、その高周波伝送特性を判定した。誘電体膜厚は、 $H = 40 \mu\text{m}$ のポリシクロオレフィン樹脂を2層あるいは3層重ねることによって $H2 = 80 \mu\text{m}$ と $H2' = 120 \mu\text{m}$ とした。配線の特性インピーダンスは、 $Z0 = 50 \Omega$ と、 $Z0 = 100 \Omega$ の二

10

20

30

40

50

種類を試作した。試作したマイクロストリップライン構造の配線寸法を図 1 2 に示す。

【 0 0 6 3 】

上記のマイクロストリップラインの伝送特性と、 $H = 40 \mu\text{m}$ のマイクロストリップラインの伝送特性の実測値を比較することによって、誘電体膜厚の違いが伝送特性に与える影響を実測し、複数誘電体厚混載・高インピーダンスプリント配線基板の優位性を実証することとした。また高周波RLGCモデルによって上記の複数誘電体厚混載・高インピーダンスプリント配線基板の伝送特性を解析し、その優位性を確認した。

【 0 0 6 4 】

図 1 3 に、低誘電率・低誘電損失・平滑めっき誘電体樹脂膜を用いて作製した、複数誘電体厚混載・高インピーダンスプリント配線基板の、断面光学顕微鏡観察像を示す。図中左側の高密度実装領域として $H1 = 40 \mu\text{m}$ の誘電体膜 1 層ごとに幅 $W1 = 10 \mu\text{m}$ の配線が形成されており、図中左側の高周波伝送領域として誘電体膜 2 層分の膜厚 $H2 = 80 \mu\text{m}$ に、配線幅 $W2 = 50 \mu\text{m}$ の配線が正確に形成されている。これにより、複数誘電体厚混載・高インピーダンスプリント配線基板を、ビルドアップ多層プリント配線基板プロセスによって形成可能なことを示している。

【 0 0 6 5 】

図 1 4 に、作製したマイクロストリップラインの高周波伝送特性を示す。低誘電率・低誘電損失・平滑めっき誘電体樹脂膜を用いて伝送損失を低減した上で、誘電体膜厚を $H2 = 80 \mu\text{m}$ あるいは $H2' = 120 \mu\text{m}$ にすることで、 $-3\text{dB}/10\text{cm}$ の伝送損失で 10GHz を越える超高周波伝送を実現している。特性インピーダンスを $Z0 = 100 \Omega$ として配線を微細化しても伝送損失は $Z0 = 50 \Omega$ のマイクロストリップラインとほぼ同じ損失に抑制されることを実証した。これは、配線金属損失が、配線抵抗 $\div$ (特性インピーダンス) $\times 2$ 、とほぼ等しいため、配線の微細化によって配線抵抗が増大しても、特性インピーダンスを増大させることによって配線損失の増大を防ぐことができるためである。このように、特性インピーダンスを高くすることによって配線を微細化することができるため、高周波信号伝送領域でも面内での実装密度の低下を抑制しながら、 10GHz を越える伝送信号を 10cm 以上伝搬可能であり、かつ配線 1 本あたりの消費電力を従来の $1/2$ 以下に抑制することが可能となる。

【 0 0 6 6 】

図 1 5 に、図 1 4 と同一の伝送特性の実測結果と高周波RLGCモデルによって得られた伝送特性の計算結果を示す。モデルに用いたポリシクロオレフィン樹脂の誘電体特性、配線寸法は図 1 2 の値を用いた。配線抵抗率は $\rho = 1.72 \mu\Omega \cdot \text{cm}$ とおき、表面荒れによる配線損失の増大は考慮しない。それぞれの膜厚において、実測結果と高周波RLGCモデルの計算結果が良い一致を見ており、誘電体-金属界面の荒れや、誘電体樹脂膜の積層による樹脂膜界面が伝送特性に与える影響がないことが分かる。

【 0 0 6 7 】

図 1 6 に、作製したマイクロストリップラインの伝送特性から計算した伝送可能距離を示す。伝搬可能距離は、 $/S21$ が -3dB 以下となる信号伝搬距離と定義している。プリント配線基板上でおおよそ必要な伝送距離 10cm と比較すると $H2 = 80 \mu\text{m} \cdot Z0 = 100 \Omega$ で $f_p = 13.0 \text{GHz}$ 、 $H2' = 120 \mu\text{m} \cdot Z0 = 100 \Omega$ では $f_p = 16.1\text{GHz}$ という超高周波が伝搬可能であることを実証した。

【 0 0 6 8 】

図 1 7 に、この伝送特性から計算した配線 1 本あたり、 10cm 伝送時の消費電力を示す。特性インピーダンス $Z0$ を 100Ω と高くし、かつ伝送損失を低減したことで、 10GHz の信号を伝送する際の配線一本あたり、 10cm 当たりの消費電力は $H2 = 80 \mu\text{m} \cdot Z0 = 100 \Omega$ の場合で $P_{\text{board}} = 13.3\text{mW}$ 、 $H2' = 120 \mu\text{m} \cdot Z0 = 100 \Omega$ では $P_{\text{board}} = 12.6\text{mW}$ の消費電力と、従来、エポキシ樹脂上に形成した $H = 40 \mu\text{m} \cdot Z0 = 50 \Omega$ のマイクロストリップラインの消費電力 51.3mW に比べて約 $1/4$ の消費電力に抑え、大幅な低消費電力化を実現した。低周波領域でも、特性インピーダンスを 2 倍にしたために、消費電力を $1/2$ に低減できることを確認した。

【 0 0 6 9 】

図 1 8 には、試作したマイクロストリップラインの伝送特性を、距離 10cm を -3dB の損失

10

20

30

40

50

に抑えて伝搬可能な周波数 f_p と、配線 1 本あたりの消費電力 P_{board} として従来例と比較しつつ示す。低誘電率・低誘電損失・平滑めっき技術を用いたポリシクロオレフィン樹脂を誘電体樹脂膜として用いた複数誘電体圧混載配線構造を用いることで、10GHz以上の信号伝送を、従来の1/2以下の低消費電力で、実装密度を維持しながら達成できる、超高周波・低消費電力・高密度プリント配線基板が実現できる。

【0070】

なお、上記各実施例において絶縁層104としてポリシクロオレフィン系絶縁材料を用いたが、前記JISC3005で測定した比抵抗が $1k\Omega\cdot cm$ 以上の絶縁体であればこれに限定されず、例えばエポキシ樹脂、フェノール樹脂、ポリイミド樹脂、ポリエステル樹脂、フッ素樹脂、変性ポリフェニルエーテル樹脂、ビスマレイミド・トリアジン樹脂、変性ポリフェニレンオキサイド樹脂、ケイ素樹脂、アクリル樹脂、ベンゾシクロブテン樹脂、ポリエチレンナフタレート樹脂、ポリシクロオレフィン樹脂、ポリオレフィン樹脂、シアネートエステル樹脂及びメラミン樹脂などが例示される。また、実施例において、配線103a、103b及び導電膜105の材料として金属銅を用いたが、前記JISC3005で測定した比抵抗が $1k\Omega\cdot cm$ 未満の材料であればこれに限定されず、例えば銅、金、銀、アルミニウム、ニッケル、導電性カーボンなどが例示される。また、配線103a、103b及び導電膜105の形成方法は、めっき法に限定されず、例えばスパッタ法、有機金属CVD法、銅などの金属膜の接着法などを用いても良い。

10

【0071】

また、本発明は、上述した実施形態に限定されるものではなく、本発明の範囲内で種々に改変することができる。例えば、本発明に係わる配線構造は、マイクロストリップ配線構造以外の配線構造、例えばストリップ配線構造、あるいはその他の多層配線構造にも用いることができる。

20

【0072】

以下に、本発明が取り得る態様について記載する。

【0073】

(態様1)

上記各実施形態による多層配線基板を半導体素子の搭載基板として用いたことを特徴とする半導体装置。

【0074】

30

(態様2)

前記半導体素子と前記多層配線基板とが同一パッケージに収容されていることを特徴とする態様1の半導体装置。

【0075】

(態様3)

前記第1の配線領域には周波数が1GHz以下の信号が伝送され、前記第2の配線領域には周波数が1GHzを越える信号が伝送されることを特徴とする態様1または2の半導体装置。

【0076】

(態様4)

前記第2の配線領域には信号を1cm以上伝送する部分を含むことを特徴とする態様1から3のいずれかの半導体装置。

40

【0077】

(態様5)

上記各実施形態による多層配線基板を複数の電子部品の搭載基板として用いたことを特徴とする電子装置。

【0078】

(態様6)

前記複数の電子部品と前記多層配線基板とが同一容器に収容されていることを特徴とする態様5の電子装置。

【0079】

50

(態様 7)

前記第 1 の配線領域には周波数が 1GHz 以下の信号が伝送され、前記第 2 の配線領域には周波数が 1GHz を越える信号が伝送されることを特徴とする態様 5 または 6 の電子装置。

【 0 0 8 0 】

(態様 8)

前記第 2 の配線領域には信号を 1cm 以上伝送する部分を含むことを特徴とする態様 5 から態様 7 のいずれかの電子装置。

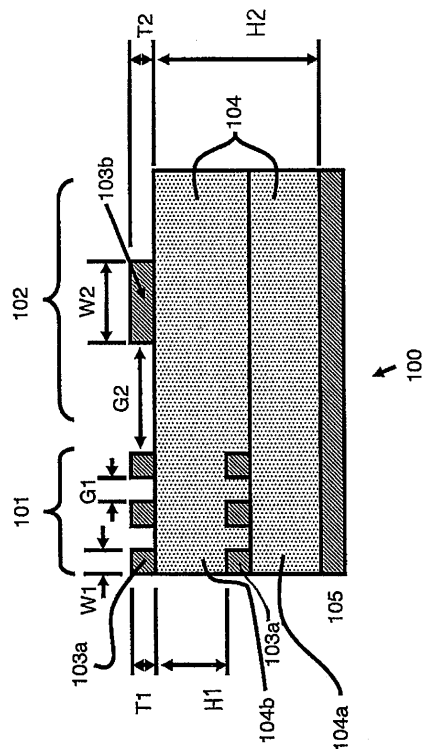
【符号の説明】

【 0 0 8 1 】

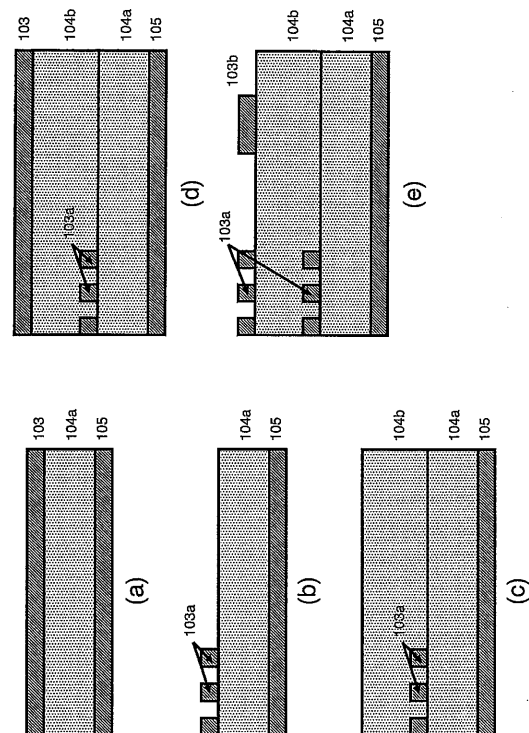
- 100 多層配線基板
- 101 第 1 の配線領域 (高密度実装領域)
- 102 第 2 の配線領域 (高周波伝送領域)
- 103a 第 1 の配線領域中の配線
- 103b、103c 第 2 の配線領域中の配線
- 104、104a、104b 絶縁層
- 105 導電膜 (接地電極)

10

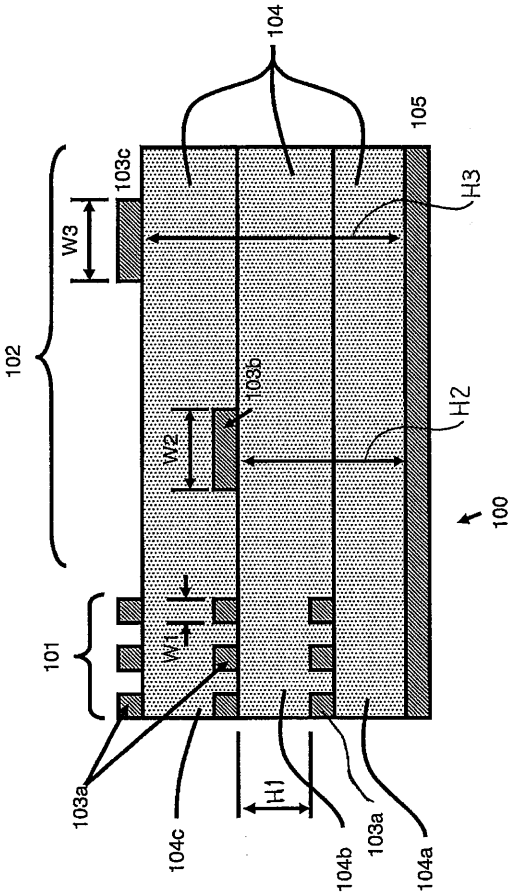
【 図 1 】



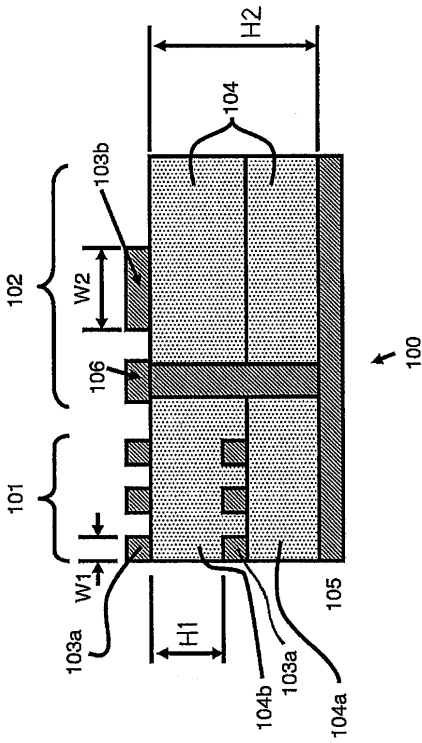
【 図 2 】



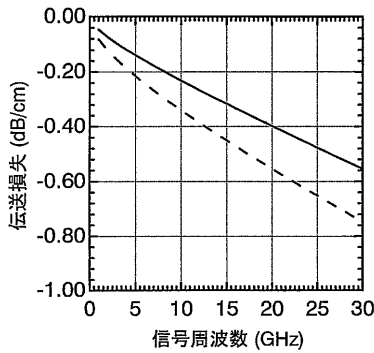
【 図 3 】



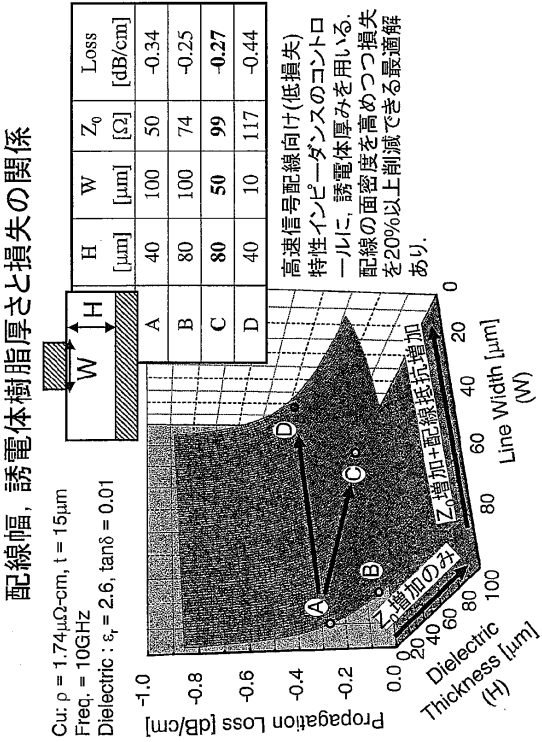
【 図 4 】



【 図 5 】

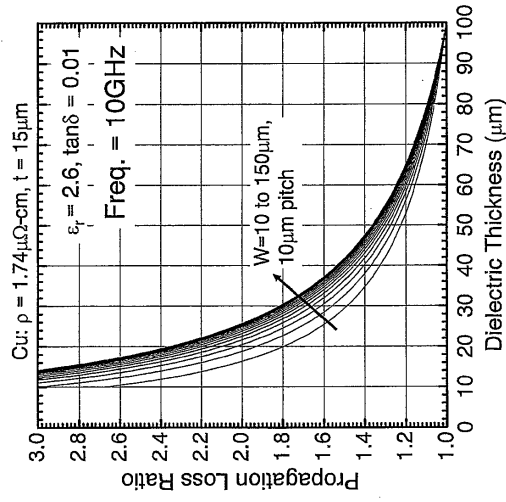


【 図 6 】



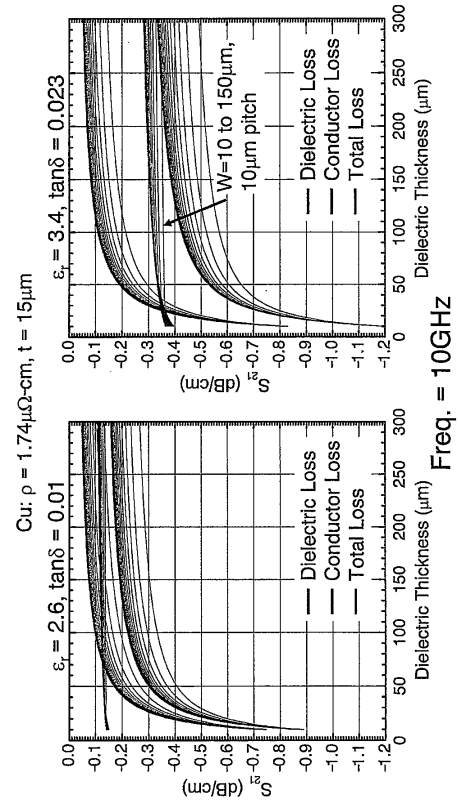
【図 7】

Propagation Loss as a Function of Dielectric Thickness



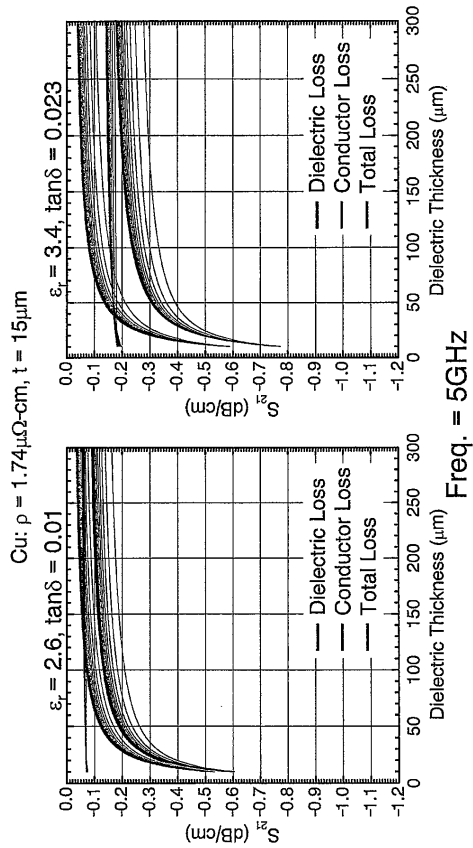
【図 8】

Propagation Loss as a Function of Dielectric Thickness

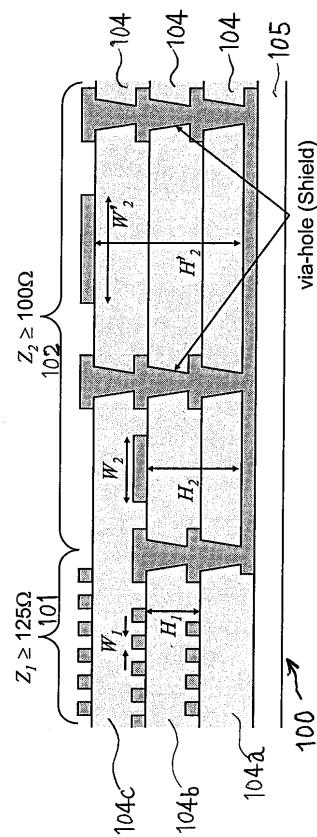


【図 9】

Propagation Loss as a Function of Dielectric Thickness



【図 10】



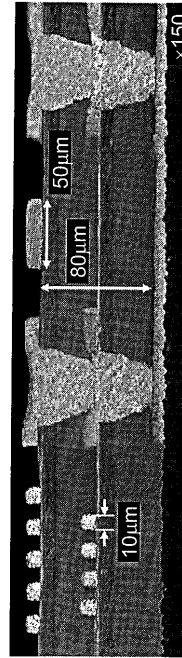
【図 1 1】

- 1) Preparing Core Substrate (Cu Clad Glass Epoxy)
 - 2) Laminating Cyclo-Olefin Film
 - 3) Adhesion Promoter Penetrating
 - 4) Thermal Process for Curing the Cyclo-Olefin Film
 - 5) Opening Via Hole
 - 6) Treating Smear and Removing the Low-Molecular-Weight Layer with MnO_4^-
 - 7) Neutralization
 - 8) Catalyst Addition
 - 9) Catalyst Activation
 - 10) Plating Electro-less Cu
 - 11) Lithography
 - 12) Plating Electricity Cu
 - 13) Removing Resist
 - 14) Thin Cu (Electro-less Cu) Etching
- 2 or 3 times Repeat

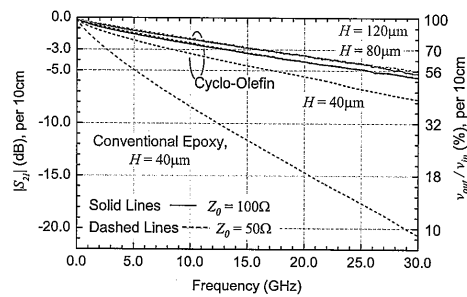
【図 1 2】

	$Z_0 = 50\Omega$	$Z_0 = 100\Omega$
$H_2 = 80\mu\text{m}$	$W_2 / T(\mu\text{m}) = 205 / 15$	48.0 / 15
$H_2 = 120\mu\text{m}$	315 / 15	77.0 / 15
$H = 40\mu\text{m}$	101.2 / 10	22.4 / 10

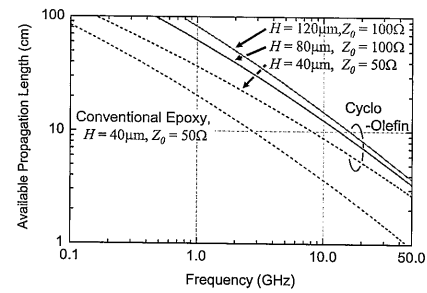
【図 1 3】



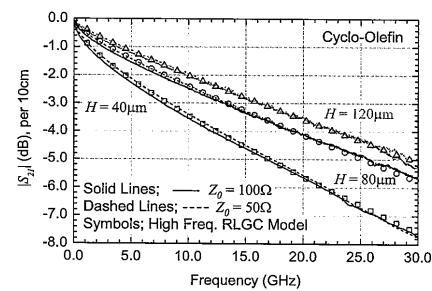
【図 1 4】



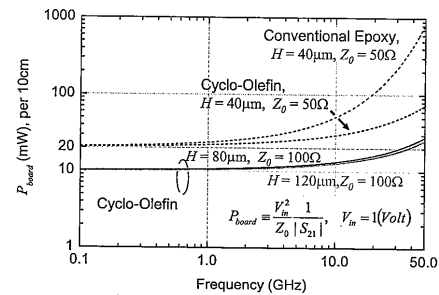
【図 1 6】



【図 1 5】



【図 1 7】



【図 18】

	f_p (GHz)	P_{board} (mW)
$H_2 = 80\mu\text{m} \cdot Z_0 = 100\Omega$	13.0	13.3
Poly Cyclo-Olefin $H_2 = 120\mu\text{m} \cdot Z_0 = 100\Omega$	16.1	12.6
$H = 40\mu\text{m} \cdot Z_0 = 50\Omega$	8.38	29.7
Conventional Epoxy $H = 40\mu\text{m} \cdot Z_0 = 50\Omega$	2.45	51.3

フロントページの続き

- (72)発明者 須川 成利
宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内
- (72)発明者 今井 紘
宮城県仙台市太白区八木山本町一丁目24番11号201
- (72)発明者 寺本 章伸
宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内

審査官 越本 秀幸

- (56)参考文献 特開2006-074014(JP,A)
特開2003-133471(JP,A)
特開2008-109331(JP,A)
特開平11-003904(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| H01L | 23/12 |
| H01L | 23/02 |
| H01P | 3/08 |
| H05K | 3/46 |