



(12) 发明专利

(10) 授权公告号 CN 102934362 B

(45) 授权公告日 2015. 09. 30

(21) 申请号 201080065535. 7

(22) 申请日 2010. 12. 16

(30) 优先权数据

12/690, 115 2010. 01. 20 US

(85) PCT国际申请进入国家阶段日

2012. 09. 18

(86) PCT国际申请的申请数据

PCT/US2010/060767 2010. 12. 16

(87) PCT国际申请的公布数据

W02011/090623 EN 2011. 07. 28

(73) 专利权人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 J·G·瓦德卡 S·赛斯 K·雷迪

(74) 专利代理机构 北京纪凯知识产权代理有限公司
11245

代理人 赵蓉民

(51) Int. Cl.

H04L 25/02(2006. 01)

H03K 19/0185(2006. 01)

(56) 对比文件

US 7474131 B1, 2009. 01. 06, 说明书第 5 栏第 8 行至第 6 栏第 8 行以及附图 1 至 4.

JP 特开 2003-309460 A, 2003. 10. 31, 说明书第 22 段至第 35 段以及附图 2 至 3.

CN 101246678 A, 2008. 08. 20, 全文.

审查员 李佳

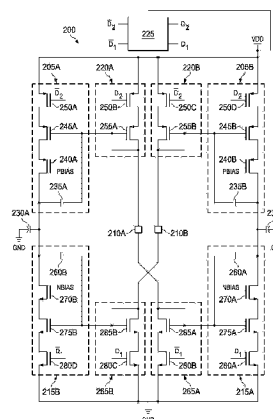
权利要求书1页 说明书8页 附图6页

(54) 发明名称

用于高电压差分信号传输的驱动电路

(57) 摘要

本发明涉及一种用于高电压差分信号传输的驱动电路 200。该电路包括响应于输入在第一输出产生第一正跳变的第一正驱动器(205A)。电路还包括耦合到第一正驱动器从而能够产生电流的第一电流元件(210A)。进一步,电路包括耦合到第一电流元件(210A)的第一负驱动器(215A),并且第一负驱动器(215A)响应于输入和由于第一电流元件(210A)的电流,以与所述第一正跳变的速率相似的速率在第二输出产生第一负跳变。



1. 一种电路,包含:

第一正驱动器,其响应于输入在第一输出产生第一正跳变;

第一电流元件,其耦合到所述第一正驱动器,从而能够产生电流;

第一负驱动器,其耦合到所述第一电流元件,并且所述第一负驱动器响应于所述输入和由于所述第一电流元件的电流,在第二输出产生第一负跳变,所述第一负跳变的速率与所述第一正跳变的速率相似;

第二正驱动器,其能够响应于另一输入,在所述第二输出产生第二正跳变;

第二电流元件,其耦合到所述第二正驱动器,并且能够产生电流;以及

第二负驱动器,其耦合到所述第二电流元件,并且所述第二负驱动器能够响应于所述另一输入和由于所述第二电流元件的电流,在所述第一输出产生第二负跳变,所述第二负跳变的速率与所述第二正跳变的速率相似;

其中每个驱动器包含:

耦合到负载的反馈电容器;

耦合到所述反馈电容器的驱动晶体管,以第一预定义电压对所述驱动晶体管预施加偏压;以及

以级联连接方式耦合到所述驱动晶体管的晶体管,以第二预定义电压对该晶体管施加偏压,从而隔离由于反馈电容器形成的所述驱动晶体管的反馈电容和所述驱动晶体管的栅极到漏极电容。

2. 根据权利要求 1 所述的电路,其中每个驱动器进一步包含耦合到所述驱动晶体管的开关,所述开关响应于控制信号,引起所述驱动晶体管在输出产生跳变。

3. 根据权利要求 2 所述的电路,进一步包含耦合到所述驱动晶体管和电源的偏压电路,所述偏压电路以所述第一预定义电压对所述驱动晶体管预施加偏压。

4. 根据权利要求 3 所述的电路,其中所述偏压电路包含耦合到所述驱动晶体管的二极管;和开关,所述开关耦合到所述二极管,从而将所述驱动晶体管的栅极充电至所述第一预定义电压。

5. 根据权利要求 4 所述的电路,进一步包含耦合到所述第一正驱动器和所述第一负驱动器的箝位电路,并且响应于所述第一正跳变和所述第一负跳变的完成,将所述第一正驱动器的栅极电压和所述第一负驱动器的栅极电压维持在各自的预定义范围内。

6. 根据权利要求 1 所述的电路,进一步包含电平转换电路;和预驱动电路,所述预驱动电路耦合到所述电平转换电路并且连同所述电平转换电路产生信号以驱动至少一个驱动器。

用于高电压差分信号传输的驱动电路

技术领域

[0001] 本公开的实施例涉及用于高电压差分信号传输的驱动电路。

背景技术

[0002] 差分信号传输用于不同的应用中,例如,用于驱动通用串行总线(USB)。数据传输速度在多个应用之间可以变化,也可以在一个应用内变化。例如,对于 USB,理想的是 12Mbps 和 1.5Mbps 的传输速度。在低速传输模式,由于 USB 电缆不同,随负载满足差分信号传输的需求是个挑战。需求包括控制两个输出的转换速率、在某个范围内控制两个输出的上升时间与下降时间之比、以及控制两个输出的上升沿与下降沿的开始时间以便满足交叉电压(cross-over voltage)的需求。两个输出彼此不同,并且均包括正跳变和负跳变。

[0003] 在图 1 中示出了用于差分信号传输的电路 100(现有技术)。当驱动器 105 被激活时,在输出节点 110 处获得正跳变,并且当驱动器 115 被激活时,在输出节点 110 处获得负跳变。驱动器 105 响应预驱动电路 125 和输入节点 120 的输入产生正跳变,而驱动器 115 响应预驱动电路 130 和输入节点 120 的另一个输入产生负跳变。电路 100 的两个实例,一个实例独立地产生正跳变,另一个实例独立地产生负跳变,两者一起形成伪差分驱动器。在所示的实例中,电路 100 的第一实例的驱动器 105 被激活,并且与第二实例的驱动器 115 相似的驱动器被激活,从而提供两个输出。通过以下式子给出两个输出的转换速率:

$$[0004] \quad \frac{I_n}{C_f + C_{gdn}} \text{ 下降跳变转换速率} \quad (1)$$

$$[0005] \quad \frac{I_p}{C_f + C_{gdp}} \text{ 上升跳变转换速率} \quad (2)$$

[0006] 其中, I_n 是第二实例的灌电流(source current), I_p 是第一实例的拉电流(sink current), C_f 是反馈电容器 135 的电容, C_{gdn} 是与驱动器 115 相似的驱动器的栅极到漏极电容,以及 C_{gdp} 是驱动器 105 的栅极到漏极电容。

[0007] 期望的是,在两个输出具有相似的转换速率,从而在两个输出的点上实现理想跨越。然而,公式 1 和公式 2 示出,一个实例的上升跳变的转换速率不同于另一个实例的下降跳变的转换速率,反之亦然。为了具有相似的转换速率,“ I_n ”需要等于“ I_p ”。可以通过利用不同的电流镜像技术使“ I_n ”匹配“ I_p ”,但是以额外的面积或功率为代价。而且,电流镜像技术导致随着工艺变化(process-scaling)而变糟的不匹配。进一步, C_{gdn} 和 C_{gdp} 引起两个输出的下降时间和上升时间的不匹配。为了使 C_{gdn} 和 C_{gdp} 之间的不匹配不明显, C_f 可以更大,但是以额外面积为代价。而且,两个输出的上升沿和下降沿的开始时间分别取决于驱动器 105 的栅极的寄生电容和与驱动器 115 相似的驱动器的栅极的寄生电容,并且是不受控制的,引起交叉电压从期望值的额外改变。

发明内容

[0008] 电路的实例包括响应于输入在第一输出产生第一正跳变的第一正驱动器。该电路

还包括耦合到第一正驱动器从而能够产生电流的第一电流元件。该电路进一步包括耦合到第一电流元件的第一负驱动器,并且该第一负驱动器响应于输入和由于第一电流元件的电流,在第二输出以与第一正跳变的速率相似的速率产生第一负跳变。

[0009] 用于在输出产生跳变的示例性驱动器电路包括耦合到负载的第一反馈电容器。该驱动电路还包括第一驱动晶体管,该第一驱动晶体管的栅极耦合到第一反馈电容器,并且以第一预定义电压对所述第一驱动晶体管预施加偏压,从而响应于第一输入控制输出在第一跳变开始时的转换速率。进一步,驱动电路包括以级联连接方式耦合在第一反馈电容器和第一驱动晶体管的漏极之间的第一晶体管,以第二预定义电压对所述第一晶体管施加偏压,从而隔离由于第一反馈电容器的第一驱动晶体管的第一反馈电容和第一驱动晶体管的栅极到漏极电容,以及防止第一驱动晶体管的漏极的电压超过第一预定义值。而且,该驱动电路包括耦合到第一驱动晶体管的源极的第一开关,并且第一开关响应于第一控制信号引起第一驱动晶体管在输出产生第一跳变。该驱动电路还包括耦合到负载的第二反馈电容器。进一步,驱动电路包括第二驱动晶体管,该第二驱动晶体管的栅极耦合到第二反馈电容器,以第三预定义电压对该第二驱动晶体管施加电压,从而响应于第二输入控制输出在第二跳变开始时的转换速率。而且,驱动电路包括以级联连接方式耦合在第二反馈电容器和第二驱动晶体管的漏极之间的第二晶体管,以第四预定义电压对第二晶体管施加偏压,从而隔离由于第二反馈电容器的第二驱动晶体管的第二反馈电容和第二驱动晶体管的栅极到漏极电容,以及防止第二驱动晶体管的漏极的电压超过第二预定义值。驱动电路还包括耦合到第二驱动晶体管的源极的第二开关,并且响应于第二控制信号,引起第二驱动晶体管在输出产生第二跳变。

[0010] 用于控制驱动电路中的转换速率的示例性方法包括将第一驱动器预充电至第一预定义电压,和将第二驱动器预充电至第二预定义电压。该方法还包括驱动电流通过第一驱动器和第二驱动器。进一步,该方法包括响应输入通过第一驱动器产生第一输出和通过第二驱动器产生第二输出,其中第二输出的转换速率等于第一输出的转换速率。

附图说明

- [0011] 图 1 示出了根据现有技术的用于差分信号传输的电路;
- [0012] 图 2 示出了根据一个实施例的电路;
- [0013] 图 3 示出了根据一个实施例的箝位电路;
- [0014] 图 4 示出了根据一个实施例的驱动晶体管的栅极的电压波形的示例表示;
- [0015] 图 5 示出了根据另一个实施例的电路;
- [0016] 图 6 是根据一个实施例的用于控制驱动电路的转换速率的方法的流程图;
- [0017] 图 7 是根据一个实施例的电路的两个输出的示例表示。

具体实施方式

[0018] 参考图 2,电路 200 包括耦合到第一电流元件 210A 的第一正驱动器 205A。电流元件 210A 耦合到第一负驱动器 215A。电路 200 还包括耦合到第二电流元件 210B 的第二正驱动器 205B。电流元件 210B 耦合到第二负驱动器 215B。每个驱动器耦合到偏压电路。例如,正驱动器 205A 耦合到偏压电路 220A,正驱动器 205B 耦合到偏压电路 220B,负驱动器

215A 耦合到偏压电路 265A, 并且负驱动器 215B 耦合到偏压电路 265B。每个驱动器还耦合到负载。例如, 正驱动器 205A 和负驱动器 215B 耦合到负载 230A, 正驱动器 205B 和负驱动器 215A 耦合到负载 230B。

[0019] 正驱动器 205A 包括反馈电容器 235A。电容器 235A 的一个端子耦合到负载 230A 和晶体管 240A 的漏极, 并且另一个端子耦合到驱动晶体管 245A 的栅极。晶体管 240A 以级联连接方式耦合到驱动晶体管 245A。晶体管 240A 的源极耦合到驱动晶体管 245A 的漏极。驱动晶体管 245A 的源极耦合到开关 250A (例如晶体管)。开关 250A 的源极耦合到电源 (VDD)。驱动晶体管 245A 的栅极耦合到偏压电路 220A。偏压电路 220A 包括耦合到开关 250B (例如晶体管) 的二极管 255A。开关 250B 耦合到电源。二极管 255A 耦合到电流元件 210A。

[0020] 负驱动器 215A 包括反馈电容器 260A。电容器 260A 的一个端子耦合到负载 230B 和晶体管 270A 的漏极, 并且另一个端子耦合到驱动晶体管 275A 的栅极。晶体管 270A 以级联连接方式耦合到驱动晶体管 275A。晶体管 270A 的源极耦合到驱动晶体管 275A 的漏极。驱动晶体管 275A 的源极耦合到开关 280A (例如晶体管)。开关 280A 的源极耦合到地 (GND)。驱动晶体管 275A 的栅极耦合到偏压电路 265A。偏压电路 265A 包括耦合到开关 280B (例如晶体管) 的二极管 285A。开关 280B 耦合到地。二极管 285A 耦合到电流元件 210A。

[0021] 正驱动器 205B 包括反馈电容器 235B。电容器 235B 的一个端子耦合到负载 230B 和晶体管 240B 的漏极, 另一个端子耦合到驱动晶体管 245B 的栅极。晶体管 240B 以级联连接方式耦合到驱动晶体管 245B。晶体管 240B 的源极耦合到驱动晶体管 245B 的漏极。驱动晶体管 245B 的源极耦合到开关 250D (例如晶体管)。开关 250D 的源极耦合到电源 (VDD)。驱动晶体管 245B 的栅极耦合到偏压电路 220B。偏压电路 220B 包括耦合到开关 250C (例如晶体管) 的二极管 255B。开关 250C 耦合到电源。二极管 255B 耦合到电流元件 210B。

[0022] 负驱动器 215B 包括反馈电容器 260B。电容器 260B 的一个端子耦合到负载 230A 和晶体管 270B 的漏极, 并且另一个端子耦合到驱动晶体管 275B 的栅极。晶体管 270B 以级联连接方式耦合到驱动晶体管 275B。晶体管 270B 的源极耦合到驱动晶体管 275B 的漏极。驱动晶体管 275B 的源极耦合到开关 280D (例如晶体管)。开关 280D 的源极耦合到地。驱动晶体管 275B 的栅极耦合到偏压电路 265B。偏压电路 265B 包括耦合到开关 280C (例如晶体管) 的二极管 285B。开关 280C 耦合到地。二极管 285B 耦合到电流元件 210B。

[0023] 电路 200 也可以包括电平转换器电路和预驱动电路。电平转换电路和预驱动电路可以共同被称为耦合到每个开关的电路 225。

[0024] 电容器 235A、电容器 235B、电容器 260A 和电容器 260B 是具有相似电容的相同电容器。在某些实施例中, 电容器 235A、电容器 235B、电容器 260A 和电容器 260B 可以基于应用需求具有不同的电容。

[0025] 驱动晶体管 245A、驱动晶体管 245B、晶体管 240A 和晶体管 240B 是阳极金属氧化物半导体 (PMOS) 型晶体管。开关 250A、开关 250B、开关 250C 和开关 250D 也是 PMOS 型晶体管。二极管 255A 和二极管 255B 是 PMOS 型二极管。驱动晶体管 275A、驱动晶体管 275B、晶体管 270A 和晶体管 270B 是阴极金属氧化物半导体 (NMOS) 型晶体管。开关 280A、开关 280B、开关 280C 和开关 280D 也是 NMOS 型晶体管。二极管 285A 和二极管 285B 是 NMOS 型二极管。驱动晶体管 245A、驱动晶体管 245B、驱动晶体管 275A、驱动晶体管 275B、开关 250A、

开关 250B、开关 250C、开关 250D、开关 280A、开关 280B、开关 280C 和开关 280D 均是薄栅氧化物晶体管。薄栅氧化物晶体管有助于具有更高的增益并且优化面积。晶体管 240A、晶体管 240B、晶体管 270A 和晶体管 270B 是厚栅氧化物晶体管，从而可靠地接收高输出电压。晶体管大小的选择可以取决于输出压摆和速度要求。

[0026] 电流元件的示例包括但不限于电阻器和电流源。不同的电路可以用作电路 225，例如标题为“Method and apparatus for high voltage level shifting”的美国专利 US. 5539334 中描述的电路。每个反馈电容器可以包括一个或更多个金属氧化物电容器。也可以使用其他类型的电容器，例如，Nwell 电容器、陶瓷电容器、气隙电容器、真空电容器、电介质电容器和薄膜电容器。每个负载可以是匹配的电容性负载。在某些实施例中，每个电容器可以是电容器堆。

[0027] 电路 200 可以用作信号传输，例如高电压差分信号传输的驱动电路。驱动电路也可以用于驱动负载。例如，电路 200 可以用于驱动通用串行总线(USB)电缆。电路 200 也可以用于超深亚微米(UDSM)工艺设备。

[0028] 电路 200 响应输入提供两个输出。两个输出彼此不同，并且包括相反的跳变。对于不同的驱动器，输入可以不同，并且输入可以从电路 225 获得。在负载 230A 和负载 230B 两端获得两个输出。负载 230A 或负载 230B 中任何一个两端的输出可以被称为第一输出或第二输出。在一个方面中，两个输出包括在第一输出的第一正跳变(上升沿)和在第二输出的第一负跳变(下降沿)。在另一个方面中，两个输出包括在第一输出的第二负跳变和在第二输出的第二正跳变。例如，当驱动器 205A 被激活而驱动器 215B 被停用时，可以在负载 230A 两端获得正跳变，而当驱动器 215A 被激活而驱动器 205B 被停用时，可以在负载 230B 两端获得负跳变。相似地，当驱动器 205B 被激活而驱动器 215A 被停用时，可以在负载 230B 两端获得正跳变，而当驱动器 215B 被激活而驱动器 205A 被停用时，可以在负载 230A 两端获得负跳变。

[0029] 在下面解释电路 200 在负载 230A 两端产生正跳变和在负载 230B 两端产生负跳变的工作：

[0030] D2 信号和 D2' 信号分别是输入信号 D1 和 D1' 的电平转换形式。输入信号被称为输入数据信号。D2 和 D2' 驱动 p 沟道开关，例如开关 250A、开关 250B、开关 250C 和开关 250D。D1 和 D1' 驱动 n 沟道开关，例如开关 280A、开关 280B、开关 280C 和开关 280D。在一个示例中，最初，D1 和 D2 处于逻辑电平 L0。负载 230A 两端的输出电压处于低电压，例如 0 伏特(V)，而负载 230B 两端的输出处于高电压，例如 3.3V。开关 250B、二极管 255A、开关 280B 和二极管 285A 被激活，从而以各自的预定义电压(第一预定义电压)对驱动晶体管 245A 的栅极和驱动晶体管 275A 的栅极预施加偏压。预定义电压可以近似于各驱动晶体管的阈值电压。还通过分别利用 PBIAS 信号和 NBIAS 信号，基于各自的阈值电压(第二预定义电压)对晶体管 240A 和晶体管 270A 适当地施加偏压，从而将晶体管 240A 和晶体管 270A 与对应负载两端的电压屏蔽，并且防止对应的驱动晶体管的漏极受到栅极氧化物可靠性极限限制的可允许最大交叉电压的影响。开关 250A 和开关 280A 被停用。

[0031] D1 从逻辑电平 L0 (低)切换至逻辑电平 HI (高)(第一控制信号)。D2 也处于逻辑电平 HI。切换可以被称为驱动晶体管 245A 和驱动晶体管 275A 的输入。然后，开关 250B 和开关 280B 变成被停用。开关 250A 和开关 280A 变成被激活。包括开关 250A、驱动晶体管

245A 和晶体管 240A 的激活路径在负载 230A 两端产生正跳变。相似地,包括开关 280A、驱动晶体管 275A 和晶体管 270A 的另一个激活路径在负载 230B 两端产生负跳变。

[0032] 由于对驱动晶体管 245A 和驱动晶体管 275A 预施加偏压至各自的阈值电压,所以负载 230A 两端的正跳变和负载 230B 两端的负跳变以最小延迟和受控制且成比例的转换速率开始。预施加偏压可以降低跳变的起始时间对 n 沟道驱动晶体管(例如驱动晶体管 275A)和 p 沟道驱动晶体管(例如驱动晶体管 245A)的阈值电压的依赖性。预施加偏压可以通过降低依赖性而提高交叉电压,还可以有助于以高增益开始跳变循环。在一个示例中,当跳变从正驱动器 205B 进行到正驱动器 205A 时,跳变循环可以被称为正驱动器 205A。相似地,在所示的示例中,负驱动器 215A 可以被称为跳变循环。跳变起始时间的延迟可能是由于驱动晶体管 245A 的栅极和驱动晶体管 275A 的栅极分别逐渐稳定到过驱动电压 ε_p 和 ε_n ,从而在负载 230A 两端的输出和在负载 230B 两端的输出产生需要的转换速率所花费的时间。所需的过驱动电压可以是负载 230A 两端的输出和负载 230B 两端的输出的函数。因此,驱动晶体管 245A 的栅极和驱动晶体管 275A 的栅极的稳定取决于各自的负载、各自的当前元件的强度和驱动晶体管各自栅极的寄生电容。例如,驱动晶体管 245A 可以具有偏移量 ε_p ,因此当栅极电压达到阈值电压 + ε_p 时(其中 ε_p 为负),则开始产生正跳变。同理,驱动晶体管 275A 可以在阈值电压 + ε_n 开始产生负跳变。

[0033] 输出的跳变速率可以被称为转换速率。电容器 230A 的转换速率可以被确定为:

$$[0034] \quad \frac{Is1}{Cf} \quad (3)$$

[0035] 其中 Is1 是流过电容器 235A 的电流,Cf 是电容器 235A 的电容。

[0036] 同理,电容器 230B 的转换速率可以被确定为:

$$[0037] \quad \frac{Is2}{Cf} \quad (4)$$

[0038] 其中 Is2 是流过电容器 260A 的电流,而 Cf 是电容器 260A 的电容。

[0039] 由于驱动器 205A 和驱动器 215A 是交叉耦合的,所以 Is1 等于 Is2。Is1 和 Is2 可以表示为 Is。Is 流过电容器 235A、电流元件 210A 和电容器 260A。当开关 250A 和开关 280A 被激活时,电流元件 210A 能够连同电容器 235A 和电容器 260A 产生 Is。Is 也可以取决于下面等式中所示的不同的其他因素。电容器 230A 和电容器 230B 的转换速率可以被确定为:

$$[0040] \quad \frac{Is}{Cf} \quad (5)$$

[0041] 其中 Is 由下式给出:

$$[0042] \quad Is = (Io + I\delta) - \sqrt{(Io + I\delta)^2 - Io^2} \quad (6)$$

[0043] 其中 Io 和 I δ 由下式给出:

$$[0044] \quad Io = \frac{(VDD - Vtn - Vtp)}{R} \quad (7)$$

$$[0045] \quad I\delta = \frac{Cl}{KpnCfR^2} \quad (8)$$

[0046] 其中 VDD 是电源,Vtn 是驱动晶体管 275A 的阈值电压,Vtp 是驱动晶体管 245A 的阈值电压,R 是电流元件 210A 的电阻,C1 是负载 230A 和负载 230B 的电容,以及 Kpn 由下式

给出：

$$[0047] \quad \frac{1}{\sqrt{K_{pn}}} = \frac{1}{\sqrt{K_p}} + \frac{1}{\sqrt{K_n}}$$

[0048] 其中 K_p 和 K_n 分别是驱动晶体管 245A 的强度和驱动晶体管 275A 的强度。

[0049] 正驱动器 205A 与负驱动器 215A 通过电流元件 210A 的耦合以及正驱动器 205B 与负驱动器 215B 通过电流元件 210B 的耦合可以被称为交叉耦合。由于电容器, 具有负反馈的交叉耦合有助于在两个输出实现相似的转换速率, 并且还工艺、电源电压和温度变化具有较低的灵敏度。进一步, 如等式 5、6 和 8 中所示, 通过增加 K_{pn} , 可以进一步降低负载 230A 和负载 230B 的转换速率的二级依赖性, 其中 K_{pn} 是驱动晶体管 245A 和驱动晶体管 275A 的组合强度。而且, 由于交叉耦合, 产生正跳变消耗的时间(上升时间)与产生负跳变消耗的时间(下降时间)之比在期望范围内, 例如接近于整数。由于通过电流元件 210A 和电流元件 210B 的交叉耦合, 交叉电压也维持在期望范围内, 例如大约电源和地的中点(1.65V)。

[0050] 在某些实施例中, 电流元件 210A 可以匹配电流元件 210B, 并且该匹配有助于在两个输出实现相似的转换速率和在随后的跳变中实现期望的上升时间与下降时间之比。负载 230B 的负跳变之后是负载 230B 的正跳变, 负载 230A 的正跳变之后是负载 230B 的负跳变, 其可以共同被称为每个负载随后的跳变。该匹配还有助于实现正跳变和负跳变的相似起始时间。由于正跳变和负跳变的起始时间可以相似, 所以通过两个输出端的电流也可以被最小化。通过电流的最小化又降低了电源和地处的突发性起伏, 因此提高了性能。

[0051] 驱动晶体管 245A 和开关 250A 被堆叠, 这有助于降低电压泄漏。相似地, 驱动晶体管 275A 和开关 280A 也被堆叠, 从而降低泄漏。

[0052] 晶体管 240A 也可以被称为共栅极晶体管。晶体管 240A 将驱动晶体管 245A 与负载 230A 两端的输出隔离, 并且充当共栅极晶体管。隔离有助于防止驱动晶体管 245A 的栅极到漏极电容贡献到电容器 235A 的电容, 因此降低有效反馈电容的任何变化, 因而防止转换速率改变。晶体管 240A 也可以被适当地施加偏压, 从而防止驱动晶体管 245A 的漏极电压降低至驱动晶体管 245A 的栅极氧化物可靠性要求的极限值以下。也可以基于晶体管 240A 的阈值电压对晶体管 240A 施加偏压, 例如 PBIAS (2.2V- 阈值电压)。

[0053] 晶体管 270A 的目的和功能与晶体管 240A 的目的和功能相似。

[0054] 在某些实施例中, 电路 200 可以用于 UDSM 数字互补金属氧化物半导体(CMOS)工艺。电容器 235A 和电容器 260A 可以容忍 UDSM 数字 CMOS 工艺所需的电压。可以基于 UDSM 数字 CMOS 工艺所需的电压, 适当地选择晶体管 280A、晶体管 245A、驱动晶体管 245A、驱动晶体管 275A、开关 250A、和开关 280A。注意的是, 电路 200 可以用于不同的电压工艺。可以基于输出的期望压摆, 来选择驱动晶体管、开关和晶体管。

[0055] 在负载 230A 两端产生负跳变和在负载 230B 两端产生正跳变的电路 200 的工作类似于电路 200 在负载 230A 两端产生正跳变和在负载 230B 两端产生负跳变情况下电路 200 的工作。驱动晶体管 205B 被激活而不是驱动晶体管 205A 被激活, 使用偏压电路 220B 而不使用偏压电路 220A, 电流元件 210B 被激活而不是电流元件 210A 被激活, 驱动晶体管 215B 被激活而不是驱动晶体管 215A 被激活, 并且使用偏压电路 265B 而不使用偏压电路 265A。从逻辑 HI (高) 切换至逻辑 LO (低) (第二控制信号) 的 D1 充当输入(另一个输入)。

[0056] 注意的是, 基于电路元件的使用, 负载 230A 和负载 230B 两端的正跳变可以是等同

的或相似的。例如,通过在驱动器 205A 和驱动器 205B 中使用相同的电路元件,可以实现等同的跳变。对于负载 230A 和负载 230B 两端的负跳变,可以使用相似的方法。

[0057] 在两个输出中的一个输出处的正跳变继续进行,直到电压达到电源电压值,例如 3.3V,而在两个输出中另一个输出处的负跳变继续进行,直到电压达到地电压值,例如 0V。当两个输出的跳变停止时,流过电容器的电流,例如电容器 235A 和电容器 260A 的电流停止。驱动晶体管 245A 的栅极电压和驱动晶体管 275A 的栅极电压开始以一定速率朝彼此接近,并且取决于各自的栅极节点的相对有效电容达到一定电平。接近可以继续,直到流过电流元件 210A 的电流变为零,使得驱动晶体管 245A 的栅极电压和驱动晶体管 275A 的栅极电压超过预定义范围,因而引起驱动晶体管 245A 和驱动晶体管 275A 的栅极氧化物退化。可以基于驱动晶体管 245A 和驱动晶体管 275A 的工艺需求和阈值电压,定义驱动晶体管 245A 和驱动晶体管 275A 的栅极电压的预定义范围。

[0058] 下面将结合图 3 详细地描述用于维持驱动晶体 245A 的栅极电压和驱动晶体管 275A 的栅极电压的箝位电路。相似的箝位电路也可以用于维持驱动晶体管 245B 的栅极电压和驱动晶体管 275B 的栅极电压。

[0059] 参考图 3,其示出包括示例箝位电路的电路 200 的一部分 300。部分 300 包括驱动器 205A、驱动器 215A、偏压电路 220A、偏压电路 265A、负载 230A、负载 230B、电流元件 210A 和电路 225。部分 300 还包括电流源(current source) 305、晶体管 310、二极管 315、二极管 320、晶体管 325 和电流沉(current sink) 330,这些可以共同被称为箝位电路。

[0060] 电流源 305 的一个端子耦合到电源,而另一个端子耦合到二极管 315 和晶体管 310 的源极。晶体管 310 的漏极耦合到地。二极管 315 通过电流元件 210A 耦合到二极管 320。二极管 320 耦合到电流沉 330 的一个端子和晶体管 325 的源极。晶体管 325 的漏极耦合到电源。二极管 315 也耦合到驱动晶体管 245A 的栅极,而二极管 320 耦合到驱动晶体管 275A 的栅极。

[0061] 在某些实施例中,可以对晶体管 310 的栅极施加偏压,例如 2.2V (箝位参考电压),对晶体管 325 的栅极施加偏压,例如 1.1V (箝位参考电压)。偏置电压可以基于各晶体管的栅极氧化物的可靠性极限。偏置电压和电流元件 210A 的强度可以确定电流源 305 的值。在产生跳变期间驱动晶体管 245A 的栅极电压和驱动晶体管 275A 的栅极电压分别是 $V_{tp} + \epsilon_p$ 和 $V_{tn} + \epsilon_n$, 分别充分远离箝位参考电压,并因此防止箝位电路受到两个输出跳变过程中的干扰。在产生跳变期间,箝位电路中的电流通过晶体管 310 和晶体管 325 发生转向。在完成跳变的生成之后,驱动电路 275A 的栅极电压开始上升,驱动晶体管 245A 的栅极电压开始下降。然后,通过提供在驱动晶体管 275A 的栅极维持例如 1.1V 的偏置电压和在驱动晶体管 245A 的栅极维持 2.2V 的偏置电压所需的通过电流元件 210A 的电流,箝位电路将驱动晶体管 245A 的栅极和驱动晶体管 275A 的栅极箝位至各自的箝位参考电压。可以基于 CMOS 技术中可用的晶体管,决定箝位参考电压。在箝位状态时通过的电流元件 I_c 的电流是

$$[0062] \quad I_c = \frac{(2.2) - (1.1)}{R} \quad (11)$$

[0063] 注意的是,可以使用现有的各种箝位电路。

[0064] 图 4A 示出了驱动晶体管 245A 的栅极的电压波形 405 的示例表示,图 4B 示出了驱动晶体管 275A 的栅极的电压波形 410。驱动晶体管 245A 的栅极被预充电,从而在发生正跳

变之前使驱动晶体管 245A 的栅极电压等于驱动晶体管 245A 的阈值电压。然后,电压稳定在 $V_{tp} + \epsilon_p$,从而以特定转换速率启动正跳变。然后,在完成正跳变之后,电压被箝位在 2.2V。相似地,驱动晶体管 275A 的栅极被预充电,从而在发生负跳变之前使驱动晶体管 275A 的栅极电压等于驱动晶体管 275A 的阈值电压。然后,电压稳定在 $V_{tn} + \epsilon_n$,从而以特定转换速率启动负跳变。然后,在完成负跳变之后,电压被箝位在 1.1V。

[0065] 参考图 5,电路 500 示出了电路 200 的半部分。电路 500 可以用于在输出产生跳变作为单端驱动器或伪差分驱动器。电路 500 的两个实例可以用于产生两个输出。电流元件 210A 可以耦合到地,而电流元件 210B 可以耦合到电源。

[0066] 在任何时候,驱动器 205A 被激活以在负载 230A 产生正跳变,或驱动器 215B 被激活以在负载 230A 产生负跳变。

[0067] 图 6 示出用于控制驱动电路中的转换速率的方法。驱动电路包括两个驱动器,例如第一驱动器和第二驱动器。

[0068] 在步骤 605 中,第一驱动器(例如正驱动器 205A)被预充电至第一预定义电压,而第二驱动器(例如负驱动器 215A)被预充电至第二预定义电压。第一预定义电压和第二预定义电压可以分别是第一驱动器的阈值电压和第二驱动器的阈值电压。

[0069] 在步骤 610 中,电流被驱动通过第一驱动器和第二驱动器。当电流被驱动时,第一驱动器和第二驱动器被激活。通过驱动相同电流通过第一驱动器和第二驱动器,转换速率得到控制和匹配。通过利用电流元件(例如电流元件 210A),可以驱动相同的电流。

[0070] 在步骤 615 中,响应于输入,第一驱动器产生第一输出,而第二驱动器产生第二输出。在某些实施例中,第一输出和第二输出是差分的,并且具有相似的转换速率。两个输出之间的一个输出包括正跳变,而另一个输出包括负跳变。

[0071] 在某些实施例中,在完成跳变之后,第一驱动器的栅极电压和第二驱动器的栅极电压维持在预定义范围内,从而防止对第一驱动器和第二驱动器造成损害。

[0072] 图 7 是在工艺变化和温度变化过程中在 45 纳米 CMOS 工艺中实施的驱动器的两个输出的示例表示。电源轨对应于 3.3V 的电源和 0V 的地电压。交叉点大约是 1.65V。正跳变(705)的转换速率和负跳变(710)的转换速率受到控制并且相等。相似地,正跳变(715)的转换速率和负跳变(720)的转换速率受到控制并且相等。

[0073] 交叉耦合电路有助于在两个输出实现相似的转换速率。由于 UDSM 工艺和其他工艺中的交叉耦合,也可以实现理想的交叉电压和理想的上升时间与下降时间之比。

[0074] 在前面的讨论中,术语“耦合或连接”是指连接的设备之间的直接电连接或通过一个或多个有源中间设备或无源中间设备的间接连接。术语“电路”是指连接在一起提供理想功能的至少单个部件或各种部件。术语“信号”是指至少一个电流、电压、电荷、数据或其他信号。

[0075] 因此,意在涵盖在具有所有或仅某些特征或步骤的示例实施例背景下描述的一个或多个特征或步骤的不同组合的实施例。本领域技术人员将理解,在要求保护的发明的范围内,许多其他的实施例和变体可是可能的。

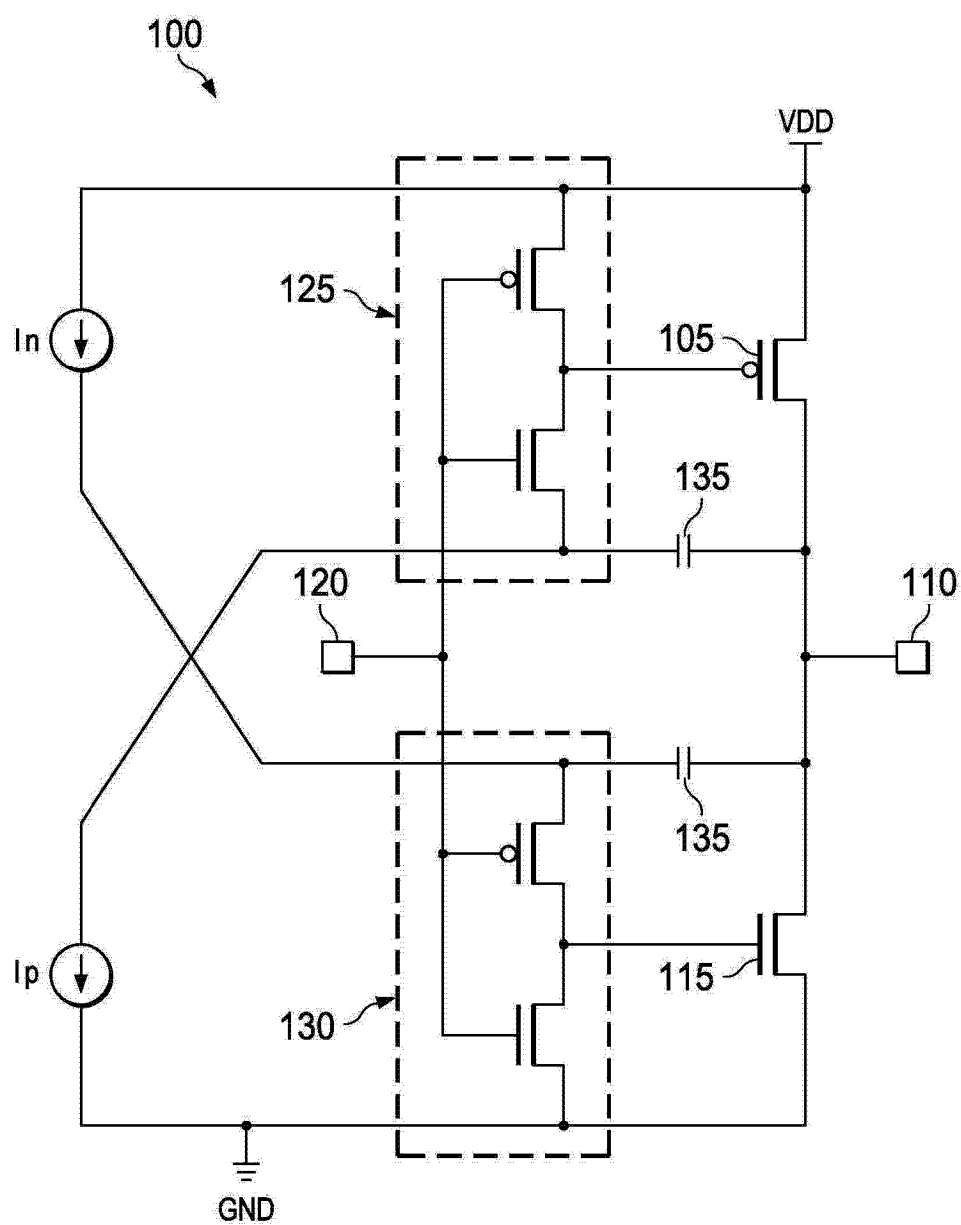


图 1(现有技术)

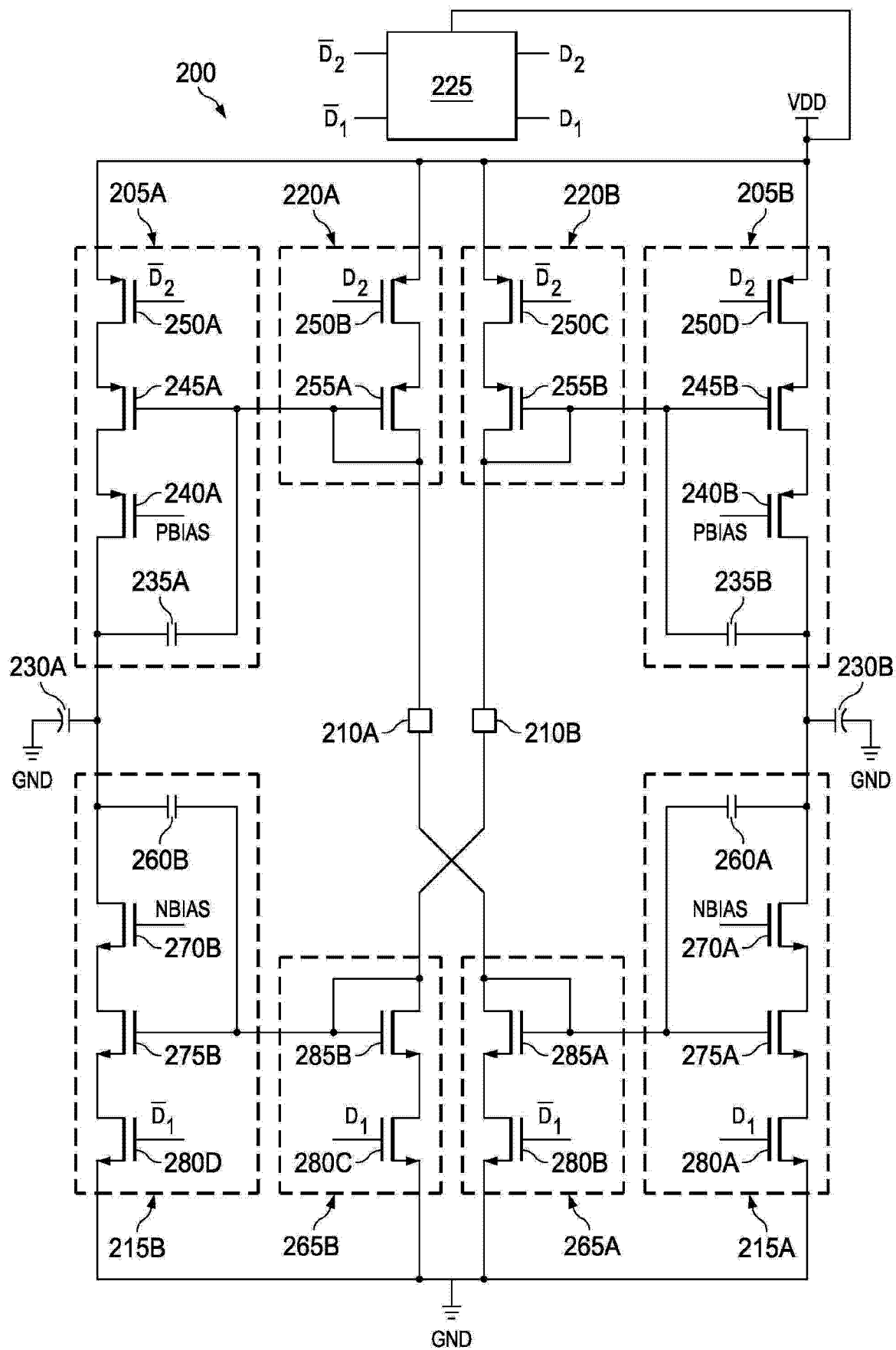


图 2

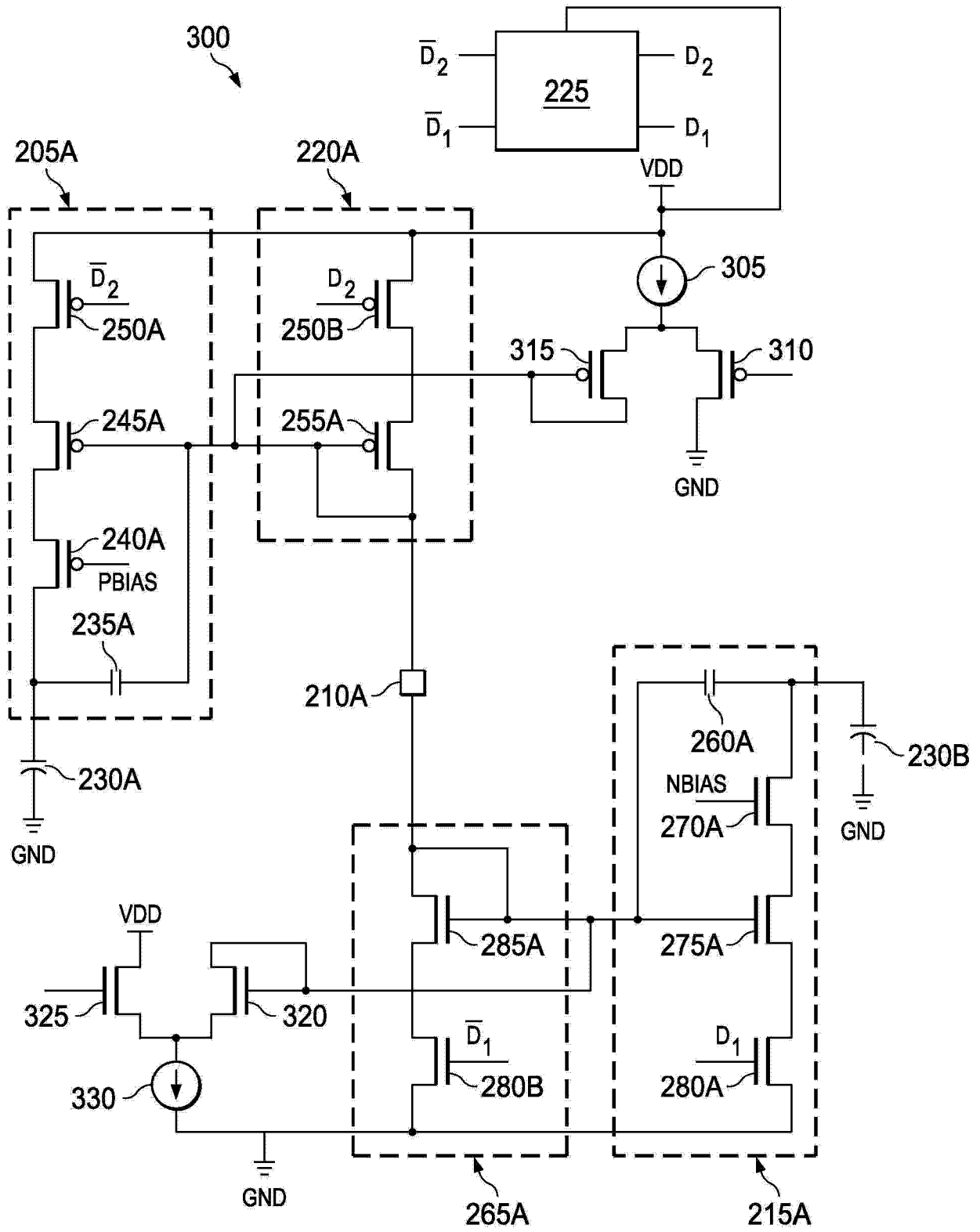


图 3

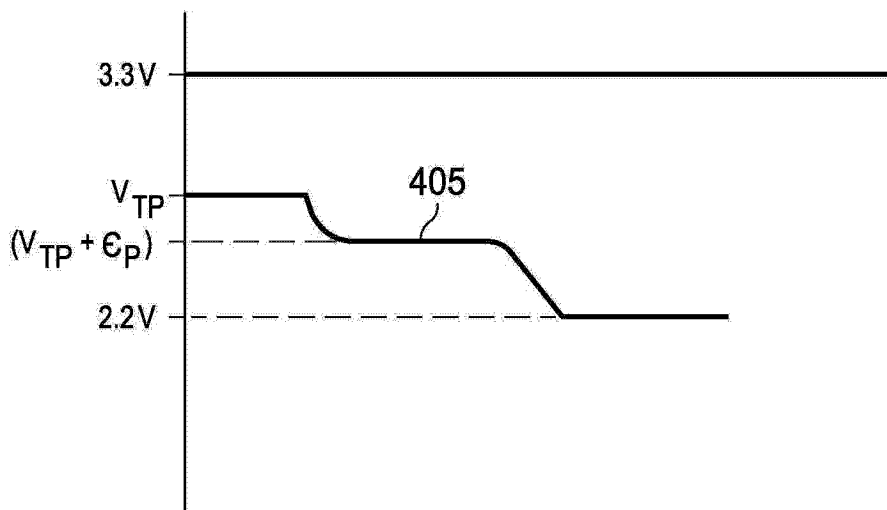


图 4A

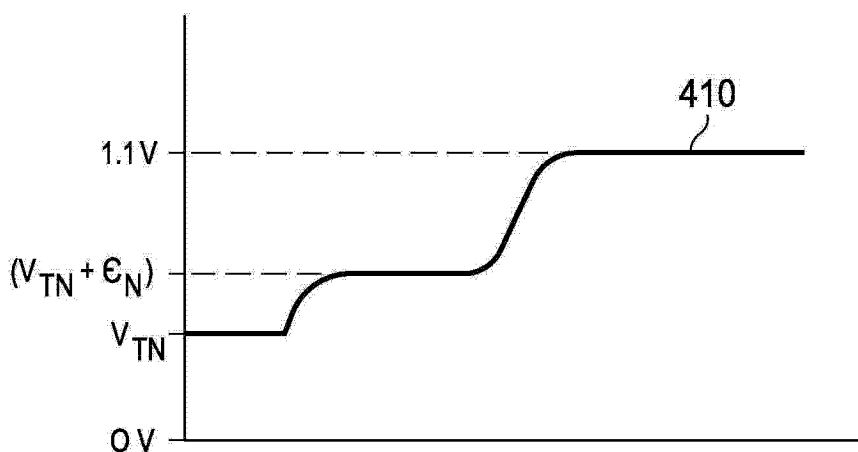


图 4B

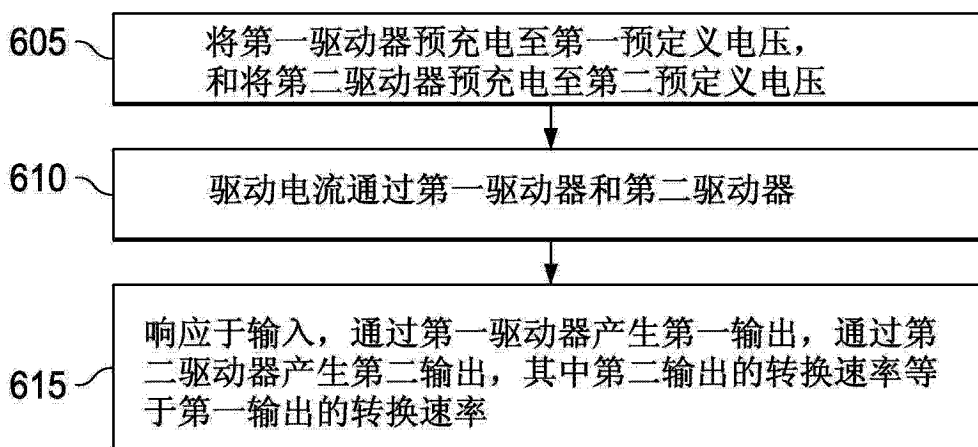


图 6

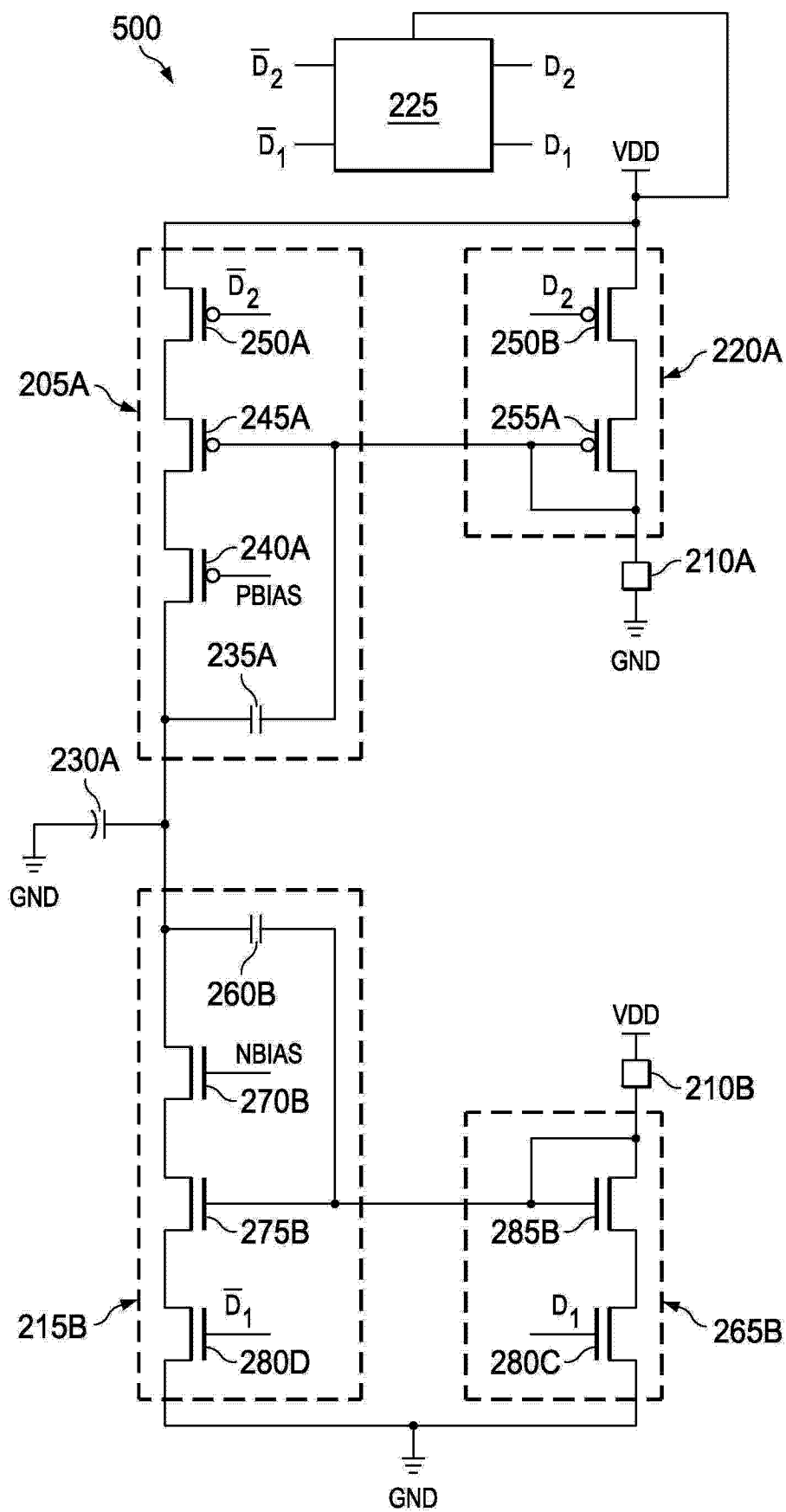


图 5

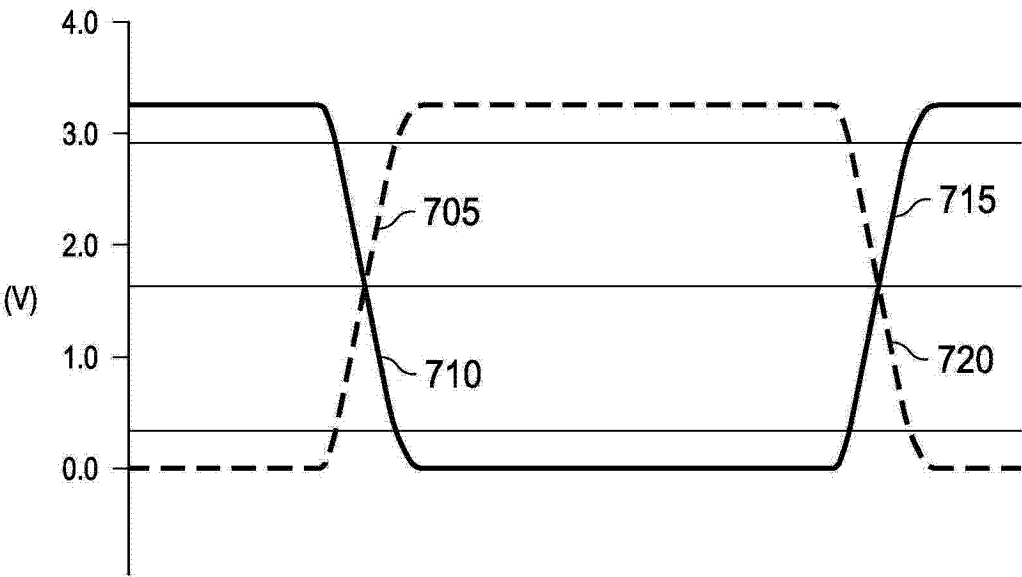


图 7