

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 8 月 3 日 (03.08.2017)



(10) 国际公布号
WO 2017/128771 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01) *G11C 19/28* (2006.01)
- (21) 国际申请号: PCT/CN2016/102080
- (22) 国际申请日: 2016 年 10 月 14 日 (14.10.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610056220.5 2016 年 1 月 27 日 (27.01.2016) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。北京京东方显示技术有限公司 (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区经海一路 118 号, Beijing 100176 (CN)。
- (72) 发明人: 王俊伟 (WANG, Junwei); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 中国专利代理(香港)有限公司 (CHINA PATENT AGENT (H.K.) LTD.); 中国香港特别行政区

区湾仔港湾道 23 号鹰君中心 22 号楼, Hong Kong (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: GATE DRIVING CIRCUIT, DRIVING METHOD, AND DISPLAY APPARATUS

(54) 发明名称: 一种栅极驱动电路、驱动方法及显示装置

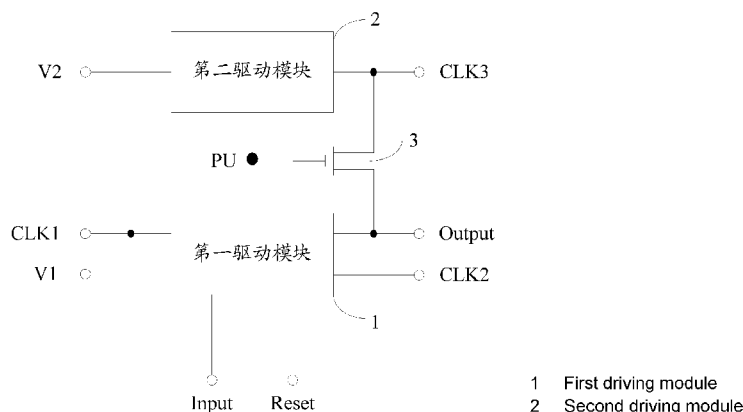


图 1

(57) Abstract: A gate driving circuit, a driving method and a display apparatus, which alleviate or relieve a display anomaly of a display device caused by a leaked current and improve the display effect. The gate driving circuit comprises a first driving module (1), a second driving module (2), and a first transistor (3). The first driving module (1) is electrically connected to a first node (PU) and is provided with an input signal end (Input), a first clock signal end (CLK1), a reset signal end (Reset), a first voltage end (V1), a second clock signal end (CLK2) and an output signal end (Output). A first end of the first transistor (3) is connected to a third clock signal end (CLK3), and a second end is connected to the output signal end (Output). The second driving module (2) is electrically connected to the first node (PU), the first clock signal end (CLK1) and a gate of the first transistor (3). The second driving module (2) is provided with the third clock signal end (CLK3) and a second voltage end (V2).

(57) 摘要:

[见续页]

WO 2017/128771 A1



一种栅极驱动电路、驱动方法及显示装置，能够减轻或缓解由于漏电流导致的显示设备的显示异常，提高显示效果，所述栅极驱动电路包括第一驱动模块（1）、第二驱动模块（2）和第一晶体管（3）。第一驱动模块（1）电连接第一节点（PU）并具有输入信号端（Input）、第一时钟信号端（CLK1）、复位信号端（Reset）、第一电压端（V1）、第二时钟信号端（CLK2）、和输出信号端（Output）。第一晶体管（3）的第一端与第三时钟信号端（CLK3）连接，第二端与所述输出信号端(Output)连接。第二驱动模块（2）电连接至所述第一节点（PU）、第一时钟信号端（CLK1）和所述第一晶体管（3）的栅极，所述第二驱动模块（2）具有第三时钟信号端（CLK3）和第二电压端（V2）。

一种栅极驱动电路、驱动方法及显示装置

相关申请的交叉引用

本申请要求于 2016 年 1 月 27 日向中国专利局提交的专利申请
5 201610056220.5 的优先权利益，并且在此通过引用的方式将该在先申
请的内容并入本文。

技术领域

本发明涉及显示领域，特别涉及一种栅极驱动电路、驱动方法及
10 显示装置。

背景技术

液晶显示器广泛应用于电视、手机和显示器等电子产品中，其一
般包括由水平和垂直两个方向排列的像素组成的像素矩阵。在显示时，
15 栅极驱动电路输出驱动信号，逐行对液晶显示器的各像素进行扫描，
数据驱动电路将数据信号输入到扫描的各行像素中，从而使液晶显示
器显示。

栅极驱动电路一般包括各种晶体管（例如，开关晶体管和驱动晶
体管），并且栅极驱动电路输出的驱动信号通常是经由一个晶体管输
20 出，但是，可能发生的是，输出驱动信号的晶体管伴随有漏电电流（特
别是在环境温度较高时），较大的漏电电流可能导致显示设备的异常
显示，降低显示设备的显示效果。

发明内容

25 为了缓解或减轻现有技术中的上述问题，本发明的实施例提供了一
种栅极驱动电路、用于栅极驱动电路的驱动方法及显示装置。

本发明的实施例所提供的栅极驱动电路包括第一驱动模块、第二
驱动模块和第一晶体管。所述第一驱动模块电连接至第一节点并具有
输入信号端、第一时钟信号端、复位信号端、第一电压端、第二时钟
30 信号端和输出信号端，所述第一驱动模块用于在所述第一时钟信号端
的第一时钟信号、所述复位信号端的复位信号和所述第二时钟信号端
的第二时钟信号的控制下将所述第一节点的电压和所述输出信号端的

电压均与所述第一电压端的第一电压拉齐。所述第二驱动模块电连接至所述第一节点、第一时钟信号端和所述第一晶体管的栅极，所述第二驱动模块具有第三时钟信号端和第二电压端，并且第二驱动模块用于在所述第一节点的电压和所述输出信号端的电压被拉齐为第一电压时，在第一时钟信号端的第一时钟信号和第三时钟信号端的第三时钟信号的控制下，将所述第一晶体管的栅极电压与所述第二电压端的第二电压拉齐，所述第一电压与所述第二电压不同。所述第一晶体管的

5 第一端与所述第三时钟信号端连接，第二端与所述输出信号端连接。

在一些实施例中，所述第二驱动模块包括驱动单元和第二晶体管，所述第二晶体管的栅极和第一端均与所述第一节点相连，第二端与

10 所述第一晶体管的栅极相连。所述驱动单元电连接第一时钟信号端、第二电压端、第三时钟信号端和第一晶体管的栅极，用于当第二晶体管关断时在所述第一时钟信号端的第一时钟信号或第三时钟信号端的第三时钟信号的控制下将第一晶体管的栅极电压与第二电压端的第二电

15 压拉齐。

在一些实施例中，所述驱动单元包括第一驱动单元和第二驱动单元，所述第一驱动单元电连接第一时钟信号端和第二电压端，用于在第一时钟信号端输出高电平的第一时钟信号时将第一晶体管的栅极电压与第二电压端的第二电压拉齐。所述第二驱动单元电连接第三时钟

20 信号端和第二电压端，用于在第三时钟信号端输出高电平的第三时钟信号时将第一晶体管的栅极电压与第二电压端的第二电压拉齐。

在一些实施例中，所述第一驱动单元包括第三晶体管、第四晶体管和第五晶体管，所述第三晶体管的栅极与第一时钟信号端耦接、第一端与第四晶体管的栅极连接，第二端与第五晶体管的第一端连接；

25 所述第四晶体管的第一端与第二电压端连接，第二端与第一晶体管的栅极连接；所述第五晶体管的栅极和第二端均与第一时钟信号输出端连接。

在一些实施例中，所述第二驱动单元包括第六晶体管和第七晶体管，所述第六晶体管的栅极和第一端都与第三时钟信号端连接、第二

30 端与第七晶体管的栅极连接；所述第七晶体管的第一端与第二电压端连接，第二端与第一晶体管的栅极连接。

在一些实施例中，所述第二驱动模块还包括第八晶体管，所述第

八晶体管的栅极与输入信号端连接，第一端与所述第三晶体管的第二端连接，第二端与第一电压端连接。

在一些实施例中，所述第二驱动模块还包括第九晶体管，所述第九晶体管的栅极与第一节点连接，第一端与所述第六晶体管的第二端
5 连接，第二端与第一电压端连接。

在一些实施例中，所述第一驱动模块还用于在所述输入信号端的输入信号的控制下将所述第一节点的电压拉高为正电压。

在一些实施例中，所述第二驱动模块还用于在所述第一节点的电压为正电压时，将所述第一晶体管的栅极电压拉高为正电压，以使所
10 述第一晶体管导通并将所述第三时钟信号端的第三时钟信号从所述信号输出端输出。

在一些实施例中，所述第一电压和第二电压均为负电压，且第二电压的绝对值大于第一电压的绝对值。

本发明的另一实施例提供了一种用于栅极驱动电路的驱动方法，
15 该栅极驱动电路包括第一驱动模块、第二驱动模块和第一晶体管，所述第一驱动模块电连接至第一节点并具有输入信号端、第一时钟信号端、复位信号端、第一电压端、第二时钟信号端和输出信号端，所述第二驱动模块电连接至所述第一节点、第一时钟信号端和所述第一晶体管的栅极，所述第二驱动模块具有第三时钟信号端和第二电压端，
20 并且所述第一晶体管的第一端与所述第三时钟信号端连接，第二端与所述输出信号端连接。所述驱动方法可包括以下步骤：

在第一时钟信号端的第一时钟信号、复位信号端的复位信号和第二时钟信号端的第二时钟信号的控制下，所述第一驱动模块将所述第一节点的电压和所述输出信号端的电压均与所述第一电压端的第一电
25 压拉齐；以及

在所述第一节点的电压和所述输出信号端的电压被拉齐为第一电压时，所述第二驱动模块在第一时钟信号端的第一时钟信号和第三时钟信号端的第三时钟信号的控制下，将所述第一晶体管的栅极电压与
所述第二电压端的第二电压拉齐，所述第一电压与所述第二电压不同。

30 在一些实施例中，所述方法还可包括如下步骤：

第一驱动模块在输入信号端的输入信号的控制下将所述第一节点的电压拉高为正电压；

在所述第一节点的电压为正电压时，第二驱动模块将所述第一晶体管的栅极电压拉高为正电压，以使所述第一晶体管导通并将所述第三时钟信号端的第三时钟信号从所述输出信号端输出。

5 在一些实施例中，所述第二驱动模块包括驱动单元和第二晶体管，所述第二晶体管在第一节点的电压拉高为正电压时导通，以将第一晶体管的栅极电压拉高为正电压，并且在第一节点的电压与第一电压拉齐时关断；当第二晶体管关断时，所述驱动单元在所述第一时钟信号端的第一时钟信号或第三时钟信号端的第三时钟信号的控制下将第一晶体管的栅极电压与第二电压端的第二电压拉齐。

10 在一些实施例中，所述第一电压和第二电压均为负电压，且第二电压的绝对值大于第一电压的绝对值。

本发明的又一实施例提供了一种显示装置，该显示装置可包括如前述实施例中任一实施例所述的栅极驱动电路。

在本发明实施例中，在第一节点的电压和输出信号端的电压均与
15 第一电压拉齐时，第二驱动模块将第一晶体管的栅极电压与第二电压拉齐，由于第一电压与第二电压不同，使得第一晶体管的栅极与输出信号端之间的电压差不为0，从而可以促进第一晶体管在不提供有效的驱动信号期间处于截止区，尽可能地抑制第一晶体管的漏电流，因而可以减轻或避免由于漏电流导致的显示设备的显示异常，有利于
20 提高显示效果。

附图说明

图1是本发明的一个实施例提供的栅极驱动电路结构示意图；

图2是本发明的另一实施例提供的栅极驱动电路结构示意图；

25 图3是本发明的另一实施例提供的栅极驱动电路的具体电路结构示意图；

图4是与图3所示的实施例对应的信号时序图；

图5是本发明的另一实施例提供的用于栅极驱动电路的驱动方法流程图。

30

具体实施方式

为使本公开的目的、技术方案和优点更加清楚，下面将结合附图

对本发明实施方式作进一步地详细描述。

参见图 1，本发明实施例提供了一种栅极驱动电路，包括：第一驱动模块 1、第二驱动模块 2 和第一晶体管 3。第一驱动模块 1 电连接至第一节点 PU，并具有输入信号端 Input、第一时钟信号端 CLK1、复位信号端 Reset、第一电压端 V1、第二时钟信号端 CLK2 和输出信号端 Output，第一驱动模块 1 用于在第一时钟信号端 CLK1 的第一时钟信号、复位信号端 Reset 的复位信号和第二时钟信号端 CLK2 的第二时钟信号的控制下将第一节点 PU 的电压和输出信号端 Output 的电压均与第一电压端 V1 的第一电压拉齐。第二驱动模块 2 电连接第一节点 PU、第一时钟信号端 CLK1 和第一晶体管 3 的栅极，第二驱动模块 2 具有第三时钟信号端 CLK3 和第二电压端 V2，第二驱动模块 2 用于在第一节点 PU 的电压和输出信号端 Output 的电压被拉齐为第一电压时，在第一时钟信号端 CLK1 的第一时钟信号和第三时钟信号端 CLK3 的第三时钟信号的控制下，将第一晶体管 3 的栅极电压与第二电压端 V2 的第二电压拉齐，第一电压与所述第二电压不同。在图 1 所示的实施例中，第一晶体管 3 的第一端与第三时钟信号端 CLK3 连接，第二端与输出信号端 Output 连接。

在本实施例中，在第一节点 PU 的电压和输出信号端 Output 的电压均与第一电压拉齐时，第二驱动模块 2 将第一晶体管 3 的栅极电压与第二电压拉齐，由于第一电压与第二电压不同，使得第一晶体管 3 的栅极与输出信号端 Output 之间的电压差不为 0，因此，可以尽可能地减小或消除第一晶体管 3 的漏电流，有利于提高显示效果。在本发明的一个实施例中，第一晶体管 3 可以为 N 型晶体管，第一晶体管 3 的源极连接至输出信号端 Output。第一电压和第二电压可均为负电压，且第二电压的绝对值大于第一电压的绝对值。第一电压例如可以为 -8V，第二电压例如可以为 -16V，替代性地，第一电压例如可以为 -16V，第二电压例如可以为 -32V，此时，第一晶体管 3 的栅极和源极之间的电压差 V_{gs} 为 -8V 或者 -16V，这样使得第一晶体管 3 在不提供有效的驱动信号期间处于截止区，有利于减小或消除第一晶体管 3 的漏电流。当然，以上说明的数值仅仅是第一电压、第二电压以及第一晶体管 3 的栅极源极之间的电压差的示例，第一电压和第二电压的具体数值不限于此。

根据本发明的实施例，参见图 2，第二驱动模块 2 包括驱动单元 E 和第二晶体管 21。第二晶体管 21 的栅极和第一端均与第一节点 PU 相连，第二端与第一晶体管 3 的栅极相连。在图 2 所示的实施例中，第二晶体管 21 为 N 型晶体管，因此，其在第一节点 PU 的电压拉高为正电压时导通，从而将第一晶体管 3 的栅极电压拉高为正电压，而在第一节点 PU 的电压与第一电压拉齐时关断。

驱动单元 E 电连接第一时钟信号端 CLK1、第二电压端 V2、第三时钟信号端 CLK3 和第一晶体管 3 的栅极，用于当第二晶体管 21 关断时在第一时钟信号端 CLK1 的第一时钟信号或第三时钟信号端 CLK3 的第三时钟信号的控制下将第一晶体管 3 的栅极电压与第二电压端 V2 的第二电压拉齐。

由于第二晶体管 21 在关断时能阻止第一晶体管 3 的栅极与第一节点 PU 之间的连接，从而在第二晶体管 21 关断时驱动单元 E 能够将第一晶体管 3 的栅极电压与第二电压拉齐。

在本发明的实施例中，参见图 2，驱动单元 E 包括第一驱动单元 E1 和第二驱动单元 E2。第一驱动单元 E1 电连接第一时钟信号端 CLK1、第二电压端 V2，其用于在第一时钟信号端 CLK1 输出高电平的第一时钟信号时将第一晶体管 3 的栅极电压与第二电压端 V2 的第二电压拉齐；第二驱动单元 E2 电连接第三时钟信号端 CLK3 和第二电压端 V2，其用于在第三时钟信号端 CLK3 输出高电平的第三时钟信号时将第一晶体管 3 的栅极电压与第二电压端 V2 的第二电压拉齐。

参见图 3，根据本发明的实施例，第一驱动单元 E1 包括第三晶体管 22、第四晶体管 23 和第五晶体管 24。第三晶体管 22 的栅极与第一时钟信号端 CLK1 耦接、第一端与第四晶体管 23 的栅极连接，第二端与第五晶体管 24 的第一端连接。第四晶体管 23 的第一端与第二电压端 V2 连接，第二端与第一晶体管 3 的栅极连接。第五晶体管 24 的栅极和第二端均与第一时钟信号输出端 CLK1 连接。

仍参见图 3，第二驱动单元 E2 包括第六晶体管 25 和第七晶体管 26。第六晶体管 25 的栅极和第一端均与第三时钟信号端 CLK3 连接、第二端与第七晶体管 26 的栅极连接。第七晶体管 26 的第一端与第二电压端 V2 连接，第二端与第一晶体管 3 的栅极连接。

当第二晶体管 21 关断时，在第一时钟信号端 CLK1 输出高电平的

第一时钟信号时,第三晶体管 22 和第五晶体管 24 导通,使得第四晶体管 23 也导通,将第一晶体管 3 的栅极电压与第二电压端 V2 输出的第二电压拉齐;或者,当第二晶体管 21 关断时,在第三时钟信号端 CLK3 输出高电平的第三时钟信号时,第六晶体管 25 和第七晶体管 26 导通,

5 将第一晶体管 3 的栅极电压与第二电压端 V2 输出的第二电压拉齐。

在一个实施例中,参见图 3,第二驱动模块 2 还包括第八晶体管 27,第八晶体管 27 的栅极与输入信号端 Input 连接,第一端与第二驱动模块 2 的第三晶体管 22 的第二端连接,第二端与第一电压端 V1 连接。

10 在一个实施例中,参见图 3,第二驱动模块 2 还包括第九晶体管 28,第九晶体管 28 的栅极与第一节点 PU 连接,第一端与第二驱动模块 2 的第六晶体管 25 的第二端连接,第九晶体管 28 的第二端与第一电压端 V1 连接。

参见图 3,第一驱动模块 1 可包括电容 C、第十晶体管 11、第十一晶体管 12、第十二晶体管 13、第十三晶体管 14、第十四晶体管 15、第十五晶体管 16、第十六晶体管 17、第十七晶体管 18、第十八晶体管 19、第十九晶体管 31、第二十晶体管 32、第二十一晶体管 33 和第二十二晶体管 34。

第十晶体管 11 的栅极和第一端与输入信号端 Input 连接,第二端与第一节点 PU 连接;第十一晶体管 12 的第一端与输入信号端 Input 连接,栅极与第一时钟信号端 CLK1 连接,第二端与第一节点 PU 连接;第十二晶体管 13 的第一端与第一时钟信号端 CLK1 连接,栅极与第十四晶体管 15 的第一端和第三晶体管 22 的栅极连接,第二端与第二节点 PD 连接;第十三晶体管 14 的栅极和第一端与第一时钟信号端 CLK1 连接,第二端与第三晶体管 22 的栅极连接。

第十四晶体管 15 的栅极与第一节点 PU 连接,第一端与第十二晶体管 13 的栅极和第十三晶体管 14 的第二端连接,第二端与第一电压端 V1 连接;第十五晶体管 16 的栅极与第一节点 PU 连接,第一端与第二节点 PD 连接,第二端与第一电压端 V1 连接;第十六晶体管 17 的栅极与第二节点 PD 连接,第一端与第一节点 PU 连接,第二端与第一电压端 V1 连接;第十七晶体管 18 的栅极与复位信号端 Reset 连接,第一端与第一节点 PU 连接,第二端与第一电压端 V1 连接。

第十八晶体管 19 的栅极与第一时钟信号端 CLK1 连接，第一端与信号输出端 Output 连接，第二端与第一电压端 V1 连接；第十九晶体管 31 的栅极与第二节点 PD 连接，第一端与输出信号端 Output 连接，第二端与第一电压端 V1 连接；第二十晶体管 32 的栅极与复位信号端 Reset 连接，第一端与输出信号端 Output 连接，第二端与第一电压端 V1 连接；第二十一晶体管 33 的栅极与第二时钟信号端 CLK2 连接，第一端与输出信号端 Output 连接，第二端与第一电压端 V1 连接；第二十二晶体管 34 的栅极与第二时钟信号端 CLK2 连接，第一端与第一节点 PU 连接，第二端与第一电压端 V1 连接；电容 C 的一端与第一节点 PU 连接，另一端与输出信号端 Output 连接。

因此，在本发明的实施例中，第一驱动模块还可用于在输入信号端 Input 的输入信号的控制下将第一节点 PU 的电压拉高为正电压，第二驱动模块还可用于在第一节点 PU 的电压为正电压时，将第一晶体管的栅极电压拉高为正电压，以使第一晶体管 3 导通并将第三时钟信号端 CLK3 的第三时钟信号从信号输出端 Output 输出。

尽管图 3 中示出的各个晶体管均为 N 型晶体管，但是，本领域技术人员能够领会到的是，也可以采用 P 型晶体管来实施栅极驱动电路，而不背离本发明实施例所揭示的原理。并且在该情形中，第一电压端 V1 和第二电压端 V2 提供的第一电压和第二电压也是不同的，使得第一晶体管 3 的栅极源极之间的电压差大于零，导致 P 型的第一晶体管 3 在不提供有效的驱动信号期间处于截止区，从而抑制第一晶体管的漏电流，改善显示设备的显示效果。

此外，本文提到的晶体管的第一端和第二端指的是晶体管的除了栅极（控制端）之外的两个端子，即，晶体管的源极和漏极，所提到的晶体管的第一端和第二端是可以互换的。

参见图 4，图 4 示出了根据本发明的一个实施例的第一时钟信号端 CLK1、第二时钟信号端 CLK2、第三时钟信号端 CLK3、信号输入端 Input 和复位信号端 Reset 的时序信号图。该时序信号图是一个信号周期内的时序，一个信号周期包括 T1、T2、T3、T4、T5 和 T6 六个阶段。

在该实施例中，在 T1 阶段，第一时钟信号端 CLK1 输出高电平的第一时钟信号，第二时钟信号端 CLK2 输出低电平的第二时钟信号，第三时钟信号端 CLK3 输出低电平的第三时钟信号，输入信号端 Input

输出高电平的输入信号，复位信号端 Reset 输出低电平的复位信号。

这样，在 T1 阶段，第十三晶体管 14、第十一晶体管 12、第十晶体管 11、第八晶体管 27、第五晶体管 24、第十九晶体管 31 均导通，第六晶体管 25、第七晶体管 26、第十七晶体管 18、第二十晶体管 32、第二十一晶体管 33 和第二十二晶体管 34 均关断；第一节点 PU 的电压被拉高为高电平，第二晶体管 21 的栅极电压，第三晶体管 22 的栅极电压、第九晶体管 28 的栅极电压、第十四晶体管 15 的栅极电压、第十五晶体管 16 的栅极电压均被拉高为高电平；第二晶体管 21，第三晶体管 22，第十四晶体管 15，第十五晶体管 16 均导通。

如此，第四晶体管 23 的栅极电压、第七晶体管 26 的栅极电压、第十二晶体管 13 的栅极电压、第十六晶体管 17 的栅极电压、第十八晶体管 19 的栅极电压和第二节点的电压被第一电压端 V1 输出的第一电压拉低至低电压，第四晶体管 23、第七晶体管 26、第十二晶体管 13、第十六晶体管 17、第十八晶体管 19 关断；第一晶体管 3 的栅极电压被拉高为高电平，第十六晶体管 17 的栅极电压和第十九晶体管 31 的栅极电压被拉低为低电压，第一晶体管 3 导通，第十六晶体管 17 和第十九晶体管 31 关断，输出信号端 Output 的输出电压被拉至第三时钟信号端输出的低电平的第三时钟信号，以及电容 C 被充电。

在 T2 阶段，第一时钟信号端 CLK1 输出低电平的第一时钟信号，第二时钟信号端 CLK2 输出低电平的第二时钟信号，第三时钟信号输出端 CLK3 输出高电平的第三时钟信号，输入信号端 Input 输出低电平的输入信号，复位信号端 Reset 输出低电平的复位信号。

这样，在 T2 阶段，第三晶体管 22、第四晶体管 23、第十晶体管 11、第十一晶体管 12、第十三晶体管 14、第五晶体管 24、第八晶体管 27、第十七晶体管 18、第二十晶体管 32、第二十一晶体管 33 和第二十二晶体管 34 均关断，第六晶体管 25 导通，以及第一节点 PU 的电压保持为高电压。第二晶体管 21 的栅极电压、第十四晶体管 15 的栅极电压、第十五晶体管 16 的栅极电压和第九晶体管 28 的栅极电压保持为高电压；第二晶体管 21、第十四晶体管 15、第十五晶体管 16 和第九晶体管 28 导通，第一晶体管 3 的栅极电压仍被拉高至高电压，第二节点 PD 的电压仍被拉低至低电压，以及第七晶体管 26 的栅极电压被第一电压端 V1 拉低至低电压；第一晶体管 26、第十六晶体管 17 和第

十九晶体管 31 关断，第一晶体管 3 导通，这样输出信号端 Output 的输出电压被拉至第三时钟信号端输出的高电平的第三时钟信号，由于电容 C 在 T1 阶段充电，使得在 T2 阶段电容 C 与第一节点 PU 相连的一端的电压被抬升，所以在 T2 阶段第一节点 PU 的电压大于在 T1 阶段第一节点 PU 的电压。

在 T3 阶段，第一时钟信号端 CLK1 输出高电平的第一时钟信号，第二时钟信号端 CLK2 输出高电平的第二时钟信号，第三时钟信号输出端 CLK3 输出低电平的第三时钟信号，输入信号端 Input 输出低电平的输入信号，复位信号端 Reset 输出高电平的复位信号。

这样，在 T3 阶段，第十晶体管 11、第八晶体管 27 和第六晶体管 25 均关断；以及，第十一晶体管 12、第十三晶体管 14、第五晶体管 24、第十八晶体管 19、第十七晶体管 18、第二十晶体管 32、第二十一晶体管 33 和第二十二晶体管 34 均导通，使得第一节点 PU 的电压、第二晶体管 21 的栅极电压、第九晶体管 28 的栅极电压、第十四晶体管 15 的栅极电压、第十五晶体管 16 的栅极电压与第一电压端 V1 输出的第一电压拉齐，输出信号端 Output 的电压与第一电压端 V1 输出的第一电压拉齐，第三晶体管 22 的栅极电压和第十二晶体管 13 的栅极电压均拉高为高电压；第二晶体管 21、第九晶体管 28、第十四晶体管 15、第十五晶体管 16 均关断，第三晶体管 22 和第十二晶体管 13 均导通；第四晶体管 23 的栅极电压、第二节点 PD 的电压、第十六晶体管 17 的栅极电压、第十九晶体管 31 的栅极电压均被拉高为高电平，第四晶体管 23、第十六晶体管 17、第十九晶体管 31 均导通；第一晶体管 3 的栅极电压拉低至第二电压端 V2 输出的第二电压。

在 T4 阶段，第一时钟信号端 CLK1 输出低电平的第一时钟信号，第二时钟信号端 CLK2 输出低电平的第二时钟信号，第三时钟信号输出端 CLK3 输出高电平的第三时钟信号，输入信号端 Input 输出低电平的输入信号，复位信号端 Reset 输出低电平的复位信号。

这样，在 T4 阶段，第十晶体管 11、第十一晶体管 12、第十二晶体管 13、第十三晶体管 14、第四晶体管 23、第五晶体管 24、第八晶体管 27、第十七晶体管 18、第十八晶体管 19、第二十晶体管 32、第二十一晶体管 33、第二十二晶体管 34 均关断，以及第六晶体管 25 导通；第一节点 PU 的电压和输出信号端 Output 输出的电压保持与第一

电压拉齐，第二晶体管 21、第九晶体管 28、第十四晶体管 15、第十五晶体管 16、第十六晶体管 17、第十八晶体管 19 和第十九晶体管 31 均关断，第七晶体管 26 的栅极电压被拉高为高电压，第七晶体管 26 导通，第一晶体管 3 的栅极电压与第二电压端输出的第二电压拉齐。

5 在 T5 阶段，第一时钟信号端 CLK1 输出高电平的第一时钟信号，第二时钟信号端 CLK2 输出低电平的第二时钟信号，第三时钟信号输出端 CLK3 输出低电平第三时钟信号，输入信号端 Input 输出低电平的输入信号，复位信号端 Reset 输出低电平的复位信号。

这样，在 T5 阶段，第十晶体管 11、第十七晶体管 18、第二十晶体管 32、第二十一晶体管 33、第二十二晶体管 34、第六晶体管 25、
10 第七晶体管 26 和第八晶体管 19 均关断；以及，第十三晶体管、第十二晶体管 13、第十一晶体管 12、第三晶体管 22、第四晶体管 23、第五晶体管 24、第十八晶体管 19 导通，以将第一节点 PU 的电压与第一电压端 V1 输出的第一电压拉齐，输出信号端 Output 的电压与第一电
15 压端 V1 输出的第一电压拉齐以及第一晶体管 3 的栅极电压与第二电压端 V2 输出的第二电压拉齐。由于第一电压为低电平，导致第二晶体管 21、第九晶体管 28、第十四晶体管 15 和第十五晶体管 16 均关断。

在 T6 阶段，第一时钟信号端 CLK1 输出低电平的第一时钟信号，第二时钟信号端 CLK2 输出高电平的第二时钟信号，第三时钟信号输出
20 端 CLK3 输出高电平第三时钟信号，输入信号端 Input 输出低电平的输入信号，复位信号端 Reset 输出低电平的复位信号。

这样，在 T6 阶段，第三晶体管 22、第四晶体管 23、第五晶体管 24、第十三晶体管 14、第十二晶体管 13、第十一晶体管 12、第十晶体管 11、第十七晶体管 18、第八晶体管 27、第十八晶体管 19、第二十
25 晶体管 32 均关断；以及，第六晶体管 25、第二十一晶体管 33 和第二十二晶体管 34 均导通；第一节点 PU 的电压和输出信号端 Output 输出的电压均与第一电压端 V1 输出的第一电压拉齐，第二晶体管 21、第九晶体管 28、第十四晶体管 15、第十五晶体管 16、第十六晶体管 17、第十八晶体管 19 和第十九晶体管 31 均关断，第七晶体管 26 的栅极电
30 压被拉高为高电压，第七晶体管 26 导通，第一晶体管 3 的栅极电压与第二电压端输出的第二电压拉齐。

在本发明的上述实施例中，在第一节点的电压和输出信号端的电

压均与第一电压拉齐时，第二驱动模块将第一晶体管的栅极电压与第二电压拉齐，由于第一电压与第二电压不同，使得第一晶体管的栅极与输出信号端之间的电压差不为 0，抑制了第一晶体管的漏电流的产生，可减轻或避免由于漏电流导致显示异常，有利于提高显示效果。

5 参见图 5，本发明的另一实施例提供了一种用于栅极驱动电路的驱动方法，该栅极驱动电路可以是以上参照图 1 - 图 3 描述的各个实施例中的栅极驱动电路。该栅极驱动电路可包括第一驱动模块、第二驱动模块和第一晶体管，第一驱动模块电连接至第一节点并具有输入信号端、第一时钟信号端、复位信号端、第一电压端、第二时钟信号端和
10 输出信号端，第二驱动模块电连接至所述第一节点、第一时钟信号端和所述第一晶体管的栅极，所述第二驱动模块具有第三时钟信号端和第二电压端，并且所述第一晶体管的第一端与所述第三时钟信号端连接，第二端与所述输出信号端连接。所述驱动方法可包括以下步骤：

203，在第一时钟信号端的第一时钟信号、复位信号端的复位信号
15 和第二时钟信号端的第二时钟信号的控制下，所述第一驱动模块将所述第一节点的电压和所述输出信号端的电压均与所述第一电压端的第一电压拉齐；以及

204，在所述第一节点的电压和所述输出信号端的电压被拉齐为第一电压时，所述第二驱动模块在第一时钟信号端的第一时钟信号和第三时钟信号端的第三时钟信号的控制下，将所述第一晶体管的栅极电压与
20 所述第二电压端的第二电压拉齐，所述第一电压与所述第二电压不同。

在根据本发明的用于栅极驱动电路的驱动方法的实施例中，该方法还可包括以下步骤：

25 201，第一驱动模块在输入信号端的输入信号的控制下将第一节点的电压拉高为正电压；以及

202，在所述第一节点的电压为正电压时，第二驱动模块将所述第一晶体管的栅极电压拉高为正电压，以使所述第一晶体管导通并将所述第三时钟信号端的第三时钟信号从所述输出信号端输出。

30 在本发明的一个实施例中，第一电压和第二电压可均为负电压，且第二电压的绝对值大于第一电压的绝对值。

再次参见图 4 来说明本发明的用于栅极驱动电路的驱动方法的实施例，在 T1 和 T2 阶段，第一驱动模块将第一节点的电压拉高为正电压，第二驱动模块可将第一晶体管的栅极电压拉高为正电压。

在 T3 至 T6 阶段，第一驱动模块将第一节点的电压和输出信号端的电压均与第一电压端的第一电压拉齐，将第一晶体管的栅极电压与第二电压端的第二电压拉齐。

在本发明实施例中，在 T3 至 T6 阶段，第一驱动模块在将第一节点的电压和输出信号端的电压均与第一电压拉齐时，第二驱动模块将第一晶体管的栅极电压与第二电压拉齐，由于第一电压与第二电压不同，使得第一晶体管的栅极与输出信号端之间的电压差不为 0，抑制了第一晶体管的漏电电流的产生，从而减轻或避免由漏电电流导致的显示异常，提高了显示效果。

本领域普通技术人员可以理解实现上述实施例的全部或部分步骤可以通过硬件来完成，也可以通过程序来指令相关的硬件完成，所述的程序可以存储于一种计算机可读存储介质中，上述提到的存储介质可以是只读存储器，磁盘或光盘等。

以上所述仅为本发明的一些实施例，并不用以限制本发明，凡在本发明的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权 利 要 求

1、一种栅极驱动电路，所述电路包括：

第一驱动模块、第二驱动模块和第一晶体管；

- 5 其中所述第一驱动模块电连接至第一节点并具有输入信号端、第一时钟信号端、复位信号端、第一电压端、第二时钟信号端和输出信号端，所述第一驱动模块用于在所述第一时钟信号端的第一时钟信号、所述复位信号端的复位信号和所述第二时钟信号端的第二时钟信号的控制下将所述第一节点的电压和所述输出信号端的电压均与所述第一电压端的第一电压拉齐；
- 10 电压端的第一电压拉齐；

所述第二驱动模块电连接至所述第一节点、第一时钟信号端和所述第一晶体管的栅极，所述第二驱动模块具有第三时钟信号端和第二电压端，并且第二驱动模块用于在所述第一节点的电压和所述输出信号端的电压被拉齐为第一电压时，在第一时钟信号端的第一时钟信号和第三时钟信号端的第三时钟信号的控制下，将所述第一晶体管的栅极电压与所述第二电压端的第二电压拉齐，所述第一电压与所述第二电压不同，

15 电压不同，

并且所述第一晶体管的第一端与所述第三时钟信号端连接，第二端与所述输出信号端连接。

- 20 2、如权利要求1所述的栅极驱动电路，其中所述第二驱动模块包括驱动单元和第二晶体管，

所述第二晶体管的栅极和第一端均与所述第一节点相连，第二端与所述第一晶体管的栅极相连，

所述驱动单元电连接第一时钟信号端、第二电压端、第三时钟信号端和第一晶体管的栅极，用于当第二晶体管关断时在所述第一时钟信号端的第一时钟信号或第三时钟信号端的第三时钟信号的控制下将第一晶体管的栅极电压与第二电压端的第二电压拉齐。

25 号端和第一晶体管的栅极，用于当第二晶体管关断时在所述第一时钟信号端的第一时钟信号或第三时钟信号端的第三时钟信号的控制下将第一晶体管的栅极电压与第二电压端的第二电压拉齐。

3、如权利要求2所述的栅极驱动电路，其中所述驱动单元包括第一驱动单元和第二驱动单元，

- 30 所述第一驱动单元电连接第一时钟信号端和第二电压端，用于在第一时钟信号端输出高电平的第一时钟信号时将第一晶体管的栅极电压与第二电压端的第二电压拉齐；

所述第二驱动单元电连接第三时钟信号端和第二电压端，用于在第三时钟信号端输出高电平的第三时钟信号时将第一晶体管的栅极电压与第二电压端的第二电压拉齐。

- 4、如权利要求3所述的栅极驱动电路，其中所述第一驱动单元包
5 括第三晶体管、第四晶体管和第五晶体管，

所述第三晶体管的栅极与第一时钟信号端耦接、第一端与第四晶体管的栅极连接，第二端与第五晶体管的第一端连接；

所述第四晶体管的第一端与第二电压端连接，第二端与第一晶体管的栅极连接；

- 10 所述第五晶体管的栅极和第二端均与第一时钟信号输出端连接。

- 5、如权利要求3所述的栅极驱动电路，其中所述第二驱动单元包
括第六晶体管和第七晶体管，

所述第六晶体管的栅极和第一端都与第三时钟信号端连接、第二端与第七晶体管的栅极连接；

- 15 所述第七晶体管的第一端与第二电压端连接，第二端与第一晶体管的栅极连接。

- 6、如权利要求4所述的栅极驱动电路，其中所述第二驱动模块还包括第八晶体管，所述第八晶体管的栅极与输入信号端连接，第一端与所述第三晶体管的第二端连接，第二端与第一电压端连接。

- 20 7、如权利要求5所述的栅极驱动电路，其中所述第二驱动模块还包括第九晶体管，所述第九晶体管的栅极与第一节点连接，第一端与所述第六晶体管的第二端连接，第二端与第一电压端连接。

- 8、如权利要求1所述的栅极驱动电路，其中所述第一驱动模块还用于在所述输入信号端的输入信号的控制下将所述第一节点的电压拉
25 高为正电压。

- 9、如权利要求1所述的栅极驱动电路，其中所述第二驱动模块还用于在所述第一节点的电压为正电压时，将所述第一晶体管的栅极电压拉高为正电压，以使所述第一晶体管导通并将所述第三时钟信号端的第三时钟信号从所述信号输出端输出。

- 30 10、如权利要求1-9中任一项所述的栅极驱动电路，其中所述第一电压和第二电压均为负电压，且第二电压的绝对值大于第一电压的绝对值。

11、一种用于栅极驱动电路的驱动方法，所述驱动方法包括：

在第一时钟信号端的第一时钟信号、复位信号端的复位信号和第二时钟信号端的第二时钟信号的控制下，第一驱动模块将第一节点的电压和输出信号端的电压均与第一电压端的第一电压拉齐；

5 在所述第一节点的电压和所述输出信号端的电压被拉齐为第一电压时，第二驱动模块在第一时钟信号端的第一时钟信号和第三时钟信号端的第三时钟信号的控制下，将第一晶体管的栅极电压与第二电压端的第二电压拉齐，所述第一电压与所述第二电压不同。

12、如权利要求 11 所述的驱动方法，其中所述方法还包括：

10 第一驱动模块在输入信号端的输入信号的控制下将第一节点的电压拉高为正电压；

在所述第一节点的电压为正电压时，第二驱动模块将所述第一晶体管的栅极电压拉高为正电压，以使所述第一晶体管导通并将所述第三时钟信号端的第三时钟信号从所述输出信号端输出。

15 13、如权利要求 11 所述的驱动方法，其中所述第二驱动模块包括驱动单元和第二晶体管，

所述第二晶体管在第一节点的电压拉高为正电压时导通，以将第一晶体管的栅极电压拉高为正电压，并且在第一节点的电压与第一电压拉齐时关断；

20 当第二晶体管关断时，所述驱动单元在所述第一时钟信号端的第一时钟信号或第三时钟信号端的第三时钟信号的控制下将第一晶体管的栅极电压与第二电压端的第二电压拉齐。

25 14、如权利要求 11-13 中任一项所述的驱动方法，其中所述第一电压和第二电压均为负电压，且第二电压的绝对值大于第一电压的绝对值。

15、一种显示装置，包括如权利要求 1 至 10 任一项权利要求所述的栅极驱动电路。

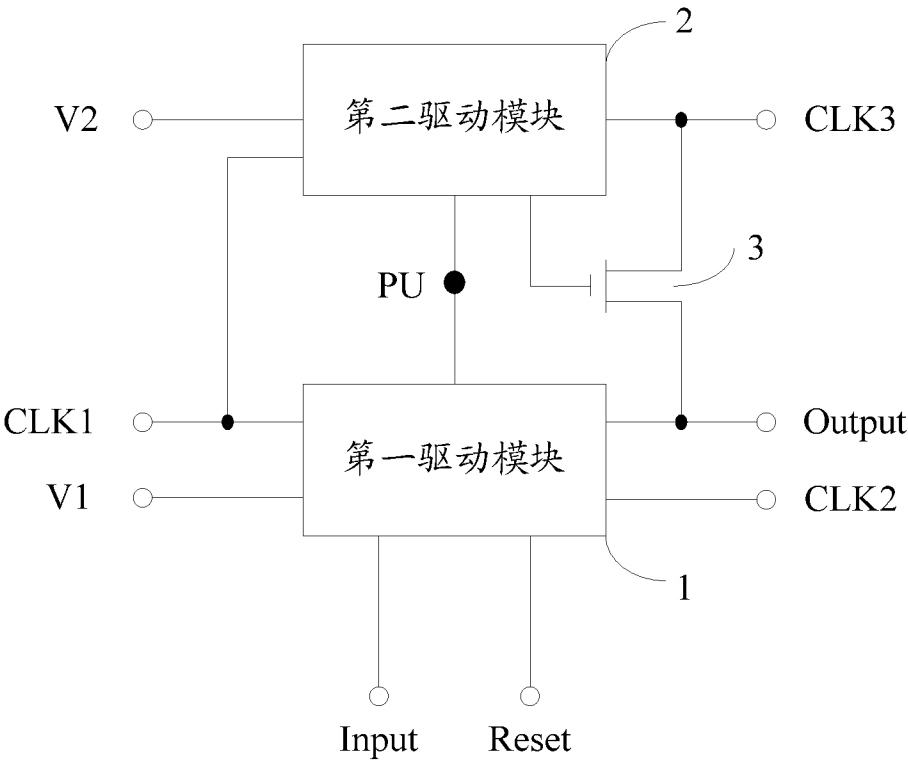


图 1

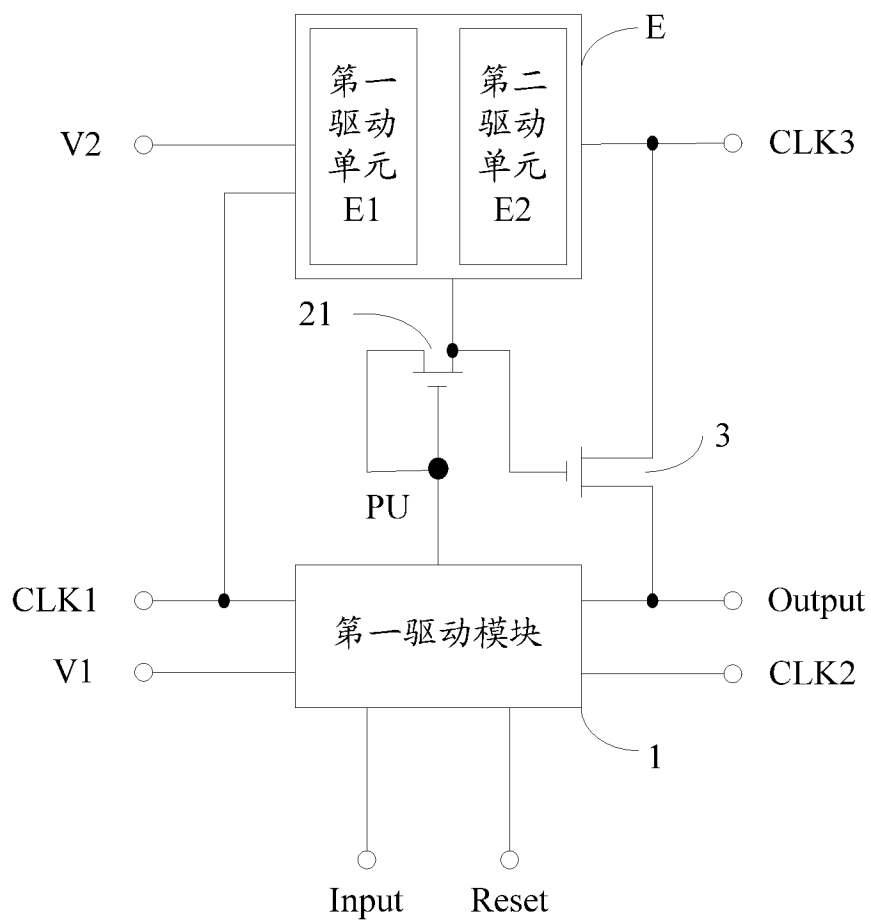


图 2

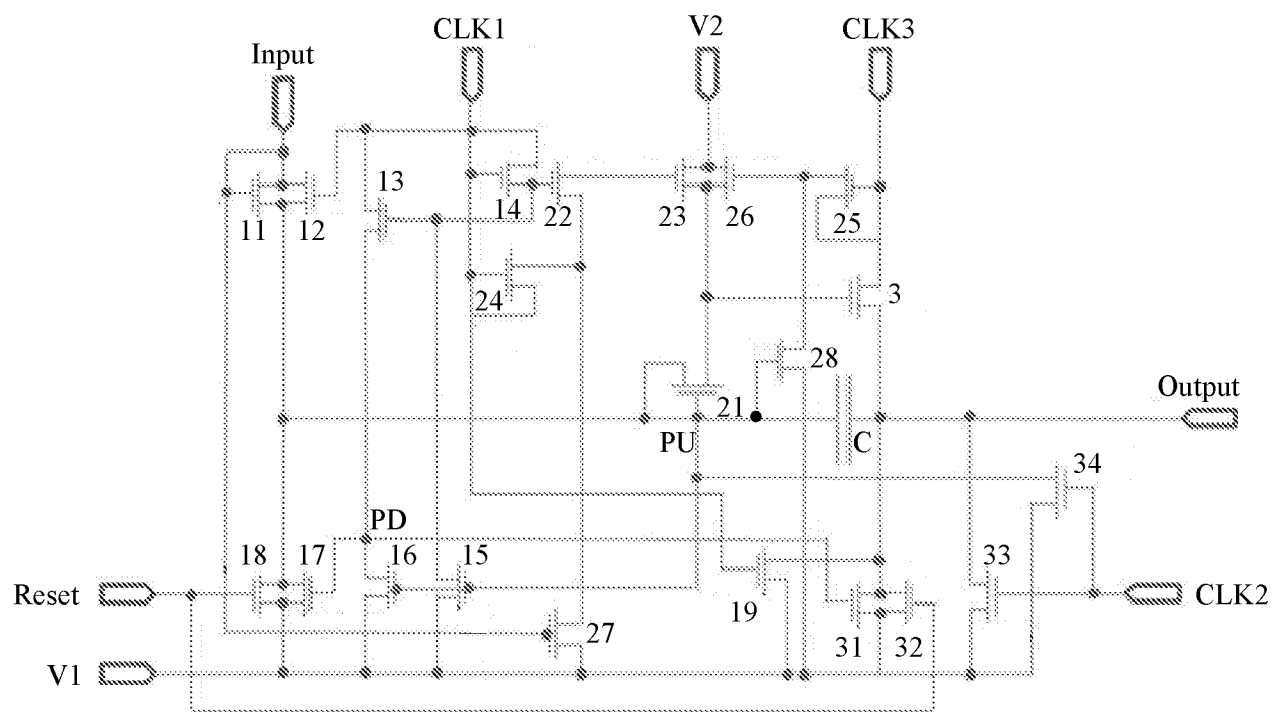


图 3

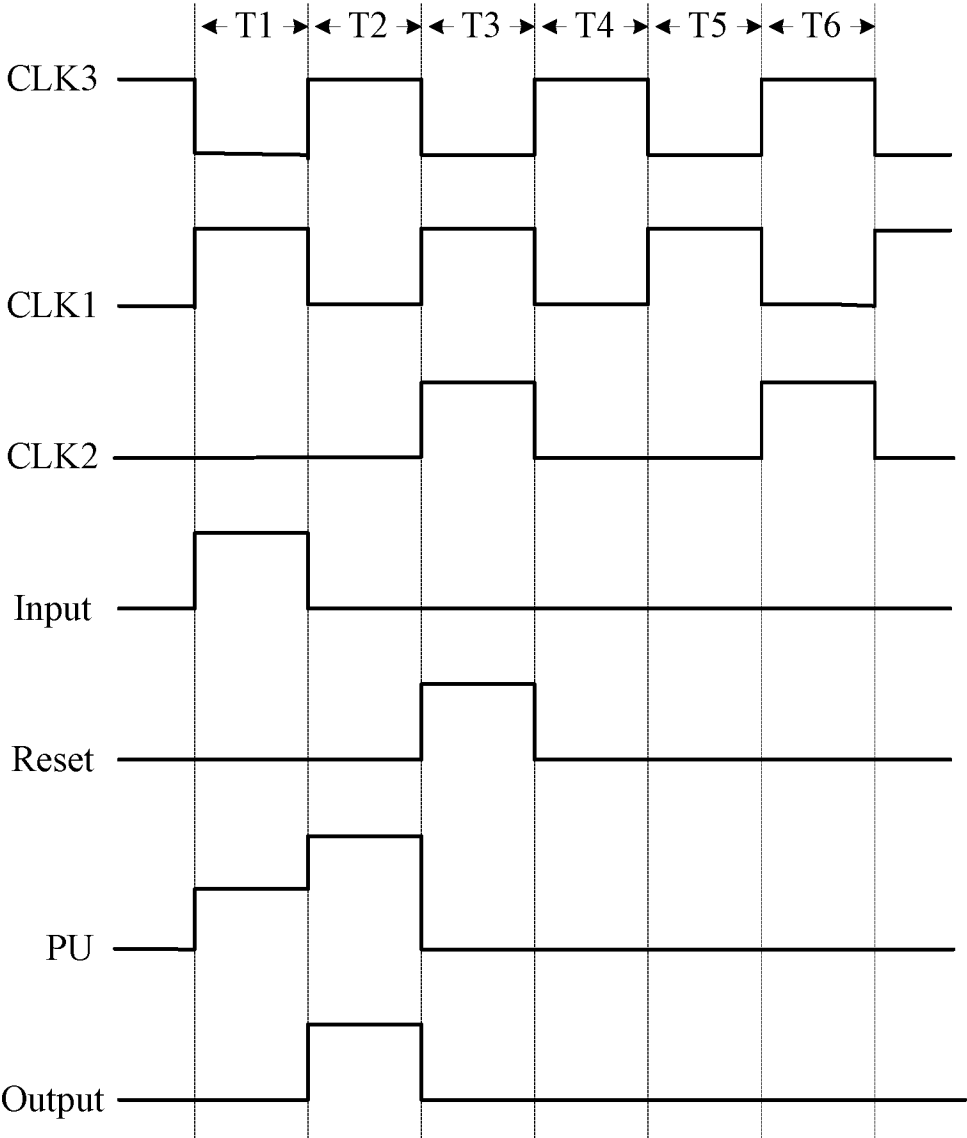


图 4

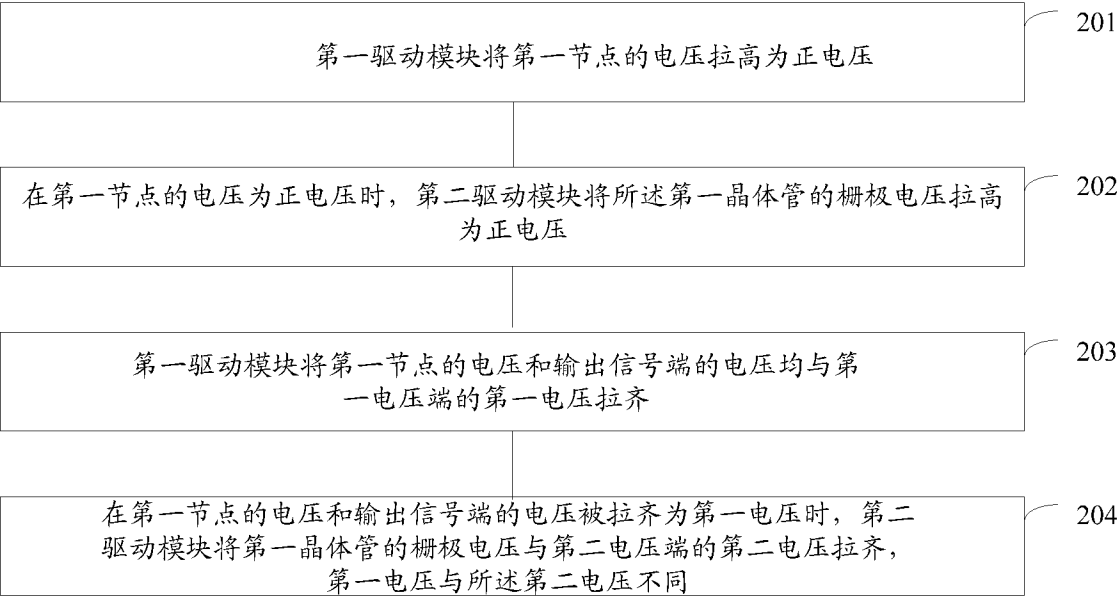


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/102080

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: BOE; leakage current, second low voltage, second low level, third clock, power supply, scanning driving, gate drive, shift register, PU, Q, node, third, clock, CK3, CLK3, gate, scan+, driv+, VGL2, VSS2, leak, current, transistor, shift, register

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105652537 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 08 June 2016 (08.06.2016), claims 1-10, description, paragraphs [0043]-[0093], and figures 1-5	1-15
A	CN 103460602 A (PANASONIC CORPORATION), 18 December 2013 (18.12.2013), description, paragraphs [0187]-[0224], and figures 16-18	1-15
A	CN 104392701 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 04 March 2015 (04.03.2015), the whole document	1-15
A	CN 203325416 U (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 04 December 2013 (04.12.2013), the whole document	1-15
A	CN 103578446 A (SAMSUNG DISPLAY CO., LTD.), 12 February 2014 (12.02.2014), the whole document	1-15
A	US 2011234565 A1 (SHARP KABUSHIKI KAISHA), 29 September 2011 (29.09.2011), the whole document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17 December 2016 (17.12.2016)	Date of mailing of the international search report 30 December 2016 (30.12.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LUO, Peng Telephone No.: (86-10) 62414444

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/102080

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105652537 A	08 June 2016	None	
CN 103460602 A	18 December 2013	KR 20150003081 A	08 January 2015
		JP 5853338 B2	09 February 2016
		EP 2838200 A1	18 February 2015
		US 8824622 B2	02 September 2014
		WO 2013153576 A1	17 October 2013
		US 2013266113 A1	10 October 2013
CN 104392701 A	04 March 2015	CN 104392701 B	14 September 2016
		WO 2016070515 A1	12 May 2016
CN 203325416 U	04 December 2013	None	
CN 103578446 A	13 February 2014	US 8988472 B2	24 March 2015
		KR 20140020484 A	19 February 2014
		JP 2014035543 A	24 February 2014
		CN 103578446 A	12 February 2014
		US 2014043373 A1	13 February 2014
CN 103578446 A	12 February 2014	US 8988472 B2	24 March 2015
		KR 20140020484 A	19 February 2014
		JP 2014035543 A	24 February 2014
		US 2014043373 A1	13 February 2014
US 2011234565 A1	29 September 2011	WO 2010067643 A1	17 June 2010

国际检索报告

国际申请号

PCT/CN2016/102080

A. 主题的分类

G09G 3/36(2006.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPODOC: 京东方, 漏电流, 第二低电压, 第二低电平, 第三时钟, 电源, 扫描驱动, 栅极驱动, 移位寄存, 节点, 晶体管, PU, Q, node, third, clock, CK3, CLK3, gate, scan+, driv+, VGL2, VSS2, leak, current, transistor, shift, register

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 105652537 A (京东方科技集团股份有限公司 等) 2016年 6月 8日 (2016 - 06 - 08) 权利要求1-10, 说明书第[0043]-[0093]段, 图1-5	1-15
A	CN 103460602 A (松下电器产业株式会社) 2013年 12月 18日 (2013 - 12 - 18) 说明书第[0187]-[0224]段, 图16-18	1-15
A	CN 104392701 A (深圳市华星光电技术有限公司) 2015年 3月 4日 (2015 - 03 - 04) 全文	1-15
A	CN 203325416 U (深圳市华星光电技术有限公司) 2013年 12月 4日 (2013 - 12 - 04) 全文	1-15
A	CN 103578446 A (三星显示有限公司) 2014年 2月 12日 (2014 - 02 - 12) 全文	1-15
A	US 2011234565 A1 (SHARP KABUSHIKI KAISHA) 2011年 9月 29日 (2011 - 09 - 29) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 12月 17日

国际检索报告邮寄日期

2016年 12月 30日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

罗朋

电话号码 (86-10)62414444

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/102080

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105652537	A	2016年 6月 8日	无			
CN	103460602	A	2013年 12月 18日	KR	20150003081	A	2015年 1月 8日
				JP	5853338	B2	2016年 2月 9日
				EP	2838200	A1	2015年 2月 18日
				US	8824622	B2	2014年 9月 2日
				WO	2013153576	A1	2013年 10月 17日
				US	2013266113	A1	2013年 10月 10日
CN	104392701	A	2015年 3月 4日	CN	104392701	B	2016年 9月 14日
				WO	2016070515	A1	2016年 5月 12日
CN	203325416	U	2013年 12月 4日	无			
CN	103578446	A	2014年 2月 13日	US	8988472	B2	2015年 3月 24日
				KR	20140020484	A	2014年 2月 19日
				JP	2014035543	A	2014年 2月 24日
				CN	103578446	A	2014年 2月 12日
				US	2014043373	A1	2014年 2月 13日
CN	103578446	A	2014年 2月 12日	US	8988472	B2	2015年 3月 24日
				KR	20140020484	A	2014年 2月 19日
				JP	2014035543	A	2014年 2月 24日
				US	2014043373	A1	2014年 2月 13日
US	2011234565	A1	2011年 9月 29日	WO	2010067643	A1	2010年 6月 17日

表 PCT/ISA/210 (同族专利附件) (2009年7月)