

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月16日(16.08.2012)



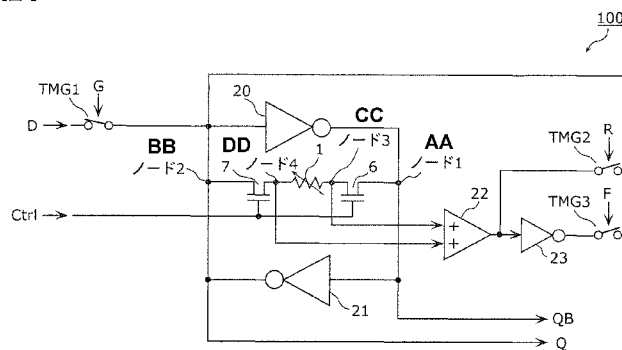
(10) 国際公開番号
WO 2012/108151 A1

- (51) 国際特許分類:
H03K 3/356 (2006.01) H01L 27/11 (2006.01)
G11C 11/412 (2006.01) H01L 45/00 (2006.01)
H01L 21/8244 (2006.01) H01L 49/00 (2006.01)
H01L 27/105 (2006.01) H03K 3/037 (2006.01)
- (21) 国際出願番号: PCT/JP2012/000715
- (22) 国際出願日: 2012年2月2日(02.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-024441 2011年2月7日(07.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION)
[JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 加藤 佳一 (KATO, Yoshikazu).
- (74) 代理人: 新居 広守(NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(54) Title: NONVOLATILE LATCH CIRCUIT, NONVOLATILE FLIP-FLOP CIRCUIT AND NONVOLATILE SIGNAL PROCESSING DEVICE

(54) 発明の名称: 不揮発性ラッチ回路、不揮発性フリップフロップ回路および不揮発性信号処理装置

[図4]



AA NODE 1
 BB NODE 2
 CC NODE 3
 DD NODE 4

(57) Abstract: A nonvolatile latch circuit (100) according to the present invention is formed by connecting both the outputs of an inverter circuit (20) and an inverter circuit (21) cross-coupled to each other through a series circuit formed by sequentially connecting a transistor (6), a resistance change element (1) and a transistor (7), and the store operation and the restore operation in latch states are controlled by applying a voltage to the control terminals of the transistors (6 and 7), and in order to return the latch circuit to a logical state where a forming process for the resistance change element (1) can be performed, the potential between both ends of the resistance change element (1) is added to a value, and the added value is amplified and inverted, and returned to the input of the inverter circuit (20 or 21).

(57) 要約:

[続葉有]



WO 2012/108151 A1

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

本発明の不揮発性ラッチ回路 (100) は、クロスカップル接続されたインバータ回路 (20) とインバータ回路 (21) の出力同士がトランジスタ (6)、抵抗変化素子 (1) およびトランジスタ (7) の順序で接続された直列回路により接続され、トランジスタ (6) および (7) の制御端子への電圧印加によりラッチ状態のストア動作およびリストア動作が制御され、抵抗変化素子 (1) の両端電位が加算された量を増幅し反転したものをインバータ回路 (20) または (21) の入力に戻すことで抵抗変化素子 (1) のフォーミング工程を実行することが可能な論理状態に復帰させる。

明 細 書

発明の名称：

不揮発性ラッチ回路、不揮発性フリップフロップ回路および不揮発性信号処理装置

技術分野

[0001] 本発明は、不揮発性ラッチ回路、不揮発性フリップフロップ回路および不揮発性信号処理装置に関する。特に、電源供給を遮断しても遮断前の状態を保持する不揮発性ラッチ回路からの状態復帰により、信号処理の状態を電源遮断前に復帰することが可能な不揮発性デジタル信号処理装置に関する。

背景技術

[0002] エレクトロニクス製品には、デジタル回路で構成される多くのマイクロコンピュータ（マイコン）やロジックLSIが使用されている。

[0003] マイコンやLSI等のデジタル回路には、信号処理経路上に途中の処理内容のデジタル信号を一時的に保持しておくラッチ回路、あるいはフリップフロップのような1ビットのデジタル情報を記憶するレジスタ回路が用いられる（以下、簡略的にまとめてラッチ回路という）。ラッチ回路は、デジタル信号におけるハイ（H）あるいはロー（L）の2つの状態を保持する。この最も単純な回路構成として、2つのインバータ回路をペアとして組み合わせ、相互に交差接続させた回路構成（ペアインバータ）が例示できる。また、2つのNAND回路またはNOR回路をペアとして組み合わせ、相互に交差接続させたセットリセットフリップフロップ（SR-FF）回路や、当該SR-FF回路を複数組み合わせでクロックエッジ同期で出力の論理状態が更新されるエッジトリガ型Dフリップフロップ（D-FF）回路なども例示できる。これらの回路は非常に一般的な周知の技術であるので詳細な説明は省略するが、これら回路の動作速度は、トランジスタのターンオンおよびターンオフ時間で決定される。特に上記ペアインバータによるラッチ回路の例では、動作速度は、4つのMOSFET（Metal Oxide

Semiconductor Field Effect Transistor) によるC-MOS (Complementary-MOS) 回路のスイッチ速度のみに制約されるため、ナノ秒オーダーの回路動作が実現できる。

[0004] しかし、これらラッチ回路への電源が、一旦遮断されると、その状態が保持されず、失われてしまう（揮発する）。仮にロジック回路の全てのラッチ回路の論理状態が電源のオンオフ状態に拘わらず記憶されているような不揮発性ラッチ回路であれば、電源再投入の際に、速やかに電源遮断する直前の状態へと復帰できる。これにより電源を遮断するという行為が、ユーザによりエレクトロニクス製品に対して実行されても、電源の再投入時には以前の状態に完全に復帰でき、一旦初期状態に戻ることなく連続的な回路動作が可能になる。

[0005] また、微細化が進む半導体プロセスによりLSIの省電力化も同時に進歩しているが、微細化のためにかえってリーク電流の抑制が困難となり、プロセスの微細化のみではLSIの省電力化に限界が見え始めている。このため、LSI内部における回路ブロック単位で、未使用ブロック回路に対して、きめ細かく電源のON/OFFを実行することで省電力化を図るようなアプローチが進められている。しかし、電源を遮断すると、そのブロックの論理状態は失われるため、連続した処理が必要な回路ブロックでは実施できなかった。これに対し、上述した不揮発性ラッチ回路で全てのロジック回路の全てのレジスタやラッチ回路が構成されていれば、このような要望にも対応できる。

[0006] しかしながら、これまでの従来技術における不揮発ラッチ回路のLSIへの応用例としては、フローティングゲート型メモリ素子（以下、フラッシュメモリともいう）が、FPGA (Field-Programmable Gate Arrays) やFPLD (Field-Programmable Logic Devices) のプログラム記録メモリとして利用されているように、ロジック回路とは別領域に形成されるメモリ領域への適用

に留まっている。これは、フラッシュメモリの情報消去あるいは書き込みには μ sオーダかそれ以上の時間が必要であり、フラッシュメモリの動作周期をロジック回路の動作周期に同期させることができないためである。仮に、ロジック回路内のラッチ回路に個別にこれら記録素子を設置した場合には、各ラッチ回路の動作が終了しても記録素子への情報（ラッチ回路の状態論理）の記録は完了せず、ロジック回路の高速動作性能を損なってしまう。従って、ロジック回路の高速動作を確保するには、フラッシュメモリをロジック回路とは別に設け、電源遮断前にロジック回路内の状態をフラッシュメモリに転送し、その転送が終了した段階で電源を遮断する処理が必要になる。ただし、突然の電源遮断が起こった場合には、ロジック回路内の全てのラッチ状態をメモリ素子に転送することが間に合わず、記録することができないという問題が生じる。また、フラッシュメモリの書き込み、あるいは消去に要求される電圧は、ロジック回路の電源電圧よりも一般的に非常に高い。このため、ロジック回路の出力信号によってフラッシュメモリの書き込み動作を直接実行することはできない。よって、フラッシュメモリの書き込みや消去電圧は、LSI外部から供給されるかあるいはLSIチップの内部で生成されるとともに、専用のドライバ回路が必要となる。

[0007] さらに、一般にフラッシュメモリの製造工程は複雑となるため、ロジック回路とフラッシュメモリとを同一基板に形成しようとする、工程が非常に複雑化する。さらに、ロジック回路を構成するトランジスタの形成後に、高温の熱工程等が介在するため、トランジスタの性能を損なう場合もある。

[0008] これらの課題に対処するため、近年では、不揮発性のラッチ回路を構成するにあたって、次のような提案がなされている。

[0009] [第1の従来例]

まず、第1の従来例として、特許文献1に記載されているようなスピバルブ型のメモリ素子を用いた不揮発性ラッチ回路について説明する。スピバルブ型メモリ素子はMRAM (Magnetic Random Access Memory) セルともいわれ、磁化の方向によって抵抗値が変化

する磁気抵抗効果 (M a g n e t o R e s i s t i v e E f f e c t) を用いたメモリ素子である。磁気抵抗効果には、異方性磁気抵抗効果 (A n i s o t r o p i c M a g n e t o r e s i s t a n c e : A M R) や巨大磁気抵抗効果 (G i a n t M a g n e t o r e s i s t a n c e : G M R) 、トンネル磁気抵抗効果 (T u n n e l M a g n e t o r e s i s t a n c e : T M R) などが知られている。

[0010] 図20Aは、第1の従来例に係る不揮発性ラッチ回路の回路構成図であり、図20Bは、第1の従来例に係る不揮発性ラッチ回路の動作タイミングチャートである。図20Aに記載された不揮発性ラッチ回路600は、センス・ラッチ回路601と、書込電流生成回路602とで構成される。

[0011] センス・ラッチ回路601は、p型MOSFET621およびn型MOSFET622で構成されるインバータ回路611と、p型MOSFET623およびn型MOSFET624で構成されるインバータ回路612と、p型MOSFET625および626と、n型MOSFET627と、磁気抵抗素子MTJ0およびMTJ1とを有する。また、書込電流生成回路602は、n型MOSFET628~632を有する。

[0012] 図20Aにおいて、IN端子にはデータ信号が入力され、INバー端子にはIN端子に入力されるデータの反転信号が入力されている。この状態で、図20Bに示されるように、DATAGET端子を所定の期間“L”から“H”に変化させると、n型MOSFET632がONし、DWLに入力データに応じた方向で電流*i*が流れる。これによって磁気抵抗素子MTJ0およびMTJ1の抵抗が変化し、入力データに応じて、一方が高抵抗状態へ、他方が低抵抗状態に変化する。その後、REFRESHN端子を、所定の期間“H”から“L”に変化させると、n型MOSFET627がOFFとなり、p型MOSFET625および626がONとなる。これにより、ノードn1とノードn2とが一時的にV_{dd}にプリチャージされる。そして、再びREFRESHN端子が“H”に戻ることで、n型MOSFET627がONとなり磁気抵抗素子MTJ0およびMTJ1を介して電流がGNDに流れ

る。この電流により、ノードn1およびノードn2の電位は、徐々にGND電位に近づいていく。このとき、磁気抵抗素子MTJ0およびMTJ1のうち、抵抗値の小さいほうがより早く放電し、ノード電位が早く低下する。この結果、インバータ回路611および612からなるペアインバータ回路の論理が収束し、磁気抵抗素子MTJ0およびMTJ1の抵抗関係に応じた論理状態にラッチ回路が復元される。

[0013] このように、特許文献1では、磁気抵抗素子を用いた不揮発性ラッチ回路600により、ロジック回路内に不揮発性ラッチ回路やフリップフロップ回路を個別に配置することができ、また、磁気抵抗素子の高速書き換えが可能であることから、ロジック回路全体の動作速度を損なうことがないことが効果として示されている。また、記憶素子の書き換え等に、ロジック動作に必要な電圧と異なった高い電圧は不要あることが開示されている。

[0014] [第2の従来例]

次に、第2の従来例として、非特許文献1に記載されているようなReRAM (Resistive RAM) セルを用いた不揮発性ラッチ回路について説明する。ReRAMセルは、電気的なストレス（主に電気パルス）の印加によって、抵抗値が変化する抵抗変化素子である。非特許文献1では、銀 (Ag) 電極と白金 (Pt) 電極との間にZnCdSの抵抗膜が挟まれた素子が開示されている。この従来例における抵抗変化素子は、BE (Pt) 電極からTE (Ag) 電極に電流が流れるような印加で、かつ所定の電圧レベルを超えると高抵抗化し、TE電極からBE電極に電流が流れるような印加で、かつ所定の電圧レベルを超えると低抵抗化する。この素子を、図21のように接続することにより不揮発性ラッチ回路を構成している。

[0015] 図21は、第2の従来例に係る不揮発性ラッチ回路の回路構成図である。同図に記載された不揮発性ラッチ回路700は、抵抗変化素子711および712を備える。通常動作時の抵抗変化素子711と抵抗変化素子712とは、必ず高抵抗状態にリセットされている。通常動作時であるラッチ動作においては、VctrlはVddにプルアップされていて、BLまたはBL__

Bが、GNDレベルやV_{dd}レベルであっても、既に抵抗変化素子711および712は高抵抗状態にあるので抵抗変化は発生せず、通常のラッチ動作が実行される。次にラッチ回路の論理状態を抵抗変化素子に記憶させる場合は、V_{ctrl}を、所定の期間GNDレベルにセットする。これによりBLとBL__Bのうち、“H”側に接続された抵抗変化素子が低抵抗状態に変化する。さらに、低抵抗状態として記憶されたラッチ回路の論理情報は、V_{ctrl}をV_{dd}にプルアップすると、低抵抗状態にある方の抵抗変化素子が他方に比べて早く電位が上昇するため、低抵抗状態の抵抗変化素子が接続されているほうが“H”で、他方が“L”に収束し、論理情報が復元される。そして通常のラッチ動作に戻るためには、抵抗変化素子が低抵抗状態にあると消費電力が増大するので、必ずV_{ctrl}端子をV_{dd}より高い電位にあげて、低抵抗状態の抵抗変化素子を高抵抗状態にリセットする必要がある。

[0016] このように、非特許文献1の例によれば、抵抗変化素子の2素子を追加するだけで不揮発ラッチ回路が実現され、通常のラッチ動作のスピードも全く損なわれないことが開示されている。

[0017] [第3の従来例]

次に、第3の従来例として、特許文献2および特許文献3に挙げられているReRAMセルを用いた不揮発性ラッチ回路について説明する。

[0018] 図22は、第3の従来例に係る不揮発性ラッチ回路の状態を抵抗変化素子へ記憶させる方法を説明する回路イメージ図である。また、図23は、第3の従来例に係る不揮発性ラッチ回路において、抵抗変化素子に記憶された抵抗状態から元のラッチ状態に復帰する方法を説明する回路イメージ図である。第3の先行例では、ラッチ状態の記憶のため、2つの抵抗変化素子がペアとなり使用される。図22に記載された不揮発性ラッチ回路800は、インバータ回路821の出力端子がインバータ回路822の入力端子に接続され、インバータ回路822の出力端子がインバータ回路821の入力端子に接続されているようなクロスカップル型のラッチ回路である。また、スイッチ回路(図示せず)を切換えることによりノードxおよびノードyを介して、抵

抗変化素子 811 と抵抗変化素子 812 とが接続される。

[0019] 不揮発性ラッチ回路 800 の状態が、ノード x が High レベルにあり、ノード y が Low レベルにある場合は、抵抗変化素子 811 および 812 に印加方向 A で示す方向に電流が流れる。このとき、抵抗変化素子 811 は、抵抗値が高い状態（HR 状態または単に HR という）に変化し、抵抗変化素子 812 は、当該 HR 状態の抵抗値より低い抵抗状態（LR 状態または単に LR という）に変化するように構成されている。

[0020] 不揮発性ラッチ回路 800 の状態が、ノード y が High レベルにあり、ノード x が Low レベルにある場合は、抵抗変化素子 811 および 812 に印加方向 B で示す方向に電流が流れる。このとき、抵抗変化素子 811 は、LR 状態に変化し、抵抗変化素子 812 は HR 状態に変化するように構成され、それぞれのラッチ回路状態が、抵抗変化素子に記憶される。

[0021] 一方、スイッチ回路（図示せず）を切り替えることにより、インバータ回路 821 および 822 の電源ラインに抵抗変化素子 811 および 812 が図 23 のように接続される。この回路接続において、同図に示された電源端子 A が 0 V から電源電圧 VDD まで引き上げられると、抵抗変化素子 811 が HR で抵抗変化素子 812 が LR の場合には、インバータ回路 821 に流れる電流が少なく、インバータ回路 822 に流れる電流は多くなる。これにより、インバータ回路 821 の出力が、インバータ回路 822 の出力より早く立ち上がるため、ノード y を High レベルにするとともにノード x を Low レベルに収束させて元のラッチ状態に復帰させる。また逆に、抵抗変化素子 811 が LR で抵抗変化素子 812 が HR の場合には、インバータ回路 821 に流れる電流が多く、インバータ回路 822 に流れる電流は少なくなる。これにより、インバータ回路 822 の出力が、インバータ回路 821 の出力より早く立ち上がるため、ノード x を High レベルにするとともにノード y を Low レベルに収束させて元のラッチ状態を復帰させる。

[0022] このように、第 3 の従来例の構成によれば、スイッチ回路により抵抗変化素子をラッチ回路から切り離すことで、通常のラッチ動作のスピードも全く

損なわれないことが効果として挙げられている。また、抵抗変化素子から抵抗状態を読み取り、元のラッチ状態へと復帰させる場合の電圧が小さく、復帰後は抵抗変化素子に電圧のストレスが加わらないため、素子の耐性を大きく改善できることが挙げられている。

[0023] また、抵抗変化素子のセル構造の特徴として、特許文献4には、抵抗変化素子に含まれる酸化物層が第1の酸素含有率である第1の酸化物層と、当該第1の酸化物層より酸素含有率の高い第2の酸化物層との積層構造で構成することにより、電圧印加の方向と抵抗変化の方向が決定されることが開示されている。また、特許文献5には、抵抗変化素子に用いる電極材料の標準電極電位が高いものと低いものが用いられることで、電圧印加の方向と抵抗変化の方向が決定されることが開示されている。

[0024] また、特許文献6には、製造工程が終了した直後の抵抗変化素子の抵抗値（以降、初期抵抗値という）は、通常動作時の抵抗値に比べて非常に高い抵抗値であることが示されている。そして、初期抵抗値から通常動作に用いられる抵抗値へと変化するための電圧 V_{L1} は、およそ $-3V$ であることが示されており、通常動作に用いられる電圧 V_{L2} および V_{L3} が、 $-1V$ 程度であるのに比べ、絶対値が非常に大きいことが解る。なお、前述した「通常動作」とは、抵抗変化素子において情報の記憶に用いられる少なくとも2つ以上の抵抗値の間を遷移する動作を言う。また、以下では、前述の初期抵抗値から通常動作の抵抗値へと変化させるパルス印加の工程をフォーミング工程（forming process）と記す。

先行技術文献

特許文献

- [0025] 特許文献1：特開2003-157671号公報
特許文献2：特開2008-85770号公報
特許文献3：国際公開第2009-060625号
特許文献4：国際公開第2008-149484号
特許文献5：国際公開第2009-050833号

特許文献6：国際公開第2010-038442号

非特許文献

[0026] 非特許文献1：“Nonvolatile SRAM Cell”，IEEE
2006, 1-4244-0439-8/06

発明の概要

発明が解決しようとする課題

[0027] しかしながら、第1の従来例として挙げた特許文献1の不揮発性ラッチ回路では、高速動作が効果として述べられているものの、データの入力から出力までに、MOSFETのスイッチングディレイだけでなく磁気抵抗素子への書き込み動作と読み出し動作が入るため、通常のロジック回路よりも回路動作速度が遅くなってしまふ。さらに、素子から書き込まれた情報を読み出すために、OUTと、その反転であるOUTバー出力がともに“H”レベルとなるようなグリッジ（glitch）が発生する。このようなグリッジはクロック同期のロジック回路が構成されたときに誤動作の原因となり好ましくない。また、データの書き込み用制御信号であるDATAGETと、データ出力（読み出し）用制御信号であるREFRESHNの2つの制御線による時分割制御が必要であるため、DATAGETおよびREFRESHN動作の時間的余裕を考慮した場合も、高速動作を阻害させる要因となる。そして、ラッチ動作ごとに抵抗変化素子の書換えが発生するため、抵抗変化素子の書換え耐性に対する寿命の劣化が懸念される。

[0028] また、第2の従来例として挙げた非特許文献1の不揮発性ラッチ回路では、通常のラッチ動作には不揮発のための回路要素が全く影響を及ぼさないため、トランジスタのスイッチング速度で決定される高速動作が可能である。しかし、ラッチ回路の状態を記憶するために、抵抗変化素子への状態書き込みと、記憶された抵抗変化素子から状態を読み出す復帰動作だけでなく、抵抗変化素子を全て高抵抗状態にするリセット動作がさらに必要になる。また、データ入力線を抵抗変化素子でプルアップする構成において、全てのラッチ回路の信号ラインに挿入され定常的に電流が流れるため消費電力の増大が

懸念される。そして、一度に多くのラッチ回路に対してリセット動作を実行するためには、低抵抗状態にある複数の抵抗変化素子に電圧を印加し、電流を流す強力なドライバ回路が必要になる。さらに、通常のラッチ動作において、“L”レベルにある入力端子側に接続された抵抗変化素子は常にV_{dd}の電圧が印加されており、極めて高いストレスが加わり続けることになる。一般的に、抵抗変化素子において、例えば、高抵抗化電圧が継続して印加されると、徐々に、当該抵抗変化素子がより高抵抗へと変化していく。そうすると、次に当該抵抗変化素子を低抵抗化させるために、低抵抗状態に変化させるための電圧を印加したとしても低抵抗化しなくなるという、いわゆる抵抗状態のすり込み（*imprint*）現象が起こる不具合が発生する。

[0029] さらに、第3の従来例として挙げた特許文献2および特許文献3のラッチ回路では、直列接続された2つの抵抗変化素子を書き換える必要があるため、印加電圧として、HRに変化させる電圧にLRに変化させる電圧が加算された電圧が必要となり、ラッチ回路の電源電圧の増加、また、電源生成回路の増加といった弊害が生じる。また、復帰動作では、ラッチ回路の電源投入の過渡応答を利用するため、複数のラッチ回路の電源投入を同時に行なった場合には、電源電圧が乱れて、安定な復帰動作に障害を与えることも懸念される。

[0030] また、抵抗変化素子の種類によっては、抵抗変化素子を書き換え方向に応じて電流制限をする必要があるにもかかわらず、抵抗変化素子を用いた不揮発性ラッチ回路において、抵抗変化動作における電流制限についての具体策を示した先行例は見当たらない。特に、上記第3の従来例の場合は、直列接続された2つの抵抗変化素子のうち、HR状態にある抵抗変化素子に多くの電圧が分配される。例えば、図22に記載された抵抗変化素子811がHR状態で、抵抗変化素子812がLR状態とすると、最初は抵抗変化素子811にほとんどの電圧成分が割り当てられる。ここで、抵抗変化素子811がLR状態へと変化し始めると、それに伴い抵抗変化素子812に電圧成分が分配される。しかし、抵抗変化素子812に電圧成分が分配されると同時に

、抵抗変化素子 8 1 1 の両端電圧は急速に低下し、通常の L R 状態に到達する前に、抵抗変化が中断される場合が起こる。すなわち、H R 状態から L R 状態に変化するときには、他方の L R 状態にある抵抗変化素子が負荷抵抗として動作するものの、当該他方の負荷抵抗も変化するため、互いに電圧の奪い合いになり抵抗変化が安定しない不具合が発生する。

[0031] また、特許文献 6 に記載された抵抗変化素子のフォーミング工程では、絶対値が大きい電圧振幅の V_{L1} が印加されるので、通常動作に比べて 2 倍から 3 倍の電流が流れることになる。そうすると、複数の抵抗変化素子、例えば N 個を同時にフォーミングする場合には、通常動作の電流に比べ $3 \times N$ 倍の電流を十分に流すことのできるドライバ回路や電源配線幅が必要となる。逆の観点から述べると、抵抗変化素子を駆動するドライバ回路や電源回路には駆動できる電流値の上限があるので、同時にフォーミングする素子数やフォーミングする順序を管理する必要がある。さらに、複数の素子を同時にフォーミングした場合に、素子ごとに抵抗変化する電圧や時間がばらついていた場合には、先に低抵抗になった素子に電流が流れてしまい、まだ変化していない素子には必要な電圧が印加できないといった不具合が発生する。このように、全ての素子を確実にフォーミングするためには、通常動作時よりも更に細かく同時に抵抗変化させる素子数や順序をコントロールする必要がある。

[0032] 以上まとめると、上述した従来例は、ラッチ動作の高速化、抵抗変化素子の長寿命化、動作電圧の低電圧化、安定性およびフォーミングの制御性といった点で課題を有し、いずれも、上記課題を同時に解決することができない。

[0033] 本発明は、上記課題に鑑みてなされたものであり、高速かつ高信頼性で、安定したラッチ状態の記憶と復元を実行できる不揮発性ラッチ回路および不揮発性フリップフロップ回路を提供することを目的とする。

課題を解決するための手段

[0034] 上記課題を解決するために、本発明の一態様に係る不揮発性ラッチ回路は

、第1の論理反転回路と、入力端子が前記第1の論理反転回路の出力端子に接続され、出力端子が前記第1の論理反転回路の入力端子に接続された第2の論理反転回路と、第1端子と第2端子と第1制御端子とを有し、前記第1制御端子の電圧により前記第1端子と前記第2端子との間の導通状態を制御する第1トランジスタと、第3端子と第4端子と第2制御端子とを有し、前記第2制御端子の電圧により前記第3端子と前記第4端子との間の導通状態を制御する第2トランジスタと、酸素不足型の遷移金属酸化物で構成された酸化物層を第1および第2の電極で挟んだ構造であり、前記第1の電極から前記第2の電極へ電流が流れる向きに所定の第1電圧より絶対値が大きな第1印加電圧を印加することで第1の抵抗状態に推移し、前記第2の電極から前記第1の電極へ電流が流れる向きに所定の第2電圧より絶対値が大きな第2印加電圧を印加することで前記第1の抵抗状態より大きな抵抗値となる第2の抵抗状態へ推移する抵抗変化素子と、前記第1および前記第2のトランジスタのそれぞれの制御端子に、絶対値が前記第1電圧および前記第2電圧より小さな読み出し電圧が印加された場合に、前記第1端子と前記第1の電極との接続点である第1のノードの電位と前記第4端子と前記第2の電極との接続点である第2のノードの電位との加算値を検出する加算増幅回路と、前記加算増幅回路の出力を反転する第3の論理反転回路と、を備え、前記第1の論理反転回路の前記出力端子と前記第1のトランジスタの前記第2端子とが第3のノードを介して接続され、前記第2の論理反転回路の前記出力端子と前記第2のトランジスタの前記第3端子とが第4のノードを介して接続され、前記第2の抵抗状態から前記第1の抵抗状態に推移させるときに前記抵抗変化素子に流れる第1電流の絶対値は、前記第1の抵抗状態から前記第2の抵抗状態に推移させるときに前記抵抗変化素子に流れる第2電流の絶対値より小さくなるように構成され、さらに、前記抵抗変化素子は、製造直後の抵抗値が前記第2の抵抗状態より大きい第3の抵抗状態にあり、前記第1の電極から前記第2の電極へ電流が流れる向きに前記第1印加電圧より大きな第3印加電圧が印加されると、前記第3の抵抗状態から前記第1の抵抗

状態の抵抗値以下の抵抗値となる第4の抵抗状態に変化し、前記加算増幅回路は、前記第3の抵抗状態を検知し、当該検知した出力が前記第3の論理反転回路を介して前記第3のノードまたは前記第4のノードに入力された場合に前記抵抗変化素子の抵抗値を前記第3の抵抗状態から前記第4の抵抗状態に変化せしめるのに必要な状態に前記第1の論理反転回路と前記第2の論理反転回路の状態を設定することを特徴とする。

発明の効果

[0035] 本発明の構成によれば、ロジック回路内に不揮発性ラッチ回路や不揮発性フリップフロップ回路を任意に配置することができる。また、本発明の不揮発性ラッチ回路や不揮発性フリップフロップ回路を適用したロジック回路全体の動作速度は、トランジスタのスイッチング性能の制約のみであり、不揮発機能追加によって損なわれることが全くない。また、不揮発性ラッチ回路や不揮発性フリップフロップ回路の記憶素子である抵抗変化素子に論理状態の情報を記録する際にフラッシュメモリのような高い電圧は不要である。また、製造直後の初期抵抗値にある抵抗変化素子を、確実かつ安定に所望のLR状態に変化させることができる。

図面の簡単な説明

[0036] [図1]図1は、本発明の実施の形態1に係る不揮発性ラッチ回路の有する抵抗変化素子の概略構成の一例を示す素子構成図である。

[図2A]図2Aは、本発明の実施の形態1に係る抵抗変化素子の電流-電圧特性の一例を示すグラフである。

[図2B]図2Bは、図2Aに記載された抵抗変化素子の電流-電圧特性における負電圧特性の電圧印加状態を説明する図である。

[図2C]図2Cは、図2Aに記載された抵抗変化素子の電流-電圧特性における正電圧特性の電圧印加状態を説明する図である。

[図3]図3は、本発明の実施の形態1に係る不揮発性ラッチ回路の回路構成図である。

[図4]図4は、本発明の実施の形態1に係る不揮発性ラッチ回路のブロック構

成図である。

[図5A]図5Aは、本発明の実施の形態1に係る不揮発性ラッチ回路の書き込み（ストア）動作におけるHR状態の書き込みを説明する図である。

[図5B]図5Bは、本発明の実施の形態1に係る不揮発性ラッチ回路の書き込み（ストア）動作におけるLR状態の書き込みを説明する図である。

[図6A]図6Aは、図2Cの印加状態Bにおける抵抗変化素子への書き込み動作を表す回路図である。

[図6B]図6Bは、図2Bの印加状態Aにおける抵抗変化素子への書き込み動作を表す回路図である。

[図7]図7は、抵抗変化素子の電流－電圧特性に、電流制限を与える各トランジスタの負荷抵抗線を重ね書きしたグラフである。

[図8]図8は、本発明の実施の形態1に係る不揮発性ラッチ回路において、抵抗変化素子に記憶された抵抗値からラッチ回路の論理状態を復帰する読み出し（リストア）動作時のブロック構成図である。

[図9A]図9Aは、本発明の実施の形態1に係る不揮発性ラッチ回路において、抵抗変化素子がHR状態、ノード1がHighレベル、ノード2がLowレベルのときの読み出し動作を説明する図である。

[図9B]図9Bは、本発明の実施の形態1に係る不揮発性ラッチ回路において、抵抗変化素子がHR状態、ノード1がLowレベル、ノード2がHighレベルのときの読み出し動作を説明する図である。

[図9C]図9Cは、本発明の実施の形態1に係る不揮発性ラッチ回路において、抵抗変化素子がLR状態、ノード1がHighレベル、ノード2がLowレベルのときの読み出し動作を説明する図である。

[図9D]図9Dは、本発明の実施の形態1に係る不揮発性ラッチ回路において、抵抗変化素子がLR状態、ノード1がLowレベル、ノード2がHighレベルのときの読み出し動作を説明する図である。

[図10]図10は、本発明の実施の形態1に係る不揮発性ラッチ回路のフォーミング工程を説明する動作フローチャートである。

[図11]図11は、本発明の実施の形態1に係る変形例を示す不揮発性ラッチ回路の回路構成図である。

[図12]図12は、本発明の実施の形態2に係る不揮発性ラッチ回路の回路構成図である。

[図13A]図13Aは、本発明の実施の形態2に係る抵抗変化素子へのHR書き込み動作を表す回路図である。

[図13B]図13Bは、本発明の実施の形態2に係る抵抗変化素子へのLR書き込み動作を表す回路図である。

[図13C]図13Cは、本発明の実施の形態2に係る抵抗変化素子へのフォーミング動作を表す回路図である。

[図14]図14は、抵抗変化素子の電流－電圧特性に、電流制限を与える各トランジスタの負荷抵抗線を重ね書きしたグラフである。

[図15]図15は、抵抗変化素子の初期状態における電流－電圧特性に、電流制限を与える各トランジスタの負荷抵抗線を重ね書きしたグラフである。

[図16A]図16Aは、本発明の実施の形態3に係る不揮発性フリップフロップ回路の回路構成図である。

[図16B]図16Bは、本発明の実施の形態3に係る不揮発性フリップフロップ回路の論理表を示す図である。

[図17A]図17Aは、本発明の実施の形態3に係る変形例を示す不揮発性フリップフロップ回路の回路構成図である。

[図17B]図17Bは、本発明の実施の形態3に係る変形例を示す不揮発性フリップフロップ回路の論理表を示す図である。

[図18A]図18Aは、本発明の実施の形態4に係る不揮発性ラッチモジュールの構成を示す回路構成図である。

[図18B]図18Bは、本発明の実施の形態4に係る不揮発性信号処理装置の構成を示す回路構成図である。

[図19]図19は、本発明の実施の形態4に係る不揮発性信号処理装置のフォーミング工程を説明するタイミングチャートである。

[図20A]図20Aは、第1の従来例に係る不揮発性ラッチ回路の回路構成図である。

[図20B]図20Bは、第1の従来例に係る不揮発性ラッチ回路の動作タイミングチャートである。

[図21]図21は、第2の従来例に係る不揮発性ラッチ回路の回路構成図である。

[図22]図22は、第3の従来例に係るラッチ回路の状態を抵抗変化素子へ記憶させる方法を説明する回路構成図である。

[図23]図23は、第3の従来例に係るラッチ回路において、抵抗変化素子に記憶された抵抗状態から元のラッチ状態に復帰する方法を説明する回路構成図である。

発明を実施するための形態

- [0037] 前述した従来の不揮発性ラッチ回路は、いずれも、以下の課題を同時に解決することができない。
- [0038] 課題1：ラッチ動作の動作速度が、単体のラッチ回路と同等程度に高速化できない。
- [0039] 課題2：ラッチ動作毎に抵抗変化素子が書き換えられるため、素子寿命が短くなる。
- [0040] 課題3：書換えや読み出しに適切な電圧値および時間に対応した電圧印加がされておらず、素子寿命が短くなる。
- [0041] 課題4：複数の抵抗変化素子を直列に接続した構成であるため、書換え電圧が低電圧化されない。
- [0042] 課題5：復帰動作には電源電圧が上昇する過渡期が利用されるため、動作が不安定となる。
- [0043] 課題6：抵抗変化時に電流制限を行う構成がないため、抵抗変化が不安定となる。
- [0044] 課題7：抵抗変化素子のフォーミングを確実に実施するためには、駆動素子数やフォーミング順序が制約される。

[0045] 上記課題を解決するために、本発明の一態様に係る不揮発性ラッチ回路は、第1の論理反転回路と、入力端子が前記第1の論理反転回路の出力端子に接続され、出力端子が前記第1の論理反転回路の入力端子に接続された第2の論理反転回路と、第1端子と第2端子と第1制御端子とを有し、前記第1制御端子の電圧により前記第1端子と前記第2端子との間の導通状態を制御する第1トランジスタと、第3端子と第4端子と第2制御端子とを有し、前記第2制御端子の電圧により前記第3端子と前記第4端子との間の導通状態を制御する第2トランジスタと、酸素不足型の遷移金属酸化物で構成された酸化物層を第1および第2の電極で挟んだ構造であり、前記第1の電極から前記第2の電極へ電流が流れる向きに所定の第1電圧より絶対値が大きな第1印加電圧を印加することで第1の抵抗状態に推移し、前記第2の電極から前記第1の電極へ電流が流れる向きに所定の第2電圧より絶対値が大きな第2印加電圧を印加することで前記第1の抵抗状態より大きな抵抗値となる第2の抵抗状態へ推移する抵抗変化素子と、前記第1および前記第2のトランジスタのそれぞれの制御端子に、絶対値が前記第1電圧および前記第2電圧より小さな読み出し電圧が印加された場合に、前記第1端子と前記第1の電極との接続点である第1のノードの電位と前記第4端子と前記第2の電極との接続点である第2のノードの電位との加算値を検出する加算増幅回路と、前記加算増幅回路の出力を反転する第3の論理反転回路と、を備え、前記第1の論理反転回路の前記出力端子と前記第1のトランジスタの前記第2端子とが第3のノードを介して接続され、前記第2の論理反転回路の前記出力端子と前記第2のトランジスタの前記第3端子とが第4のノードを介して接続され、前記第2の抵抗状態から前記第1の抵抗状態に推移させるときに前記抵抗変化素子に流れる第1電流の絶対値は、前記第1の抵抗状態から前記第2の抵抗状態に推移させるときに前記抵抗変化素子に流れる第2電流の絶対値より小さくなるように構成され、さらに、前記抵抗変化素子は、製造直後の抵抗値が前記第2の抵抗状態より大きい第3の抵抗状態にあり、前記第1の電極から前記第2の電極へ電流が流れる向きに前記第1印加電圧より大

きな第3印加電圧が印加されると、前記第3の抵抗状態から前記第1の抵抗状態の抵抗値以下の抵抗値となる第4の抵抗状態に変化し、前記加算増幅回路は、前記第3の抵抗状態を検知し、当該検知した出力が前記第3の論理反転回路を介して前記第3のノードまたは前記第4のノードに入力された場合に前記抵抗変化素子の抵抗値を前記第3の抵抗状態から前記第4の抵抗状態に変化せしめるのに必要な状態に前記第1の論理反転回路と前記第2の論理反転回路の状態を設定することを特徴とする。

[0046] このような構成によれば、トランジスタの制御端子を、例えば、接地電位とすることにより、論理反転回路からなるラッチ動作部と、トランジスタおよび抵抗変化素子からなる状態記憶部とが電氣的に切断され、上記ラッチ動作部は上記状態記憶部とは独立に動作できる。このため、前述の課題1が解決され、ラッチ動作の動作速度は、状態記憶部のない単体のラッチ回路と同等程度に高速で動作することが可能となる。また、ラッチ回路の論理状態として、第3のノード（ノード1）がHighレベルであり第4のノード（ノード2）がLowレベルであって、制御端子に書き込み電圧を印加して抵抗変化素子を駆動する場合、第1のトランジスタが電流制限素子として働く。また、第3のノード（ノード1）がLowレベルであり第4のノード（ノード2）がHighレベルであって、制御端子に書き込み電圧を印加して抵抗変化素子を駆動する場合、第2のトランジスタが電流制限素子として働く。これにより課題6が解決される。また、上記制御端子によって書き込み制御が自在に行えるので、ラッチ動作毎に抵抗変化素子を書き換えず、書換え時には必要な電圧と時間だけ印加されることになり、前述の課題2および課題3が解決された安定な書換え動作が可能となる。さらに、ラッチ回路の論理状態の記憶に用いられる抵抗変化素子は1つであるので、前述の課題4も解決され、書換え電圧を低電圧化できる。

[0047] また、第3の従来例で説明したように、抵抗変化素子の抵抗状態からもとのラッチ状態を復元する時に、電源立ち上がりの不安定な過渡期間を使用しないので、前述の課題5が解決される。また、読み出しに必要な、かつ、ス

トレスの小さな低電圧を必要時間だけ印加するので、前述の課題3における読み出し時の課題も解決され、極めて安定な復元動作を実現できる。

[0048] さらに、抵抗変化素子の抵抗値が非常に大きな第3の抵抗状態にあるとき、第3の論理反転回路の出力を用いてラッチ回路の状態を復帰させ、次に、第3印加電圧の電圧振幅を有する書き込みパルス抵抗変化素子に印加することで、抵抗変化素子の抵抗値を第3の抵抗状態から第4の抵抗状態に確実に変化せしめることができる。これにより、課題7もクリアでき、駆動素子数やフォーミング順序が制約されないフォーミングを確実に実施できる不揮発性ラッチ回路を提供できる。

[0049] また、ある好ましい形態において、前記抵抗変化素子を前記第1の抵抗状態から前記第2の抵抗状態に移させる時、あるいは前記第2の抵抗状態から前記第1の抵抗状態に移させる時、あるいは前記第3の抵抗状態から前記第4の抵抗状態に移させる時に、前記第1制御端子に第1書き込み電圧を印加し、前記第2制御端子に、絶対値が前記第1書き込み電圧より大きい第2書き込み電圧を印加する書き込み回路を備える。

[0050] これにより、ラッチ回路の論理状態を抵抗変化素子に書き込む場合に、第2の抵抗状態であるHR状態に変化させるときには第2のトランジスタが電流制限素子として動作し、第1の抵抗状態であるLR状態に変化させるときには第1のトランジスタが電流制限素子として動作する。第1のトランジスタのゲート幅と第2のトランジスタのゲート幅が等しい関係にあっても、第1の書き込み電圧<第2の書き込み電圧の関係にすることで、第2のトランジスタの駆動能力を超えるような異常な低抵抗値に抵抗変化素子が書き込まれることを防止できる。よって、LR状態にある抵抗変化素子は確実にHR状態に変化させることが可能となる。従って、トランジスタのゲート幅が同じトランジスタを用いても前述の課題6が解決され、良好な抵抗変化動作を安定に維持し、ストア動作の信頼性が非常に高い不揮発性ラッチ回路を提供できる。

[0051] また、ある好ましい形態において、前記抵抗変化素子を前記第2の抵抗状

態から前記第1の抵抗状態に移させる時に、あるいは、前記第3の抵抗状態から前記第4の抵抗状態に移させる時に、前記第1制御端子および前記第2制御端子に、第3書き込み電圧を印加し、前記第1の抵抗状態から前記第2の抵抗状態に移させる時に、あるいは、前記第4の抵抗状態から前記第2の抵抗状態に移させる時に、前記第1制御端子および前記第2制御端子に、絶対値が前記第3書き込み電圧より大きい第4書き込み電圧を印加する書き込み回路を備える。

[0052] これにより、最小サイズのトランジスタを用いて、ラッチ回路を構成することができる。

[0053] また、ある好ましい形態において、前記抵抗変化素子を前記第1の抵抗状態から前記第2の抵抗状態に移させる時、あるいは前記第2の抵抗状態から前記第1の抵抗状態に移させる時、あるいは、前記第4の抵抗状態から前記第2の抵抗状態に移させる時に、前記第1制御端子および前記第2制御端子に、第5書き込み電圧を印加する書き込み回路を備え、前記第1のトランジスタのゲート幅は、前記第2のトランジスタのゲート幅より小さい。

[0054] これにより、抵抗変化素子をLR状態からHR状態に変化させるときには第2のトランジスタが負荷抵抗として動作し、また、抵抗変化素子をHR状態からLR状態に変化させるときには第1のトランジスタが負荷抵抗として動作する。第1制御端子および第2制御端子に等しい第5書き込み電圧が入力されるが、ゲート幅の違いから、第1のトランジスタのオン抵抗は第2トランジスタのオン抵抗よりも大きい。従って、第2のトランジスタの駆動能力を超えるような異常な低抵抗値に抵抗変化素子が書き込まれることを防止できる。よって、LR状態にある抵抗変化素子は第2のトランジスタによって確実にHR状態に変化させることが可能となる。これにより、前述の課題6が解決され、良好な抵抗変化動作を安定に維持し、ストア動作の信頼性が非常に高い不揮発性ラッチ回路を提供できる。

[0055] また、ある好ましい形態において、前記酸化物層は、第1の遷移金属で構成される第1酸化物層と、第2の遷移金属で構成される第2酸化物層との積

層構造を含み、前記第1酸化物層の酸素不足度は、前記第2酸化物層の酸素不足度より大きく、前記第2の電極と前記第2酸化物層とが接し、前記第1の電極と前記第1酸化物層とが接している。

[0056] これにより、第2の電極から第1の電極へ電流が流れる向きに電圧を印加することで、抵抗変化素子は第1の抵抗値に相当する高抵抗状態へ遷移する。逆に、第1の電極から第2の電極へ電流が流れる向きに電圧を印加することで、抵抗変化素子は上記第1の抵抗値よりも低い抵抗値に相当する低抵抗状態へ遷移することが可能となる。

[0057] また、ある好ましい形態において、前記第1酸化物層は、 TaO_x （但し、 $0.8 \leq x \leq 1.9$ ）で表される組成を有するタンタル酸化物層である。

[0058] また、ある好ましい形態において、前記第2酸化物層は、 TaO_y （但し、 $2.1 \leq y$ ）で表される組成を有する第2タンタル酸化物層である。

[0059] これらにより、不揮発性の機能追加のために追加される抵抗変化素子は、タンタル酸化物で形成される。 Ta は、その窒化物である TaN や酸化物である Ta_2O_5 などで既に半導体プロセスで実績のある材料である。タンタル酸化物は、室温から比較的低温の処理で形成が可能である。つまり、抵抗変化素子を形成する工程では高い処理温度を有する熱工程は介在せず、トランジスタの性能を損なうことがない。また、ロジック回路領域とは別に、状態を記録するメモリセルアレイ領域を形成する必要がない。よって、ロジック回路を構成するトランジスタを半導体基板上に形成した後に、抵抗変化素子をプラグコンタクトの一部の配線層に形成できるので、ロジック回路における集積化および微細化を損なわない。

[0060] また、ある好ましい形態において、前記第2の電極の材料は前記第1の電極の材料よりも標準電極電位が高い。

[0061] これにより、抵抗変化素子をHR状態に書き込んだ後に、ラッチ回路の状態復帰のためにリストア動作を実行してもHR状態にある抵抗変化素子をLR状態に変えてしまうようなノイズが発生せず、データ保持の信頼性が高い不揮発性ラッチ回路を提供できる。

[0062] また、本発明の一態様に係る不揮発性フリップフロップ回路は、上記記載の不揮発性ラッチ回路を備えた不揮発性フリップフロップ回路であって、前記第1および前記第2の論理反転回路は、それぞれ、少なくとも2以上の入力端子を備えた第1のNANDゲート回路および第2のNANDゲート回路であり、前記第1のNANDゲート回路の出力端子と前記第2のNANDゲート回路の入力端子の1つとが前記第3のノードを介して接続され、前記第2のNANDゲート回路の出力端子と前記第1のNANDゲート回路の入力端子の1つとが前記第4のノードを介して接続され、前記第1のNANDゲート回路の前記出力端子と前記第1のトランジスタの前記第2端子とが前記第3のノードを介して接続され、前記第2のNANDゲート回路の前記出力端子と前記第2のトランジスタの前記第4端子とが前記第4のノードを介して接続されたことを特徴とする。

[0063] あるいは、本発明の一態様に係る不揮発性フリップフロップ回路は、上記記載の不揮発性ラッチ回路を備えた不揮発性フリップフロップ回路であって、前記第1および前記第2の論理反転回路は、それぞれ、少なくとも2入力以上の入力端子を備えた第1のNORゲート回路および第2のNORゲート回路であり、前記第1のNORゲート回路の出力端子と前記第2のNORゲート回路の入力端子の1つとが前記第3のノードを介して接続され、前記第2のNORゲート回路の出力端子と前記第1のNORゲート回路の入力端子の1つとが前記第4のノードを介して接続され、前記第1のNORゲート回路の前記出力端子と前記第1のトランジスタの前記第2端子とが前記第3のノードを介して接続され、前記第2のNORゲート回路の前記出力端子と前記第2のトランジスタの前記第4端子とが前記第4のノードを介して接続されてもよい。

[0064] これらの構成によれば、前述の課題1～7の全てをクリアした、高速かつ高信頼性のデータ保持能力を有し、安定したフォーミング工程を実行でき、フリップフロップ回路のデータラッチ状態を極めて安定的に記録および復帰せしめる不揮発性フリップフロップ回路を提供できる。

[0065] また、本発明の一態様に係る、不揮発性信号処理装置は、上記記載の不揮発性ラッチ回路、あるいは、上記記載の不揮発性フリップフロップ回路をN個備えた不揮発性信号処理装置であって、N個の前記不揮発性ラッチ回路または前記不揮発性フリップフロップ回路のそれぞれは、読み出しパルスおよび書き込みパルスの入力選択および入力禁止を行う読み出し／書き込み制御回路と、内蔵される前記抵抗変化素子が前記第3の抵抗状態から前記第1の抵抗状態となったか否かを判定する判定回路とを備えた回路モジュールを構成し、前記不揮発性信号処理装置は、N個の前記回路モジュールを備え、k（N-2までの自然数）番目の前記回路モジュールを構成する前記判定回路の出力信号が、（k+1）番目の前記回路モジュールを構成する前記読み出し／書き込み制御回路に入力され、前記（k+1）番目の前記回路モジュールを構成する前記判定回路の出力信号が、（k+2）番目の前記回路モジュールを構成する前記読み出し／書き込み制御回路に入力されるというようにして、N個の前記モジュールが直列接続され、N番目の前記回路モジュールの前記判定回路の出力信号が出力されたことにより、全ての前記回路モジュールに内蔵される前記抵抗変化素子が、前記第3の抵抗状態から前記第1の抵抗状態に変化したことを確認することを特徴とする。

[0066] この構成によれば、N番目の回路モジュールの判定回路から出力信号が出力されたことにより、全ての回路モジュールに内蔵される抵抗変化素子が、第3の抵抗状態から第1の抵抗状態に変化できたことを確認することができる。よって、不揮発性信号処理装置にある全ての不揮発性ラッチ回路または不揮発性フリップフロップ回路についてのフォーミング工程を確実に完了できる。

[0067] 以下、本発明を実施するための形態について、図面を参照しながら説明する。なお、以下の各実施形態に示す膜厚や孔径などの数値は具体例としての一例を示すものであり、これらの数値に限定されるものではない。

[0068] （実施の形態1）

[抵抗変化素子の構成]

まず、本発明の不揮発性ラッチ回路およびフリップフロップ回路に用いられる抵抗変化素子について説明する。

[0069] 図1は、本発明の実施の形態1に係る不揮発性ラッチ回路の有する抵抗変化素子の概略構成の一例を示す素子構成図である。同図に記載された抵抗変化素子500は、一般的なCMOSトランジスタを含む半導体プロセス構造上に形成され、例えば、半導体基板上のプラグ層507を用いて接続される。また、ソース/ドレイン領域506およびゲート酸化膜層505により基板上にMOSトランジスタが構成される。

[0070] 抵抗変化素子500は、金属配線層508上に形成された第1の電極である第1電極層501と、第2の電極である第2電極層504と、第1電極層501および第2電極層504に挟まれた第1抵抗変化層502および第2抵抗変化層503とを備える。本実施の形態では、第1抵抗変化層502は、第1の遷移金属で構成される酸素不足型の第1酸化物層であり、例えば、酸素含有率が低い第1タンタル酸化物層である。酸素不足型の酸化物層の定義については、後に述べることとする。また、第2抵抗変化層503は、第2の遷移金属で構成される第2酸化物層であり、例えば、上記第1タンタル酸化物層上に形成された、酸素含有率が上記第1タンタル酸化物層よりも高い第2タンタル酸化物層である。このような構成とすることにより、第2抵抗変化層503内での酸化還元反応は促進され、安定に抵抗変化を起こすことができる。

[0071] なお、図1では、第2層であるプラグ層507に抵抗変化素子500が配置されているが、これに限定されるものでなく、半導体プロセスに応じて適宜、最適な配置および形状に変更されるとともに、抵抗変化素子の構造も層配置の順番が変更されてもよく、また、層間の密着性を改善するために密着層などが挿入されてもよい。

[0072] 第1電極層501および第2電極層504の材料には、例えば、Pt（白金）、Ir（イリジウム）、Pd（パラジウム）、W（タングステン）、Cu（銅）、Al（アルミニウム）、TiN（窒化チタン）、TaN（窒化タ

ンタル) およびTiAlN (窒化チタンアルミニウム) などが用いられる。

[0073] 第2抵抗変化層503と接する第2電極層504の材料の標準電極電位は、第2抵抗変化層503を構成する遷移金属の標準電極電位より高い方が好ましい。また、第1抵抗変化層502と接する第1電極層501の材料の標準電極電位は、第2電極層504の材料の標準電極電位より小さい方が好ましく、さらには、第1抵抗変化層502を構成する遷移金属の標準電極電位より小さい方が好ましい。

[0074] 標準電極電位は、その値が高い方が酸化されにくいいため、標準電極電位がより高い電極と接する抵抗変化層において、酸素イオンが効率よく酸化還元反応に寄与することができ、安定した抵抗変化が得られるためである。

[0075] 上記の電極材料において、抵抗変化層を構成する遷移金属より標準電極電位が高い材料は、Pt (白金)、Ir (イリジウム)、Pd (パラジウム) で、第2電極層504の材料として好ましい。

[0076] なお、図1では、第1電極層501と第2電極層504とは同じ径を有する形状をなしているが、これに限定されるものでなく、半導体プロセスに応じて適宜、最適な形状としてもよい。

[0077] 第1抵抗変化層502および第2抵抗変化層503の材料には、例えば、酸素不足型の遷移金属酸化物 (好ましくは酸素不足型のタンタル酸化物) が用いられる。酸素不足型の遷移金属酸化物とは、化学量論的な組成を有する酸化物と比較して酸素の含有率 (原子比: 総原子数に占める酸素原子数の割合) が少ない酸化物をいう。例えば、遷移金属元素がタンタル (Ta) の場合、化学量論的な酸化物の組成は Ta_2O_5 であって、TaとOとの原子数の比率 (O/Ta) は2.5である。したがって、酸素不足型のTa酸化物において、TaとOの原子比はOより大きく、2.5より小さいことになる。遷移金属元素の種類としては、例えば、Fe (鉄)、Zn (亜鉛)、Cr (クロム)、Ni (ニッケル)、Ti (チタン)、W、Hf (ハフニウム) などが挙げられ、化学量論的な酸化物の組成はそれぞれの元素の価数により異なる。

[0078] また、第1抵抗変化層502を構成する第1の遷移金属と、第2抵抗変化層503を構成する第2の遷移金属とは、互いに異なっていてもよい。例えば、第1抵抗変化層502として酸素含有率が低い酸素不足型の第1タンタル酸化物層 (TaO_x) を用いる場合、第2抵抗変化層503としては例えばチタン酸化物層 (TiO_2) を用いることができる。この時、第2抵抗変化層503を構成する第2酸化物層の抵抗値は、第1抵抗変化層502を構成する第1酸化物層の抵抗値より大きい方が好ましい。この時、第2抵抗変化層503を構成する第2酸化物層の酸素不足度は、第1抵抗変化層502を構成する第1酸化物層の酸素不足度より小さい方が好ましい。ここで、酸素不足度とは、化学量論的組成に対する酸素不足の程度（比率）をいう。例えば、化学量論的組成のタンタル酸化物は Ta_2O_5 であり、チタン酸化物は TiO_2 である。それらを酸素不足度0%、金属Taおよび金属Tiを酸素不足度100%としたときの、当該酸化物層の酸素不足度をいう。一般的に、金属酸化物は、酸素不足度が小さいほど、抵抗が高い。

[0079] また、第2抵抗変化層503を構成する遷移金属の標準電極電位は、第1抵抗変化層502を構成する遷移金属の標準電極電位より小さい方が好ましい。このような構成とすることにより、第2抵抗変化層503に抵抗変化に必要な電圧が効率よく印加され、また、第2抵抗変化層503内での酸化還元反応は促進されるため、より安定に抵抗変化を起こすことができる。

[0080] 本実施の形態において、酸素不足型の遷移金属酸化物は、酸素不足型のタンタル酸化物（以下、Ta酸化物と記載）であることが好ましい。より好適には、第1抵抗変化層502は、 TaO_x （但し、 $0 < x < 2.5$ ）で表される組成を有する第1タンタル酸化物層であり、第2抵抗変化層503は、 TaO_y （但し、 $x < y$ ）で表される組成を有する第2タンタル酸化物層であり、これら2層が積層構造を形成している。なお、上記2層以外の他層、例えば、酸素含有率が第1および第2タンタル酸化物層とは異なる第3タンタル酸化物層や他の遷移金属酸化物層などが適宜配置されてもよく、また、上記2層に少量の不純物がドーピングされていてもよい。ここで、第1タンタル酸化

物層としての TaO_x は、 $0.8 \leq x \leq 1.9$ を満足することが好ましく、第2タンタル酸化物層としての TaO_y は、 $2.1 \leq y$ を満足することが好ましい。また、第1タンタル酸化物層の厚みは5 nm以上50 nm以下に対して、第2タンタル酸化物層の厚みは、1 nm以上8 nm以下であることが好ましく、第2タンタル酸化物層の厚みは第1タンタル酸化物層より薄いことが好ましい。

[0081] 以上のように構成された抵抗変化素子500では、第2抵抗変化層503に接した第2電極層504から第1抵抗変化層502に接した第1電極層501へ電流が流れる向きに所定の第2電圧より大きな第2印加電圧を印加することで、抵抗変化素子が第2の抵抗状態に相当する高抵抗状態（HR状態またはHRという）へ遷移する。逆に、第1電極層501から第2電極層504へ電流が流れる向きに所定の第1電圧より大きな第1印加電圧を印加することで、上記第2の抵抗状態よりも低い抵抗値を有する第1の抵抗状態に相当する低抵抗状態（LR状態またはLRという）へ遷移する。

[0082] また、抵抗変化素子500は、製造直後の抵抗値が高抵抗状態より更に大きい第3の抵抗状態にあり、第1電極層501から第2電極層504へ電流が流れる向きに第1印加電圧より更に大きな第3印加電圧が印加されることにより、当該第3の抵抗状態から低抵抗状態の抵抗値以下の抵抗値となる第4の抵抗状態に変化する。

[0083] [抵抗変化素子の電流－電圧特性]

次に、本実施の形態に係る抵抗変化素子の電流－電圧特性について説明する。

[0084] 図2Aは、本発明の実施の形態1に係る抵抗変化素子の電流－電圧特性の一例を示すグラフである。また、図2Bは、図2Aに記載された抵抗変化素子の電流－電圧特性における負電圧特性の電圧印加状態を説明する図であり、図2Cは、図2Aに記載された抵抗変化素子の電流－電圧特性における正電圧特性の電圧印加状態を説明する図である。図2Bで示された印加状態Aおよび図2Cで示された印加状態Bでは、図1で示されたように、ともに抵

抗変化素子500の第1電極層501とN型MOSトランジスタとがノードDを介して直列に接続されている。また、図2Bおよび図2Cに示されたように、N型MOSトランジスタの基板はグラウンドレベル（GND）に接地されている。

[0085] そして、印加状態AではノードBをGNDに接地し、ノードCのトランジスタのゲート端子に4Vを印加した状態で、ノードAに印加するパルス電圧（VP）を所定のステップ量で増加および減少させた。このときのパルス電圧およびパルス電流の量を、図2Aでは負極性として表記した。一方、印加状態Bでは半導体スイッチなどにより接続関係を印加状態Aから入れ替えることにより、ノードAをGNDに接地し、ノードCのトランジスタのゲート端子に同じく4Vを印加した状態で、ノードBに印加するパルス電圧（VP）を所定のステップ量で増加および減少させた。このときのパルス電圧およびパルス電流の量を、図2Aでは正極性として表記した。

[0086] 図2Aに示されるように、本発明に用いられる抵抗変化素子は、電流－電圧特性にヒステリシス特性が見られる。第2電極層504から第1電極層501へ電流が流れるような印加を正電圧印加とし、第1電極層501から第2電極層504へ電流が流れる印加を負電圧印加と定義した場合、正電圧印加で高抵抗化し、負電圧印加で低抵抗化していることがわかる。なお、正電圧および負電圧のいずれの極性の印加で高抵抗化または低抵抗化するかは、定義上の差異であり、本発明にとって重要なことではない。つまり、本実施の形態に用いられる抵抗変化素子は、図2Aに示されるように、所定の電圧レベル以上を印加し、抵抗変化層に流れる電流の方向によって抵抗値が増加するか減少するかが決定される。

[0087] [不揮発性ラッチ回路の構成]

次に、本発明の実施の形態1に係る不揮発性ラッチ回路について、図3を用いて説明する。

[0088] 図3は、本発明の実施の形態1に係る不揮発性ラッチ回路の回路構成図である。同図に記載された不揮発性ラッチ回路100は、抵抗変化素子1と、

トランジスタ6および7と、インバータ回路20、21および23と、加算増幅回路22と、トランスミッションゲートTMG1、TMG2およびTMG3とを備える。インバータ回路20は、トランジスタ2および4を備え、インバータ回路21は、トランジスタ3および5を備え、インバータ回路23は、トランジスタ13および14を備える。加算増幅回路22は、トランジスタ8、9、10および11と、抵抗素子12とを備える。

[0089] トランスミッションゲートTMG1は、G端子の信号レベルがHighのときオンになり、Lowのときオフに制御され、GB端子にはG端子の反転信号が入力される。同様に、トランスミッションゲートTMG2は、R端子の信号レベルがHighのときオンになり、Lowのときオフに制御され、RB端子にはR端子の反転信号が入力される。また、トランスミッションゲートTMG3は、F端子の信号レベルがHighのときオンになり、Lowのときオフに制御され、FB端子にはF端子の反転信号が入力される。

[0090] 抵抗変化素子1は、例えば、図1に記載された抵抗変化素子500と同様の構造を有し、図2Aに表された電流-電圧特性と同様の特性を有する。

[0091] トランジスタ2、3、10、11および13は、例えば、p型MOSFETであり、トランジスタ4~9および14は、例えば、n型MOSFETである。

[0092] インバータ回路20および21は、それぞれ、一方の出力端子が他方の入力端子にクロスカップル接続された第1の論理反転回路および第2の論理反転回路であり、ラッチ動作部を構成している。さらに、インバータ回路20の出力端子は、ノード1を介してトランジスタ6のソース端子およびドレイン端子のいずれか一方に接続され、トランジスタ6のソース端子およびドレイン端子のいずれか他方は、ノード3を介して抵抗変化素子1の第1の電極に接続され、抵抗変化素子1の第2の電極は、ノード4を介してトランジスタ7のソース端子およびドレイン端子のいずれか他方に接続され、トランジスタ7のソース端子およびドレイン端子のいずれか一方は、ノード2を介してインバータ回路21の出力端子に接続されている。つまり、トランジスタ

6と、抵抗変化素子1と、トランジスタ7とは、この順序で直列接続されており状態記憶部を構成し、当該直列接続を介してインバータ回路20の出力端子とインバータ回路21の出力端子が接続される。

[0093] なお、請求項に記載の第1のトランジスタは、トランジスタ6に対応し、請求項に記載の第2のトランジスタはトランジスタ7に対応する。また、請求項に記載の第1のトランジスタの第1端子は、トランジスタ6のソース端子およびドレイン端子のいずれか一方に対応し、第2端子は、トランジスタ6のソース端子およびドレイン端子のいずれか他方に対応する。また、請求項に記載の第2のトランジスタの第1端子は、トランジスタ7のソース端子およびドレイン端子のいずれか一方に対応し、第2端子は、トランジスタ7のソース端子およびドレイン端子のいずれか他方に対応する。さらに、請求項に記載の第3のノード、第4のノード、第1のノード、第2のノードは、それぞれ上記ノード1、ノード2、ノード3、ノード4に対応している。

[0094] なお、抵抗変化素子1は、ノード4からノード3へ電流が流れる向きに所定の第2電圧より大きな第2印加電圧を印加することでHR状態（第2の抵抗状態）に遷移し、ノード3からノード4に電流が流れる向きに所定の第1電圧より大きな第1印加電圧を印加することでLR状態（第1の抵抗状態）に遷移するように接続されている。さらに、トランジスタ6および7の制御端子であるゲート端子に印加されるゲート電圧は、Ctrl端子から制御可能となっている。

[0095] また、抵抗変化素子1の両端に位置するノード3およびノード4は、それぞれ、トランジスタ8および9のゲート端子に接続され、トランジスタ8および9のソース端子はGNDに接地され、ドレイン端子同士は接続されている。トランジスタ10および11は、カレントミラー回路を構成し、そのミラー比は、例えば、1:10である。すなわち、トランジスタ8および9に流れる合成電流が10倍に増幅された電流が、抵抗素子12に流れる。抵抗素子12は、理解を容易にするために固定抵抗として図示したが、トランジスタのオン抵抗など非線形性の抵抗素子を用いてもよい。加算増幅回路22

は、トランジスタ6および7のゲート端子に、絶対値が第1電圧および第2電圧より小さな読み出し電圧が印加された場合に、ノード3およびノード4のゲート電位に応じた各々のドレイン電流が加算され、カレントミラーにより増幅されて抵抗素子12に流れる。これによって発生する抵抗素子12両端の電圧を、ノード5およびトランスミッションゲートTMG2を介して、インバータ回路20の入力端子およびインバータ回路21の出力端子に出力する。また、加算増幅回路22は、上記加算値に対応した電圧を、ノード5を介して、トランジスタ13および14で構成されたインバータ回路23の入力端子に出力する。インバータ回路23は、上記加算値に対応した電圧を反転し、当該反転された電圧を、トランスミッションゲートTMG3を介して、インバータ回路20の入力端子およびインバータ回路21の出力端子に出力する。

[0096] インバータ回路23は、加算増幅回路22の出力を反転する第3の論理反転回路である。

[0097] 図4は、本発明の実施の形態1に係る不揮発性ラッチ回路のブロック構成図である。本構成図は、図3に記載された不揮発性ラッチ回路100の回路図をブロック図に表記し直したものであり、両図において同一記号が付加された構成要素は同じである。

[0098] 次に、本実施の形態に係る不揮発性ラッチ回路100の動作について順に説明する。

[0099] [ラッチ動作]

はじめに、不揮発性ラッチ回路100のラッチ動作では、図3または図4において、Ctrl端子、トランスミッションゲートTMG2のR端子、およびトランスミッションゲートTMG3のF端子の信号レベルがLow (GNDレベル) にされている(但し、RB端子およびFB端子はVDDとする)。これにより、トランジスタ6および7と、トランスミッションゲートTMG2およびTMG3とがオフとなるため、抵抗変化素子1および加算増幅回路22が、インバータ回路20および21で構成されるラッチ動作部から切

り離され、当該ラッチ動作部は、一般的なクロスカップル型ラッチ回路として動作する。

[0100] すなわち、ラッチ動作に対して抵抗変化素子や不揮発動作のために必要な付属回路が一切影響を与えないため、ラッチ動作の動作速度が劣化することなく、ほぼ、ラッチ動作部の構成要素であるMOSFETの動作速度で実行できる。また、定常的に抵抗変化素子に流れる電流をなくし、CMOS回路で構成されたラッチ動作部の低消費電力の特性を損なわない。また、ラッチ動作によって抵抗変化素子にストレスを与えることが無いので、抵抗変化素子に与える劣化要因もない。なお、トランSMISSIONゲートTMG1のG端子に、同期用のクロック信号(CLK)と、GB端子にCLKの反転信号を入力することで、上記ラッチ動作部は、クロック同期型のDラッチ回路としても動作できる。

[0101] [ストア動作]

次に、本発明の特徴の一つであるラッチ状態のストア動作、すなわち抵抗変化素子への情報の書き込み動作、すなわちラッチ状態のストア動作について図5A～図7を用いて説明する。図5A～図6Bにおいて、図3および図4と等しい記号が付加された構成要素は、同じものを表している。

[0102] 図5Aは、本発明の実施の形態1に係る不揮発性ラッチ回路の書き込み（ストア）動作におけるHR状態の書き込みを説明する図であり、図5Bは、LR状態の書き込みを説明する図である。具体的には、図5Aでは、実施の形態1に係る不揮発性ラッチ回路において、ノード1がLow電圧、ノード2がHigh電圧にラッチした状態を表しており、図5Bでは、ノード1がHigh電圧、ノード2がLow電圧にラッチした状態を表している。両図で表された状態において、Ctrl端子からトランジスタ6および7のゲート端子へ、絶対値が第1電圧または第2電圧より大きな電圧振幅 V_w ($|V_w| > |第1電圧|$ 、または $|V_w| > |第2電圧|$)を有する書き込みパルスが印加されると、抵抗変化素子1には、 V_w からトランジスタの閾値電圧 V_t が電圧降下した電圧振幅のパルスが印加される。従って、より好まし

くは、前記の | 第 1 電圧 | または | 第 2 電圧 | に、トランジスタの閾値電圧 V_t の電圧を加算した電圧振幅より大きな $|V_w|$ を決定することが望ましい。上記書き込み電圧は、例えば、不揮発性ラッチ回路 100 が備える書き込み回路で生成され、当該書き込み回路から上記 $C_{tr}|$ 端子へ出力される。図 5 A で表されたノード 1 およびノード 2 の状態では、ノード 2 からノード 1 の方向に第 2 の電流が流れ、抵抗変化素子 1 は HR 状態に遷移する。一方、図 5 B で表されたノード 1 およびノード 2 の状態では、逆にノード 1 からノード 2 の方向に第 1 の電流が流れ、抵抗変化素子 1 は LR 状態に遷移する。

[0103] このとき、上記第 1 の電流の絶対値は、上記第 2 の電流の絶対値より小さくなるように構成する。例えば、同じサイズのトランジスタ 6 および 7 を用いて抵抗変化素子 1 に書き込む場合は、トランジスタ 6 および 7 のゲート端子に印加される電圧振幅 V_w の書き込みパルスを用いることができる。抵抗変化素子 1 を HR 状態から LR 状態に遷移させるときの電圧振幅の絶対値を V_{w1} (請求項に記載の第 3 書き込み電圧)、LR 状態から HR 状態に遷移させるときの電圧振幅の絶対値を V_{w2} (請求項に記載の第 4 書き込み電圧) とするとき、 $V_{w1} < V_{w2}$ を満足するようにしてもよい。このような構成とすることにより、最小サイズのトランジスタを用いて、ラッチ回路を構成することができる。

[0104] また、同じ電圧振幅 V_w の書き込みパルス (請求項に記載の第 5 書き込み電圧) を用いて抵抗変化素子 1 に書き込む場合は、トランジスタ 6 のゲート幅 W_a とトランジスタ 7 のゲート幅 W_b とを比較すると、 $W_a < W_b$ の関係とるようにトランジスタ 6 および 7 を設計してもよい。なお、この時のトランジスタ 6 および 7 のゲート長は同じである。このような構成とすることにより、簡単な構成の書き込み回路を用いることができる。このことについて、図 6 A、図 6 B および図 7 を用いて詳細に説明する。

[0105] 図 6 A は、図 2 C の印加状態 B における抵抗変化素子への書き込み動作を表す回路図であり、図 6 B は、図 2 B の印加状態 A における抵抗変化素子へ

の書き込み動作を表す回路図である。さらに、図7は、抵抗変化素子の電流－電圧特性に、電流制限を与える各トランジスタの負荷抵抗線を重ね書きしたグラフである。

[0106] 図6Aにおいて、トランジスタ7のドレイン（ノード2）は、High電圧に対応した、ほぼ電源電圧VDDに近い値が印加される。一方、トランジスタ6のソース（ノード1）は、Low電圧に対応した、ほぼグラウンドレベル（GND）に近い値に接地されている。すなわち、抵抗変化素子1に対してトランジスタ7がソースフォロア回路として動作するため、トランジスタ7のゲート幅 W_b がトランジスタ6のゲート幅 W_a とほぼ同じか、多少広くてもトランジスタのバックバイアス効果によりソース接地で動作するトランジスタ6に比べ、トランジスタ7の電流駆動能力は低下する。つまり、図6Aに記載された抵抗変化素子1のHR化においては、素子に流れる電流はトランジスタ7の駆動能力によって決定される。反対に、図6Bにおいては、トランジスタ6のドレイン（ノード1）は、High電圧に対応した、ほぼ電源電圧VDDに近い値が印加される。一方、トランジスタ7のソース（ノード2）は、Low電圧に対応した、ほぼグラウンドレベル（GND）に近い値に接地されている。すなわち、抵抗変化素子1に対してトランジスタ6がソースフォロア回路として動作するため、ソース接地で動作するトランジスタ7に比べ、トランジスタ6の電流駆動能力が更に低下する。つまり、図6Bに記載された抵抗変化素子1のLR化においては、抵抗変化素子1に流れる電流はトランジスタ6の駆動能力によって決定される。

[0107] 上述したように、抵抗変化素子1をLR状態からHR状態に変化させる時には、LR状態の抵抗変化素子1に印加可能な電圧レベルはトランジスタ7の駆動能力で制限され、逆にHR状態からLR状態へ変化させる時には、変化後のLR状態の抵抗変化素子1に印加可能な電圧レベルはトランジスタ6の駆動能力で制限される。

[0108] 図7に表された電流－電圧特性は、図6Aの印加状態を正極性とし、図6Bの印加状態を負極性として表記されている。図7において、HR状態にあ

った抵抗変化素子 1 の両端に所定の第 1 電圧 ($|V_a|$) 以上が印加されると L R への推移を開始する。このときの L R 状態の抵抗値は負荷抵抗によって決定され、トランジスタ 6 の負荷抵抗線が V_a と交わる動作点 A で、低抵抗への推移を停止し抵抗値が決定される。一方、L R 状態から H R 状態への推移は、抵抗変化素子 1 の両端の電圧が、動作点 B の所定の第 2 電圧 V_b を超えると開始される。

[0109] 本発明の実施の形態 1 で用いた酸素不足型のタンタル酸化物で構成される抵抗変化素子 1 の場合は、図 2 A の特性のように上記 $|V_a|$ と上記 $|V_b|$ とは、ほぼ等しい関係にある。上述のように、抵抗変化素子 1 を L R 状態から H R 状態に変化させる場合は、抵抗変化素子 1 への印加電圧は、トランジスタ 7 の駆動能力によって決定されるが、トランジスタ 6 よりゲート幅の広いトランジスタ 7 を配置することで、L R 状態の抵抗変化素子 1 に V_b 以上の電圧を印加することが可能となる。このことは図 7 に示したように、トランジスタ 6 の負荷抵抗線を、原点を中心に点対称移動させたミラー表記の負荷抵抗線に比べて、トランジスタ 7 の負荷抵抗線の傾きが大きいことでも理解することができる。

[0110] 以上のように、本発明の実施の形態 1 の構成によれば、ラッチ動作部の論理状態を抵抗変化素子 1 に書き込む場合に、H R 状態に変化させるときはトランジスタ 7 が電流制限素子として動作し、L R 状態に変化させるときにはトランジスタ 6 が電流制限素子として動作する。よって、予め、トランジスタ 6 のゲート幅 (W_a) とトランジスタ 7 のゲート幅 (W_b) との関係を $W_a < W_b$ としておくことにより、トランジスタ 7 の駆動能力を超えるような異常な低抵抗値に抵抗変化素子 1 が書き込まれることを防止できるので、L R 状態にある抵抗変化素子を確実に H R 状態に変化させることが可能となる。言い換えれば、抵抗変化素子 1 を、H R 状態から L R 状態に変化させるときと、L R 状態から H R 状態に変化させるときにおいて、H R 状態に変化する場合に比べ、L R 状態に変化する場合の負荷抵抗を大きくすることで、L R 状態となった後に H R 状態に変化できなくなるような異常な L R 状態に推

移することを防止できる。従って、良好な抵抗変化動作を安定に維持することができ、ストア動作の信頼性が非常に高い不揮発性ラッチ回路を提供できる。

[0111] [リストア動作]

次に、抵抗変化素子 1 に記憶された抵抗状態から、元のラッチ動作部の論理状態を復帰せしめるリストア動作について説明する。

[0112] 図 8 は、本発明の実施の形態 1 に係る不揮発性ラッチ回路において、抵抗変化素子に記憶された抵抗値からラッチ回路の論理状態を復帰する読み出し（リストア）動作時のブロック構成図である。図 4 に記載のブロック構成の中で、リストア動作に関与する部分のみを抜粋して図 8 に記載した。図 8 に記載されたリストア動作においては、トランスマッションゲート TMG 1 および TMG 3 はオフされ、トランスマッションゲート TMG 2 はオン状態となっている。

[0113] 通常、ラッチ回路に電源が投入されると、回路配置や他の論理回路との結線の関係が様々であり負荷や容量が異なるので、ラッチ回路の初期状態は全て同じとはならない。すなわち図 8 に記載の構成において、ノード 2 が High レベルでノード 1 が Low レベルの場合と、ノード 1 が High レベルでノード 2 が Low レベルの場合という 2 通りの論理状態が存在する。リストア動作では、ラッチ回路の論理状態によらず、抵抗変化素子 1 の抵抗状態から、記憶した時点のラッチ回路の状態が復元されることが望まれる。本実施の形態に係るリストア動作を容易に理解するため、図 9 A ~ 図 9 D には、ノード 1 が High レベルの状態とノード 2 が High レベルの状態とに分けて、回路状態を表した。

[0114] 図 9 A は、本発明の実施の形態 1 に係る不揮発性ラッチ回路において、抵抗変化素子が HR 状態、ノード 1 が High レベル、ノード 2 が Low レベルのときの読み出し動作を説明する図である。また、図 9 B は、抵抗変化素子が HR 状態、ノード 1 が Low レベル、ノード 2 が High レベルのときの読み出し動作を説明する図である。また、図 9 C は、抵抗変化素子が LR

状態、ノード1がHighレベル、ノード2がLowレベルのときの読み出し動作を説明する図である。また、図9Dは、抵抗変化素子がLR状態、ノード1がLowレベル、ノード2がHighレベルのときの読み出し動作を説明する図である。

[0115] まず、図8に示されるように、リストア動作時には、Ctrl端子からは、絶対値が第1電圧および第2電圧より小さな電圧振幅 V_r を有する読み出しパルスが入力される。例えば、シミュレーションを実施した一具体例の値を例示すると、抵抗変化素子1が、 $LR = 5\text{ k}\Omega$ 、 $HR = 100\text{ k}\Omega$ のとき、 V_r が1.5Vとされる。図9Aでは、ノード1が、High電圧に対応した電源電圧VDDにほぼ等しく、ノード2が、Low電圧に対応したグランド(GND)に接地されている状態を表している。この時、トランジスタ6および7のゲート端子には V_r が1.5Vである読み出しパルスが印加される。抵抗変化素子1は高抵抗状態(HR)である $100\text{ k}\Omega$ にあるため、ノード3は、トランジスタの閾値電圧(V_{th})が低下した電位となり、具体的には、0.67Vとなる。一方、ノード4はトランジスタ7が完全なオン領域で動作するから、ほぼグランドレベルの0Vとされる。

[0116] ノード3の電位は加算増幅回路22の有するトランジスタ8に入力され、ノード4の電位は加算増幅回路22の有するトランジスタ9に入力される。ノード3の電位が0.67Vであるのでトランジスタ8はON状態になり、ノード4の電位が0Vであるのでトランジスタ9はオフ状態となる。トランジスタ10および11からなる加算増幅回路22のカレントミラー回路によって、トランジスタ8が流す電流は増幅される。この増幅電流は、例えば、 $20\text{ k}\Omega$ とした抵抗素子12を流れ、加算増幅回路22の出力端子をHighレベルにする。加算増幅回路22の出力端子はノード2に帰還されているので、ノード2をHigh、ノード1をLowとしてラッチ回路の論理状態は復元される。

[0117] また、同様にして、図9Bでは、ノード2が、High電圧に対応した電源電圧VDDにほぼ等しく、ノード1が、Low電圧に対応したグランド(

GND) に接地されている状態を表している。この時も図9Aの状態と同じく、トランジスタ6および7のゲート端子には V_r が1.5Vである読み出しパルスが印加される。抵抗変化素子1は高抵抗状態(HR)である100k Ω であるため、ノード4の電位は、トランジスタの閾値電圧(V_{th})が降下した0.67Vとなる。一方、ノード3の電位は、トランジスタ6が完全なオン領域で動作するので、ほぼグラウンドレベルの0Vとなる。

[0118] ノード4の電位が0.67Vの電圧があるのでトランジスタ9はON状態になり、ノード3の電位が0Vであるのでトランジスタ8はオフ状態となる。加算増幅回路22のカレントミラー回路によって、トランジスタ9が流す電流は増幅され、当該電流は抵抗素子12を流れ、加算増幅回路22の出力端子は、図9Aと同様にHighレベルになる。加算増幅回路22の出力端子はノード2に帰還されているので、ノード2をHigh、ノード1をLowとしてラッチ回路の論理状態は復元される。すなわち、抵抗変化素子1がHR状態にあるときは、ラッチ回路の論理状態が如何なる場合であっても、ノード2をHigh、ノード1をLowとしてラッチ回路の論理状態を復帰せしめる。

[0119] 次に、図9Cでは、ノード1が、High電圧に対応した電源電圧VDDにほぼ等しく、ノード2が、Low電圧に対応したグラウンド(GND)に接地されている状態を表している。この時、トランジスタ6および7のゲート端子には読み出し電圧(V_r)である1.5Vが印加される。抵抗変化素子1は低抵抗状態(LR)である5k Ω にあるため、ノード3の電位は、トランジスタの閾値電圧(V_{th})の電圧に加え、トランジスタ6のオン抵抗に起因する電圧降下分を加算した電圧が降下した値となり、具体的に0.18Vとなる。一方、ノード4の電位はトランジスタ7が完全なオン領域で動作しているものの、オン抵抗が無視できないため、わずかに電圧降下が発生し0.16Vとなる。

[0120] ノード3の電位はトランジスタ8に入力され、ノード4の電位はトランジスタ9に入力されるが、それぞれ、トランジスタ8および9をオンするため

の電圧より小さいため、トランジスタ 8 および 9 はともにオフ状態となる。よって、抵抗素子 1 2 にながれる電流は少量となり、加算増幅回路 2 2 の出力端子は L o w レベルとなる。加算増幅回路 2 2 の出力端子はノード 2 に帰還されているので、ノード 2 を L o w、ノード 1 を H i g h としてラッチ回路の論理状態は復元される。

[0121] また、同様に、図 9 D では、ノード 2 が、H i g h 電圧に対応した電源電圧 V D D にほぼ等しく、ノード 1 が、L o w 電圧に対応したグラウンド (G N D) に接地されている状態を表している。この時、トランジスタ 6 および 7 のゲート端子には、図 9 C の状態と同様に、リード電圧 (V r) である 1.5 V が印加される。抵抗変化素子 1 は低抵抗状態 (L R) である 5 k Ω にあるため、ノード 4 の電位は、トランジスタ 7 の閾値電圧 (V t h) の電圧に加え、トランジスタ 7 のオン抵抗に起因する電圧降下分を加算した電圧が降下した値となり、具体的に 0.18 V となる。一方、ノード 3 の電位は、トランジスタ 6 が完全なオン領域で動作しているものの、オン抵抗が無視できないため、わずかに電圧降下が発生し 0.16 V となる。ノード 3 の電位はトランジスタ 8 に入力され、ノード 4 の電位はトランジスタ 9 に入力されるが、それぞれ、トランジスタ 8 および 9 をオンするための電圧より小さいため、トランジスタ 8 および 9 はオフ状態となる。よって、抵抗素子 1 2 に流れる電流は少量となり、加算増幅回路 2 2 の出力端子は、図 9 C と同様に L o w レベルとなる。加算増幅回路 2 2 の出力端子はノード 2 に帰還されているので、ノード 2 を L o w、ノード 1 を H i g h としてラッチ回路の論理状態は復元される。すなわち、抵抗変化素子 1 が L R 状態にあるときは、ラッチ回路の論理状態が如何なる場合であっても、ノード 2 を L o w、ノード 1 を H i g h としてラッチ回路の論理状態を復帰せしめる。

[0122] つまり、図 9 A ~ 図 9 D に記載されたように、抵抗変化素子の状態が H R と L R の 2 種類と、ラッチ回路のノード 1 がハイレベルまたはローレベルとなる 2 種類とがあるので、合計 4 種類の組合せが存在する。抵抗状態を書き換えるときにトランジスタ 6 および 7 のゲート端子に印加する電圧よりも絶

対値の小さな読み出し電圧 (V_r) が、トランジスタ 6 および 7 のゲート端子にそれぞれ印加された場合に、加算増幅回路 22 は、ノード 3 (第 1 のノード) の電位とノード 4 (第 2 のノード) の電位との加算値に応じて、ラッチ動作部の論理状態に相当するハイレベルまたはローレベルを出力する。前述した 4 種類の組合せ状態の何れの場合であっても、抵抗変化素子が HR 状態にあれば、ノード 1 (第 3 のノード) をローレベルにし、ノード 2 (第 4 のノード) をハイレベルに復帰せしめ、逆に抵抗変化素子が LR 状態にあればノード 1 (第 3 のノード) をハイレベルにし、ノード 2 (第 4 のノード) をローレベルに復帰せしめる。これにより、加算増幅回路 22 は、抵抗変化素子 1 に記憶された抵抗状態から、インバータ回路 20 および 21 で構成されたラッチ動作部の論理状態を安定に復帰せしめる。

[0123] 以上のように、本発明の実施の形態 1 に係る不揮発性ラッチ回路のリストア動作は、従来技術のようなラッチ回路の電源の立ち上がりを利用したリストア動作でない。よって、電源電圧が十分に安定化した状態、あるいはラッチ回路の動作中であっても極めて安定かつ確実にリストア動作が可能となる。なお、上述した V_r および各ノードでの電圧値やカレントミラー回路のミラー比などの具体例は一例に過ぎず、抵抗変化素子 1 の特性や半導体プロセスの条件に応じて最適化されることは言うまでもない。

[0124] [抵抗変化素子のフォーミング]

次に、本発明の実施の形態 1 におけるフォーミング工程について説明する。既に述べたように、本発明の不揮発性ラッチ回路および不揮発性フリップフロップ回路に用いられる抵抗変化素子 1 の抵抗値は、製造工程が終了した時点では通常動作の抵抗値ではなく、非常に高いレベルとなっており、このとき抵抗変化素子 1 は第 3 の抵抗状態となっている。このため、ラッチ回路の状態によらず、LR 状態に変化せしめる書き込みパルスで抵抗変化素子 1 に印加して、通常動作の時の抵抗値へと変化させるフォーミング工程を実施する必要がある。このとき、図 5 A および図 5 B 等で例示した、通常動作における書き込みパルスの電圧振幅は V_w であったが、特許文献 6 で示される

ように、フォーミング工程を実施するために必要な印加電圧は、通常書き込み電圧よりも大きな第3印加電圧が必要であることが想定される。よって、上記フォーミング工程における印加電圧は、 V_w より大きなフォーミング電圧 V_f とする。また、抵抗変化素子の種類や論理回路側の都合によりフォーミング電圧 V_f は、通常動作時の電源電圧 V_{DD} よりも更に大きくなる場合があるが、本実施の形態では、電源電圧 V_{DD} を V_f に変更してフォーミング工程を実施する。以降の説明では、一般的にフォーミング時の電圧は通常動作時よりも大きいものと仮定し、電源電圧 V_{DD} および書き込み電圧 V_w が、通常動作時より絶対値の大きなフォーミング電圧 V_f に変更されるものを例示する。

[0125] なお、前記 V_f が、 $V_w < V_f < V_{DD}$ の関係にある場合は、電源電圧は V_{DD} から変更する必要はなく、トランジスタ7およびトランジスタ6のゲート端子に入力される書き込みパルスの電圧のみを、 V_f とすれば良いことは言うまでもない。

[0126] 以下、図10のフローチャートを用いてフォーミング工程の手順を説明する。

[0127] 図10は、本発明の実施の形態1に係る不揮発性ラッチ回路のフォーミング工程を説明する動作フローチャートである。

[0128] まず、フォーミング対象となる不揮発性ラッチ回路の電源電圧 V_{DD} および書き込みパルス電圧振幅 V_w のレベルをLR状態へ移行するための、第1印加電圧より更に大きな第3印加電圧であるフォーミング電圧 V_f へと変更し、トランスマッションゲートTMG1およびTMG2をオフとし、トランスマッションゲートTMG3をオンとする(S01)。

[0129] 次に、Ctrl端子に読み出し電圧 V_r を印加し、リストア動作を実施する(S02)。このとき、抵抗変化素子1は初期抵抗のため、非常に高い高抵抗レベル(第3の抵抗状態)にあるものの、回路動作上は電源電圧を V_f としたときの図9Aまたは図9Bの状態に等しい。このため、ノード5にはHighが出力され、それに伴いインバータ回路23の出力はLowとなり

、不揮発性ラッチ回路100は、ノード2がLow、ノード1がHighの状態に初期化される。この状態は、図5Bで示した不揮発性ラッチ回路100のラッチ状態に等しい。なお、ステップS02のリストア動作では、読み出し電圧V_rの印加、ラッチ回路状態の復帰、トランSMissionゲートTMG3のオフ、読み出し電圧V_rの印加停止の順序で行なわれ、ステップS02の終了時点でトランSMissionゲートTMG3はオフとなっている。

[0130] 次に、Ctrl端子に、フォーミング電圧V_fの書き込みパルスを印加し、抵抗変化素子1がLR状態となるように最初の書き込み（ストア動作）を実行する（S03）。

[0131] 次に、再度、トランSMissionゲートTMG1およびTMG2をオフ、トランSMissionゲートTMG3をオンとする（S04）。

[0132] 次に、Ctrl端子に読み出し電圧V_rを印加し、リストア動作を実施する（S05）。このとき、抵抗変化素子1は通常動作時のLR状態（第1の抵抗状態の抵抗値以下の抵抗値となる第4の抵抗状態）の抵抗値に遷移しているため、回路動作上は図9Cの状態に等しい。このため、ノード5にはLowが出力され、それに伴ってインバータ回路23の出力はHighとなり、不揮発性ラッチ回路100は、ノード2がHigh、ノード1がLowの状態に切り替えられる。この状態は、図5Aで示した不揮発性ラッチ回路100のラッチ状態に等しい。なお、ステップS05のリストア動作では、読み出し電圧V_rの印加、ラッチ回路状態の切替え、トランSMissionゲートTMG3のオフ、読み出し電圧V_rの印加停止の順序で行なわれ、ステップS05の終了時点でトランSMissionゲートTMG3はオフとなっている。

[0133] 次に、Ctrl端子に、フォーミング電圧V_fの書き込みパルスを印加し、抵抗変化素子1が通常動作とほぼ等しいHR状態（第2の抵抗状態）の抵抗値となるように書き込みを実行する（S06）。

[0134] 次に、不揮発性ラッチ回路100の電源電圧を、フォーミング電圧V_fから電源電圧V_{DD}へ戻し、また、書き込みパルス電圧振幅のレベルをV_wへ

と戻し、トランスミッションゲートTMG1およびTMG2をオフ、トランスミッションゲートTMG3をオンとする(S07)。

[0135] 次に、Ctrl端子に読み出し電圧V_rを印加し、リストア動作を実施する(S08)。このとき、抵抗変化素子1はHR状態にあり、回路動作上は図9Bの状態に等しい。このため、ノード5にはHighが出力され、それに伴ってインバータ回路23の出力はLowとなり、不揮発性ラッチ回路100はノード2がLow、ノード1がHighの状態に切替えられる。この状態は、図5Bで示した不揮発性ラッチ回路100のラッチ状態に等しい。なお、ステップS08のリストア動作では、読み出し電圧V_rの印加、ラッチ回路状態の切替え、トランスミッションゲートTMG3のオフ、読み出し電圧V_rの印加停止の順序で行なわれ、ステップS08の終了時点でトランスミッションゲートTMG3はオフとなっている。

[0136] 次に、Ctrl端子に電圧振幅V_wの書き込みパルスが印加され、抵抗変化素子1が通常動作が可能なLR状態(第1の抵抗状態)となるように2度目のLRレベルの書き込みを実行する(S09)。

[0137] 以上のように、本発明の実施の形態1に係る不揮発性ラッチ回路100の有する抵抗変化素子1のフォーミング工程が完了する。

[0138] 以上、インバータ回路23の出力がノード1またはノード2に印加された場合、抵抗変化素子1にフォーミング電圧V_fが印加され、抵抗変化素子1の抵抗状態が上記第3の抵抗状態から第4の抵抗状態へと初期化される。

[0139] 図11は、本発明の実施の形態1に係る変形例を示す不揮発性ラッチ回路の回路構成図である。同図に記載された不揮発性ラッチ回路110が、図3に記載された不揮発性ラッチ回路100と異なる点は、抵抗変化素子1の接続方向と、トランスミッションゲートTMG2およびTMG3の出力端子の接続先である。具体的には、抵抗変化素子1はノード2からノード1に電流が流れる向きでLR化(低抵抗状態に変化)され、ノード1からノード2へ電流が流れる向きでHR化(高抵抗状態に変化)される。これに対応して、抵抗変化素子1の抵抗状態から復元されるラッチ動作部の論理状態が、図9

A～図9Dで示されているものと逆になるため、加算増幅回路22の出力端子は、トランSMissionゲートTMG2を介して、インバータ回路21の入力端子およびインバータ回路20の出力端子に接続され、インバータ回路23の出力端子は、トランSMissionゲートTMG3を介して、インバータ回路21の入力端子およびインバータ回路20の出力端子に接続される。本構成においても、図3に記載された不揮発性ラッチ回路100と同様の効果が奏される。つまり、抵抗変化素子1の2種類の状態（HRおよびLR）と、ラッチ回路のノード1の2種類のレベル（ハイレベルおよびローレベル）との組合せ状態の何れの場合であっても、抵抗変化素子1がHR状態にあれば、ノード1（第3のノード）をハイレベルにし、ノード2（第4のノード）をローレベルに復帰せしめる。一方、逆に抵抗変化素子1がLR状態にあればノード1（第3のノード）をローレベルにし、ノード2（第4のノード）をハイレベルに復帰せしめる。これにより、抵抗変化の向きが図3と異なる場合であっても、加算増幅回路22は、抵抗変化素子1に記憶された抵抗状態から、インバータ回路20および21で構成されたラッチ動作部の論理状態を安定に復帰せしめる。

[0140] 以上、本実施の形態によれば、トランジスタ6および7のゲート端子を、例えば、GND電位とすることにより、インバータ回路20および21からなるラッチ動作部と、トランジスタ6および7、ならびに抵抗変化素子1からなる状態記憶部とが電氣的に切断され、上記ラッチ動作部は上記状態記憶部とは独立に動作できる。このため、ラッチ動作の動作速度は、状態記憶部のない単体のラッチ回路と同等程度に高速で動作することが可能となる。また、ラッチ動作部の論理状態として、ノード1がHighレベルでありノード2がLowレベルであって、ゲート端子に書き込み電圧を印加して抵抗変化素子1を駆動する場合、トランジスタ6が電流制限素子として働く。また、ノード1がLowレベルでありノード2がHighレベルであって、ゲート端子に書き込み電圧を印加して抵抗変化素子1を駆動する場合、トランジスタ7が電流制限素子として働く。よって、ラッチ動作毎に抵抗変化素子1

を書き換えず、書き換え時には必要な電圧と時間だけ印加されることになり、安定な書き換え動作が可能となる。さらに、ラッチ動作部の論理状態の記憶に用いられる抵抗変化素子は1つであるので、書換え電圧を低電圧化できる。

[0141] また、抵抗変化素子1の抵抗状態から元のラッチ状態を復元する時に、電源立ち上がりの不安定な過渡期間を使用しない。また、読み出しに必要な、かつ、ストレスの小さな低電圧を必要時間だけ印加するので、極めて安定かつ信頼性の高い復元動作を実現できる。

[0142] また、抵抗変化素子1をLR状態からHR状態に変化させるときにはトランジスタ7が負荷抵抗として動作し、また、抵抗変化素子1をHR状態からLR状態に変化させるときにはトランジスタ6が負荷抵抗として動作する。トランジスタ6および7のゲート端子には等しい電圧が入力されるが、ゲート幅の違いから、トランジスタ6のオン抵抗はトランジスタ7のオン抵抗よりも大きい。従って、トランジスタ7の駆動能力を超えるような異常な低抵抗値に抵抗変化素子が書き込まれることを防止できる。よって、LR状態にある抵抗変化素子1はトランジスタ7によって確実にHR状態に変化させることが可能となる。これにより、良好な抵抗変化動作を安定に維持し、ストア動作の信頼性が非常に高い不揮発性ラッチ回路100を提供できる。

[0143] さらに、抵抗変化素子1の抵抗値が非常に大きな初期状態にあるとき、インバータ回路23の出力を用いてラッチ回路の論理状態を復帰させ、次に、第3印加電圧であるフォーミング電圧 V_f の電圧振幅を有する書き込みパルスを抵抗変化素子1に印加することで、抵抗変化素子1の抵抗値を初期状態からLR状態に確実に初期化せしめることができる。つまり、加算増幅回路22により検知された第3の抵抗状態に対応した出力が、インバータ回路23を介してノード1またはノード2に入力された場合に、抵抗変化素子1の抵抗値を第3の抵抗状態から第4の抵抗状態に変化せしめるのに必要な状態にインバータ回路20および21の状態が設定される。そして、書き込み回路は、抵抗変化素子1を第3の抵抗状態から第4の抵抗状態に推移させるた

めに、トランジスタ6および7のゲートにフォーミング電圧 V_f を印加する。これにより、駆動素子数やフォーミング順序が制約されないフォーミングを確実に実施できる。

[0144] また、不揮発性の機能追加のために追加される抵抗変化素子1は、酸素不足型のタンタル酸化物で形成されている。タンタル(Ta)は、その窒化物である TaN や酸化物である Ta_2O_5 などで既に半導体プロセスで実績のある材料であり、CMOSプロセスと親和性が高い。特に、酸素不足型のタンタル酸化物 TaO_x ($0 < x < 2.5$)は、室温から比較的低温の処理で形成が可能である。つまり、抵抗変化素子1を形成する工程では高い処理温度を有する熱工程は介在せず、トランジスタの性能を損なうことがない。また、ロジック回路領域とは別に、状態を記録するメモリセルアレイ領域を形成する必要がない。よって、ロジック回路を構成するトランジスタを半導体基板上に形成した後に、抵抗変化素子1をプラグコンタクトの一部の配線層に形成できるので、ロジック回路における集積化および微細化を損なわない。

[0145] (実施の形態2)

次に、本発明の実施の形態2について、図12~図14を用いて説明する。

[0146] 図12は、本発明の実施の形態2に係る不揮発性ラッチ回路の回路構成図である。図12、図13Aおよび図13Bにおいて、図3に記載された構成要素と符号が等しいものは同じものを表している。但し、後述するように、トランジスタ6および7のゲート幅は等しいものとする。本実施の形態に係る不揮発性ラッチ回路200が、図3に記載された不揮発性ラッチ回路100と異なる点は、Ctrl1端子を介してトランジスタ6のゲートに入力される制御信号と、Ctrl2端子を介してトランジスタ7に入力される制御信号とが、個別に入力される点である。この変更により、実施の形態2では、ストア動作とフォーミング動作とが実施の形態1と異なる。

[0147] 実施の形態1で説明したように、抵抗変化素子1はHR状態に推移するとき比べてLR状態に推移する場合に流れる電流を小さくするように制限す

ることが好ましい。実施の形態1では、トランジスタ7のゲート幅 W_b をトランジスタ6のゲート幅 W_a より大きくすることで実現したが、本実施の形態では、トランジスタ6および7のゲート幅が同一の場合を前提としている。なお、リストア動作では、トランジスタ6および7に入力される電圧を、等しい読み出し電圧 V_r にすればよい。また、ラッチ動作では、トランジスタ6および7に入力される電圧を共に接地電位とすればよい。よって、本実施の形態におけるリストア動作およびラッチ動作は、実施の形態1と同様な動作なので説明を省略する。

[0148] [ストア動作]

本実施の形態に係る不揮発性ラッチ回路200のストア動作において、トランジスタ6のゲート端子には絶対値が第1電圧および第2電圧より大きな V_{w1} を有する第1書き込みパルスが印加され、同時に、トランジスタ7のゲート端子には絶対値が第1電圧および第2電圧より大きな電圧振幅 V_{w2} を有する第2書き込みパルスが印加される。ここで、 C_{tr1} 端子に印加される第1書き込みパルスと C_{tr2} 端子に印加される第2書き込みパルスとの間には、 $V_{w1} < V_{w2}$ の関係がある。上記第1書き込みパルスおよび上記第2書き込みパルスは、例えば、不揮発性ラッチ回路200が備える書き込み回路で生成され、当該書き込み回路から上記 C_{tr1} 端子および C_{tr2} 端子へ出力される。そして、上記第1書き込みパルスおよび上記第2書き込みパルスにより、トランジスタ6および7のゲート端子へ、それぞれ、第1印加電圧および第2印加電圧が一定期間印加される。

[0149] 図13Aは、本発明の実施の形態2に係る抵抗変化素子へのHR書き込み動作を表す回路図である。また、図13Bは、本発明の実施の形態2に係る抵抗変化素子へのLR書き込み動作を表す回路図である。

[0150] 図13Aでは、ノード1がLow電圧、ノード2がHigh電圧にラッチした状態を示し、図13Bでは、逆に、ノード1がHigh電圧、ノード2がLow電圧にラッチした状態を示している。両図ともに、トランジスタ6のゲート端子へ電圧振幅 V_{w1} の第1印加電圧が印加され、トランジスタ7

のゲート端子へ電圧振幅 V_{w2} の第2印加電圧が印加されている。このとき、図13Aでは、抵抗変化素子1には、 V_{w2} からトランジスタの閾値電圧 V_t が電圧降下した電圧振幅のパルスが印加され、ノード2からノード1の方向に電流が流れ、抵抗変化素子1はHR状態に遷移する。また、図13Bでは、逆に、抵抗変化素子1には V_{w1} からトランジスタの閾値電圧 V_t が電圧降下した電圧振幅のパルスが印加され、ノード1からノード2の方向に電流が流れ、抵抗変化素子1はLR状態に遷移する。このとき、HR状態に遷移する時に比べ、LR状態に遷移する時のほうが抵抗変化素子1の両端電圧が小さくなり、等価的にLR状態に遷移するときの電流量がHR状態に遷移する時に比べて制限される。このことについて図14を用いて詳細に説明する。

[0151] 図14は、抵抗変化素子の電流－電圧特性に、電流制限を与える各トランジスタの負荷抵抗線を重ね書きしたグラフである。

[0152] 図13Aにおいて、トランジスタ7のドレイン（ノード2）には、High電圧に対応した、ほぼ電源電圧 V_{DD} に近い値が印加されている。一方、トランジスタ6のソース（ノード1）は、Low電圧に対応した、ほぼグラウンドレベル（GND）に近い値に接地されている。すなわち、抵抗変化素子1に対してトランジスタ7がソースフォロア回路として動作するため、トランジスタ7のゲート端子に印加された電圧振幅 V_{w2} がトランジスタ6のゲート端子に印加された電圧振幅 V_{w1} より、多少大きくあってもトランジスタのバックバイアス効果によりソース接地で動作するトランジスタ6に比べ、トランジスタ7の電流駆動能力が低下する。つまり、図13Aに記載された抵抗変化素子1のHR化においては、素子に流れる電流はトランジスタ7の駆動能力によって決定される。反対に、図13Bにおいては、トランジスタ6のドレイン（ノード1）は、High電圧に対応した、ほぼ電源電圧 V_{DD} に近い値が印加されている。一方、トランジスタ7のソース（ノード2）は、Low電圧に対応した、ほぼグラウンドレベル（GND）に近い値に接地されている。すなわち、抵抗変化素子1に対してトランジスタ6がソース

フォロア回路として動作するため、ソース接地で動作するトランジスタ 7 に比べ、トランジスタ 6 の電流駆動能力が更に低下する。つまり、図 1 3 B に記載された抵抗変化素子 1 の L R 化においては、素子に流れる電流はトランジスタ 6 の駆動能力によって決定される。

[0153] このように、抵抗変化素子 1 を L R 状態から H R 状態に変化させる時には、L R 状態の抵抗変化素子 1 に印加可能な電圧レベルはトランジスタ 7 の駆動能力で制限され、逆に、H R 状態から L R 状態へ変化させる時には、L R 状態に変化した後に抵抗変化素子 1 に印加可能な電圧レベルはトランジスタ 6 の駆動能力で制限される。

[0154] 図 1 4 に表された電流－電圧特性は、図 1 3 A の印加状態を正極性とし、図 1 3 B の印加状態を負極性として表記されている。図 1 4 において、H R 状態にあった抵抗変化素子 1 の両端に所定の第 1 電圧 ($|V_a|$) 以上が印加されると L R への推移を開始する。このときの L R 状態の抵抗値は負荷抵抗によって決定され、トランジスタ 6 の負荷抵抗線が V_a と交わる動作点 A で、低抵抗への推移を停止し抵抗値が決定される。一方、L R 状態から H R 状態への推移は、抵抗変化素子 1 の両端の電圧が、動作点 B の所定の第 2 電圧 V_b を超えると開始される。

[0155] 本発明の実施の形態 2 で用いた酸素不足型のタンタル酸化物で構成された抵抗変化素子の場合、上記 $|V_a|$ と上記 $|V_b|$ とは、ほぼ等しい関係にある。上述のように、抵抗変化素子 1 を L R 状態から H R 状態に変化させる場合には、抵抗変化素子 1 への印加電圧は、トランジスタ 7 の駆動能力によって決定されるが、トランジスタ 7 のゲート端子に印加される第 2 書き込み電圧を、トランジスタ 6 のゲート端子に印加される第 1 書き込み電圧より大きく設定することで、抵抗変化素子 1 に V_b 以上の電圧を印加することが可能となる。このことは図 1 4 に示したように、トランジスタ 6 の負荷抵抗線を、原点を中心に点対称移動させたミラー表記の負荷抵抗線に比べて、トランジスタ 7 の負荷抵抗線が、 $V_w 2$ を通るようにシフトしており、動作点 B の電圧を十分に超えたところにあることでも理解することができる。

[0156] なお、本実施の形態ではトランジスタ6のゲート端子と、トランジスタ7のゲート端子とを別の端子にして制御する例を示したが、この構成に限定されるものでない。例えば、トランジスタ6とトランジスタ7のゲート端子を共通化し、そこに入力される書き込み電圧の振幅が、ラッチ状態に応じて切り替えてられて入力される構成でもよい。

[0157] [抵抗変化素子のフォーミング]

次に、本発明の実施の形態2における第1のフォーミング工程について説明する。以下、第1のフォーミング工程は、実施の形態1における図10に示されたフォーミング工程を基本としており、当該フォーミング工程と異なる動作を中心に説明する。

[0158] 実施の形態2における最も単純な第1のフォーミング工程は、上述した実施の形態2におけるストア動作にならない、図10に記載されたフォーミング工程のうち、初期抵抗値の非常に高い高抵抗な状態からLR状態に変化させるステップS03の第1抵抗変化において、Ctrl1端子およびCtrl2端子の両方にフォーミング電圧Vfの書き込みパルスを印加する。また、ステップS06の第1抵抗変化において、Ctrl1端子およびCtrl2端子の両方に上記フォーミング電圧Vfより絶対値で少し大きい電圧振幅($V_f + \alpha$)となる書き込みパルスを印加する。これにより、ステップS03の第1抵抗変化で流れた最大電流よりも大きい電流を、ステップS06で流すことが可能となり、確実に抵抗変化素子1をHR化できる。そして、ステップS09では、実施の形態2におけるストア動作にならない、Vw1の電圧振幅の書き込みパルスをCtrl1端子に、Vw2の電圧振幅の書き込みパルスをCtrl2端子に印加する。なお、実施の形態2のストア動作で説明したように、図13Aのバイアス関係ではCtrl1端子の電位が抵抗変化素子1に流れる電流制限に寄与し、図13Bのバイアス関係ではCtrl2端子の電位が抵抗変化素子1に流れる電流制限に寄与する。つまり、それぞれのバイアス関係において電流制限に寄与しない制御端子の電位は、増減しても動作に影響が無い。従って、上述したステップS03およびステップS

06において、C t r l 1端子に電圧振幅 V_f の書き込みパルスを印加し、C t r l 2端子には電圧振幅 $(V_f + \alpha)$ の書き込みパルスを印加しても同じ動作結果が得られる。この場合の利点としては、ステップS03からステップS06の過程で、C t r l 1端子およびC t r l 2端子の電圧を切替える必要がなくなることが挙げられる。なお、ステップS06までの電源電圧は、各ステップにおいて必要となる最大電圧以上の電圧となっていることは言うまでもない。

[0159] 次に、実施の形態2の特徴を活かした第2のフォーミング工程について説明する。ステップS03において、通常動作時の電圧より大きな電圧振幅 V_f の書き込みパルスで抵抗変化素子1を書き換えると、通常よりも電流が多く流れ、通常のLR状態の抵抗値より低い抵抗値（以降、第2のLR状態ともいう）に推移する。この第2のLR状態からHRへ書き換えるために電圧振幅 V_f より大きな電圧振幅 $(V_f + \alpha)$ を有する電圧を印加する必要がある。このために、第1のフォーミング工程では、ステップS04～ステップS09の工程が必要となる。

[0160] これに対し、第2のフォーミング工程では、ステップS03において、図13Cのように、電圧振幅 V_{lim} を有する電圧をC t r l 2端子に印加することにより、抵抗変化素子1がLR状態に推移するときの最大電流を、トランジスタ7の飽和電流によって制限する。

[0161] 図13Cは、本発明の実施の形態2に係る抵抗変化素子へのフォーミング動作を表す回路図である。この電流制限についての詳細について図15を用いて説明する。

[0162] 図15は、抵抗変化素子の初期状態における電流－電圧特性に、電流制限を与える各トランジスタの負荷抵抗線を重ね書きしたグラフである。同図のグラフは、抵抗変化素子1の各抵抗状態における電流－電圧特性を示し、各状態においてトランジスタの負荷特性がどのように作用するかが示されている。負極性側には、図13Cのバイアス状態の特性が示され、正極性側には、図13Aのバイアス状態の特性が示されている。まず、初期抵抗値にある抵

抗変化素子 1 は図 13C のバイアス関係にあるトランジスタ 6 の負荷抵抗線に沿って推移し低抵抗に向けて変化する。そして、図 15 の A 点の電流量に達すると、電流制限され抵抗変化素子 1 の抵抗状態は通常の LR 状態の抵抗値で停止する。すなわち、トランジスタ 7 がソース接地で、ドレイン-ソース間電圧が $|V_f - V_a|$ であるとき、飽和領域のドレイン電流が、絶対値として A 点の電流となるように上記電圧振幅 V_{lim} を有する第 4 印加電圧が決定される。 V_{lim} の具体的な値は、例えば、 $V_{lim} < \text{第 1 印加電圧} < \text{第 2 印加電圧} < V_f$ であることが好ましく、所望の LR 状態の抵抗値、 V_a および V_f の電圧値、トランジスタ 6 および 7、ならびに抵抗変化素子 1 の特性によって適宜決定される。

[0163] このように、ステップ S03 によって遷移する抵抗変化素子 1 の抵抗値は、図 15 の A 点のような通常の LR 状態と等しい値と一致するように制御することができるため、次に HR 状態へ変化するときの電圧も通常動作と変わらない電圧振幅の書き込みパルスでよい。よって、第 2 のフォーミング工程によれば、図 10 に記載されたフォーミング工程のうち、ステップ S04 ~ ステップ S09 の工程が省略でき、フォーミング工程の簡素化が図られる。

[0164] 以上のように、本発明の実施の形態 2 の構成によれば、ラッチ動作部の論理状態を抵抗変化素子 1 に書き込む場合に、HR 状態に変化させるときはトランジスタ 7 が電流制限素子として動作し、LR 状態に変化させるときにはトランジスタ 6 が電流制限素子として動作する。よって、トランジスタ 6 のゲート幅 (W_a) とトランジスタ 7 のゲート幅 (W_b) とが等しい関係にあっても、トランジスタ 6 のゲート端子の電圧振幅 V_{w1} とトランジスタ 7 のゲート端子の電圧振幅 V_{w2} とが、 $V_{w1} < V_{w2}$ の関係に設定されることにより、トランジスタ 7 の駆動能力を超えるような異常な低抵抗値に抵抗変化素子 1 が書き込まれることを防止できる。これにより、LR 状態にある抵抗変化素子 1 を確実に HR 状態に変化させることが可能となる。さらに、上記第 2 のフォーミング工程によれば、良好な抵抗変化動作を安定に維持することができるとともに、フォーミング工程の簡素化が可能で、製造コストの削

減とストア動作の高信頼性の両立を図った良好な不揮発性ラッチ回路を提供できる。

[0165] (実施の形態3)

次に、本発明の実施の形態3について図16Aおよび図16Bを用いて説明する。

[0166] 図16Aは、本発明の実施の形態3に係る不揮発性フリップフロップ回路の回路構成図であり、図16Bは、本発明の実施の形態3に係る不揮発性フリップフロップ回路の論理表を示す図である。図16Aにおいて、図4に記載された構成要素と符号が等しいものは同じものを表している。本実施の形態に係る不揮発性フリップフロップ回路300が、図4の不揮発性ラッチ回路100と異なる点は、インバータ回路20および21が、2入力のNANDゲート回路50および51に変更されていることである。

[0167] 実施の形態2で説明したように、Ctrl1端子およびCtrl2端子の入力がGNDレベルで、トランSMISSIONゲートTMG2およびTMG3がオフであれば、トランジスタ6および7、抵抗変化素子1、加算増幅回路22ならびにインバータ回路23は、NANDゲート回路50および51から切り離される。不揮発性フリップフロップ回路300では、第1の論理反転回路であるNANDゲート回路50および第2の論理反転回路であるNANDゲート回路51は、ラッチ動作部を構成している。具体的には、NANDゲート回路50の出力端子がNANDゲート回路51の一方の入力端子に接続され、NANDゲート回路51の出力端子がNANDゲート回路50の一方の入力端子に接続されるようなクロスカップル接続がなされ、SR (Set Reset) フリップフロップが構成されている。SRフリップフロップ回路は、一般技術であるので詳細な説明は省略するが、図16Bに記載された論理表のうち、Ctrl1端子およびCtrl2端子の電圧振幅が0のときに論理回路として動作する。この状態で、SET端子とRESET端子とを共に1とすると、NANDゲート回路50および51は共にインバータ回路と等価な動作をする。

- [0168] トランスミッションゲートTMG2およびTMG3をオフとした状態で、Ctrl1端子に電圧振幅Vw1の第1書き込みパルス、Ctrl2端子に電圧振幅Vw2の第2書き込みパルスを入力すると、実施の形態2の例と等しくなり、その時点のフリップフロップの状態が抵抗変化素子1に書き込まれ、フリップフロップの論理状態がストアされる。また、トランスミッションゲートTMG2をオンとした状態で、Ctrl1端子およびCtrl2端子に電圧振幅Vrの読み出しパルスを入力すると、抵抗変化素子1の抵抗値に応じて、HighレベルまたはLowレベルの電圧値がリストアされ、フリップフロップの論理状態が元に復帰される。このストアおよびリストアの詳細は、NANDゲート回路50および51を、インバータ回路20および21に置き換えたときの実施の形態2と同じであるので説明を省略する。
- [0169] また、本実施の形態に係る不揮発性フリップフロップ回路300のフォーミング動作も、SET端子およびRESET端子を1とすれば、NANDゲート回路50および51を、それぞれ、インバータ回路20および21とみなすことができ、実施の形態2と同様に動作となる。
- [0170] 以上のように、本発明の実施の形態3に係る構成によれば、抵抗変化素子1を用いた非常に高速かつ信頼性に優れた不揮発性SRフリップフロップ回路が実現される。また、フリップフロップの状態をストアする場合の書き込みの電流制限が適切に実行されるので、誤動作無く正確にストア動作を実行できる。また、抵抗変化素子を2個使用していた従来技術で問題となったような、書き込みのための電圧が2倍必要となる課題も、抵抗変化素子が1つである本発明の構成により解消され、回路の低消費電力化や電源回路の簡素化といった効果が奏される。
- [0171] さらに、抵抗変化素子1の抵抗値が非常に大きな初期状態にあるとき、インバータ回路23の出力を用いてラッチ回路の論理状態を復帰させ、次に、フォーミング電圧Vfの電圧振幅を有する書き込みパルスを抵抗変化素子1に印加することで、抵抗変化素子1の抵抗値を初期状態からLR状態に確実に初期化せしめることができる。

[0172] また、実施の形態1のように、トランジスタ6および7のゲート端子を共通に制御可能とした構成も、本実施の形態と同時に実現できることは言うまでもない。さらに、本実施の形態では、NANDゲートを用いた構成を例示したが、これに限定されるものでなく、例えば、NANDゲート回路をNORゲート回路に置き換えても良い。

[0173] 図17Aは、本発明の実施の形態3に係る変形例を示す不揮発性フリップフロップ回路の回路構成図であり、図17Bは、本発明の実施の形態3に係る変形例を示す不揮発性フリップフロップ回路の論理表を示す図である。同図に記載された不揮発性フリップフロップ回路400では、第1の論理反転回路であるNORゲート回路60および第2の論理反転回路であるNORゲート回路61は、ラッチ動作部を構成している。具体的には、NORゲート回路60の出力端子がNORゲート回路61の一方の入力端子に接続され、NORゲート回路61の出力端子がNORゲート回路60の一方の入力端子に接続されるようなクロスカップル接続がなされ、SR (Set Reset) フリップフロップが構成されている。本変形例においては、SETおよびRESET端子の電圧振幅が共に0の時に、ストアおよびリストア動作が可能となる。本変形例に記載された不揮発性フリップフロップ回路400においても、実施の形態3で示された不揮発性フリップフロップ回路300と同様の効果が奏される。

[0174] さらに、上述したSRフリップフロップ回路は、あらゆる種類のフリップフロップ回路の基本となるので、上記不揮発性フリップフロップ回路を用いた応用が考えられる。例えば、マスタースレーブ型のDフリップフロップであれば、マスターのフリップフロップに上記不揮発性フリップフロップ回路を用いれば、不揮発性D型フリップフロップ回路として提供できる。

[0175] (実施の形態4)

次に、本発明の実施の形態4について、図18A、図18Bおよび図19を用いて説明する。

[0176] 図18Aは、本発明の実施の形態4に係る不揮発性ラッチモジュールの構

成を示す回路構成図である。同図に記載された不揮発性ラッチモジュール79は、不揮発性ラッチ回路70と、制御回路71とを備えた回路モジュールである。図18Aに記載された不揮発性ラッチ回路70は、図12に記載された、実施の形態2の不揮発性ラッチ回路200と等しい構成であるので、詳細な説明を省略する。以下、制御回路71の機能について説明する。

[0177] 図18Aにおいて、切り替えスイッチ73は、RW端子からの信号がLowのとき端子cが端子aと接続され、RW端子からの信号がHighのとき端子cが端子bと接続される。また、スイッチ72は、OR回路75の出力がHighのときオン状態となり、Lowのときにオフ状態となる。RP端子には、電圧振幅 V_r の読み出しパルスが入力される。WP1端子には、通常動作時は電圧振幅 V_{w1} の書き込みパルスが入力され、フォーミング工程時には電圧振幅 V_f のフォーミング用の書き込みパルスが入力される。WP2端子には、通常動作時は電圧振幅 V_{w2} の書き込みパルスが入力され、フォーミング工程時には電圧振幅 V_{lim} の電流制限用のパルスが入力される。

[0178] NM端子からの信号がHighのときは通常動作時であり、OR回路75の出力は常にHighとなりスイッチ72はオン状態となる。このときにRW端子からの信号がLowのときには、Ctrl1端子およびCtrl2端子にはRP端子からの読み出しパルスが入力可能である。一方、RW端子からの信号がHighのときには、Ctrl1端子にはWP1端子からの書き込みパルスが、また、Ctrl2端子にはWP2端子からの書き込みパルスが入力可能となる。

[0179] 一方、NM端子からの信号がLowにあるとき、フォーミング工程のモードとなる。AND回路74は、WE端子からの信号と不揮発性ラッチ回路70の反転出力QBとのANDを出力し、WE端子からの信号がHighであり抵抗変化素子1がHRより大きな高抵抗値のときのみ書き込みパルスが入力可能となる。つまり、抵抗変化素子1が一旦LR状態になったり、WE端子からの信号がLowであったりするような不揮発性ラッチモジュール79

にはフォーミング工程が実行されない。つまり、制御回路71は、読み出しパルスおよび書き込みパルスの入力選択および入力禁止を行う読み出し／書き込み制御回路の機能を有する。

[0180] さらに、AND回路76は、WE端子からの信号と不揮発性ラッチ回路70の出力QとのANDをNX端子に出力する。すなわち、抵抗変化素子1がLR状態のときにリストア動作が行なわれると、出力QにHighが出力されるので、WE端子からの信号がHighで抵抗変化素子1がLR状態になったことが判断されると、NX端子からは、Highが出力されることになる。つまり、制御回路71は、内蔵される抵抗変化素子1がLR状態となったか否かを判定する判定回路の機能を有する。

[0181] 次に、不揮発性ラッチモジュール79を不揮発性信号処理装置に用いた例を説明する。

[0182] 図18Bは、本発明の実施の形態4に係る不揮発性信号処理装置の構成を示す回路構成図である。同図に記載された不揮発性信号処理装置80は、組合せ論理回路A～Cと、各組合せ論理回路の出力を不揮発性ラッチ回路a～cでラッチするような一般的なデジタル信号処理の構成を示している。通常、信号処理を行う時には、不揮発性ラッチモジュール79a～79cを、既に説明したラッチモードで動作させ、G端子にクロック信号を入力することで、クロック同期の信号処理が実行される。

[0183] 本実施の形態における特徴はフォーミング工程にある。製造直後は不揮発性ラッチモジュール79a～79c内の抵抗変化素子1の抵抗値は初期抵抗値にあり、所望の抵抗変化ができない状態なのでフォーミング工程を行う必要がある。このため、不揮発性信号処理装置80には、コントローラ81が搭載されている。コントローラ81は、図18Aに記載されたRW、RP、WP1、WP2、G、R、F各端子に入力する信号と、不揮発性ラッチモジュール79aのWE端子に入力する信号WEcとを出力する。また、不揮発性ラッチモジュール79aのNX端子はNXaノードを介して不揮発性ラッチモジュール79bのWE端子に接続され、不揮発性ラッチモジュール79

bのNX端子はNXbノードを介して不揮発性ラッチモジュール79cのWE端子に接続され、不揮発性ラッチモジュール79cのNX端子はNXcノードを介してコントローラ81に入力される。不揮発性信号処理装置80は、製造工程の後の検査工程で外部インターフェースからの指令によりフォーミング工程が実行される。この流れについて図19のタイミングチャートを用いて説明する。

[0184] 図19は、本発明の実施の形態4に係る不揮発性信号処理装置のフォーミング工程を説明するタイミングチャートである。同図において、G端子とR端子とは常にLowにあり、全てのラッチ回路のトランスミッションゲートTMG1とTMG2とはオフ状態にある。

[0185] まず、時刻t1において、スタンバイ状態にあった不揮発性信号処理装置80は、制御端子NMがLowになることにより、フォーミング工程モードに移行する。また同時に、WEc信号がHighとなり、不揮発性ラッチモジュール79aがフォーミング工程可能状態となる。また同時に、F端子がHighとなり、全てのラッチ回路のトランスミッションゲートTMG3がオンとなり、RW端子がLowであるのでRP端子から読み出しパルスが入力される。

[0186] 次に、時刻t2において、F端子がLowとなり、各ラッチ回路の論理状態が確定しリストア動作が終了する。このとき、不揮発性ラッチ回路a~cの抵抗変化素子1は、HR状態よりも高い抵抗値の初期抵抗にあるので、ノードNXa、NXbおよびNXcは、全てLowとなる。

[0187] 次に、時刻t3において、フォーミングのための書き込みパルスが入力されるが、ノードNXaとNXbとがLowであるので、不揮発性ラッチ回路bおよびcのWE端子もLowとなり、これらのフォーミング工程が禁止される。このため、書き込みパルスが印加されるのは、不揮発性ラッチ回路aのみとなる。

[0188] 次に、時刻t4において、時刻t3での書き込みパルスの印加により、不揮発性ラッチ回路aの抵抗変化素子1の抵抗値はLR状態に変化し、再度リ

ストア動作の実行によりノードNX aはHighに変化する。この時点で、不揮発性ラッチモジュール79 aのQB端子はLowとなるため、AND回路74によって書き込みパルスが入力が禁止される。一方で、不揮発性ラッチ回路bのWE端子がHighとなるので、フォーミング工程の対象は不揮発性ラッチ回路bへと移る。

[0189] 次に、時刻t5において、フォーミングのための書き込みパルスが入力されるが、不揮発性ラッチ回路aとcとは入力が禁止されるので、不揮発性ラッチ回路bにのみ入力される。

[0190] 次に、時刻t6において、時刻t5の書き込みパルスでは、抵抗変化素子1はLR状態に変化していないため、ノードNX bはLowのままである。従って、フォーミング工程の対象は不揮発性ラッチ回路cへ移行せず、不揮発性ラッチ回路bのままに固定される。これは時刻t7およびt8でも同様であり、時刻t9の書き込みパルスの入力で抵抗変化素子1がLR状態に変化する。

[0191] 次に、時刻t10において、リストア動作によりノードNX bがHighへと変化し、フォーミング工程の対象が不揮発性ラッチ回路cへ移行する。すなわち、各ラッチ回路において抵抗変化素子1が初期抵抗値から確実にLR状態に変化するまで書き込みパルスの入力が繰り返されることとなる。

[0192] 次に、時刻t11において、フォーミングのための書き込みパルスが入力されるが、上述した過程と同様の過程により、不揮発性ラッチ回路aおよびbへは入力が禁止されるので、不揮発性ラッチ回路cのみへ入力される。不揮発性ラッチ回路cの抵抗変化素子1は時刻t11の1回の書き込みパルス印加でLR状態に変化している。

[0193] 次に、時刻t12において、リストア動作によりノードNX cがHighに変化している。ノードNX cの信号はコントローラ81に入力され、コントローラ81はノードNX cの信号がHighになっていることを逐次チェックすることで、不揮発性ラッチ回路a~cのフォーミング工程が確実に完了したことを確認できる。

[0194] つまり、不揮発性ラッチモジュール79aを構成する判定回路の出力信号が、不揮発性ラッチモジュール79bを構成する読み出し／書き込み制御回路に入力され、不揮発性ラッチモジュール79bを構成する判定回路の出力信号が、不揮発性ラッチモジュール79cを構成する読み出し／書き込み制御回路に入力されるというようにして、3個の不揮発性ラッチモジュールが直列接続され、不揮発性ラッチモジュール79cの判定回路の出力信号が出力されたことにより、全ての不揮発性ラッチモジュールに内蔵される抵抗変化素子1が、初期抵抗状態からLR状態に変化したことを確認する。

[0195] 以上のように、不揮発性ラッチ回路を用いた不揮発性信号処理装置80の構成によれば、それぞれの不揮発性ラッチ回路a～cに含まれる抵抗変化素子1のフォーミング動作が、1つずつに分けて実行される。このため、電源回路は、1つの不揮発性ラッチ回路に対してフォーミング工程を行なう駆動能力を有していればよいものとして設計することが可能となる。また、電源ラインの配線幅も、1つのラッチ回路のフォーミングに必要な最小の幅であればよく、設計が容易となる。また、初期抵抗値からLR状態への変化が1回の書き込みパルスの印加で行なえない不具合素子が発生したとしても、このような不具合素子に対して集中して繰り返し書き込みパルスの印加を行うことができる。また、各ラッチ回路の抵抗変化素子1が初期抵抗値からLR状態に変化したかどうかの判定が、カスケードに接続されたラッチ回路の全てに順次出力され、最終結果がコントローラに戻されるという構成であるので、全てのラッチ回路の動作にミスがなく、確実にフォーミング工程が完了できる。

[0196] 以上、本発明に係る不揮発性ラッチ回路、不揮発性フリップフロップ回路および不揮発性信号処理装置について実施に形態1～4に基づき説明したが、本発明に係る不揮発性ラッチ回路、不揮発性フリップフロップ回路および不揮発性信号処理装置は、上述した実施の形態1～4に限定されるものではない。実施の形態1～4に対して、本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る不揮発性ラッ

チ回路、不揮発性フリップフロップ回路および不揮発性信号処理装置を内蔵した各種機器も本発明に含まれる。

[0197] なお、上記の各実施の形態においては、酸化物層はタンタル酸化物の積層構造で構成されていたが、実施の形態1でも述べたように、例えば、ハフニウム(Hf)酸化物の積層構造やジルコニウム(Zr)酸化物の積層構造などであってもよい。

[0198] ハフニウム酸化物の積層構造を採用する場合は、第1のハフニウム酸化物の組成を HfO_x とし、第2のハフニウム酸化物の組成を HfO_y とすると、 $0.9 \leq x \leq 1.6$ 程度であって、 y が $1.8 < y < 2.0$ 程度で、第2のハフニウム酸化物の膜厚は3nm以上、4nm以下であることが好ましい。

[0199] また、ジルコニウム酸化物の積層構造を採用する場合は、第1のジルコニウム酸化物の組成を ZrO_x とし、第2のジルコニウム酸化物の組成を ZrO_y とすると、 $0.9 \leq x \leq 1.4$ 程度であって、 y が $1.9 < y < 2.0$ 程度で、第2のジルコニウム酸化物の膜厚は1nm以上、5nm以下であることが好ましい。

[0200] また、酸化物層の積層構造は、同一の遷移金属である必要はなく、酸素不足型の第1の遷移金属で構成される第1の遷移金属酸化物層と、第1の遷移金属と異なる第2の遷移金属で構成される第2の遷移金属酸化物層の積層構造で構成され、第2の遷移金属酸化物の抵抗値は、第1の遷移金属酸化物層の抵抗値よりも高い積層構造の遷移金属酸化物を用いてもよい。

[0201] 第2の遷移金属酸化物の抵抗値が、第1の遷移金属酸化物層の抵抗値よりも高い積層構造を用いる理由は、データの書き換え時に抵抗変化素子に印加された電圧が効率よく第2の遷移金属酸化物に印加され、抵抗変化に寄与するようにするためである。

[0202] また、第2の遷移金属の標準電極電位は第1の遷移金属の標準電極電位より低い方が好ましい。標準電極電位は、その値が高いほど酸化しにくい特性を表す。より高抵抗の第2の遷移金属酸化物に、より標準電極電位が低い遷移金属の酸化物を配置することにより、より安定に抵抗変化させることがで

きるからである。例えば、第1の遷移金属酸化物層に酸素不足型のタンタル酸化物を用い、第2の遷移金属酸化物層に TiO_2 を用いればよい。このような構成とすることにより、より安定に抵抗変化動作を起こすことができる。

[0203] また、遷移金属材料からなる酸化物層としては、抵抗変化を発現する主たる抵抗変化層として、タンタル等の酸化物層が含まれていればよく、これ以外に例えば微量の他元素が含まれていても構わない。抵抗値の微調整等で、他元素を少量、意図的に含めることも可能であり、このような場合も本発明の範囲に含まれるものである。例えば、抵抗変化層に窒素を添加すれば、抵抗変化層の抵抗値が上がり、抵抗変化の反応性を改善できる。

産業上の利用可能性

[0204] 本発明の不揮発性ラッチ回路、不揮発性フリップフロップ回路および不揮発性信号処理装置は、不揮発性のシステムLSI、CPUおよびマイクロプロセッサに応用でき、また、電源を遮断する直前の動作状態に完全に復元することが要求されるエレクトロニクス製品に応用でき、産業上有用である。

符号の説明

[0205] 1、500、711、712、811、812 抵抗変化素子
2、3、4、5、6、7、8、9、10、11、13、14 トランジスタ
12 抵抗素子
20、21、23、611、612、821、822 インバータ回路
22 加算増幅回路
50、51 NANDゲート回路
60、61 NORゲート回路
70、100、110、200、600、700、800 不揮発性ラッチ回路
72 スイッチ
73 切り替えスイッチ
74、76 AND回路

- 75 OR回路
- 79、79a、79b、79c 不揮発性ラッチモジュール
- 80 不揮発性信号処理装置
- 81 コントローラ
- 300、400 不揮発性フリップフロップ回路
- 501 第1電極層
- 502 第1抵抗変化層
- 503 第2抵抗変化層
- 504 第2電極層
- 505 ゲート酸化膜層
- 506 ソース/ドレイン領域
- 507 プラグ層
- 508 金属配線層
- 601 センス・ラッチ回路
- 602 書込電流生成回路
- 621、623、625、626 p型MOSFET
- 622、624、627、628、629、630、631、632
n型MOSFET
- TMG1、TMG2、TMG3 トランスマッションゲート

請求の範囲

[請求項1]

第1の論理反転回路と、

入力端子が前記第1の論理反転回路の出力端子に接続され、出力端子が前記第1の論理反転回路の入力端子に接続された第2の論理反転回路と、

第1端子と第2端子と第1制御端子とを有し、前記第1制御端子の電圧により前記第1端子と前記第2端子との間の導通状態を制御する第1トランジスタと、

第3端子と第4端子と第2制御端子とを有し、前記第2制御端子の電圧により前記第3端子と前記第4端子との間の導通状態を制御する第2トランジスタと、

酸素不足型の遷移金属酸化物で構成された酸化物層を第1および第2の電極で挟んだ構造であり、前記第1の電極から前記第2の電極へ電流が流れる向きに所定の第1電圧より絶対値が大きな第1印加電圧を印加することで第1の抵抗状態に推移し、前記第2の電極から前記第1の電極へ電流が流れる向きに所定の第2電圧より絶対値が大きな第2印加電圧を印加することで前記第1の抵抗状態より大きな抵抗値となる第2の抵抗状態へ推移する抵抗変化素子と、

前記第1および前記第2のトランジスタのそれぞれの制御端子に、絶対値が前記第1電圧および前記第2電圧より小さな読み出し電圧が印加された場合に、前記第1端子と前記第1の電極との接続点である第1のノードの電位と前記第4端子と前記第2の電極との接続点である第2のノードの電位との加算値を検出する加算増幅回路と、

前記加算増幅回路の出力を反転する第3の論理反転回路と、を備え、

前記第1の論理反転回路の前記出力端子と前記第1のトランジスタの前記第2端子とが第3のノードを介して接続され、前記第2の論理反転回路の前記出力端子と前記第2のトランジスタの前記第3端子

とが第4のノードを介して接続され、

前記第2の抵抗状態から前記第1の抵抗状態に推移させるときに前記抵抗変化素子に流れる第1電流の絶対値は、前記第1の抵抗状態から前記第2の抵抗状態に推移させるときに前記抵抗変化素子に流れる第2電流の絶対値より小さくなるように構成され、

さらに、前記抵抗変化素子は、製造直後の抵抗値が前記第2の抵抗状態より大きい第3の抵抗状態にあり、前記第1の電極から前記第2の電極へ電流が流れる向きに前記第1印加電圧より大きな第3印加電圧が印加されると、前記第3の抵抗状態から前記第1の抵抗状態の抵抗値以下の抵抗値となる第4の抵抗状態に変化し、

前記加算増幅回路は、前記第3の抵抗状態を検知し、当該検知した出力が前記第3の論理反転回路を介して前記第3のノードまたは前記第4のノードに入力された場合に前記抵抗変化素子の抵抗値を前記第3の抵抗状態から前記第4の抵抗状態に変化せしめるのに必要な状態に前記第1の論理反転回路と前記第2の論理反転回路の状態を設定する

不揮発性ラッチ回路。

[請求項2]

前記抵抗変化素子を前記第1の抵抗状態から前記第2の抵抗状態に推移させる時、あるいは前記第2の抵抗状態から前記第1の抵抗状態に推移させる時、あるいは前記第3の抵抗状態から前記第4の抵抗状態に推移させる時に、

前記第1制御端子に第1書き込み電圧を印加し、前記第2制御端子に、絶対値が前記第1書き込み電圧より大きい第2書き込み電圧を印加する書き込み回路を備える

請求項1に記載の不揮発性ラッチ回路。

[請求項3]

前記抵抗変化素子を前記第2の抵抗状態から前記第1の抵抗状態に推移させる時に、あるいは、前記第3の抵抗状態から前記第4の抵抗状態に推移させる時に、前記第1制御端子および前記第2制御端子に

、第3書き込み電圧を印加し、

前記第1の抵抗状態から前記第2の抵抗状態に移させる時に、あるいは、前記第4の抵抗状態から前記第2の抵抗状態に移させる時に、前記第1制御端子および前記第2制御端子に、絶対値が前記第3書き込み電圧より大きい第4書き込み電圧を印加する書き込み回路を備える

請求項1に記載の不揮発性ラッチ回路。

[請求項4]

前記抵抗変化素子を前記第1の抵抗状態から前記第2の抵抗状態に移させる時、あるいは前記第2の抵抗状態から前記第1の抵抗状態に移させる時、あるいは、前記第4の抵抗状態から前記第2の抵抗状態に移させる時に、前記第1制御端子および前記第2制御端子に、第5書き込み電圧を印加する書き込み回路を備え、

前記第1のトランジスタのゲート幅は、前記第2のトランジスタのゲート幅より小さい

請求項1に記載の不揮発性ラッチ回路。

[請求項5]

前記酸化物層は、第1の遷移金属で構成される第1酸化物層と、第2の遷移金属で構成される第2酸化物層との積層構造を含み、

前記第1酸化物層の酸素不足度は、前記第2酸化物層の酸素不足度より大きく、

前記第2の電極と前記第2酸化物層とが接し、前記第1の電極と前記第1酸化物層とが接している

請求項1～4のいずれか1項に記載の不揮発性ラッチ回路。

[請求項6]

前記第1酸化物層は、 TaO_x （但し、 $0.8 \leq x \leq 1.9$ ）で表される組成を有するタンタル酸化物層である

請求項5に記載の不揮発性ラッチ回路。

[請求項7]

前記第2酸化物層は、 TaO_y （但し、 $2.1 \leq y$ ）で表される組成を有する第2タンタル酸化物層である

請求項5に記載の不揮発性ラッチ回路。

[請求項8] 前記第2の電極の材料は前記第1の電極の材料よりも標準電極電位が高い

請求項1～7のいずれか1項に記載の不揮発性ラッチ回路。

[請求項9] 請求項1～8のいずれか1項に記載の不揮発性ラッチ回路を備えた不揮発性フリップフロップ回路であって、

前記第1および前記第2の論理反転回路は、それぞれ、少なくとも2以上の入力端子を備えた第1のNANDゲート回路および第2のNANDゲート回路であり、

前記第1のNANDゲート回路の出力端子と前記第2のNANDゲート回路の入力端子の1つとが前記第3のノードを介して接続され、

前記第2のNANDゲート回路の出力端子と前記第1のNANDゲート回路の入力端子の1つとが前記第4のノードを介して接続され、

前記第1のNANDゲート回路の前記出力端子と前記第1のトランジスタの前記第2端子とが前記第3のノードを介して接続され、前記第2のNANDゲート回路の前記出力端子と前記第2のトランジスタの前記第4端子とが前記第4のノードを介して接続された

不揮発性フリップフロップ回路。

[請求項10] 請求項1～8のいずれか1項に記載の不揮発性ラッチ回路を備えた不揮発性フリップフロップ回路であって、

前記第1および前記第2の論理反転回路は、それぞれ、少なくとも2入力以上の入力端子を備えた第1のNORゲート回路および第2のNORゲート回路であり、

前記第1のNORゲート回路の出力端子と前記第2のNORゲート回路の入力端子の1つとが前記第3のノードを介して接続され、

前記第2のNORゲート回路の出力端子と前記第1のNORゲート回路の入力端子の1つとが前記第4のノードを介して接続され、

前記第1のNORゲート回路の前記出力端子と前記第1のトランジスタの前記第2端子とが前記第3のノードを介して接続され、前記第

2のNORゲート回路の前記出力端子と前記第2のトランジスタの前記第4端子とが前記第4のノードを介して接続された

不揮発性フリップフロップ回路。

[請求項11]

請求項1～8のいずれか1項に記載の不揮発性ラッチ回路、あるいは、請求項9または10に記載の不揮発性フリップフロップ回路をN個備えた不揮発性信号処理装置であって、

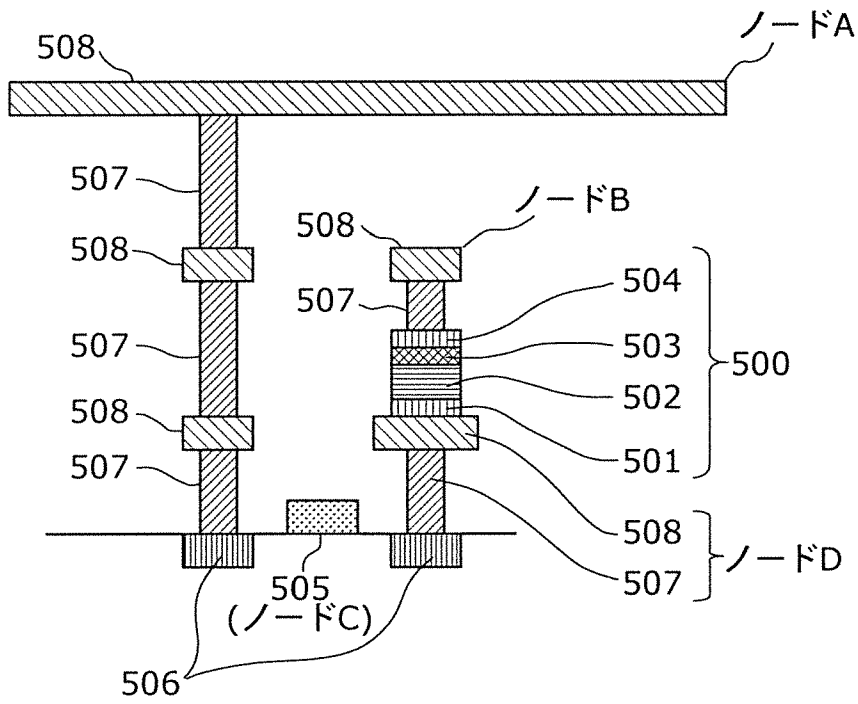
N個の前記不揮発性ラッチ回路または前記不揮発性フリップフロップ回路のそれぞれは、読み出しパルスおよび書き込みパルスの入力選択および入力禁止を行う読み出し／書き込み制御回路と、

内蔵される前記抵抗変化素子が前記第3の抵抗状態から前記第1の抵抗状態となったか否かを判定する判定回路とを備えた回路モジュールを構成し、

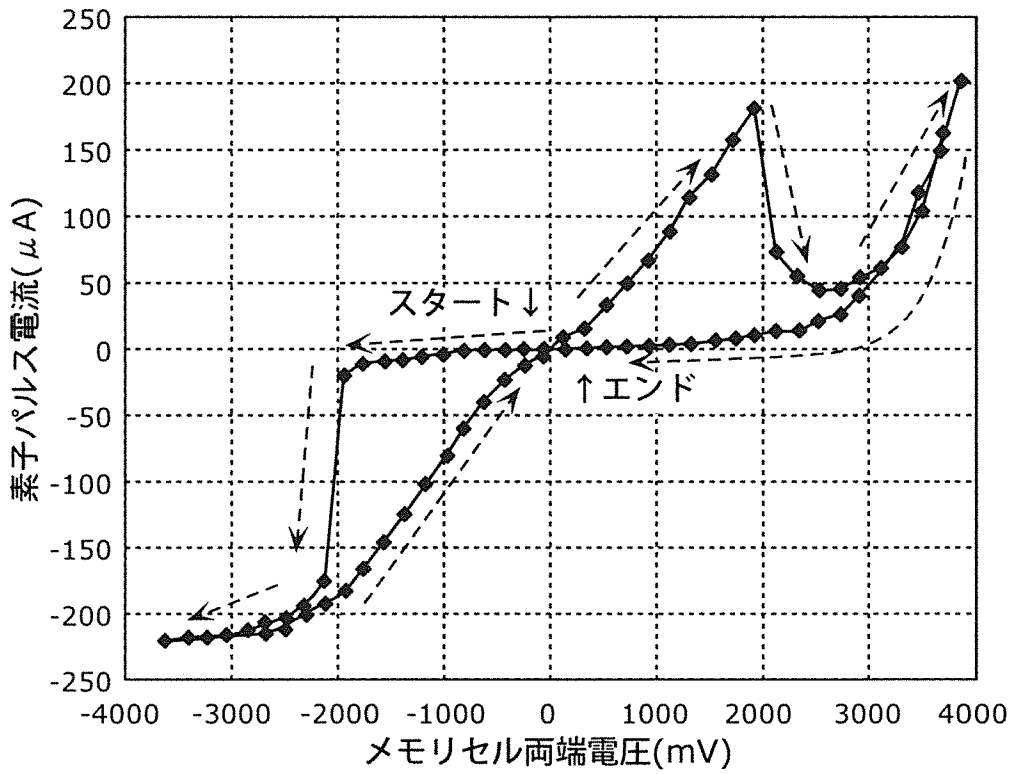
前記不揮発性信号処理装置は、N個の前記回路モジュールを備え、 k ($N-2$ までの自然数)番目の前記回路モジュールを構成する前記判定回路の出力信号が、 $(k+1)$ 番目の前記回路モジュールを構成する前記読み出し／書き込み制御回路に入力され、前記 $(k+1)$ 番目の前記回路モジュールを構成する前記判定回路の出力信号が、 $(k+2)$ 番目の前記回路モジュールを構成する前記読み出し／書き込み制御回路に入力されるというようにして、N個の前記モジュールが直列接続され、N番目の前記回路モジュールの前記判定回路の出力信号が出力されたことにより、全ての前記回路モジュールに内蔵される前記抵抗変化素子が、前記第3の抵抗状態から前記第1の抵抗状態に変化したことを確認する

不揮発性信号処理装置。

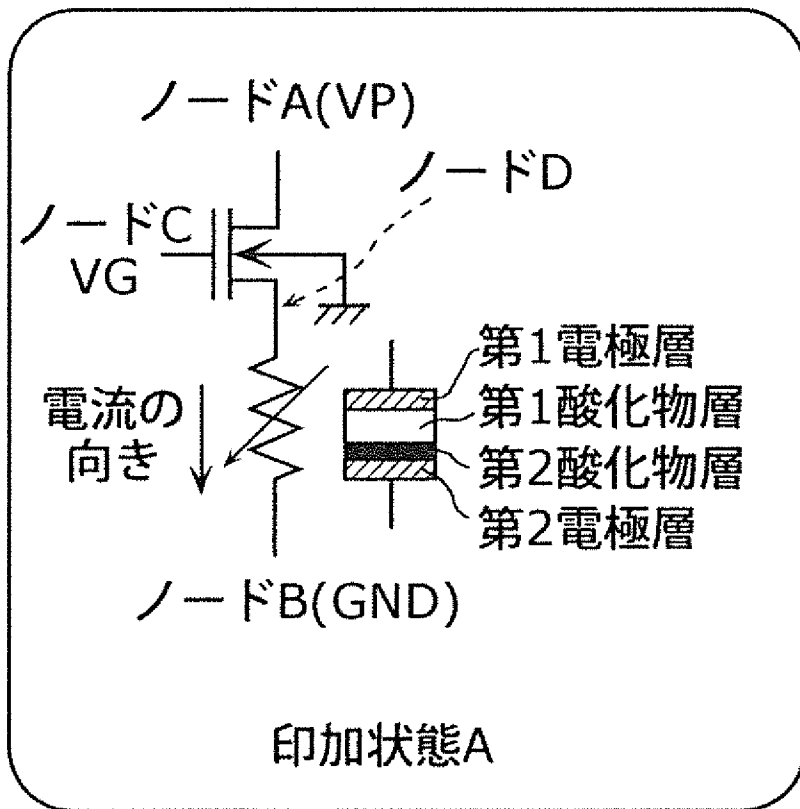
[図1]



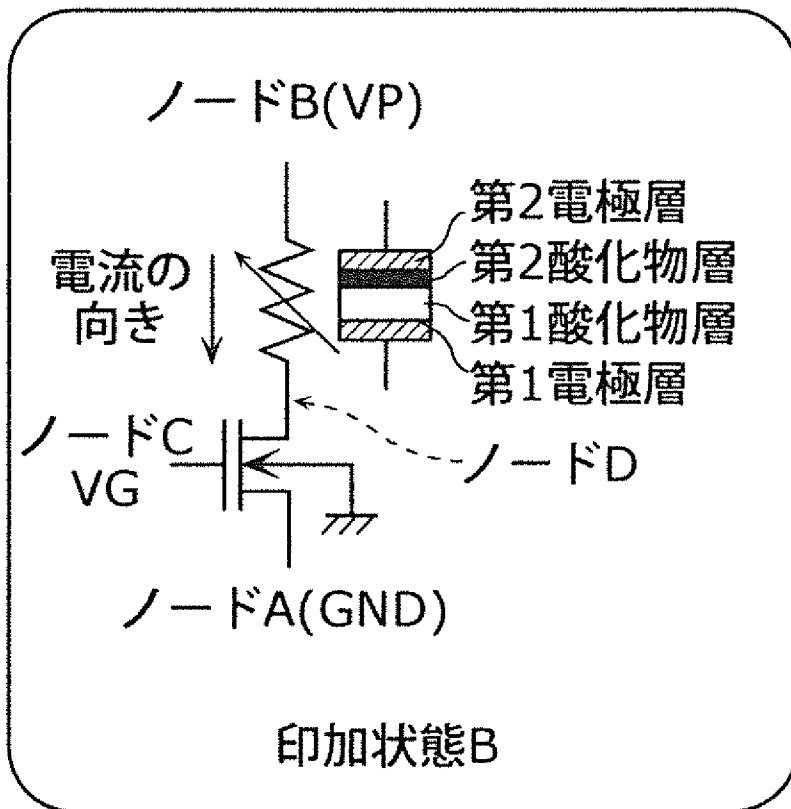
[図2A]



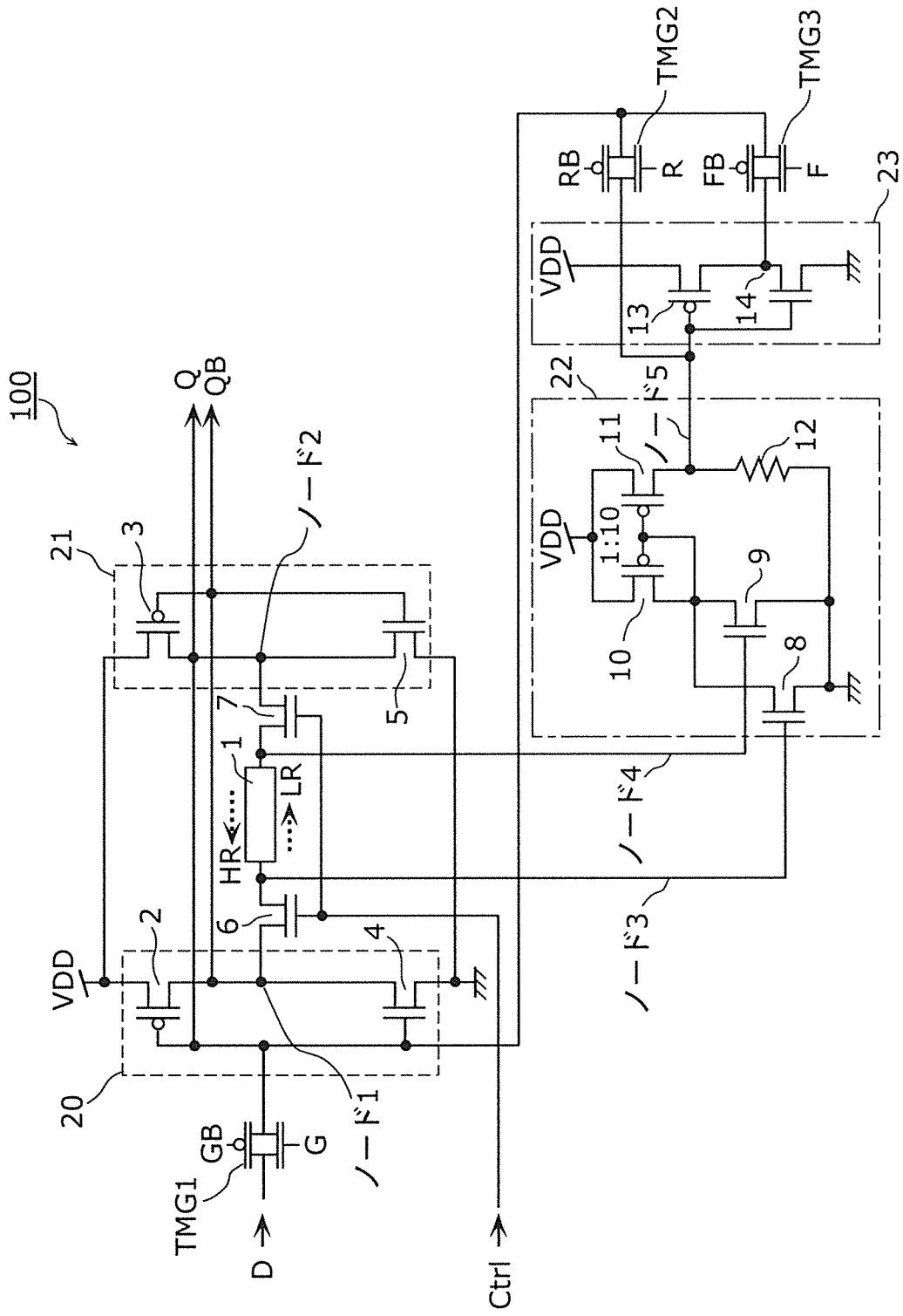
[図2B]



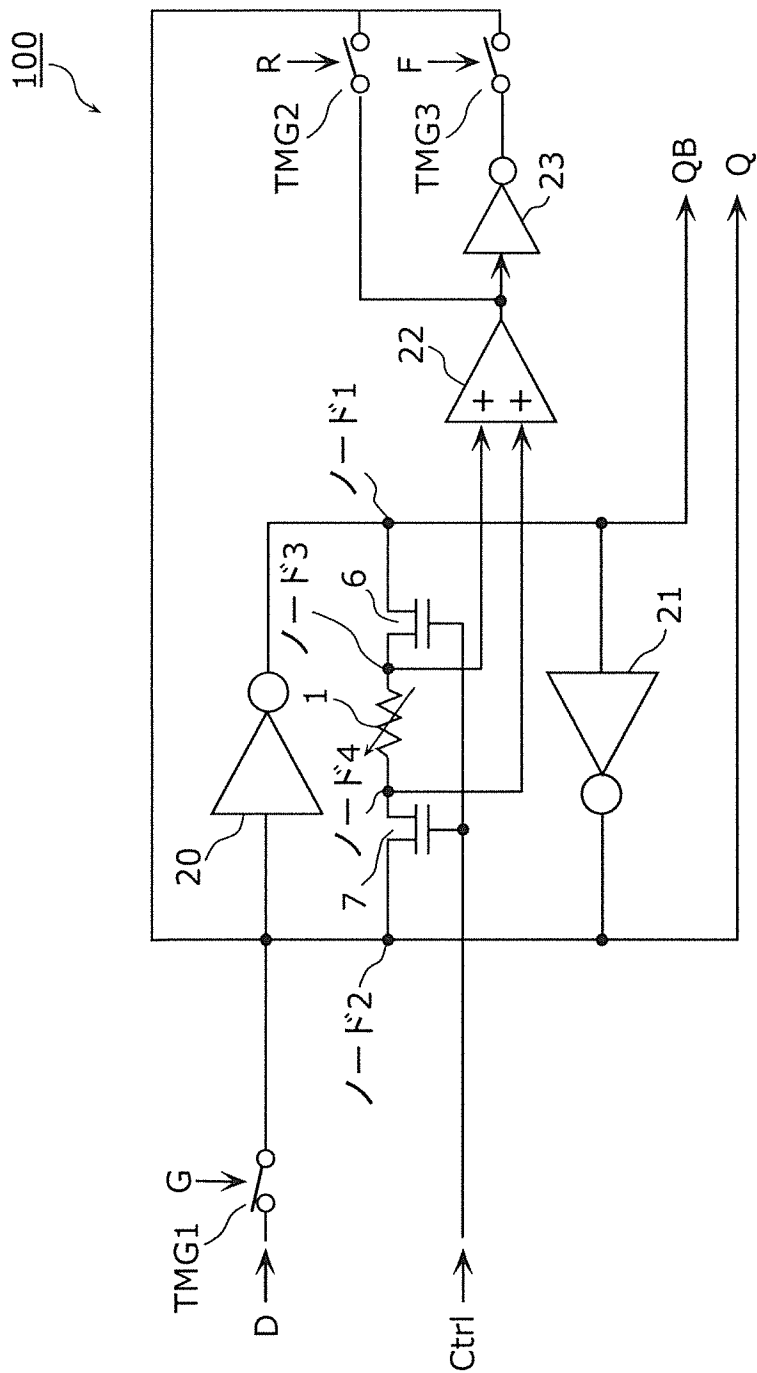
[図2C]



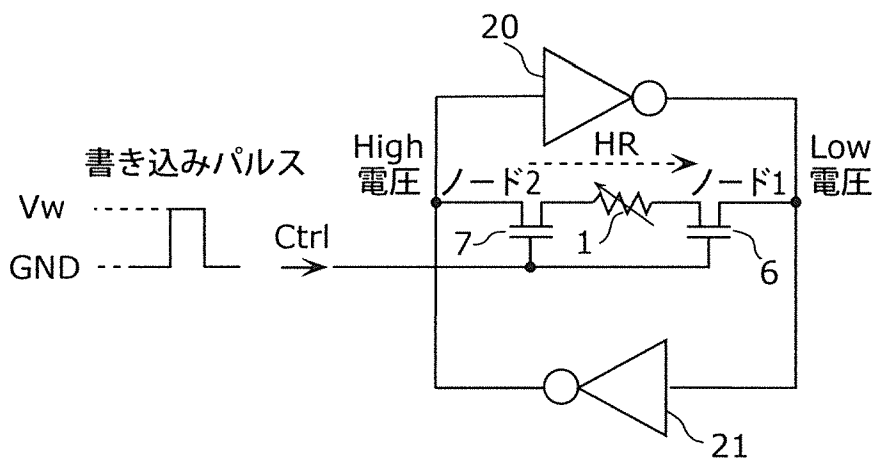
[図3]



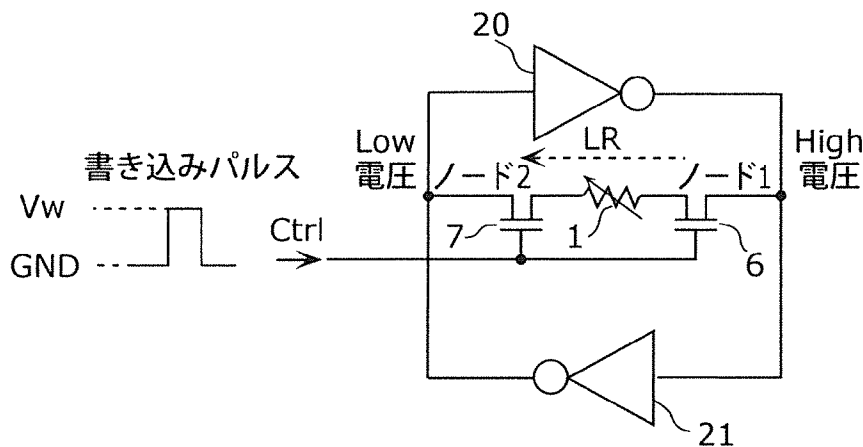
[図4]



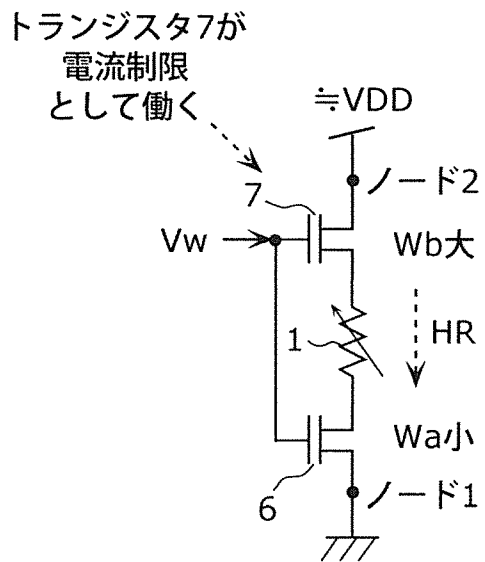
[図5A]



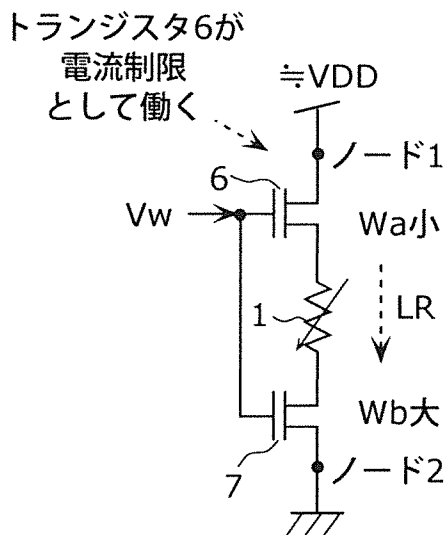
[図5B]



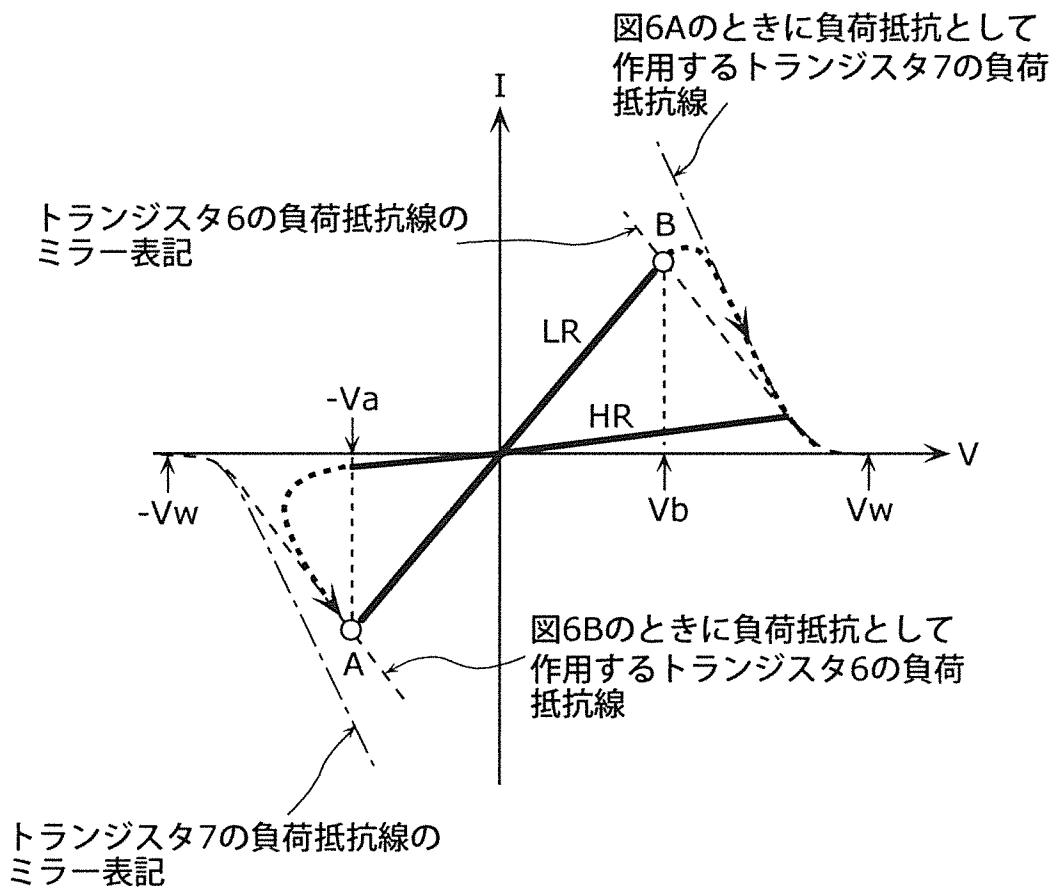
[図6A]



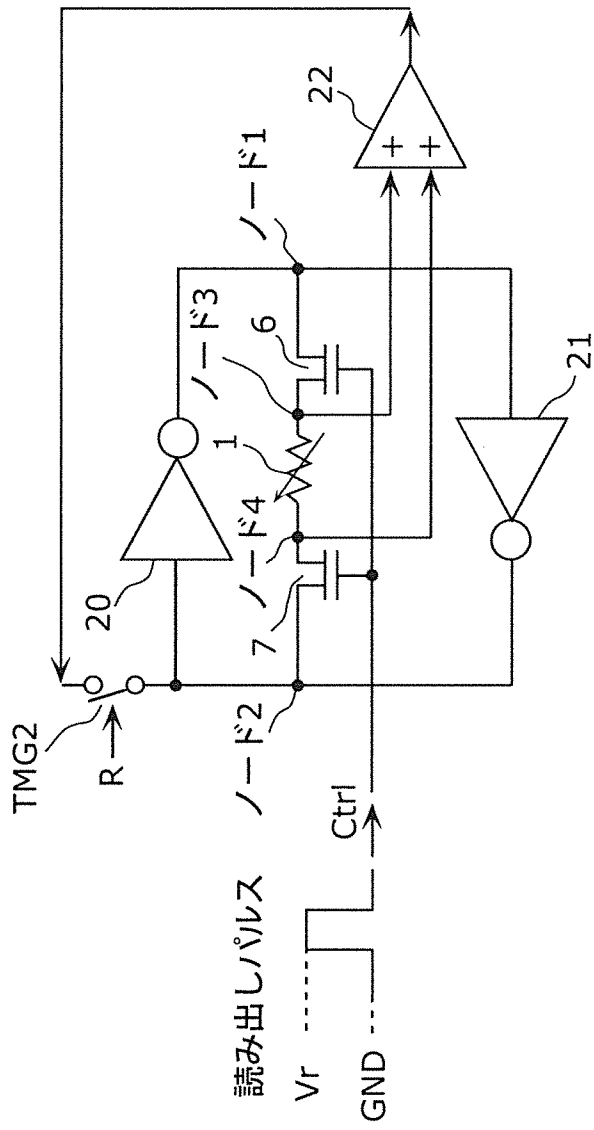
[図6B]



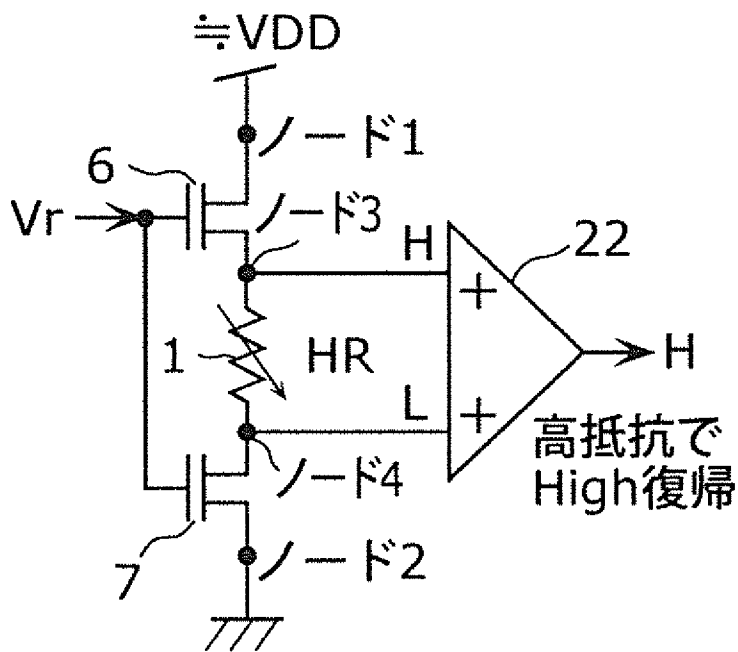
[図7]



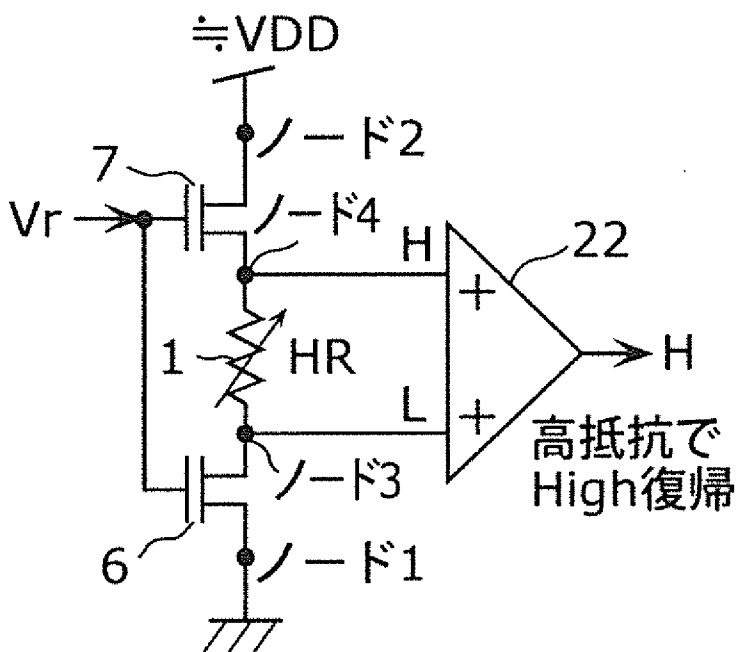
[図8]



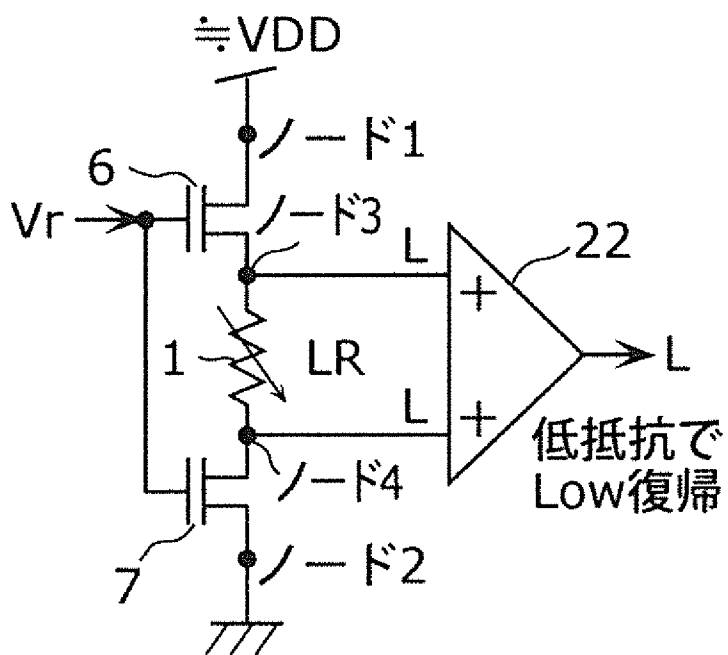
[図9A]



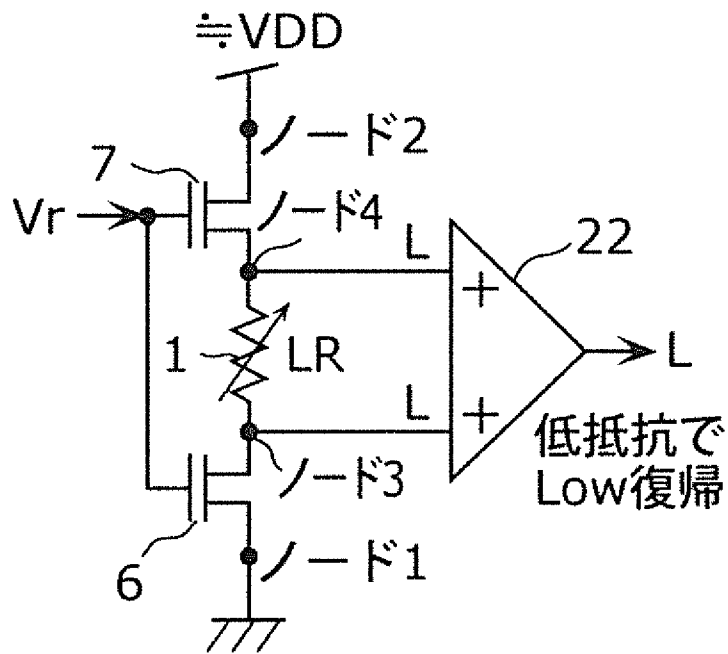
[図9B]



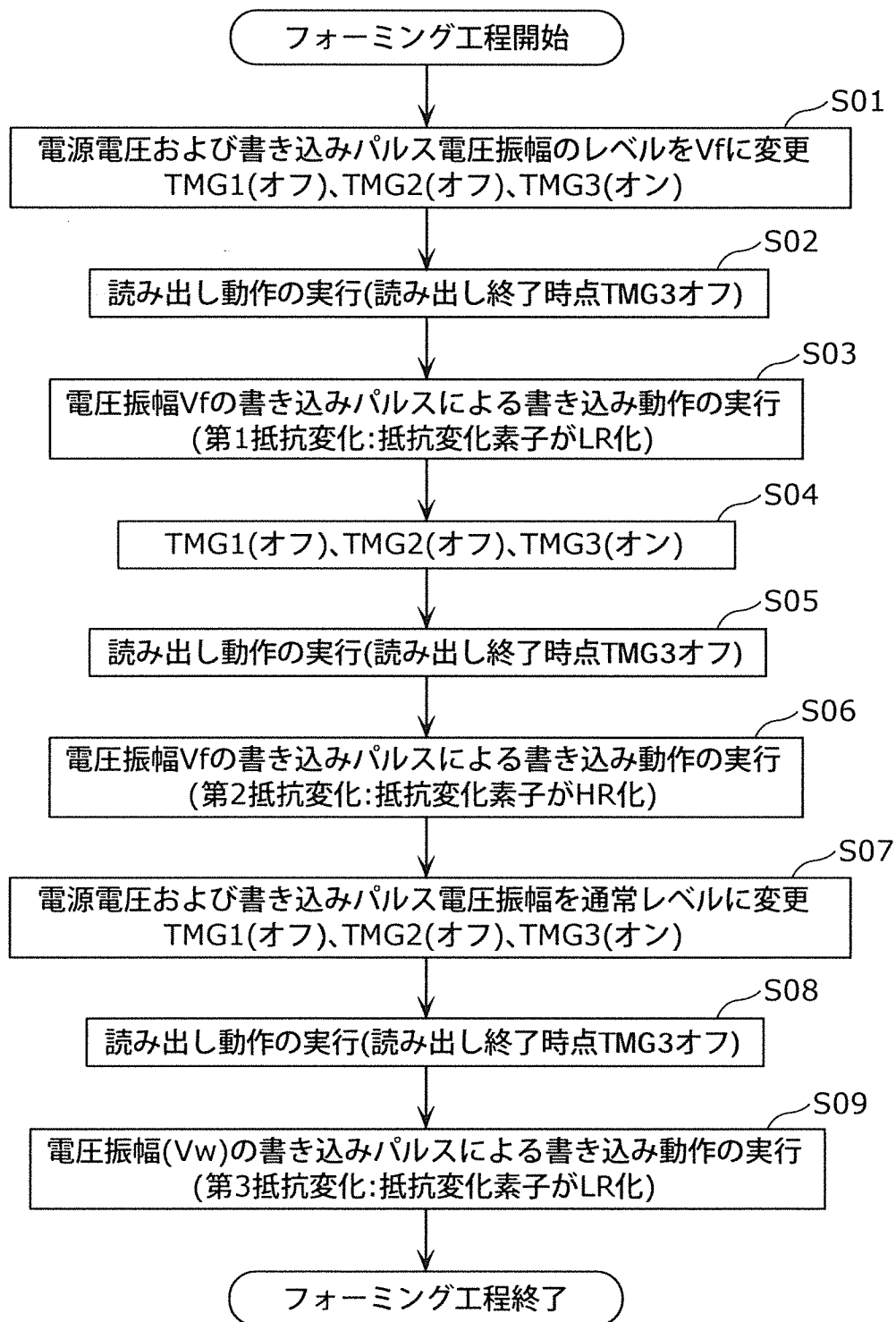
[図9C]



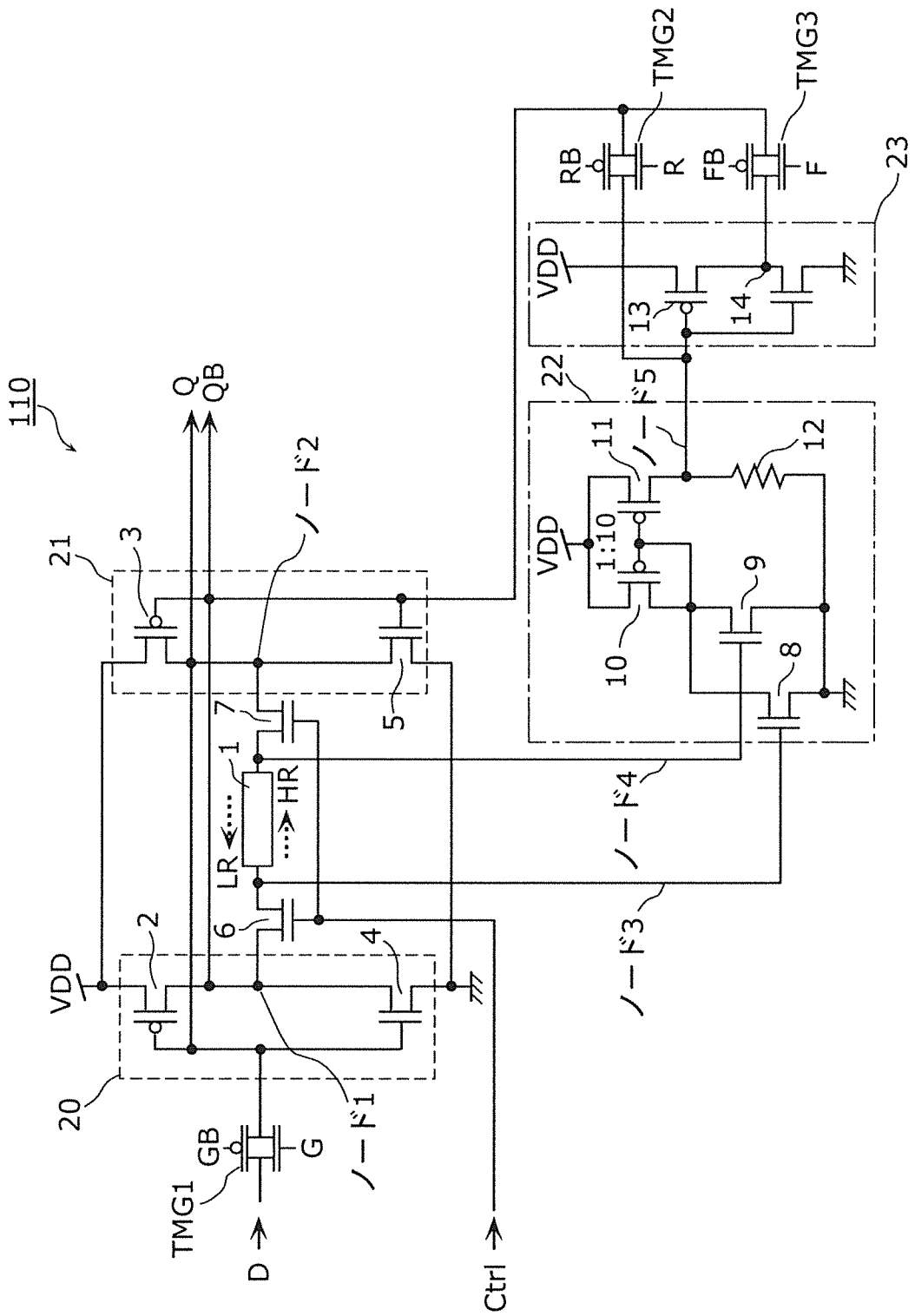
[図9D]



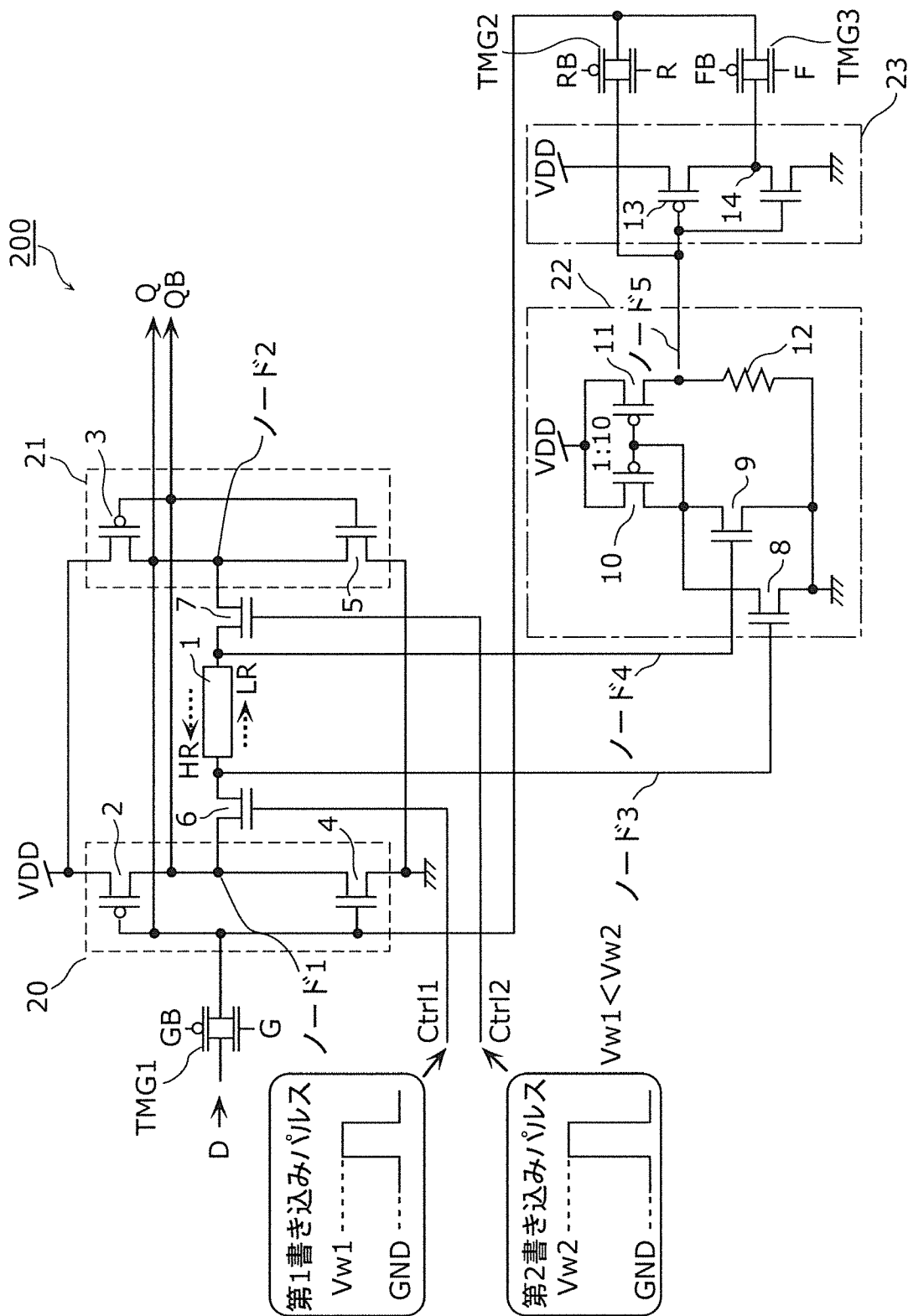
[図10]



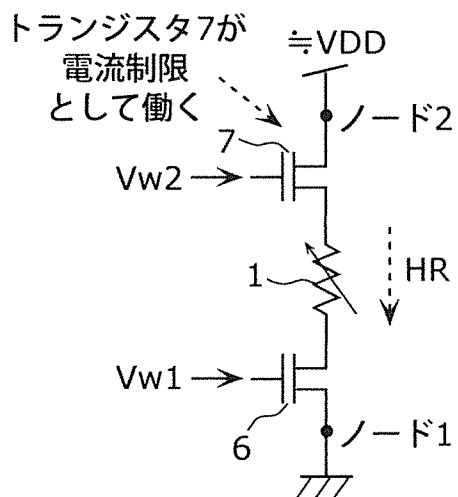
[図11]



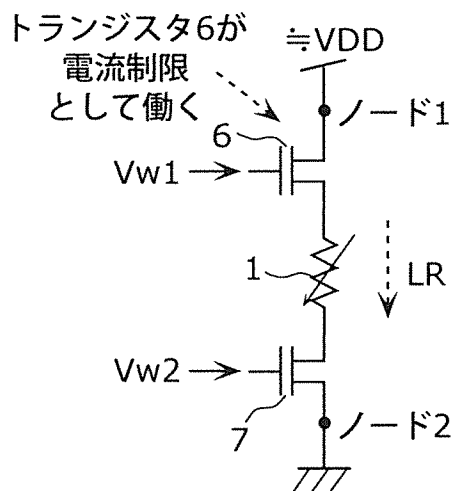
[図12]



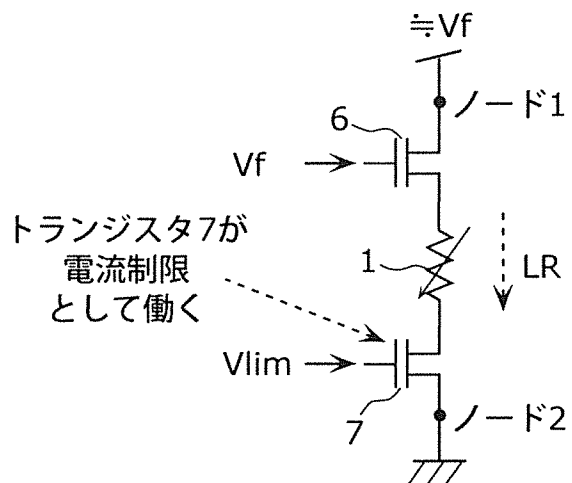
[図13A]



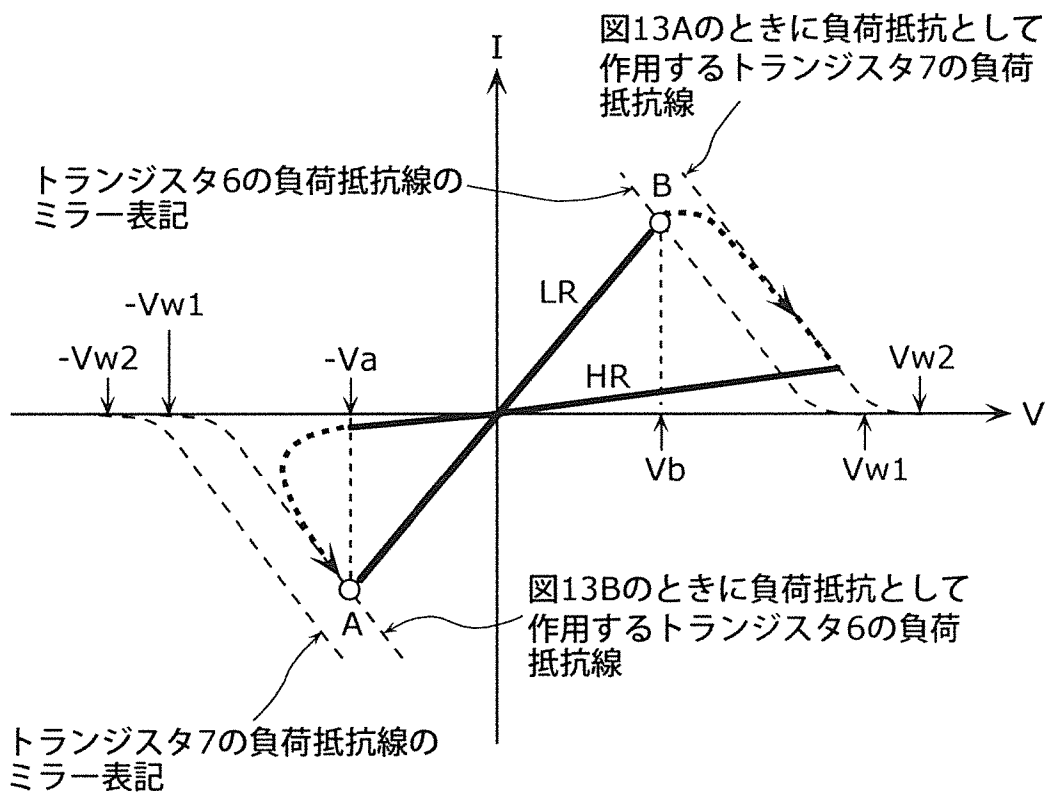
[図13B]



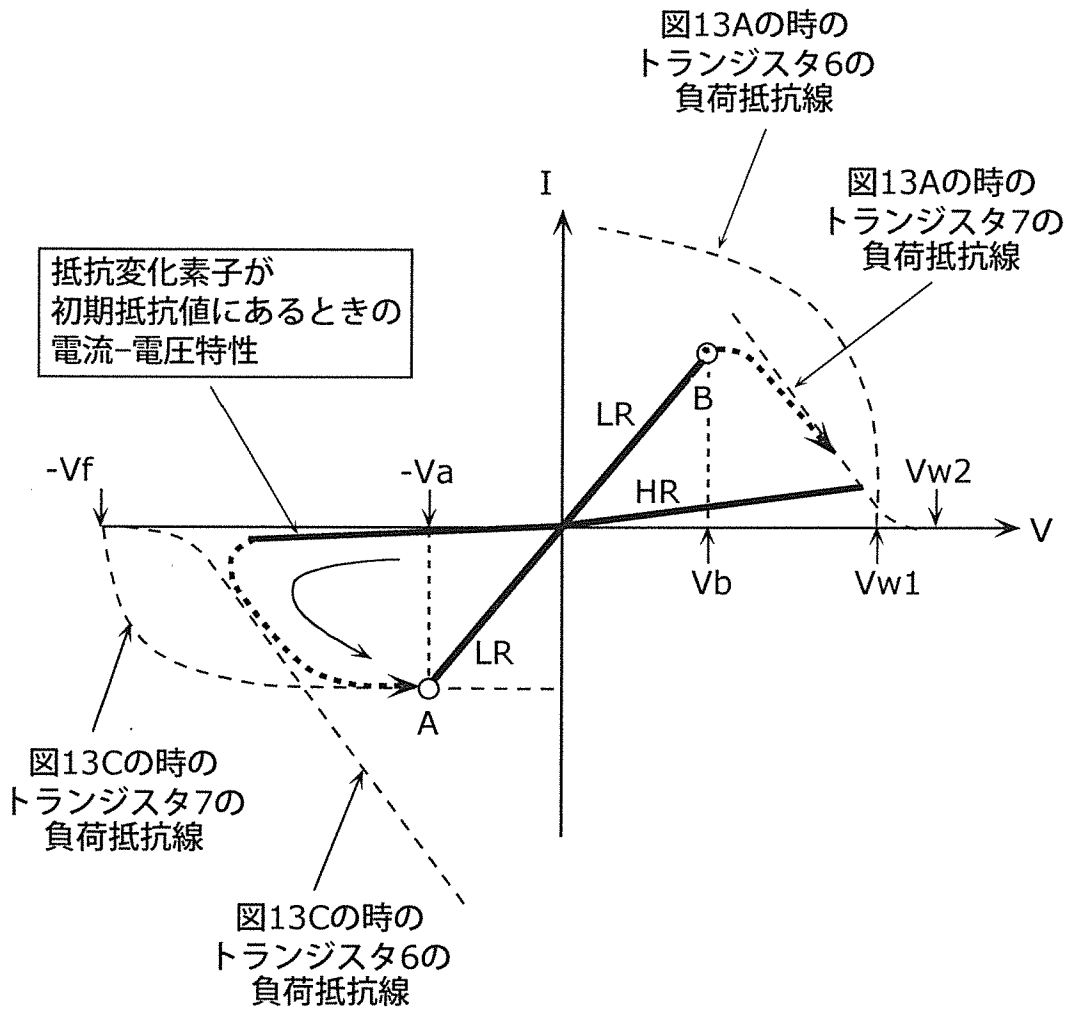
[図13C]



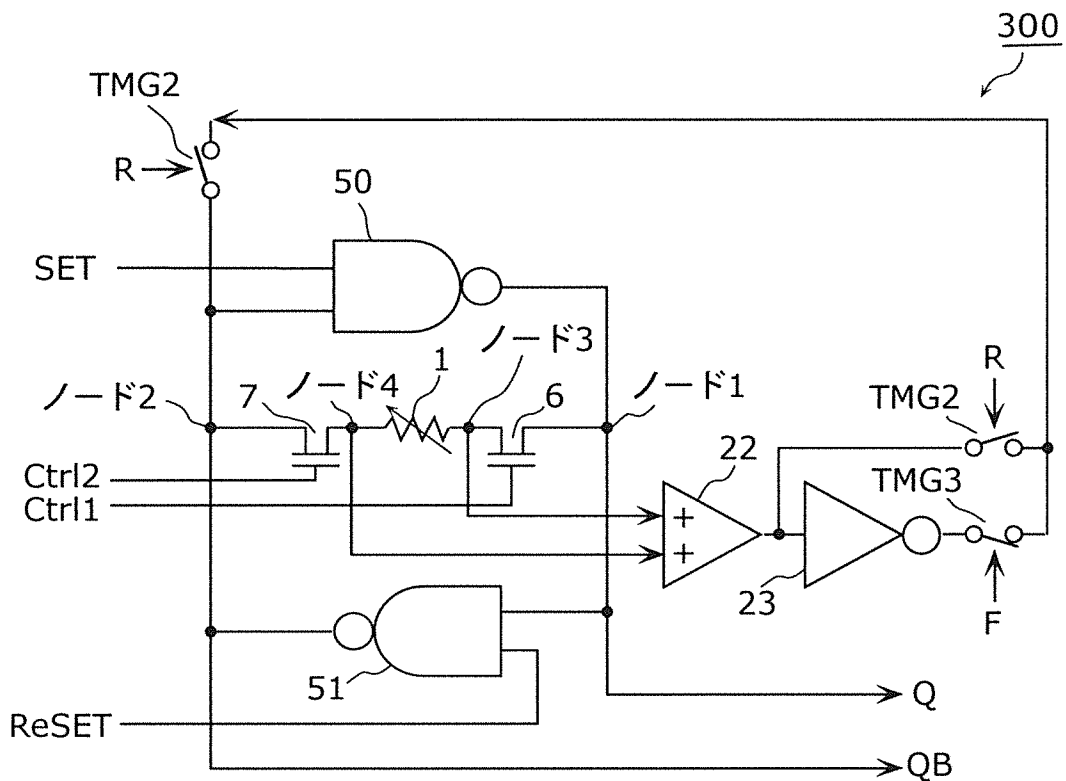
[図14]



[図15]



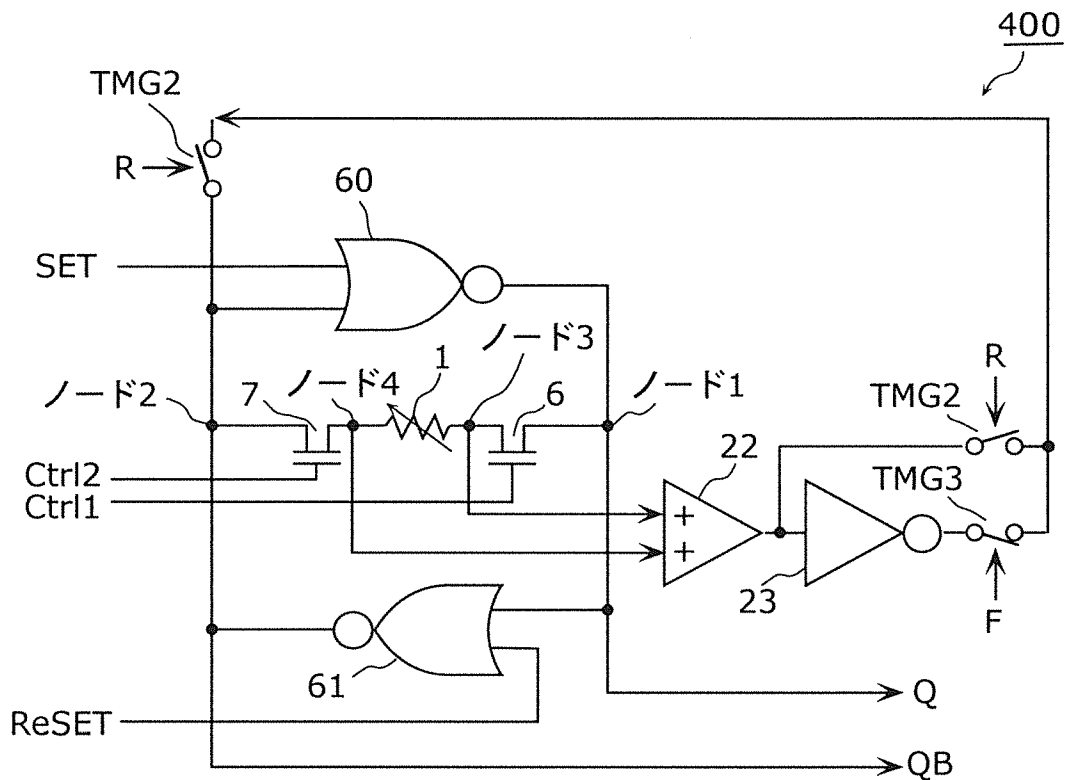
[図16A]



[図16B]

Ctrl1	Ctrl2	TMG2	TMG3	SET	ReSET	Q	QB
0	0	オフ	オフ	1	0	0	1
				0	1	1	0
				1	1	Qn-1	QBn-1
				0	0	不定義	
Vw1	Vw2					Qn-1 ストア	QBn-1 ストア
Vr	Vr	オン	オフ	1	1	Qn-1 リストア	QBn-1 リストア
Vr	Vr	オフ	オン			フォーミング工程 リストア (ステップ1, 2)	
Vf	Vlim	オフ	オフ			フォーミング工程 (第1抵抗変化) (ステップ3)	

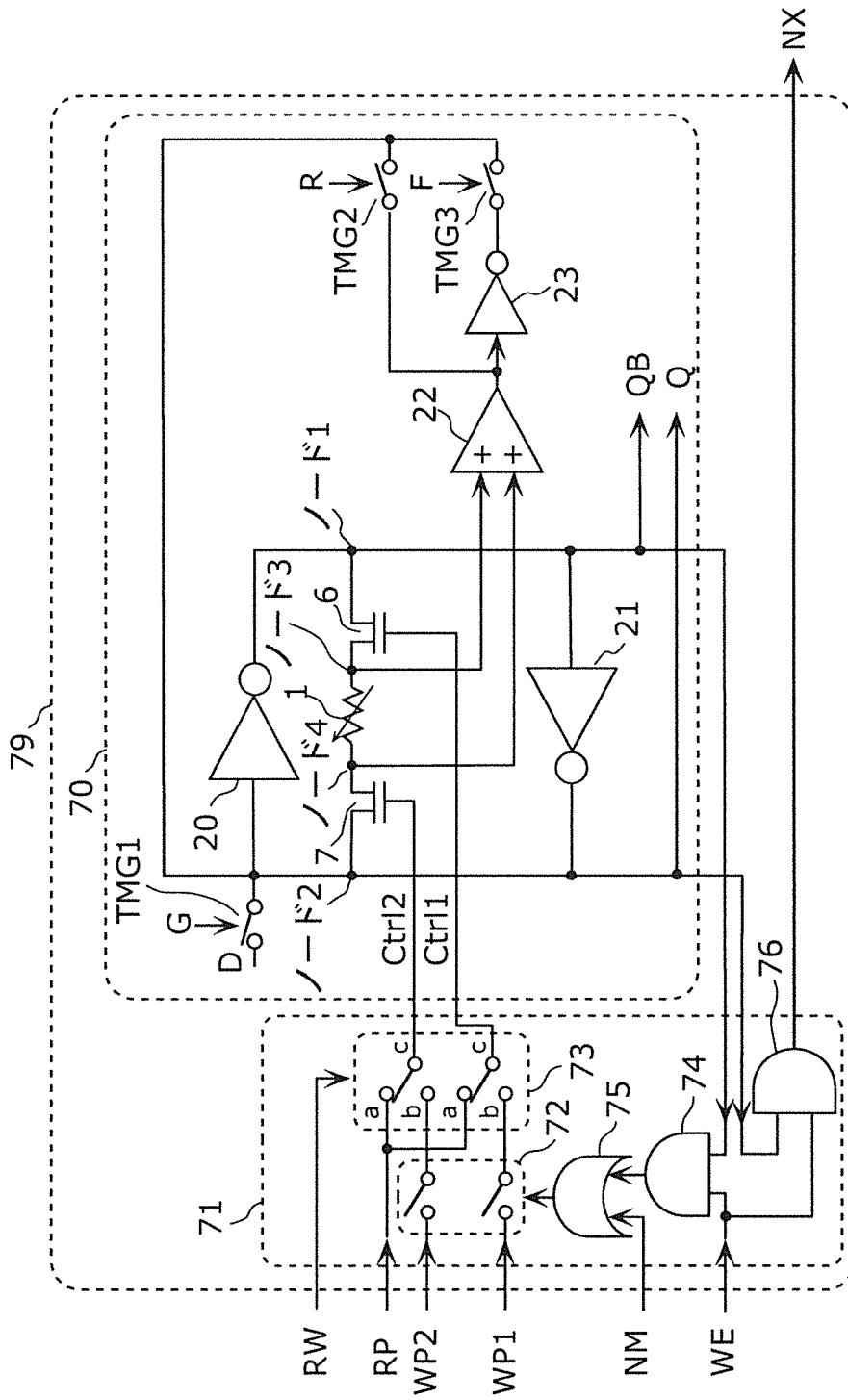
[図17A]



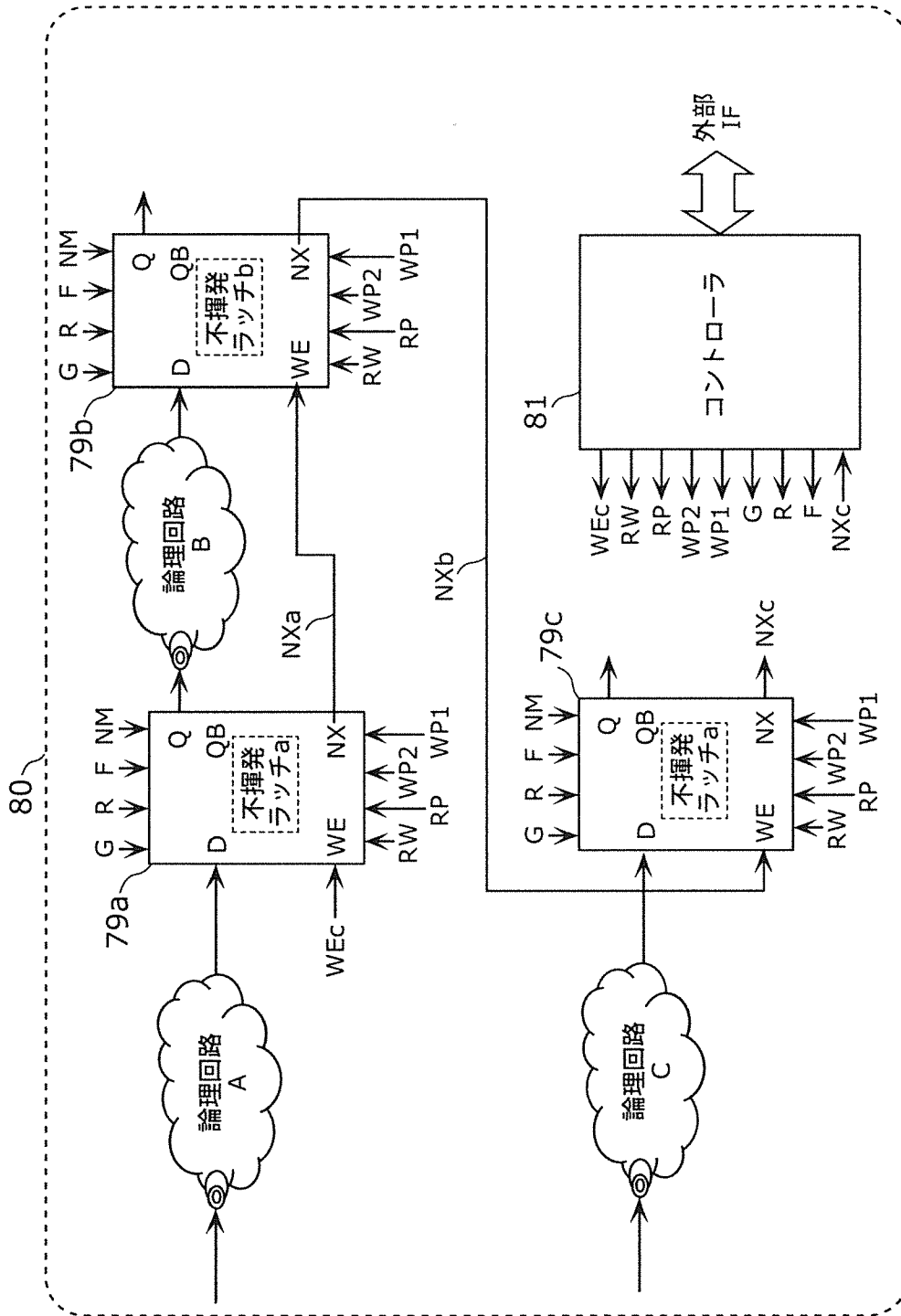
[図17B]

Ctrl1	Ctrl2	TMG2	TMG3	SET	ReSET	Q	QB
0	0	オフ	オフ	1	0	0	1
				0	1	1	0
				0	0	Qn-1	QBn-1
				1	1	不定義	
Vw1	Vw2	オン	オフ	0	0	Qn-1 ストア	QBn-1 ストア
Vr	Vr					Qn-1 リストア	QBn-1 リストア
Vr	Vr					フォーミング工程 リストア (ステップ1, 2)	
Vf	Vlim					フォーミング工程(第1抵抗変化) (ステップ3)	

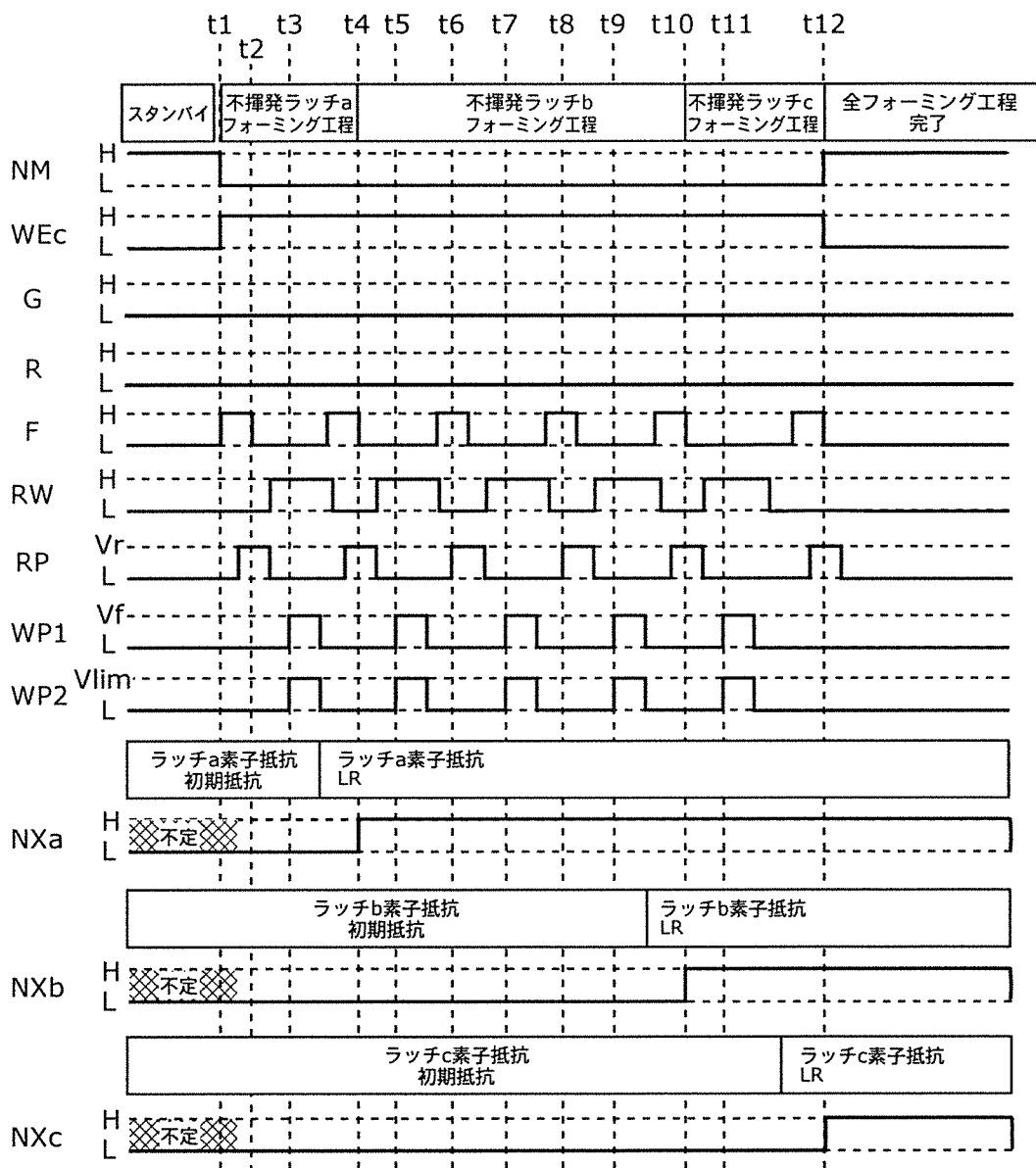
[図18A]



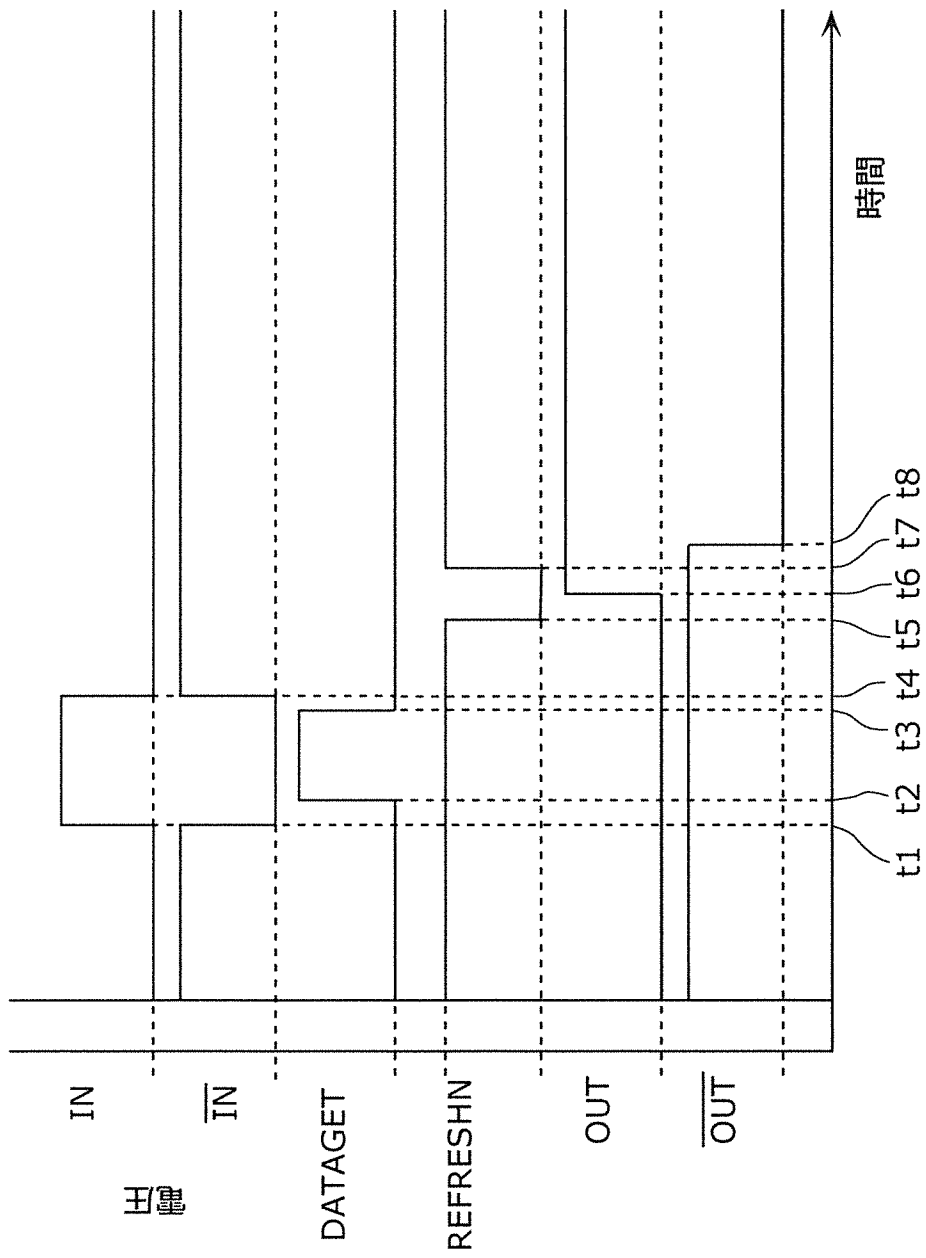
[図18B]



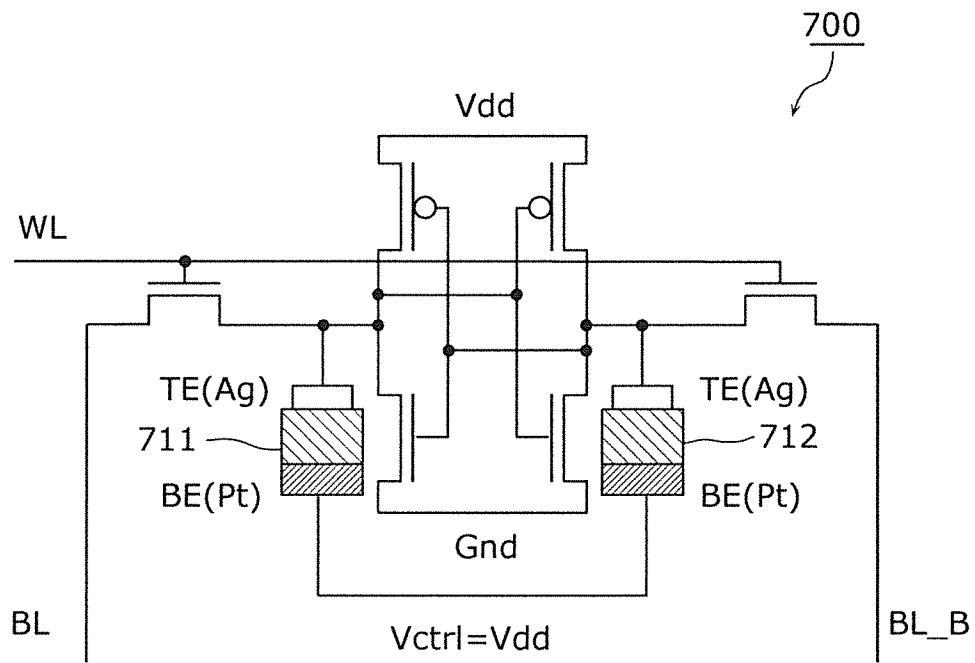
[図19]



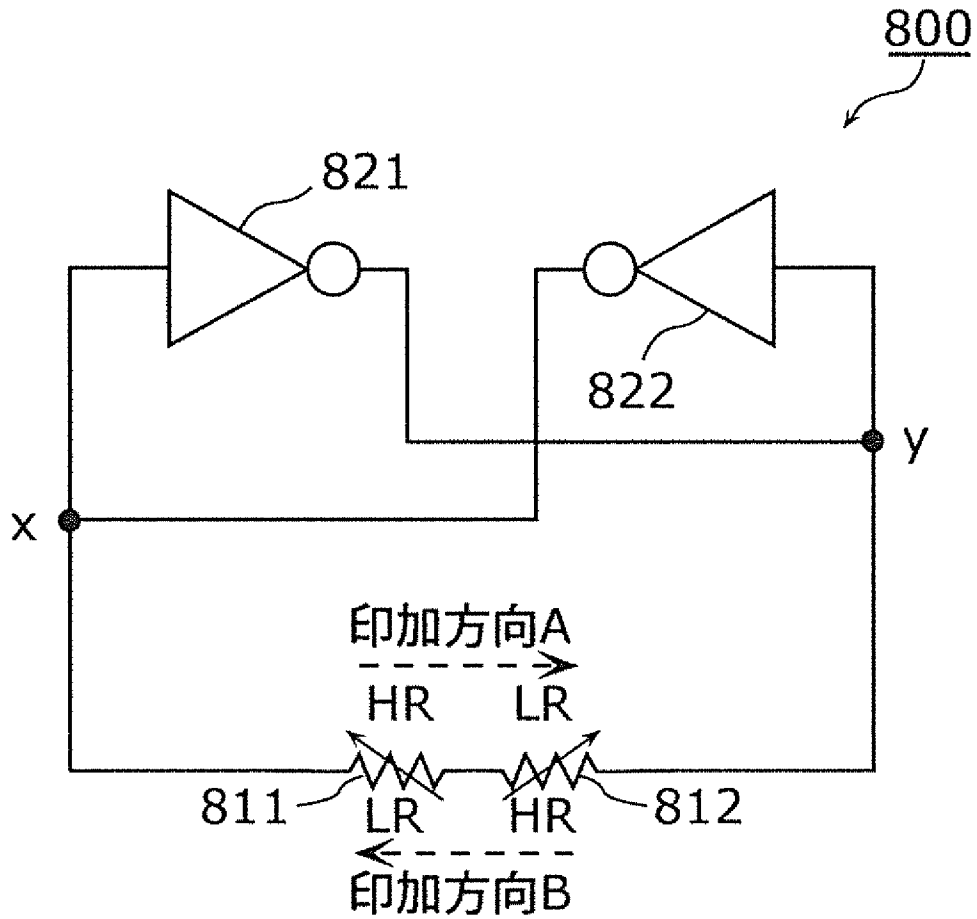
[図20B]



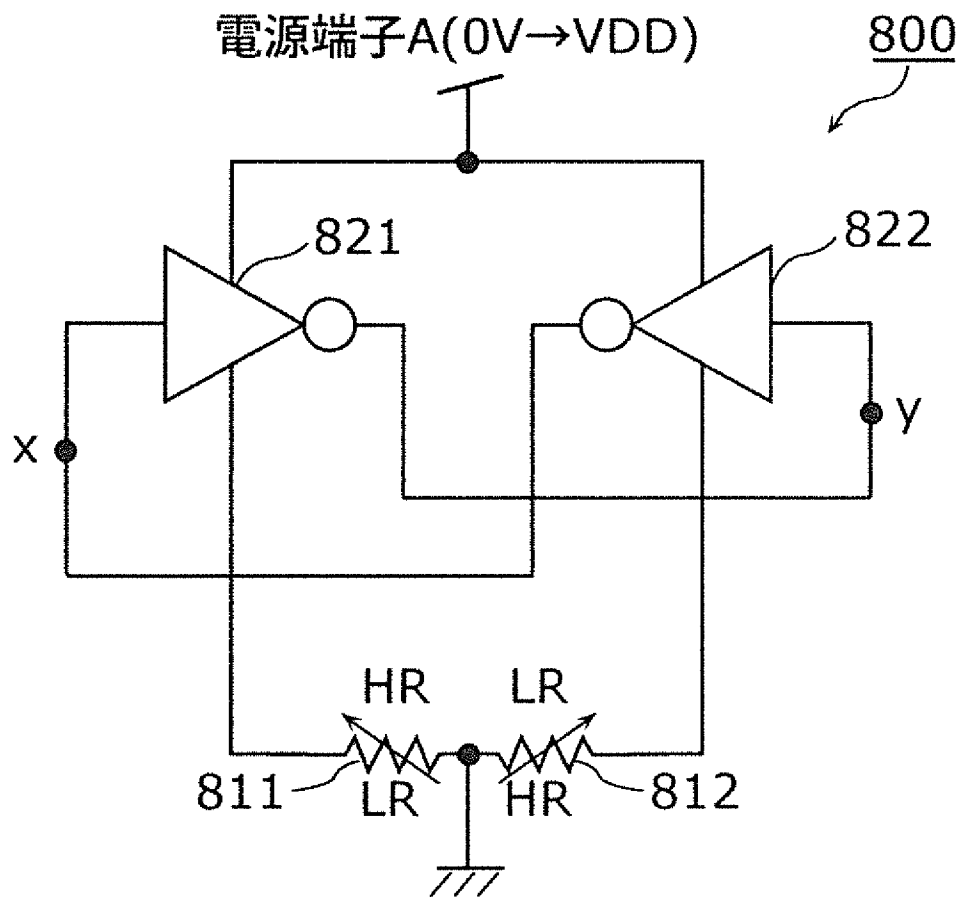
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000715

A. CLASSIFICATION OF SUBJECT MATTER

H03K3/356(2006.01)i, G11C11/412(2006.01)i, H01L21/8244(2006.01)i, H01L27/105(2006.01)i, H01L27/11(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i, H03K3/037(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K3/356, G11C11/412, H01L21/8244, H01L27/105, H01L27/11, H01L45/00, H01L49/00, H03K3/037

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2004/040582 A1 (Matsushita Electric Industrial Co., Ltd.), 13 May 2004 (13.05.2004), entire text; all drawings (Family: none)	1-11
A	JP 2004-273099 A (Matsushita Electric Industrial Co., Ltd.), 30 September 2004 (30.09.2004), entire text; all drawings (Family: none)	1-11

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- “A” document defining the general state of the art which is not considered to be of particular relevance
- “E” earlier application or patent but published on or after the international filing date
- “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- “O” document referring to an oral disclosure, use, exhibition or other means
- “P” document published prior to the international filing date but later than the priority date claimed

- “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- “&” document member of the same patent family

Date of the actual completion of the international search
02 April, 2012 (02.04.12)

Date of mailing of the international search report
10 April, 2012 (10.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K3/356(2006.01)i, G11C11/412(2006.01)i, H01L21/8244(2006.01)i, H01L27/105(2006.01)i, H01L27/11(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i, H03K3/037(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K3/356, G11C11/412, H01L21/8244, H01L27/105, H01L27/11, H01L45/00, H01L49/00, H03K3/037

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO2004/040582 A1 (松下電器産業株式会社) 2004.05.13、全文、全図 (ファミリーなし)	1-11
A	J P 2004-273099 A (松下電器産業株式会社) 2004.09.30、全文、全図 (ファミリーなし)	1-11

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

02.04.2012

国際調査報告の発送日

10.04.2012

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石田 勝

5 X	3 5 7 2
-----	---------

電話番号 03-3581-1101 内線 3596