

(12) 发明专利

(10) 授权公告号 CN 101346773 B

(45) 授权公告日 2012. 01. 25

(21) 申请号 200680049136. 5

(22) 申请日 2006. 12. 20

(30) 优先权数据

11/321, 953 2005. 12. 28 US

11/321, 681 2005. 12. 28 US

(85) PCT申请进入国家阶段日

2008. 06. 25

(86) PCT申请的申请数据

PCT/US2006/062429 2006. 12. 20

(87) PCT申请的公布数据

W02007/076414 EN 2007. 07. 05

(73) 专利权人 桑迪士克股份有限公司

地址 美国加利福尼亚州

(72) 发明人 陈辛隆 劳尔-阿德里安·切尔内亚

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 刘国伟

(51) Int. Cl.

G11C 11/56(2006. 01)

G11C 16/26(2006. 01)

G11C 7/06(2006. 01)

(56) 对比文件

W0 2004029984 A2, 2004. 04. 08, 说明书 [0175] 段, [0179] 段, [0184] 段, [0187] 段, 第 [0188] 段, 附图 18-19, 21A-23.

US 6385110 B1, 2002. 05. 07, 全文.

审查员 吴敏

权利要求书 2 页 说明书 31 页 附图 35 页

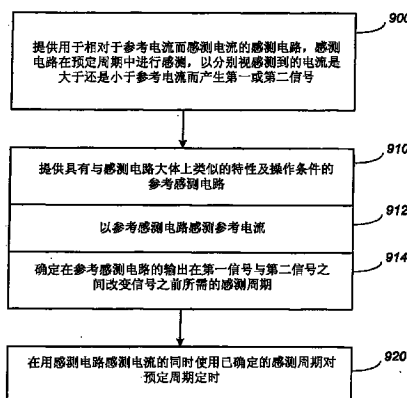
(54) 发明名称

非易失性存储器中的参考感测放大器及补偿感测的方法

(57) 摘要

本发明提供用于感测非易失性存储器的传导电流的一个或一个以上感测放大器,其是由通过具有类似特性及操作条件的参考感测放大器而定时的信号加以控制。在一个方面中,通过感测参考电流的参考感测放大器何时检测到预期状态而确定感测周期。在另一方面中,通过参考感测放大器何时输出预期状态而确定用于已放大输出的积分周期。当使用这些已确定的时序来控制所述一个或一个以上感测放大器时,可以追踪环境及系统变化。

CN 101346773 B



1. 一种相对于参考电流而感测电流的方法,其包括:

提供用于感测所述电流的感测电路,所述感测电路具有分别取决于所述感测到的电流是大于还是小于所述参考电流而具有第一或第二电压电平的内部节点,且在预定积分周期中在分别放大第一或第二电压电平之后输出第一或第二信号;

提供具有与所述感测电路大体上类似的特性及操作条件的参考感测电路;

用所述参考感测电路感测所述参考电流;

放大所述感测电路的对应内部节点上的所述电压电平;

确定所述参考感测电路的输出在第一信号与第二信号之间改变信号所需的积分周期;

及

用所述感测电路感测所述电流,同时使用由所述参考感测电路确定的积分周期对所述预定积分周期进行定时。

2. 根据权利要求 1 所述的方法,其中所述感测电路是并行操作的多个类似感测电路中的一者,且由所述参考感测电路确定的所述积分周期用以对所述多个感测电路中的每一者的所述预定积分周期进行定时。

3. 根据权利要求 1 所述的方法,其中感测所述电流包含:

在所述预定积分周期中对电容器放电;及

对由所述放电得到的电压与参考电压进行比较。

4. 根据权利要求 1 所述的方法,其中所述类似操作条件包含温度。

5. 根据权利要求 1 所述的方法,其中所述类似操作条件包含共用电源。

6. 根据权利要求 1 所述的方法,其中所述类似操作条件包含处于相同制造过程中。

7. 根据权利要求 1 到 6 中任一权利要求所述的方法,其中正感测的所述电流是存储器存储单元的传导电流。

8. 根据权利要求 7 所述的方法,其中所述存储器存储单元是多个存储器存储单元中的一者。

9. 根据权利要求 8 所述的方法,其中所述多个存储器存储单元是快闪 EEPROM。

10. 根据权利要求 9 所述的方法,其中每一存储器存储单元存储一位的数据。

11. 根据权利要求 9 所述的方法,其中每一存储器存储单元存储一个以上位的数据。

12. 一种存储器,其包括:

感测电路,其用于相对于参考电流而感测电流,所述感测电路包含分别取决于所述感测到的电流是大于还是小于所述参考电流而具有第一或第二电压电平的内部节点;放大器,其用以放大所述内部节点上的所述电压以产生输出,当在预定积分周期中分别放大第一或第二电压电平时,所述输出具有第一或第二信号;

其中所述预定积分周期是由具有与所述感测电路大体上类似的特性及操作条件的参考感测电路提供;

所述参考感测电路感测所述参考电流且在充分积分周期中放大其对应内部节点上的所述电压电平以使其输出在第一信号与第二信号之间改变信号;及

所述参考感测电路用所述充分积分周期对所述预定积分周期进行定时。

13. 根据权利要求 12 所述的存储器,其中所述感测电路是并行操作的多个类似感测电路中的一者,且所述充分积分周期用以对所述多个感测电路中的每一者的所述预定周期进

行定时。

14. 根据权利要求 12 所述的存储器,其中所述感测电路包含:
电容器,其供所述电流在所述预定积分周期中放电;及
比较器,其将由所述放电得到的电压与参考电压进行比较。

15. 根据权利要求 12 所述的存储器,其中所述类似操作条件包含温度。

16. 根据权利要求 12 所述的存储器,其中所述类似操作条件包含共用电源。

17. 根据权利要求 12 所述的存储器,其中所述类似操作条件包含处于相同制造过程中。

18. 根据权利要求 12 到 17 中任一权利要求所述的存储器,其中正感测的所述电流是存储器存储单元的传导电流。

19. 根据权利要求 18 所述的存储器,其中所述存储器存储单元是多个存储器存储单元中的一者。

20. 根据权利要求 19 所述的存储器,其中所述多个存储器存储单元是快闪 EEPROM。

21. 根据权利要求 20 所述的存储器,其中每一存储器存储单元存储一位的数据。

22. 根据权利要求 20 所述的存储器,其中每一存储器存储单元存储一个以上位的数据。

非易失性存储器中的参考感测放大器及补偿感测的方法

技术领域

[0001] 本发明大体上涉及例如电可擦除可编程只读存储器 (EEPROM) 及快闪 EEPROM 等非易失性半导体存储器,且具体来说涉及具有用低电压供应操作的经改进感测电路的非易失性半导体存储器。

背景技术

[0002] 能够非易失性地存储电荷的固态存储器尤其是封装为小型 (small form factor) 卡的 EEPROM 及快闪 EEPROM 形式的固态存储器近来已变为多种移动及手持装置 (特别是信息设备及消费型电子产品) 中的精选存储装置。与同为固态存储器的 RAM (随机存取存储器) 不同的是,快闪存储器是非易失性的,即使在断开电源之后仍保持其已存储的数据。尽管成本较高,但快闪存储器正日益用于大容量存储应用中。基于例如硬驱动器及软盘等旋转磁性媒体的常规大容量存储装置并不适合于移动及手持环境。这是由于磁盘驱动器往往较庞大,且易于造成机械故障且具有高等待时间及高功率要求。这些不良属性使得基于磁盘的存储在大多数移动及便携型应用中不实用。另一方面,嵌入式与可移除卡形式的快闪存储器由于其较小的大小、低功率消耗、高速度及高可靠性特征而理想地适合于移动及手持环境。

[0003] EEPROM 及电可编程只读存储器 (EPROM) 是可被擦除的非易失性存储器,且使新数据写入或“编程”到其存储器单元中。所述两者皆利用具有场效晶体管结构的浮动 (未连接) 导电栅极,其位于半导体衬底中的沟道区域上且在源极与漏极区域之间。控制栅极随后提供于所述浮动栅极上。晶体管的阈值电压特性由保持于浮动栅极上的电荷的数量加以控制。亦即,对于浮动栅极上电荷的给定电平,存在着必须在“接通”晶体管以准许其源极与漏极区域之间的传导之前施加到控制栅极的对应电压 (阈值)。

[0004] 浮动栅极可保持电荷范围且因此可被编程到阈值电压窗 (threshold voltage window) 内的任何阈值电压电平。阈值电压窗的大小是由装置的最小及最大阈值电平加以定界,装置的最小及最大阈值电平又对应于可编程到浮动栅极上的电荷的范围。阈值窗通常取决于存储器装置的特性、操作条件及历史。窗内的每一相异、可分辨阈值电压电平范围原则上可用以表示单元的确定存储状态。

[0005] 充当存储器单元的晶体管通常由两个机制中的一者编程到“已编程”状态。在“热电子注入”中,施加到漏极的高电压加速电子越过衬底沟道区域。同时,施加到控制栅极的高电压将热电子牵拉穿过薄栅极电介质到浮动栅极上。在“隧穿注入”中,相对于衬底施加高电压到控制栅极。以此方式,将电子从衬底牵拉到插入的浮动栅极。

[0006] 可通过众多机制来擦除存储器装置。对于 EPROM 而言,可通过使用紫外线辐射从浮动栅极移除电荷而批量地擦除存储器。对于 EEPROM 而言,可通过相对于控制栅极将高电压施加到衬底以便使浮动栅极中的电子经由薄氧化物隧穿到衬底沟道区域 (亦即,福勒-诺德翰姆隧穿 (Fowler-Nordheim tunneling)) 而电擦除存储器单元。通常,可逐字节地擦除 EEPROM。对于快闪 EEPROM 而言,可一次性全部或一次擦除一个或一个以上区块地电

擦除存储器,其中一区块可由存储器的 512 个字节或更多字节组成。

[0007] 非易失性存储器单元的实例

[0008] 存储器装置通常包括可安装于卡上的一个或一个以上存储器芯片。每一存储器芯片包括由例如解码器及擦除、写入及读取电路的周边电路支持的存储器单元阵列。更复杂的存储器装置还具有执行智能及更高级的存储器操作及介接的控制器。存在着如今所使用的许多商业上成功的非易失性固态存储器装置。这些存储器装置可采用不同类型的存储器单元,每一类型具有一个或一个以上电荷存储元件。

[0009] 图 1A 到 1E 示意性地说明非易失性存储器单元的不同实例。

[0010] 图 1A 示意性地说明 EEPROM 单元的形式具有用于存储电荷的浮动栅极的非易失性存储器。电可擦除及可编程只读存储器 (EEPROM) 具有与 EPROM 类似的结构,但额外地提供用于在施加适当电压之后便电性地从其浮动栅极载入及移除电荷而无需暴露于 UV 辐射的机制。第 5,595,924 号美国专利中给出所述单元的实例及其制造方法。

[0011] 图 1B 示意性地说明具有选择栅极与控制或引导栅极两者的快闪 EEPROM 单元。存储器单元 10 具有在源极 14 与漏极 16 扩散之间的“分裂沟道”12。单元有效地形成有串联的两个晶体管 T1 及 T2。T1 充当具有浮动栅极 20 及控制栅极 30 的存储晶体管。所述浮动栅极能够存储可选数量的电荷。可流经 T1 的沟道部分的电流取决于控制栅极 30 上的电压及驻留于插入浮动栅极 20 上的电荷量。T2 充当具有选择栅极 40 的选择晶体管。当 T2 通过选择栅极 40 处的电压接通时,其允许 T1 的沟道部分中的电流在源极与漏极之间穿过。选择晶体管独立于控制栅极处的电压而沿源极漏极-沟道提供开关。一个优点为其可用以断开因单元在其浮动栅极处的电荷耗尽(正)而在零控制栅极电压时仍传导的那些单元。另一优点为其允许更容易地实施源极侧注入编程。

[0012] 分裂沟道存储器单元的一个简单实施例是如图 1B 中所示由虚线示意性指示的,其中选择栅极及控制栅极连接到同一字线。这是通过使电荷存储元件(浮动栅极)位于沟道的一部分上且控制栅极结构(其为字线的部分)位于另一沟道部分上以及位于所述电荷存储元件上而实现。此有效地形成具有串联的两个晶体管的单元,其中一个晶体管(存储晶体管)以电荷存储元件上的电荷量及字线上的电压的组合来控制可流经其沟道部分的电流,且另一晶体管(选择晶体管)使字线单独充当其栅极。第 5,070,032、5,095,344、5,315,541、5,343,063 及 5,661,053 号美国专利中给出所述单元的实例、其在存储器系统中的使用及其制造方法。

[0013] 图 1B 中所示的分裂沟道单元的更改进实施例是选择栅极及控制栅极彼此独立且不由其之间的虚线而连接时。一个实施方案使单元阵列中的一列控制栅极连接到垂直于字线的控制(或引导)线。效果是使字线无须在读取或编程选定单元时同时执行两个功能。这两个功能是:(1)充当选择晶体管的栅极,因此需要适当电压来接通及断开选择晶体管;及(2)经由字线与电荷存储元件之间的电场(电容性)耦合而将电荷存储元件的电压驱动到所要电平。通常难以使用单电压以最佳方式执行这些功能中的两者。在对控制栅极及选择栅极进行单独控制的情况下,字线仅需执行功能(1),同时,添加的控制线执行功能(2)。此能力允许设计较高性能编程,其中使编程电压适合目标数据。例如,第 5,313,421 及 6,222,762 号美国专利中描述了在快闪 EEPROM 阵列中使用独立控制(或引导)栅极。

[0014] 图 1C 示意性地说明具有双浮动栅极及独立选择及控制栅极的另一快闪 EEPROM 单

元。存储器单元 10 除了有效地具有串联的三个晶体管之外类似于图 1B 的存储器单元。在此类型的单元中,两个存储元件(亦即,T1-左存储元件及 T1-右存储元件)包含于源极与漏极扩散之间的其沟道上,且在其之间具有选择晶体管 T1。存储晶体管分别具有浮动栅极 20 及 20' 以及控制栅极 30 及 30'。选择晶体管 T2 是由选择栅极 40 加以控制。在任一时间,仅存取所述对存储晶体管中的一者以进行读取或写入。当正存取存储单元 T1-左时,接通 T2 与 T1-右两者以允许 T1-左的沟道部分中的电流在源极与漏极之间穿过。类似地,当正存取存储单元 T1-右时,接通 T2 及 T1-左。通过使选择栅极多晶硅的一部分紧密接近浮动栅极且将相当大的正电压(例如,20V)施加到选择栅极以使得存储在浮动栅极内的电子可隧穿到选择栅极多晶硅而实现擦除。

[0015] 图 1D 示意性地说明组织成 NAND 单元的一串存储器单元。NAND 单元 50 由一系列存储晶体管 M1、M2、……Mn ($n = 4、8、16$ 或更高)组成,所述存储晶体管通过其源极及漏极而以菊链形式连接在一起。一对选择晶体管 S1、S2 控制存储晶体管链经由 NAND 单元的源极端子 54 及漏极端子 56 而与外部的连接。在存储器阵列中,当接通源极选择晶体管 S1 时,源极端子耦合到源极线。类似地,当接通漏极选择晶体管 S2 时,NAND 单元的漏极端子耦合到存储器阵列的位线。链中的每一存储晶体管具有电荷存储元件以存储给定量的电荷以便表示预期的存储状态。每一存储晶体管具有用于控制读取及写入操作的控制栅极。选择晶体管 S1、S2 中每一者的控制栅极提供分别经由 NAND 单元的源极端子 54 及漏极端子 56 而对 NAND 单元的控制存取。

[0016] 当在编程期间读取及验证 NAND 单元内的已寻址存储晶体管时,向其控制栅极供应适当电压。同时,NAND 单元 50 中的剩余未寻址存储晶体管通过在其控制栅极上施加充分电压而完全接通。以此方式,从各个存储晶体管的源极到 NAND 单元的源极端子 54 且同样从各个存储晶体管的漏极到单元的漏极端子 56 有效地产生导电路径。在第 5,570,315、5,903,495 及 6,046,935 号美国专利中描述了具有所述 NAND 单元结构的存储器装置。

[0017] 图 1E 示意性地说明具有用于存储电荷的介电层的非易失性存储器。使用介电层而不是较早描述的导电浮动栅极元件。艾坦(Eitan)等人所著的“NROM:新型局部捕获,2位非易失性存储器单元”(“NROM:A Novel Localized Trapping,2-Bit Nonvolatile Memory Cell,”) (“IEEE 电子装置快报”(IEEE Electron Device Letters),2000 年 11 月,第 11 期,第 21 卷,第 543 到 545 页)中描述了利用介电存储元件的所述存储器装置。ONO 介电层在源极与漏极扩散之间的沟道上延伸。用于一个数据位的电荷位于邻近漏极的介电层中,且用于另一数据位的电荷位于邻近源极的介电层中。举例而言,第 5,768,192 及 6,011,725 号美国专利揭示了具有夹在两个二氧化硅层之间的捕集电介质的非易失性存储器单元。通过单独地读取电介质内空间分离的电荷存储区域的二元状态而实施多态数据存储。

[0018] 存储器阵列

[0019] 存储器装置通常包括以行及列配置的且可由字线及位线寻址的存储器单元的二维阵列。可根据 NOR 型或 NAND 型结构形成所述阵列。

[0020] NOR 阵列

[0021] 图 2 说明存储器单元的 NOR 阵列的一实例。已用图 1B 或 1C 中所说明的类型的单元实施了具有 NOR 型结构的存储器装置。每一行存储器单元通过其源极及漏极以菊链方式而连接。有时将此设计称作虚接地设计。每一存储器单元 10 具有源极 14、漏极 16、控制栅

极 30 及选择栅极 40。行中的单元使其选择栅极连接到字线 42。列中的单元使其源极及漏极分别连接到选定位线 34 及 36。在存储器单元使其控制栅极及选择栅极独立受控的一些实施例中,引导线 36 也连接一列中的单元的控制栅极。

[0022] 许多快闪 EEPROM 装置用存储器单元实施,其中所述存储器单元中每一者以其控制栅极及选择栅极连接在一起的方式形成。在此情况下,无需引导线,字线简单地连接沿每一行的单元的所有控制栅极及选择栅极。第 5,172,338 及 5,418,752 号美国专利中揭示了这些设计的实例。在这些设计中,所述字线基本上执行两个功能:行选择及将控制栅极电压供应到行中的所有单元以用于读取或编程。

[0023] NAND 阵列

[0024] 图 3 说明存储器单元的 NAND 阵列的一实例,例如图 1D 中所示。沿 NAND 单元的每一列,位线耦合到每一 NAND 单元的漏极端子 56。沿 NAND 单元的每一行,源极线可连接所述 NAND 单元的所有源极端子 54。而且,沿一行的 NAND 单元的控制栅极连接到一系列对应字线。可通过经连接的字线以控制栅极上的适当电压接通选择晶体管对(参见图 1D)而寻址一整列 NAND 单元。当正读取 NAND 单元的链内的存储晶体管时,所述链中的剩余存储晶体管经其相关联的字线而硬接通,以使得流经所述链的电流基本上取决于存储于所读取的单元中的电荷的电平。NAND 结构阵列的实例及其作为存储器系统的部分的操作可见第 5,570,315、5,774,397 及 6,046,935 号美国专利。

[0025] 区块擦除

[0026] 电荷存储存储器装置的编程仅可导致将更多电荷添加到其电荷存储元件。因此,在编程操作之前,必须移除(或擦除)电荷存储元件中的现有电荷。提供擦除电路(未图示)以擦除存储器单元的一个或一个以上区块。当一起(亦即,在一瞬间)电擦除单元的整个阵列的单元或所述阵列的显著群的单元时,例如 EEPROM 等非易失性存储器称作“快闪”EEPROM。一旦经擦除,随后便对所述群单元进行再编程。可一起被擦除的单元的群可由一个或一个以上可寻址擦除单元组成。擦除单元或区块通常存储一个或一个以上页的数据,页是编程及读取的单位,不过可在单一操作中编程或读取一个以上页。每一页通常存储一个或一个以上扇区的数据,扇区大小是由主机系统加以界定。一实例为具有遵循对磁盘驱动器建立的标准的 512 字节用户数据加上关于用户数据及/或存储有所述用户数据的区块的某数目字节的额外开销信息的扇区。

[0027] 读取/写入电路

[0028] 在通常的二状态 EEPROM 单元中,建立至少一个电流断点电平以便将传导窗(conduction window)分割为两个区域。当通过施加预定、固定电压而读取一单元时,其源极/漏极电流通过与所述断点电平(或参考电流 I_{REF})比较而分辨为存储状态。如果电流读数高于断点电平的电流读数或 I_{REF} ,则确定所述单元处于一个逻辑状态(例如,“零”状态)。另一方面,如果电流小于断点电平的电流,则确定单元处于另一逻辑状态(例如,“一”状态)。因此,所述二状态单元存储一位的数字信息。经常提供可外部编程的参考电流源作为存储器系统的部分以产生断点电平电流。

[0029] 为了增加存储器容量,随半导体技术的状态发展,快闪 EEPROM 装置正被制造成具有越来越高的密度。用于增加存储容量的另一方法是使每一存储器单元存储两个以上状态。

[0030] 对于多态或多电平 EEPROM 存储器单元而言,通过一个以上断点将传导窗分割为两个以上区域以致每一单元能够存储一个以上位的数据。给定 EEPROM 阵列可存储的信息因此随每一单元可存储的状态的数目而增加。第 5, 172, 338 号美国专利中描述了具有多态或多电平存储器单元的 EEPROM 或快闪 EEPROM。

[0031] 在实践中,通常通过在将参考电压施加到控制栅极时感测单元的源电极及漏电极上的传导电流而读取单元的存储状态。因此,对于单元的浮动栅极上的每一给定电荷而言,可检测关于固定参考控制栅极电压的对应传导电流。类似地,可编程到浮动栅极上的电荷的范围界定对应阈值电压窗或对应传导电流窗。

[0032] 或者,代替检测经分割电流窗中的传导电流,可在控制栅极处设定用于在测试中的给定存储状态的阈值电压,并检测传导电流是低于还是高于阈值电流。在一个实施方案中,通过检查传导电流对位线的电容放电的速率而实现相对于阈值电流对传导电流的检测。

[0033] 图 4 说明对于浮动栅极在任一时间可选择性地存储的四个不同电荷 Q1 到 Q4 而言源极 - 漏极电流 I_D 与控制栅极电压 V_{CG} 之间的关系。四个 I_D 对 V_{CG} 实线曲线表示可在存储器单元的浮动栅极上编程的四个可能电荷电平,其分别对应于四个可能的存储状态。作为一实例,单元群体的阈值电压窗可在 0.5V 到 3.5V 的范围内。可通过将阈值窗分割为五个区域、每一区域间隔 0.5V 而对六个存储状态进行分界 (demarcate)。举例而言,如果如图所示使用 $2 \mu A$ 的参考电流 (I_{REF}),则可将用 Q1 编程的单元视为处于存储状态“1”,因为其曲线与 I_{REF} 相交于由 $V_{CG} = 0.5V$ 及 $1.0V$ 分界的阈值窗区域中。类似地, Q4 处于存储状态“5”。

[0034] 如可从以上描述看出的,使存储器单元存储的状态越多,其阈值窗分割地就越精细。这在编程及读取操作时将需要更高精度以便能够实现所需的分辨率。

[0035] 第 4, 357, 685 号美国专利揭示了编程 2 状态 EPROM 的方法,其中当将一单元编程到给定状态时,所述单元经受连续编程电压脉冲,每一次将递增的电荷添加到浮动栅极。在脉冲之间,读回或验证所述单元以确定其相对于断点电平的源极 - 漏极电流。当已将电流状态验证为达到所要状态时,编程停止。所使用的编程脉冲串可具有增加的周期或振幅。

[0036] 现有技术编程电路仅施加编程脉冲以从已擦除或接地状态步进穿过阈值窗直到达到目标状态为止。实际上,为允许充足的分辨率,每一经分割或分界的区域将需要至少约五个编程步骤来穿过。所述性能对于 2 状态存储器单元而言是可接受的。然而,对于多态单元而言,所需步骤数目随分割区数目而增加且因此,必须提高编程精度或分辨率。举例而言,16 状态单元可能平均需要至少 40 个编程脉冲以编程到目标状态。

[0037] 图 5 示意性地说明具有存储器阵列 100 的典型配置的存储器装置,所述存储器阵列 100 可由读取 / 写入电路 170 经行解码器 130 及列解码器 160 而存取。如关于图 2 及 3 所述的,存储器阵列 100 中的存储器单元的存储晶体管可经由一组选定字线及位线而寻址。行解码器 130 选择一个或一个以上字线且列解码器 160 选择一个或一个以上位线,以便将适当电压施加到已寻址的存储晶体管的相应栅极。提供读取 / 写入电路 170 以读取或写入 (编程) 已寻址的存储晶体管的存储状态。读取 / 写入电路 170 包括可经由位线而连接到阵列中的存储器元件的众多读取 / 写入模块。

[0038] 影响读取 / 写入性能及准确度的因素

[0039] 为了改进读取及编程性能,并行读取或编程一阵列中的多个电荷存储元件或存储

晶体管。因此,一起读取或编程一逻辑“页”的存储器元件。在现有存储器结构中,一行通常含有若干交错页。将一起读取或编程一页的所有存储器元件。列解码器将选择性地所述交错页中每一者连接到对应数目的读取/写入模块。举例而言,在一个实施方案中,存储器阵列经设计以具有 532 字节 (512 字节加上附加的 20 字节) 的页大小。如果每一列含有一漏极位线且每行存在两个交错页,则此总计 8512 列,其中每一页与 4256 列相关联。将存在 4256 个可连接的以并行读取或写入所有偶数位线或奇数位线的感测模块。以此方式,从存储器元件的页并行读取一页 4256 位 (亦即,532 字节) 的数据或将所述数据并行编程到存储器元件的页中。形成读取/写入电路 170 的读取/写入模块可配置成各种结构。

[0040] 如上文所提及的,常规存储器装置通过以整体并行的方式操作而改进读取/写入操作。此方法改进了性能但对读取及写入操作的准确度确实具有影响。

[0041] 一个问题是源极线偏压误差。这对于大量存储器单元使其源极一起连接在源极线中以接地的存储器结构尤为尖锐。具有共同源极的这些存储器单元的并行感测导致穿过源极线的相当大的电流。由于源极线中的有限电阻,这接着导致真实接地与每一存储器单元的源电极之间的明显电位差。在感测期间,供应到每一存储器单元的控制栅极的阈值电压是相对于其源电极,但系统电源是相对于真实接地。因此,由于存在源极线偏压误差,感测可能会变得不准确。

[0042] 另一问题与位线到位线的耦合或串扰有关。此问题对于紧密间隔的位线的并行感测变得更尖锐。用于避免位线到位线串扰的常规解决方案是一次感测所有偶数位线或所有奇数位线,同时使其它位线接地。由两个交错页组成的行的此结构将有助于避免位线串扰以及减轻密集地装配读取/写入电路的页的问题。页解码器用以将一组读取/写入模块多路复用到偶数页或奇数页。以此方式,每当正读取或编程一组位线时,可将交错组接地以消除奇数位线与偶数位线之间而非奇数线或偶数线之间的串扰。

[0043] 然而,交错页结构在至少三个方面是不利的。第一,其需要额外多路复用电路。第二,其在性能方面缓慢。为完成由一字线连接或连接于一行中的存储器单元的读取或编程,需要两个读取或两个编程操作。第三,其在处理其它干扰效应时也并非最佳的,所述其它干扰效应例如在于不同时间 (例如分别在奇数及偶数页中) 编程两个相邻电荷存储元件时,在浮动栅极电平下的所述两个相邻电荷存储元件之间的场耦合。

[0044] 相邻场耦合的问题在存储晶体管之间具有更紧密间隔的情况下变得更显著。在存储晶体管中,电荷存储元件夹在沟道区域与控制栅极之间。在所述沟道区域中流动的电流依据所述控制栅极及所述电荷存储元件处的场贡献的所得电场而变化。以不断增加的密度,存储晶体管越来越紧密地形成在一起。来自相邻电荷元件的场随后变为对受影响单元的所得的场的显著贡献因素。相邻场取决于编程到相邻场的电荷存储元件中的电荷。这个扰动场本质上是动态的,因为其随相邻场的已编程状态而改变。因此,可视相邻单元的改变状态而在不同时间不同地读取受影响的单元。

[0045] 交错页的常规结构加重了由相邻浮动栅极耦合引起的误差。由于偶数页及奇数页是彼此独立地编程及读取,所以视插入页同时发生什么而可在一组条件下编程一页但在完全不同组的条件下读回所述页。读取误差将随增加的密度而变得更严重,从而对于多态实施方案需要更准确的读取操作及阈值窗的更粗略分割。性能将受损害且多态实施方案中的电位容量受限制。

[0046] 因此,存在对高性能及高容量非易失性存储器的普遍需要。确切地说,需要有效地处理前述问题的高容量非易失性存储器,其具有经改进的读取及编程性能。

发明内容

[0047] 通过使较大页的读取/写入电路并行读取及写入对应页的存储器单元而满足对于高容量及高性能非易失性存储器装置的这些需要。确切地说,消除或最小化高密度芯片集成所固有的可能会将误差引入到读取及编程中的干扰效应。

[0048] 源极线偏压是由读取/写入电路的接地环路中的非零电阻引入的误差。所述误差是由在电流流动时电阻上的电压降引起的。根据本发明的一个方面,用于减小源极线偏压的方法是由具有用于多遍(multi-pass)感测的特征及技术的读取/写入电路实现的。当并行感测一页存储器单元时,每一遍有助于识别及关闭具有高于给定分界电流值的传导电流的存储器单元。已识别的存储器单元是通过将其相关联的位线牵拉到接地而关闭。

[0049] 在一个实施方案中,给定分界电流值高于用于常规单遍感测的断点电流值。或者,给定分界电流值逐渐地收敛到与常规单遍感测相关联的断点电流值。以此方式,后续遍中的感测将较少受源极线偏压影响,因为电流流动总量通过消除来自较高电流单元的贡献而显著减小。

[0050] 根据一个优选实施例,在第一遍中通过将电流状态的传导电流中每一者与给定分界电流值比较而识别所述电流状态。

[0051] 根据另一优选实施例,在第一遍中通过用受控电流源预充电每一位线而识别较高电流状态。此是由充当受控电流源的预充电电路而实现,其中所供应电流限制为分界电流值。以此方式,与预充电电路可为其相关联位线充电的速度相比,具有超过分界电流值的传导电流的存储器单元将更快速地排放掉电流。因此,这些高电流存储器单元得以识别,因为其位线未能充电且随后被防止参与后续遍。

[0052] 根据又一优选实施例,通过包含与给定分界电流值的比较及受控预充电的多遍而识别较高电流状态。

[0053] 根据又一优选实施例,已检测出具有比预定分界电平高的电流的存储器单元不必在检测之后立即使其位线接地。改为对其进行标记或将其启用以使其接地。仅在已完成对所述页的所有存储器单元的检测或感测之后,才会将所有经标记或启用的位线锁存到接地。以此方式,将与经锁存到接地的位线相关联的可能的大电压摆动限制于在感测操作外的周期。此将最小化位线到接地的锁存对仍在经受感测及检测的页的任何存储器单元的任何干扰效应。

[0054] 另一误差是由位线之间的电容性耦合引起的。根据本发明的另一方面,存储器装置及其方法允许并行感测多个存储器单元,同时最小化由位线到位线耦合或串扰引起的误差。基本上,并行感测的多个位线使其位线电压受控制,以致当正感测每一邻近对位线的传导电流时,所述每一邻近对位线之间的电压差大体上与时间无关。当强加此条件时,因各个位线的电容引起的所有位移电流均将下降,因为其全部取决于随时间变动的电压差。

[0055] 在一优选实施例中,这是由也确保任何邻近对连接位线上的电位差与时间无关的并行感测电路而实现。

[0056] 现有技术感测包含确定传导电流由于位线电容而对等效电容器放电的速率。这将

与

[0057] 本发明在经箝位电压处进行感测的特征相矛盾。

[0058] 根据本发明的另一方面,感测电路及方法允许独立于位线通过注意存储器单元的传

[0059] 导电流对给定电容器放电或充电的速率而确定所述存储器单元的传导电流。此将允许使

[0060] 用最佳感测电路及方法,其与存储器阵列的结构无关(亦即,与位线电容无关)。更重

[0061] 要的是,其允许在感测期间箝位电压以避免位线串扰。

[0062] 形成为高密度集成电路的非易失性存储器所固有的误差是由于来自相邻电荷存储元件的场的耦合。各个存储器单元受到不仅来自其自身存储元件而且来自相邻单元的场的影响。根据本发明的另一方面,通过在编程与读取之间最小化每一单元的场环境的改变而最小化因外来相邻场引起的误差。这是通过一起编程其一页中的所有邻近存储器单元而实现。由于一起编程各个存储器单元及其相邻单元,所以将确保由各个单元从其被编程的时间到其被读取的时间所经历的最小场环境改变。以此方式,通过在读取期间的类似误差而偏移在编程验证期间发生的误差,且所述误差减小并与数据的相关性较小。

[0063] 根据本发明的又一方面,具有表示并行操作的一群体的感测放大器的特性的参考感测放大器是用以追踪环境及系统变化,并控制所述群体的感测放大器,以使得其与这些变化无关。感测放大器群体中的每一者具有取决于一组共同参数及一组控制信号的预定性质。实施与感测放大器群体共用一共同环境的参考电路,以相对于所述共同环境来校准所述组共同参数,并相应地产生所述组控制信号,以便控制所述感测放大器群体中每一者以使其预定性质得以实施。

[0064] 根据本发明的又一方面,存储器单元的传导电流是通过其对能够以低于 2V 的电源电压操作的感测放大器中的专用电容器进行放电的速率而加以测量。

[0065] 在优选实施方案中,由在预定周期之后电容器上的电压降的改变而给出所述速率。然而,在于互连位线上的电压条件防止电压降超过预定最小电压限值时的情况下,电压降的动态范围将减小且是通过在放电开始时的电压(其通常为电源电压 V_{DD})及最小电压限值 V_{LIMIT} 而加以定界。将对应于供比较用的参考电流的参考电压设定在此动态范围内。通过提供栅极接通电压充当参考电压的晶体管而实现参考电压比较。在 p 晶体管的情况下,接通电压由 $V_{DD} - |V_{TP}|$ 给出,以使得当已放电电压降到此电平或低于此电平时, p 晶体管将接通或“断路”。为使此接通电压位于动态范围内,必须满足条件 $(V_{DD} - |V_{TP}|) > V_{LIMIT}$ 。然而,当减小电源电压 V_{DD} 时,可能会出现两个问题。第一,随后会使参考电压比较在对应减小的动态范围内。第二,优选断路点(trip point)电压可能会在此减小的动态范围以外。举例而言,当 V_{DD} 低得以致 $(V_{DD} - |V_{TP}|) < V_{LIMIT}$ 时, p 晶体管可能永不断路,因为接通电压低于 V_{LIMIT} 。

[0066] 本发明提供一种电压移位装置以使放电电容器的电压升压预定量从而使动态范围的上限增加 ΔV ,以便在电压降与对应于参考传导电流的参考电压比较时具有充足动态范围从而提供充分分辨率。在预定周期之后,电容器从存储器单元去耦,以便移除 V_{LIMIT} 限制且电压降在与所述参考电压(其可低于 V_{LIMIT})比较之前减少相同预定数量 ΔV 。以此方

式,即使当例如 $(V_{dd}-|V_{TP}|)$ 的参考电压低于 V_{LIMIT} 时,感测放大器仍可用低电源电压进行操作。

[0067] 在另一实施例中,即使在充足电源电压的情况下,仍可实施电压移位器以提供增加的动态范围,在所述增加的动态范围内可进行电压比较,从而感测存储器单元的传导电流。

[0068] 在又一实施例中,检测电源电压以确定其是否下降到低于预定电平,在所述情况下,将激活电压移位器以允许感测放大器在低电源电压条件下适当地起作用。

[0069] 用于为一群感测放大器产生控制信号的参考感测放大器的其它方面及优选实施例

[0070] 用于感测非易失性存储器的传导电流的一个或一个以上感测放大器是使用由具有类似特性及操作条件的参考感测放大器而定时的信号加以控制。根据一个方面,通过感测参考电流的参考感测放大器何时检测到预期状态而确定感测周期。由于使用界定,所以当参考感测放大器正感测参考电流时,预期会出现预期状态,且当其在感测周期之后确实出现时,所述周期将是可由所述一个或一个以上感测放大器使用的充分感测周期。

[0071] 在电流是通过其对电容器放电的速率而感测的优选感测放大器中,使用在预定感测周期结束时的电压降来驱动 p 晶体管的栅极。如果电压低于 p 晶体管的阈值电压,则所述 p 晶体管将接通或具有为(例如)“高(HIGH)”的已放大输出。基本上,感测是已感测电流与由感测周期界定的参考电流之间的比较。相反,感测参考电流的参考感测放大器将产生所需感测周期。这是通过确定参考放大器的输出何时改变成“高”而实现的。此已确定的感测周期随后用以对感测放大器的感测周期定时。由于参考感测放大器共用与感测放大器类似的特性及操作条件,例如功率供应、芯片、温度等,所以因这些因素引起的任何变化会得以补偿。

[0072] 根据另一方面,所述一个或一个以上感测放大器具有分别取决于感测到的电流是大于还是小于参考电流而具有第一或第二电压电平的内部节点,且在于预定积分周期中放大所述内部节点处的电压电平之后分别输出第一或第二信号。所述积分周期是从感测参考电流的感测放大器及放大内部节点电压电平以获得从一个信号改变成另一信号的输出所需的时间而加以确定。

[0073] 当使用这些已确定时序来控制所述一个或一个以上感测放大器时,追踪环境及系统变化,且感测将对这些变化相对不敏感。

[0074] 将通过对本发明的优选实施例的以下描述而了解本发明的额外特征及优点,应结合随附图式来阅读所述描述。

附图说明

[0075] 图 1A 至 1E 示意性地说明非易失性存储器单元的不同实例。

[0076] 图 2 说明存储器单元的 NOR 阵列的一实例。

[0077] 图 3 说明存储器单元的 NAND 阵列的一实例,例如图 1D 中所示的 NAND 阵列。

[0078] 图 4 说明对于浮动栅极可在任一时间存储的四个不同电荷 Q1 至 Q4 而言源极-漏极电流与控制栅极电压之间的关系。

[0079] 图 5 示意性地说明可由读取/写入电路经行及列解码器而存取的存储器阵列的典

型配置。

[0080] 图 6A 示意性地说明根据本发明的一个实施例具有用于并行读取及编程一页存储器单元的读取 / 写入电路的存储器装置。

[0081] 图 6B 说明图 6A 中所示的存储器装置的优选配置。

[0082] 图 7A 说明因具有有限电阻的源极线中到达接地的电流流动引起的源极电压误差的问题。

[0083] 图 7B 说明存储器单元中由源极线电压降引起的阈值电压电平误差。

[0084] 图 8 说明 4 状态存储器的一页存储器单元的实例群体分布。

[0085] 图 9 是展示根据本发明一个实施例的用于减小源极线偏压的多遍感测方法的流程图。

[0086] 图 10 是说明根据本发明优选实施例的多遍感测模块的示意图。

[0087] 图 11 是展示图 10 的多遍感测模块的操作的流程图。

[0088] 图 12 说明三个邻近位线及其之间的电容性耦合的效应。

[0089] 图 13A 是展示用于感测的同时减小位线到位线耦合的方法的流程图。

[0090] 图 13B 是展示图 13A 中所示的感测步骤的更详细实施例的流程图。

[0091] 图 14 说明实施本发明的各种方面的优选感测模块。

[0092] 图 15(A) 到图 15(K) 是图 14 中所示的感测模块的时序图。

[0093] 图 16A 是展示减小因相邻浮动栅极耦合引起的误差的编程及读取方法的流程图。

[0094] 图 16B 是展示图 16A 中所示的本发明步骤的优选实施例的流程图。

[0095] 图 17 说明存储器阵列, 所述存储器阵列除其结构使每一行存储器单元组织到存储器单元的左页及右页中以外, 类似于图 6A 及 6B 中所示的存储器阵列。

[0096] 图 18 说明感测模块的另一优选实施例。

[0097] 图 19(A) 到图 19(K) 是图 18 中所示的感测模块的时序图。

[0098] 图 20 是展示图 18 的感测模块的操作的流程图。

[0099] 图 21A 示意性地说明向感测放大器群体提供参考控制信号的参考感测放大器。

[0100] 图 21B 说明提供例如 BLX 及 STB 等两个实例参考控制信号的参考感测放大器。

[0101] 图 22 说明 BLX 产生器的优选实施例。

[0102] 图 23 示意性地说明用于产生用于控制感测放大器群体的感测时间的选通信号的优选 STB 产生器。

[0103] 图 24 说明尤其适合于用低电源电压操作的感测模块的另一优选实施例。

[0104] 图 25(A) 到 25(N) 是图 24 中所示的感测模块的时序图。

[0105] 图 26 说明又一实施例, 在所述实施例中仅在电源电压下降到低于预定电平时启用电压移位器。

[0106] 图 27 说明参考感测放大器的另一优选实施例。

[0107] 图 28A 更详细地说明图 27 中所示的参考感测放大器的预充电 / 箝位电路。

[0108] 图 28B 更详细地说明图 27 中所示的参考感测放大器电路的单元电流鉴别器。

[0109] 图 29(A) 到 29(J) 是说明参考感测放大器的操作的示意性时序图。

[0110] 图 30 说明用于参考感测放大器的控制逻辑的示意性功能方框图。

[0111] 图 31 是说明利用参考感测放大器来校准感测放大器的感测周期的流程图。

[0112] 图 32 是说明利用参考感测放大器来校准感测放大器的已放大输出的积分周期的流程图。

具体实施方式

[0113] 图 6A 示意性地说明根据本发明的一个实施例具有用于并行读取及编程一页存储器

[0114] 单元的读取 / 写入电路的存储器装置。所述存储器装置包含存储器单元的二维阵列 300、控制电路 310 及读取 / 写入电路 370。存储器阵列 300 可由字线经行解码器 330 及由位线经列解码器 360 而寻址。读取 / 写入电路 370 包含多个感测模块 380 且允许并行读取或编程一页存储器单元。在一个将一行存储器单元分割为多个页的实施例中, 提供页多路复用器 350 以将读取 / 写入电路 370 多路复用到各个页。

[0115] 控制电路 310 与读取 / 写入电路 370 合作以对存储器阵列 300 执行存储操作。控制电路 310 包含状态机 312、芯片上地址解码器 314 及功率控制模块 316。状态机 312 提供对存储操作的芯片级控制。芯片上地址解码器 314 将由主机或存储器控制器使用的地址之间的地址接口提供到解码器 330 及 360 所使用的硬体地址。功率控制模块 316 控制在存储操作期间供应到字线及位线的功率及电压。

[0116] 图 6B 说明图 6A 中所示的紧致存储器装置的优选配置。用对称方式在阵列的相对侧上实施由各种周边电路对存储器阵列 300 的存取, 以使得每一侧上的存取线及电路的密度减小一半。因此, 行解码器分裂为行解码器 330A 及 330B, 且列解码器分裂为列解码器 360A 及 360B。在将一行存储器单元分割为多个页的实施例中, 页多路复用器 350 分裂为页多路复用器 350A 及 350B。类似地, 读取 / 写入电路分裂为从底部连接到位线的读取 / 写入电路 370A 及从阵列 300 的顶部连接到位线的读取 / 写入电路 370B。以此方式, 读取 / 写入模块的密度及因此感测模块 380 的密度基本上减小一半。

[0117] 源极线误差管理

[0118] 感测存储器单元的一个潜在问题是源极线偏压。当并行感测大量存储器单元时, 其组合电流可导致具有有限电阻的接地环路中的显著电压降。这导致源极线偏压, 所述源极线偏压在采用阈值电压感测的读取操作中引起误差。

[0119] 图 7A 说明因具有有限电阻的源极线中到达接地的电流流动引起的源极电压误差的问题。读取 / 写入电路 370 同时对一页存储器单元进行操作。读取 / 写入电路中的每一感测模块 380 经由位线 36 而耦合到对应单元。举例而言, 感测模块 380 感测存储器单元 10 的传导电流 i_1 (源极 - 漏极电流)。所述传导电流从感测模块穿过位线 36 而流动到存储器单元 10 的漏极中并从源极 14 流出, 然后穿过源极线 34 而流动到接地。在集成电路芯片中, 存储器阵列中的单元的源极全部连接在一起, 作为连接到存储器芯片的某外部接地垫 (例如, V_{SS} 垫) 的源极线 34 的多个分支。即使当使用金属捆扎 (metal strapping) 来减小源极线的电阻时, 存储器单元的源电极与接地垫之间仍具有有限电阻 (R)。通常, 接地环路电阻 R 为约 50 欧。

[0120] 对于并行感测的整页存储器而言, 流经源极线 34 的总电流为所有传导电流的和, 亦即, $i_{TOT} = i_1 + i_2 + \dots + i_p$ 。大体而言, 每一存储器单元具有取决于编程到其电荷存储元件中的电荷量的传导电流。对于存储器单元的给定控制栅极电压而言, 小电荷将产生比较高

的传导电流（参见图 4）。当存储器单元的源电极与接地垫之间存在有限电阻时，所述电阻上的电压降由 $V_{\text{drop}} = i_{\text{TOT}}R$ 给出。

[0121] 举例而言，如果 4,256 个位线各自以 $1\ \mu\text{A}$ 的电流同时放电，则源极线电压降将等于 $4000\ \text{线} \times 1\ \mu\text{A} / \text{线} \times 50\ \text{欧} \sim 0.2\ \text{伏}$ 。当感测到存储器单元的阈值电压时，此源极线偏压将有助于 0.2 伏的感测误差。

[0122] 图 7B 说明由源极线电压降引起的存储器单元中的阈值电压电平误差。供应到存储器单元 10 的控制栅极 30 的阈值电压 V_T 是相对于 GND 而言。然而，存储器单元所经历的有效 V_T 是其控制栅极 30 与源极 14 之间的电压差。在所供应的 V_T 与有效 V_T 之间存在大约为 V_{drop} 的差（忽略从源极 14 到源极线的电压降的较小贡献）。当感测到存储器单元的阈值电压时，此 V_{drop} 或源极线偏压将导致（例如）0.2 伏的感测误差。不可能容易地移除此偏压，因为其是依数据而定，亦即，取决于页的存储器单元的存储状态。

[0123] 根据本发明的一个方面，用于减小源极线偏压的方法是通过具有用于多遍感测的特征及技术的读取 / 写入电路来实现。每一遍有助于识别及关闭具有高于给定分界电流值的传导电流的存储器单元。通常在每一遍中，给定分界电流值逐渐收敛成常规单遍感测的断点电流值。以此方式，由于已关闭较高电流单元，所以后续遍中的感测将较少受源极线偏压的影响。

[0124] 图 8 说明用于 4 状态存储器的一页存储器单元的实例群体分布。将存储状态的每一群集编程在彼此清晰分离的传导电流 I_{SD} 的范围内。举例而言，断点 381 是分别表示“1”及“2”存储状态的两个群集之间的分界电流值。在常规单遍感测中，用于“2”存储状态的必要条件将是其具有小于断点 381 的传导电流。在图 8 中，如果不存在源极线偏压，则关于所供应的阈值电压 V_T 的群体分布将由带有实线的曲线给出。然而，由于存在源极线偏压误差，所以存储器单元中每一者在其控制栅极处的阈值电压因源极线偏压而增加。这意味着需施加较高控制栅极电压以补偿所述偏压。在图 8 中，源极线偏压导致分布（虚线）朝向较高的所供应的 V_T 的移位。所述移位对于较高（较低电流）存储状态将更多。如果断点 381 经设计用于不具有源极线误差的情况，则源极线误差的存在将使得“1”状态的部分尾端有传导电流在无传导区域中出现（这意味着高于断点 381）。这将导致一些“1”状态（较传导）被误分界为“2”状态（较不传导）。

[0125] 举例而言，可在两遍（ $j = 1$ 到 2）中实施本多遍感测。在第一遍之后，识别具有高于断点 381 的传导电流的那些存储器单元，并通过断开其传导电流而将其移除。断开其传导电流的优选方式是将其在位线上的漏极电压设定成接地。也参看图 7A，这将有效地移除由断点 381 分界的所有较高电流状态，从而导致 i_{TOT} 大幅减小及因此导致 V_{drop} 大幅减小。在第二遍（ $j = 2$ ）中，由于移除了有助于源极线偏压的高电流状态，所以虚线分布接近实线分布。因此使用断点 381 作为分界电流值的感测将不会导致将“1”状态误认为“2”状态。

[0126] 与常规的一遍方法比较，本两遍方法实质上减小了将一些“1”单元误识别为“2”或更高单元的可能性。也涵盖两遍以上，但是遍的数目增多回报便会减少。另外，每一遍可具有相同分界电流，或者在连续的每一遍中，所使用的分界电流收敛成通常用于常规单遍感测中的断点的电流。

[0127] 图 9 是展示根据本发明一个实施例的用于减小源极线偏压的多遍感测方法的流程图。

[0128] 步骤 400 :对于一页存储器单元,最初将一操作组的存储器单元设定为等于所述页存储器单元。

[0129] 步骤 410 :开始多遍 $j = 1$ 到 N 。

[0130] 步骤 420 :设定分界电流值 $I_0(j)$,其中在第一遍之后 ($j > 1$), $I_0(j)$ 小于或等于前一遍 $j-1$ 的分界电流值,亦即, $I_0(j) \leq I_0(j-1)$ 。

[0131] 步骤 430 :确定操作组中具有高于分界电流值 $I_0(j)$ 的传导电流的那些存储器单元。

[0132] 步骤 440 :抑制具有高于分界电流值 $I_0(j)$ 的传导电流的那些存储器单元中的进一步电流流动。

[0133] 步骤 450 :将所述操作组的存储器单元设定为等于传导电流尚未得以抑制的剩余存储器单元。如果 $j < N$,则返回到步骤 410,否则进行到步骤 460。

[0134] 步骤 460 :读出所述页存储器单元的状态。

[0135] 步骤 470 :结束。

[0136] 图 10 为说明根据本发明的优选实施例的多遍感测模块的示意图。多遍感测模块 380 经由经耦合位线 36 而感测存储器单元 10 的传导电流。其具有可选择性地连接有众多组件的感测节点 481。最初,隔离晶体管 482 在由信号 BLS 启用时将位线 36 连接到感测节点 381。预充电电路 484 耦合到感测节点 481。当启用预充电电路 484 时,其使位线电压达到适于感测的预定漏极电压。同时,对于考虑中的给定存储状态,将存储器单元的控制栅极设定为预定阈值电压 $V_T(i)$ 。这将使源极-漏极传导电流在存储器单元 10 中流动,可从耦合的位线 36 感测所述电流。当在存储器单元的源极与漏极之间存在额定电压差时,所述传导电流随着编程到存储器单元中的电荷及所施加的 $V_T(i)$ 而变化。

[0137] 感测放大器 390 随后连接到感测节点以感测存储器单元 10 中的传导电流。单元电流鉴别器 394 充当电流电平的鉴别器或比较器。其确定传导电流是高于还是低于给定分界电流值 $I_0(j)$ 。如果传导电流较高,则将锁存器 396 设定为预定状态。响应于设定为预定状态的锁存器 396 (例如,INV 为“高”)而激活下拉电路 486。这将感测节点 481 及因此将经连接的位线 36 下拉到接地电压。这将抑制存储器单元 10 中的传导电流流动,而无论控制栅极电压如何,因为在存储器单元 10 的源极与漏极之间将不存在电压差。

[0138] 一般而言,将存在由对应数目的多遍感测模块 380 操作的一页存储器单元。页控制器 498 将控制及定时信号供应到所述感测模块中的每一者。在一个实施例中,页控制器 498 实施为图 6A 中所示的控制电路 310 中的状态机 312 的部分。在另一实施例中,页控制器是读取/写入电路 370 的部分。页控制器 498 使多遍感测模块 380 中的每一者循环经过预定数目遍 ($j = 1$ 到 N) 循环且还针对每一遍供应预定分界电流值 $I_0(j)$ 。如稍后结合图 13 将看出的,也可将所述分界电流值实施为用于感测的时间周期。在最后一遍之后,页控制器 498 用信号 NCO 启用传送门 488 以将感测节点 481 的状态作为已感测数据而读取到读出总线 499。总而言之,将从所有多遍模块 380 读出一页感测数据。

[0139] 图 11 是展示图 10 的多遍感测模块的操作的流程图。

[0140] 步骤 400 :对于一页存储器单元 (每一存储器单元具有耦合到其的位线),最初将一操作组的存储器单元设定为等于所述页存储器单元。

[0141] 步骤 402 :将所述操作组的存储器单元的各个位线充电到预定电压范围内。

[0142] 步骤 410 :开始多遍 $j = 1$ 到 N 。

[0143] 步骤 412 :以预定电压范围内的电压下的所述操作组的存储器单元的各个位线开始。

[0144] 步骤 420 :设定分界电流值 $I_0(j)$, 其中在第一遍之后 ($j > 1$), $I_0(j)$ 小于或等于前一遍 ($j-1$) 的分界电流值, 亦即, $I_0(j) \leq I_0(j-1)$ 。

[0145] 步骤 430 :确定所述操作组中具有高于分界电流值 $I_0(j)$ 的传导电流的那些存储器单元。

[0146] 步骤 440 :抑制具有高于分界电流值 $I_0(j)$ 的传导电流的那些存储器单元中的进一步电流流动。

[0147] 步骤 452 :将所述操作组的存储器单元设定成等于位线尚未得以锁存且牵拉到接地的剩余存储器单元。如果 $j < N$, 则返回到步骤 410, 否则进行到步骤 460。

[0148] 步骤 460 :读出所述页存储器单元的状态。

[0149] 步骤 470 :结束。

[0150] 使用对位线到位线耦合的控制的感测

[0151] 图 12 说明三个邻近位线及其之间的电容性耦合的效应。存储器单元 10-0 具有两个邻近存储器单元 :10-1 及 10-2。类似地, 三个邻近位线 36-0、36-1 及 36-2 分别耦合到三个存储器单元。所述位线中每一者分别具有其自身的电容 C_{BL0} 、 C_{BL1} 及 C_{BL2} 。邻近位线对 36-0 及 36-1 具有互电容 C_{BL01} 。邻近位线对 36-0 及 36-1 具有互电容 C_{BL02} 。

[0152] 随后可看出, 由于各种电容的缘故, 可能存在各种电流流动分支。确切地说, 由每一位线自身电容引起的电流将导致 :

$$[0153] \quad i_{BLC0} = C_{BL0} d/dt V_{BL0},$$

$$[0154] \quad i_{BLC1} = C_{BL1} d/dt V_{BL1},$$

$$[0155] \quad i_{BLC2} = C_{BL2} d/dt V_{BL2},$$

[0156] 类似地, 由邻近位线对 36-0 及 36-1 引起的交叉电流是 :

$$[0157] \quad i_{BLC01} = C_{BL01} d/dt (V_{BL0} - V_{BL1}), \text{ 及}$$

$$[0158] \quad i_{BLC02} = C_{BL02} d/dt (V_{BL0} - V_{BL2}).$$

[0159] 对于存储器单元 10-0, 单元的传导电流是 :

$$[0160] \quad i_{CELL} \sim i_{BL0} + [i_{BLC00} + i_{BLC01} + i_{BLC02}].$$

[0161] 由于上文给出的单元电流仅包含来自邻近位线的贡献, 所以所述单元电流是近似值。一般而言, 对于位线 BL_0 , 将也会存在由左侧的非邻近位线引起的电容 C_{BL03} 以及由右侧的非邻近位线引起的电容 C_{BL04} 。类似地, 在非邻近位线 BL_1 与 BL_2 之间将存在互电容 C_{BL12} 。这些电容将有助于取决于每一电容器上的变动的电压的位移电流流动。据估计, 来自非邻近位线的贡献达到来自邻近位线的贡献的约百分之十。

[0162] 而且, 因为感测模块 380 耦合到位线 (见图 10), 所以其所检测的电流为 i_{BL0} , 所述 i_{BL0} 由于来自各种位线电容的电流贡献而并不与 i_{CELL} 相同。

[0163] 一种现有技术解决方案是在感测一个存储器单元的同时使邻近单元的位线接地。通过注意对经耦合位线的电容完全放电的速率而感测存储器单元中的传导电流。因此, 可从位线电压的改变速率而导出传导电流。参看图 12, 这意味着, 当正感测位线 BL_0 36-0 上的传导电流时, 将邻近位线 BL_1 36-1 上的电压 V_{BL1} 及邻近位线 BL_2 36-2 上的 V_{BL2} 设定为

零。通过关闭邻近位线中的电流,消除邻近位线之间的串扰。然而,由于此现有技术感测导致随时间而变动的 $V_{BL0} = V_{BL0}(t)$,且由以上给出的等式, $BL0$ 相对于接地的自电容变为 $C_{BL00} + C_{BL01} + C_{BL02}$ 。此现有技术感测也不会消除从例如与 C_{BL03} 、 C_{BL04} 及 C_{BL12} 相关联的位线的非邻近位线贡献的位移电流。这些电流的量值较小,但仍然较为可观。

[0164] 根据本发明的另一方面,存储器装置及其方法用以并行感测多个存储器单元,同时最小化由位线到位线耦合引起的误差。基本上,耦合到所述多个存储器单元的多个位线的位线电压经控制以致当正感测每一邻近对位线的传导电流时,所述每一邻近对位线之间的电压差实质上与时间无关。当强加此条件时,因各种位线电容引起的所有电流下降,因为其皆取决于随时间变动的电压差。因此,根据以上等式,由于 $[i_{BLC00} + i_{BLC01} + i_{BLC02}] = 0$,所以从位线感测的电流与单元电流相同,例如, $i_{BL0} = i_{CELL}$ 。

[0165] 图 13A 是展示用于在感测的同时减小位线到位线耦合的方法的流程图。

[0166] 步骤 500:将位线耦合到一页存储器单元中的每一者以感测其传导电流。

[0167] 步骤 510:将每一位线充电到预定电压范围内的位线电压。

[0168] 步骤 520:控制每一位线的位线电压,以致每一邻近对位线之间的电压差实质上与时间无关。

[0169] 步骤 530:在位线受到控制的同时,感测穿过每一位线的传导电流。

[0170] 步骤 540:结束。

[0171] 根据本发明的另一方面,尽管电压条件恒定,但感测电路及方法仍允许通过注意给定电容器的电压改变速率而确定存储器单元的传导电流。

[0172] 图 13B 是展示图 13A 中所示的感测步骤 530 的更详细实施例的流程图。

[0173] 步骤 532:在位线受到控制的同时,通过使用穿过每一位线的传导电流改变给定电容器上的电压而感测所述穿过每一位线的传导电流。

[0174] 步骤 534:通过所述给定电容器上的电压改变速率而确定传导电流。

[0175] 图 14 说明实施本发明的各种方面的优选感测模块。感测模块 480 包括位线隔离晶体管 482、位线下拉电路 486、位线电压箝位 (voltage clamp) 610、读出总线传送门 488 及感测放大器 600。

[0176] 当由信号 BLS 启用位线隔离晶体管 482 时,感测模块 480 可连接到存储器单元 10 的位线 36。感测模块 480 通过感测放大器 600 而感测存储器单元 10 的传导电流,并将读取结果锁存为感测节点 481 处的数字电压电平 SEN2 且将其输出到读出总线 499。

[0177] 感测放大器 600 基本上包括第二电压箝位 620、预充电电路 640、鉴别器或比较电路 650 及锁存器 660。鉴别器电路 650 包含专用电容器 652。

[0178] 感测模块 480 类似于图 10 中所示的多遍感测模块 380。然而,在图 14 中,预充电电路 640 实施有如稍后将描述的弱上拉特征。这充当识别具有较高电流的那些单元以便出于减小源极线偏压误差的目的而将所述单元断开的另一方式。

[0179] 感测模块 480 还具有用于减小位线到位线耦合的额外特征。这是通过使位线电压在感测期间保持与时间无关而实施的。这是通过位线电压箝位 610 实现的。如以下将描述的,第二电压箝位 620 确保位线电压箝位 610 在所有感测条件下均适当地起作用。而且,感测并非是通过注意因传导电流而对位线电容进行放电的速率的现有技术方法来进行,而是通过注意对感测放大器 600 所提供的专用电容器 652 放电的速率而进行。

[0180] 感测模块 480 的一个特征是在感测期间将恒定电压供应并入位线以避免位线到位线耦合。这优选是通过位线电压箝位 610 而实施。位线电压箝位 610 类似于二极管箝位而操作,其中晶体管 612 与位线 36 串联。其栅极被偏压到等于高于其阈值电压 V_T 的所要位线电压 V_{BL} 的恒定电压 BLC。以此方式,其将位线与感测节点 481 隔离且设定位线的恒定电压电平,例如所要 $V_{BL} = 0.5$ 到 0.7 伏。一般而言,位线电压电平是设定成一个电平以致其充分地低从而避免长预充电时间,然而其充分高以避免接地噪声及其它因素。

[0181] 感测放大器 600 感测穿过感测节点 481 的传导电流且确定所述传导电流是高于还是低于预定值。感测放大器将如感测节点 481 处的信号 SEN2 的数字形式的感测结果输出到读出总线 499。

[0182] 也输出基本上为信号 SEN2 的反相状态的数字控制信号 INV 以控制下拉电路 486。当已感测传导电流高于预定值时,INV 将为“高”且 SEN2 将为“低”。此结果通过下拉电路 486 而加强。下拉电路 486 包含由控制信号 INV 控制的 n 晶体管 487。

[0183] 将参看图 14 与时序图图 15(A) 到 15(K) 来描述感测模块 480 的操作及时序。将图 15(A) 到 15(K) 分界为阶段 (1) 到 (9)。

[0184] 阶段 (0):设置

[0185] 感测模块 480 经由启用信号 BLS(图 15(A)(0)) 而连接到位线 36。用 BLC 启用电压箝位。(图 15(B)(0)。)用控制信号 FLT(图 15(C)(0)) 将预充电电路 640 启用为受限电流源。

[0186] 阶段 (1):受控预充电

[0187] 通过重设信号 RST(图 15(D)(1)) 而初始化感测放大器 600,所述重设信号 RST 将经由晶体管 658 而将信号 INV 牵拉到接地。因此一旦重设,便将 INV 设定为“低”。同时,p 晶体管 663 将补充信号 LAT 牵拉到 V_{dd} 或“高”(图 15(F)(1))。

[0188] 隔离栅极 630 由 n 晶体管 634 形成,所述 n 晶体管 634 是由信号 LAT 加以控制。因此在重设之后,启用隔离栅极以将感测节点 481 连接到感测放大器的内部感测节点 631,且信号 SEN2 将与内部感测节点 631 处的信号 SEN 相同。

[0189] 预充电电路 640 经由内部感测节点 631 及感测节点 481 而在预定时间周期中对位线 36 进行预充电。这将使位线达到用于感测其中的传导的最佳电压。

[0190] 预充电电路 640 包含由控制信号 FLT(“FLOAT”)控制的上拉 p 晶体管 642。位线 36 将朝向如由位线电压箝位 610 设定的所要位线电压而被上拉。上拉速率将取决于位线 36 中的传导电流。传导电流越小,上拉就越快。

[0191] 图 15(H1) 到 15(H4) 分别说明具有 700nA 、 400nA 、 220nA 及 40nA 的传导电流的存储器单元的位线电压。

[0192] 较早已关于图 7 到图 11 描述,如果断开具有高于预定值的传导电流的那些存储器单元且消除其对源极线偏压的贡献,则因源极线偏压引起的感测误差被最小化。

[0193] 根据本发明的另一方面,预充电电路 640 经实施以提供两个功能。一个功能是将位线预充电到最佳感测电压。另一功能是帮助识别具有高于用于 D.C.(直流)感测的预定值的传导电流的那些存储器单元,以便可防止其促成源极线偏压。

[0194] D.C. 感测是通过提供作用类似于用于将预定电流供应到位线的电流源的预充电电路而实现。控制 p 晶体管 642 的信号 FLT 使得其“编程”预定电流以流经预充电电路 640。

作为实例,可从具有设定为 500nA 的参考电流的电流镜产生 FLT 信号。当 p 晶体管 642 形成所述电流镜的镜腿 (mirrored leg) 时,其将也具有在其中投射的相同 500nA。

[0195] 图 15(I1) 到 15(I4) 说明分别连接到具有 700nA、400nA、220nA 及 40nA 的传导电流的存储器单元的四个实例位线上的电压。当预充电电路 640 是具有 500nA 限值的电流源时,例如,具有超过 500nA 的传导电流的存储器单元将使位线上的电荷比其累积快地排放。因此,对于具有传导电流 700nA 的位线而言,其电压或在内部感测节点 631 处的信号 SEN 将保持接近 0v (图 15(I1) (1))。另一方面,如果存储器单元的传导电流低于 500nA,则预充电电路 640 将开始对位线充电且其电压将开始朝向经箝位的位线电压 (例如,由电压箝位 610 设定的 0.5v) 而上升。(图 15(I2) (1) 到 15(I4) (1))。相应地,内部感测节点 631 将保持接近 0v 或上拉到 V_{dd} (图 15(G))。大体而言,传导电流越小,位线电压将越快地向经箝位位线电压。因此,通过在受控预充电阶段之后检查位线上的电压,可识别经连接存储器单元具有高于还是低于预定电平的传导电流。

[0196] 阶段 (2) :D. C. 锁存及从后续感测移除高电流单元

[0197] 在受控预充电阶段之后,初始 D. C. 高电流感测阶段开始,其中由鉴别器电路 650 感测信号 SEN。所述感测识别具有高于预定电平的传导电流的那些存储器单元。鉴别器电路 650 包含串联的两个 p 晶体管 654 及 656,所述晶体管充当用于暂存信号 INV 的节点 657 的上拉。由变为“低”的读取选通信号 STB 启用 p 晶体管 654,且由内部感测节点 631 处的变为“低”的 SEN 信号启用 p 晶体管 656。如较早所阐述的,高电流单元将使信号 SEN 接近 0v 或至少不能够使其位线被预充电得充分高以断开 p 晶体管 656。举例而言,如果弱上拉被限制为 500nA 的电流,则其将不能上拉具有 700nA 的传导电流的单元 (图 15(G1) (2))。当 STB 选通“低”以进行锁存时,节点 657 处的 INV 被上拉到 V_{dd} 。此将用 INV “高”及 LAT “低”设定锁存电路 660 (图 15(H1) (2))。

[0198] 当 INV 为“高”且 LAT 为“低”时,停用隔离栅极 630 且使感测节点 481 与内部感测节点 631 阻断。同时,通过下拉电路 486 将位线 36 牵拉至接地 (图 15(I1) (2))。此将有效地断开位线中的任何传导电流,从而防止其促成源极线偏压。

[0199] 因此,在感测模块 480 的一个优选实施方案中,采用受限电流源预充电电路。此提供额外或替代方式 (D. C. 感测) 来识别载运高电流的位线,且在后续感测中将其断开以最小化源极线偏压误差。

[0200] 在另一实施例中,预充电电路并非经特殊配置以帮助识别高电流位线,而是经最佳化以在存储器系统可用的最大电流的允许内尽可能快地上拉及预充电位线。

[0201] 阶段 (3) :恢复 / 预充电

[0202] 在对之前尚未下拉的位线 (例如位线 36) 中的传导电流进行感测之前,由信号 FLT 激活预充电电路以将内部感测节点 631 预充电到 V_{dd} (图 15(C) (3) 及图 15(I2) (3) 到 15(I4) (3))。

[0203] 阶段 (4) :第一 A. C. 感测

[0204] 从此处向前的操作与关于图 10 到 11 描述的多遍感测的相似之处在于,感测节点为浮动的且其电压在电流感测 (A. C. 或交流感测) 期间改变。图 14 中的增强在于用保持恒定以避免位线到位线耦合的位线电压来执行感测。

[0205] 在优选实施例中,通过确定浮动内部感测节点 631 处的电压降而执行 A. C. (交流)

感测。此是通过采用耦合到内部感测节点 631 的电容器 C_{SA} 652 的鉴别器或比较电路 650 及考虑传导电流对其放电的速率而实现的。在集成电路环境中, 电容器 652 通常是实施成具有晶体管。其具有可经选择用于最佳电流确定的预定电容 (例如, 30fF)。可通过对放电周期的适当调整而设定通常在 100nA 到 1000nA 范围内的分界电流值。

[0206] 鉴别器电路 650 感测内部感测节点 631 中的信号 SEN。在每一感测之前, 通过预充电电路 640 将内部感测节点 631 处的信号 SEN 上拉到 V_{dd} 。此最初会将电容器 652 上的电压设定为零。

[0207] 当感测放大器 600 准备好感测时, 由变为“高”的 FLT (图 15 © (4)) 停用预充电电路 640。通过对选通信号 STB 的断言而设定第一感测周期 T1。在感测周期期间, 由传导存储器单元感应的传导电流将对电容器放电。随着电容器 652 经由位线 36 中的传导电流的排放动作而在放电, SEN 将从 V_{dd} 降低。图 15 (G2) 到 15 (G4) 分别说明对应于分别连接到具有 400nA、220nA 及 40nA 的传导电流的存储器单元的剩余三个实例位线的 SEN 信号。对于具有较高传导电流的存储器单元而言, 所述降低更为快速。

[0208] 阶段 (5) : 第一 A. C. 锁存及从后续感测移除较高电流单元

[0209] 在第一预定感测周期结束时, SEN 将视位线 36 中的传导电流而已降低到某电压 (图 15 (G2) (4) 到 15 (G4) (4))。作为实例, 将此第一阶段中的分界电流设定为 300nA。电容器 C_{SA} 652、感测周期 T1 及 p 晶体管 656 的阈值电压使得对应于高于分界电流 (例如, 300nA) 的传导电流的信号 SEN 将降为充分低以接通鉴别器电路 650 中的晶体管 656。当锁存信号 STB 选通“低”时, 输出信号 INV 将被牵拉为“高”且将由锁存器 660 加以锁存 (图 15 (E) (5) 及图 15 (H2))。另一方面, 对应于低于分界电流的传导电流的信号 SEN 将产生不能够接通晶体管 656 的信号 SEN。在此情况下, 锁存器 660 将保持不变, 在所述情况下, LAT 保持“高” (图 15 (H3) 及 15 (H4))。因此可看出, 鉴别器电路 650 相对于由感测周期设定的参考电流而有效地确定位线 36 中传导电流的量值。

[0210] 感测放大器 600 还包含第二电压箝位 620, 其目的在于维持晶体管 612 的漏极的电压充分高以使位线电压箝位 610 适当地起作用。如较早所述的, 位线电压箝位 610 将位线电压箝位为预定值 V_{BL} (例如, 0.5v)。这将需要将晶体管 612 的栅极电压 BLC 设定于 $V_{BL} + V_T$ (其中, V_T 为晶体管 612 的阈值电压) 且使连接到感测节点 481 的漏极大于源极, 亦即, 信号 $SEN2 > V_{BL}$ 。确切地说, 假定电压箝位 610 及 620 的配置, SEN2 应不高于 $(LAT - V_T)$ 或 $(BLX - V_T)$ 中的较小者且 SEN 应不低于 $(LAT - V_T)$ 或 $(BLX - V_T)$ 中的较小者。在感测期间, 隔离栅极 630 处于穿透模式 (pass-through mode)。然而, 在感测期间, 内部感测节点 631 处的信号 SEN 具有从 V_{dd} 降低的电压。第二电压箝位 620 防止 SEN 降落到 $(LAT - V_T)$ 或 $(BLX - V_T)$ (这两者中的任一较低者)。这是通过使用信号 BLX 加以控制的 n 晶体管 612 而实现的, 其中 $BLX \geq V_{BL} + 2V_T$ (图 15 (F))。因此, 经由电压箝位 610 及 620 的动作, 位线电压 V_{BL} 在感测期间保持恒定, 例如, $\sim 0.5v$ 。

[0211] 代替现有技术对位线电容的使用而使用专用电容器 652 来测量电流在众多方面是有利的。首先, 其允许位线上的恒定电压源借此避免位线到位线串扰。其次, 专用电容器 652 允许选择对于感测最佳的电容。举例而言, 其与约 2pF 的位线电容相比可具有约 30fF 的电容。较小电容可增加感测速度, 因为其较快速地放电。最后, 与使用位线的电容的现有技术方法相比, 相对于专用电容的感测允许感测电路独立于存储器结构。

[0212] 在另一实施例中,电流确定是通过与参考电流相比较而实现,所述参考电流可由参考存储器单元的传导电流提供。此可以作为电流镜的部分的比较电流而实施。

[0213] 电流确定的输出 LAT 是锁存电路 660 锁存。锁存电路由晶体管 661、662、663 及 664 连同晶体管 666 及 668 而形成设定 / 重设锁存器。p 晶体管 666 是由信号 RST (RESET) 加以控制,且 n 晶体管 668 是由信号 STB (STROBE 或 SET*) 加以控制。

[0214] 一般而言,将存在由对应数目的多遍感测模块 480 操作的一页存储器单元。对于具有高于第一分界电流电平的传导电流的那些存储器单元而言,其 LAT 信号将锁存为“低”。这又会激活位线下拉电路 486 以将对应位线牵拉到接地,借此断开其电流。

[0215] 阶段 (6) :恢复 / 预充电

[0216] 在对之前尚未下拉的位线 (例如位线 36) 中的传导电流的下一感测之前,通过信号 FLT 激活预充电电路以将内部感测节点 631 预充电到 V_{dd} (图 15 © (6) 及图 15 (I3) (6) 到 15 (I4) (6))。

[0217] 阶段 (7) :第二感测

[0218] 当感测放大器 600 准备好感测时,通过变为高的 FLT (图 15 © (7)) 而停用预充电电路 642。通过选通信号 STB 的断言而设定第二感测周期 T2。在感测周期期间,传导电流 (如果存在的话) 将对电容器放电。随着电容器 652 经由位线 36 中的传导电流的排放动作而在放电,SEN 将从 V_{dd} 降低。

[0219] 根据先前的实例,在较早阶段中,已识别及关闭具有高于 300nA 的传导电流的存储器单元。图 15 (G3) (7) 及 15 (G4) (7) 分别说明对应于分别连接到具有 220nA 及 40nA 的传导电流的存储器单元的两个实例位线的 SEN 信号。

[0220] 阶段 (8) :用于读出的第二锁存

[0221] 在第二预定感测周期 T2 结束时,SEN 将视位线 36 中的传导电流而已降低到某电压 (图 15 (G3) (7) 到 15 (G4) (7))。作为实例,将此第二阶段中的分界电流设定为在 100nA。在此情况下,具有传导电流 220nA 的存储器单元将使其 LAT 锁存为“低”(图 15 (H3) (7)) 且其位线随后牵拉到接地 (图 15 (I3) (7))。另一方面,具有传导电流 40nA 的存储器单元将对锁存器的状态没有影响,所述锁存器被预设为 LAT 高。

[0222] 阶段 (9) :读出到总线

[0223] 最后,在读出阶段中,传送门 488 处的控制信号 NCO 允许将经锁存的信号 SEN2 读出到读出总线 499 (图 15 (J) 及 15 (K))。

[0224] 例如也展示于图 10 中的页控制器 398 的页控制器将控制及定时信号供应到感测模块中的每一者。

[0225] 如从图 15 (I1) 到 15 (I4) 可看出,位线电压在每一感测周期期间保持恒定。因此,从较早的论述可见,消除了电容性位线到位线耦合。

[0226] 图 14 中所示的感测模式 480 为一个优选实施例,其中用三遍执行感测。前两遍经实施以识别及关闭较高电流存储器单元。在消除对源极线偏压的较高电流贡献的情况下,最后一遍能够更准确地感测具有较低范围传导电流的单元。

[0227] 在其它实施例中,用 D. C. 及 A. C. 遍的不同组合来实施感测操作。一些甚至仅使用两个或两个以上 A. C. 遍。对于不同遍而言,所使用的分界电流值可每次相同或逐渐地朝向用于最后一遍的分界电流而收敛。

[0228] 对由相邻浮动栅极耦合引入的误差的管理

[0229] 高密度集成电路（非易失性存储器装置）所固有的另一误差是由于如较早所述的相邻浮动栅极耦合。存储器单元的紧密接近引起了来自相邻单元的电荷元件的场扰动。根据本发明的另一方面，通过最小化编程与读取之间每一单元的场环境的改变而最小化因所述扰动引起的误差。这是通过一起编程其一页中所有邻近存储器单元而实现。由于各个存储器单元及其相邻单元一起被编程，所以这将确保各个单元在其被编程的时间到其被读取的时间经历最小的场环境改变。

[0230] 这与独立地编程偶数及奇数页的现有技术情况形成对比。在所述情况下，在已编程偶数页的存储器单元之后，由其奇数页中邻近存储器单元所贡献的场可在用不同组数据编程所述奇数页时已彻底地改变。

[0231] 如较早所述，一“页”中经同时编程或读取的存储器单元的数目可根据由主机系统发送或请求的数据的大小而变化。因此，存在用于编程耦合到单一字线的存储器单元的众多方式，例如：(1) 单独地编程偶数位线及奇数位线，其可包括上页编程及下页编程；(2) 编程所有位线（“所有位线编程”）；或(3) 单独地编程左页或右页中的所有位线，其可包括右页编程及左页编程。

[0232] 在现有非易失性存储器装置中，由相同字线接合的一行存储器单元配置为两个交错页。一页由偶数列的存储器单元组成，且另一页由奇数列的存储器单元组成。单独地感测及编程偶数或奇数页。如较早所提及的，由于需要控制位线到位线耦合所以必须进行此操作。因此，优选在对另一组位线执行读取/写入操作时使交替位线接地。

[0233] 然而，如较早所提及，交错页结构在至少三个方面是不利的。第一，其需要额外多路复用电路。第二，其在性能方面缓慢。为完成由一字线连接或连接于一行中的存储器单元的读取或编程，需要两个读取操作或两个编程操作。第三，其在减少例如来自相邻电荷存储元件的场耦合的其它干扰效应方面也并非最佳的。

[0234] 所有位线编程

[0235] 如关于图 12 到 15 所述的，可由本发明来控制位线到位线耦合。因此，无需在感测或编程验证期间使交替位线接地，借此放松对具有非邻接存储器单元的偶数或奇数页操作的要求且加速验证操作。

[0236] 根据本发明的另一方面，当位线到位线耦合受控制时，并行地编程邻接页的存储器单元。这将最小化来自相邻浮动栅极的外来场效应。

[0237] 图 6A、图 10 及图 14 中所示的感测模块优选地是实施于经配置以执行所有位线感测的存储器结构中。换句话说，一行中的邻接存储器单元每一者可连接到感测模块以并行执行感测。所述存储器结构也揭示于劳尔-阿德里安 (Raul-Adrian Cernea) 在 2002 年 9 月 24 日申请的标题为“高度紧致非易失性存储器及其方法”(“Highly Compact Non-Volatile Memory And Method Thereof”) 的共同待决且共同让渡的第 10/254,483 号美国专利申请案中。所述专利申请案的全部揭示以引用的方式并入本文中。

[0238] 图 16A 为展示编程及读取的方法的流程图，所述方法减小了因相邻浮动栅极耦合引起的误差。

[0239] 步骤 700：以一种方式并行地编程及验证一页存储器单元，所述方式最小化由各个存储器单元在最后编程验证及后续读取期间所经历的有效电场的差异。

[0240] 步骤 710 :结束。

[0241] 图 16B 为展示图 16A 中所示的本发明步骤的优选实施例的流程图。

[0242] 步骤 730 :形成一页邻接的存储器单元。

[0243] 步骤 740 :并行地编程及验证所述页存储器单元。

[0244] 步骤 750 :随后,读取所述页存储器单元。

[0245] 步骤 760 :结束。

[0246] 编程左页及右页

[0247] 图 17 说明的存储器阵列除其结构中的每一行存储器单元组织成存储器单元的左页 301 及右页 302 之外类似于图 6A 及 6B 中所示的存储器阵列。每一页由多个邻接的存储器单元组成。举例而言,每一页可具有 4, 256 个单元。在优选实施例中,个别地对左页及右页执行编程。为最小化两个独立页之间的交互作用,在编程一页时,使另一页的所有位线接地。此外,通过使每一页邻接,可在编程期间减少相邻浮动栅极耦合。

[0248] 选定位线到接地的受控锁存

[0249] 较早已关于图 7 到 11 及图 15 描述了多遍感测。确切地说,当并行感测一页存储器单元时,使经检测具有高于预定阈值的电流状态的存储器单元的位线锁存到接地,以便在感测所述页存储器的后续遍中消除其对源极线偏压误差的贡献。

[0250] 根据又一优选实施例,经检测具有高于预定分界电平的电流的存储器单元不必在检测之后立即对其位线接地。而是对其进行标记或启用以用于接地。仅在完成对所述页的所有存储器单元的检测或感测之后,才将所有经标记或启用位线锁存到接地。以此方式,将与锁存到接地的位线相关联的可能的大电压摆动限制在感测操作之外的周期。这将最小化锁存到接地的位线对所述页中仍正经受感测及检测的任何存储器单元的任何干扰效应。

[0251] 图 18 说明感测模块的另一优选实施例。感测模块 480' 类似于图 14 中所示的感测模块 480,其添加了与下拉电路 486 串联到接地的另一接地控制开关 550。此配置有效地允许仅当启用下拉电路 486 与接地控制开关 550 时才将位线 36 下拉到接地。图中将接地控制开关 550 说明为 n 晶体管,所述 n 晶体管是由其栅极处的信号 GRS 加以控制。当将存储器单元 10 检测为具有高于预定阈值的传导电流时,感测放大器将产生经锁存的高 INV 信号。此将启用下拉电路 486。在所述页的所有单元已完成当前遍的感测操作之后,页控制器 498 将确定高 GRS 信号。以此方式,在所述瞬间会将所述页中下拉电路被启用的所有位线下拉到接地。

[0252] 图 19(A) 到图 19(K) 为图 18 中所示的感测模块的时序图。确切地说,图 19(H1) 说明定时信号 GRS。可看出,感测及锁存发生在周期 (2) (5) 及 (8) 处,且在这些周期中每一者之后及之外,良好地断言信号 GRS 以使得适当位线的接地不会干扰感测及锁存操作。

[0253] 图 20 为展示图 18 的感测模块的操作的流程图。

[0254] 步骤 700 :对于一页存储器单元,最初将一操作组的存储器单元设定为等于所述页存储器单元。

[0255] 步骤 710 :开始多遍 $j = 1$ 到 N 。

[0256] 步骤 720 :设定分界电流值 ($I_0(j)$),其中在第一遍之后 ($j > 1$), $I_0(j)$ 小于或等于前一遍 $j-1$ 的分界电流值,亦即, $I_0(j) \leq I_0(j-1)$ 。

[0257] 步骤 730 :确定所述操作组中具有高于分界电流值 $I_0(j)$ 的传导电流的那些存储

器单元。

[0258] 步骤 740 :在所述操作组不再具有高于分界电流值 $I_0(j)$ 的传导电流之后,抑制具有高于分界电流值 $I_0(j)$ 的传导电流的那些存储器单元中的进一步电流流动。

[0259] 步骤 750 :将所述操作组的存储器单元设定为等于传导电流尚未得到抑制的剩余存储器单元。如果 $j < N$,则返回到步骤 710,否则进行到步骤 760。

[0260] 步骤 760 :读出所述页存储器单元的状态。

[0261] 步骤 770 :结束。

[0262] 用于为多个感测放大器提供参考受控信号的参考感测放大器

[0263] 为了改进性能,对一页存储器存储单元并行地执行读取 / 写入操作。举例而言,一页可由 4096 个存储器存储单元组成,且因此将需要相等数目的感测放大器并行地操作。

[0264] 由于需要每一感测放大器准确地感测存储器存储单元的传导电流,所以感测放大器的感测特性优选不受电源、操作温度及制造过程的变化影响。

[0265] 根据本发明的又一方面,具有表示感测放大器群体的特性的参考感测放大器是用以追踪环境及系统变化和控制所述感测放大器群体以使得其与这些变化无关。

[0266] 图 21A 示意性地说明为感测放大器群体提供参考控制信号的参考感测放大器。并行地操作感测放大器 600-1、..... 600-p 的群体。实施参考感测放大器 600-R 以产生并提供控制信号 670,所述控制信号 670 可为用于控制感测放大器群体的控制信号的一部分。参考感测放大器 600-R 虽然不必与感测放大器群体的典型成员相同,但拥有表示所述群体的典型成员的特性。

[0267] 图 21B 说明提供例如 BLX 及 STB 的两个实例参考控制信号的参考感测放大器。在一个实施例中,参考感测放大器 600-R 包括输出 BLX 信号的 BLX 信号产生器 680。类似地,参考感测放大器 600-R 包括输出 STB 信号的 STB 产生器 690。已关于图 18 中所示的感测放大器 600 描述了这些信号。确切地说,BLX 信号用以帮助在给定电压下钳位位线。类似地,STB 信号用以对感测进行定时且由 STB 信号产生器来提供。将看出,这些信号取决于电源电压 V_{dd} 及感测放大器中分别为 n 晶体管或 p 晶体管的阈值电压 V_{TN} 或 V_{TP} 。这些参数又对制造过程及操作温度敏感。通过使所有感测放大器采用由参考感测放大器 600-R 提供的相同已校准控制信号而最小化这些系统变化。

[0268] 例如图 18 中所示感测放大器的典型感测放大器的操作要求是首先在强调其对 V_{dd} 的依赖性及其晶体管的各种阈值电压的情况下而描述。图 18 展示一个优选感测放大器 600。如较早所述,感测放大器 600 通过存储器存储单元 10 的传导电流对给定电容器 652 充电或放电的速率而基本上测量存储器存储单元 10 的传导电流。这是通过感测节点 631 处的信号 SEN 而实现。信号 SEN 控制 p 晶体管 656 的栅极。在感测之前,通过预充电电路 640 将 SEN 预充电到 V_{dd} (高)。此最初会将电容器 652 上的电压设定为零。在感测期间,存储器存储单元 10 的传导电流将对电容器放电。SEN 随后将以取决于传导电流的速率而从 V_{dd} 降低。在预定感测周期 (所述周期对应于参考电流) 之后,SEN 将降到可能会或可能不会接通测量 p 晶体管 656 的某值。如果其降得充分低以接通 p 晶体管 656,则这将意味着传导电流高于所述参考电流。另一方面,如果晶体管 656 在感测周期结束时未接通,则传导电流低于参考电流。

[0269] 因此可看出,测量 p 晶体管 656 的鉴别电平关键取决于其阈值电压 V_{TP} 的值。如从

图 18 可看出,使测量 p 晶体管 656 接通的临界电压是当 $SEN \sim < V_{dd} - V_{TP}$ (其中 V_{TP} 为 p 晶体管 656 的阈值电压) 时。

[0270] 关于 BLX 信号的操作要求,将注意转移到感测放大器 600 中的电压箝位 620 的形式上拉电路。在初始预充电周期期间,由预充电电路 640 执行主动上拉。在后续周期中(参见图 19),断开预充电电路 640 以允许感测。经由感测周期,随后启用电压箝位 620 以使节点 481 上的电压(亦即,SEN2)保持高于给定最小值,从而使得位线电压箝位 610 可适当地起作用。然而,此上拉不能太高以致导致将 SEN 信号箝位得如此高以致其永不可下降得充分低以接通测量 p 晶体管 656。这可通过将 BLX 的信号强度设定为施加到电压箝位 620 的 n 晶体管 612 的栅极而加以控制。

[0271] 从图 18 可看出,用于使测量 p 晶体管 656 接通的临界电压的条件为当在节点 631 处 $SEN \sim < V_{dd} - V_{TP}$ 时。电压箝位 620 因此必须箝位节点 631 以使得其小于 $V_{dd} - V_{TP}$ 。这是通过设定电压箝位以致 $BLX \sim < V_{dd} - V_{TP} + V_{TN}$ (其中 V_{TN} 为 n 晶体管 612 的阈值电压) 而实现。

[0272] 图 22 说明 BLX 产生器的优选实施例。BLX 产生器 680 基本上提供满足 BLX 必须低于 $V_{dd} - V_{TP} + V_{TN}$ 的条件的 BLX 信号。一个重要考虑为采用具有与其正试图控制的感测放大器群体相同且表示所述群体的特性的参考电路元件。确切地说,这些参考电路元件将向例如电源电压 V_{dd} 、组件晶体管的阈值电压 V_{TP} 及 V_{TN} 等各种系统参数提供参考,所述系统参数与感测放大器群体共用。

[0273] 在图 22 中,为便利起见,对应于图 18 中所示的感测放大器中的那些电路元件的电路元件是由具有撇号的相同数字表示。因此,参考感测放大器 600-R 中的 n 晶体管 612' 对应于感测放大器 600 的电压箝位 620 中的 n 晶体管 612。p 晶体管 656' 对应于测量 p 晶体管 656,且 p 晶体管 654' 对应于感测放大器 600 中的 p 晶体管 654。类似地,BLX 产生器 680 中载运信号 SEN' 的感测节点 631' 将对应于图 18 中所示的感测放大器 600 中的感测节点 631。

[0274] 两个逻辑门 682 及 654' 有助于接通或断开信号 BLX。当控制信号 BLXD 为高时,其接通逻辑门 682 且将 BLX 信号牵拉到接地。同时,其断开 p 逻辑门 654', 所述 p 逻辑门 654' 又断开 V_{dd} 供应。当控制信号 BLXD 为低时,启用电路 680。

[0275] BLX 产生器 680 要满足的条件为:在节点 631' 处 $SEN' \sim < V_{dd} - V_{TP}$ 且 $BLX \sim SEN' + V_{TN}$ 。n 晶体管 612' 及 p 晶体管 656' 皆配置为二极管,以使得其二极管压降(diode drop)分别提供所需电压 V_{TN} 及 V_{TP} 。在优选实施例中,由 n 晶体管 612' 形成的二极管使其源极连接到信号 SEN' 所驻留的参考节点 631' 且使其漏极连接到输出 BLX。以此方式满足条件 $BLX \sim SEN' + V_{TN}$ 。类似地,由 p 晶体管 656' 形成的二极管使其漏极耦合到参考节点 631' 且使其源极耦合到 V_{dd} 。以此方式视需要也满足条件 $SEN' \sim < V_{dd} - V_{TP}$ 。

[0276] 这些条件是基于流经这两个二极管的源极及漏极的阈值电流而预测。由电流源 686 提供偏压电流。将所述偏压电流设定为高于通常在典型感测放大器中流动的电流的值。所述较高值要满足 $SEN' \sim < V_{dd} - V_{TP}$ 要求中的不等式。所述值越高,允许感测放大器群体中晶体管的阈值电压的变化的容限就越多。因此,控制信号 BLX 是由参考感测放大器 600-R 关于比照电源电压 V_{dd} 及其它环境条件而校准的阈值电压 V_{TN} 或 V_{TP} 而产生。

[0277] 参考感测放大器优选位于同一芯片上且接近作为其提供参考的对象的感测放大器群体。以此方式,制造过程或操作温度的任何变化将通过其共同模式操作而得以最小化。

[0278] 图 23 示意性地说明用于产生用以控制群体中感测放大器的感测时间的选通信号的优选 STB 产生器。在优选实施例中,STB 产生器 690 的组件类似于典型感测放大器 600 的组件(参见图 18)。其包括预充电电路 640''、鉴别器电路 650'' 及锁存器 660''。代替供应传导电流的存储器存储单元 10,参考电流源 692 从感测节点 631'' 吸收参考电流。所述参考电流对应于感测放大器在感测期间所比较的断点电流。

[0279] 暂时参看图 18 中所示的感测放大器 600,在感测期间,由流经感测节点 631 的传导电流对给定电容器 652 放电。由存储器存储单元 10 供应传导电流。感测节点 631 中的信号 SEN 随后将以取决于传导电流的速率而从 V_{dd} 降低。在一段时间之后,SEN 将最终降到 $V_{dd}-V_{TP}$ 且在所述点处其将触发测量 p 晶体管 656 的接通。因此,此触发时间对应于传导电流的量值。换句话说,在触发时间与传导电流之间存在一一对应。在此情况下,较高传导电流将导致短触发时间且反之亦然。因此,通过设定给定电流(“断路点”电流)及观察信号 SEN 充分下降以触发所述接通所需的时间是一种使正感测的传导电流的量值与触发时间之间相关的方式。相反,假定对应于给定电流的固定感测时间,如果在固定感测周期结束时尚未到达触发时间,则正感测的传导电流必须低于给定电流,且反之亦然。

[0280] 在图 23 中,所有情况均与典型感测放大器 600 的情况相同,参考感测放大器 600-R 中 STB 产生器的功能于是为校准对应于给定断路点电流值的触发时间。其以描绘感测周期的结束时间的选通信号 STB 的形式输出结果,所述感测周期是由例如图 18 及图 19 中所示变为高的 FLT 的另一信号开始。在此情况下,由起始电容器 652'' 的放电的信号 FLT 对感测周期的开始定时。大体而言,感测周期越短,对应断路点电流就越高。由选通产生器 694 产生选通信号。每当感测节点 671'' 处的信号 SEN'' 已放电到 $V_{dd}-V_{TP}$ 时,p 晶体管 656'' 便将接通并导致锁存器 660'' 设定为处于高的 INV 及处于低的 LAT。将 LAT 翻转到低是用以对选通形式的感测周期的结束进行定时。在一个实施例中,将选通产生器实施为由 LAT 触发的单稳态多谐振荡器。

[0281] 此外,与由参考感测放大器 600-R 产生的其它控制信号的情况一样,制造过程或操作温度的任何变化将通过其与总的感测放大器群体 600 的共同模式操作而最小化。

[0282] 用于低电压操作的感测放大器

[0283] 根据本发明的又一方面,存储器单元的传导电流是通过其对能够以低于 2V 的电源电压操作的感测放大器中的专用电容器放电的速率而加以测量。

[0284] 在优选实施方案中,由在预定周期之后所述电容器上的电压降的改变而给出所述速率。然而,在互连位线上的电压条件防止电压降超出预定最小电压限值的情况下,电压降的动态范围将减小且通过在放电开始时的电压(其通常为电源电压 V_{dd})及最小电压限值 V_{LIMIT} 而加以定界。将对应于供比较用的参考电流的参考电压设定在此动态范围内。参考电压比较是通过提供栅极接通电压充当参考电压的晶体管而实现。在 p 晶体管的情况下,由 $V_{dd}-|V_{TP}|$ 给出接通电压,以使得当已放电电压降到此电平或低于此电平时,p 晶体管将接通或“断路”。为使此接通电压处于动态范围内,必须满足条件 $(V_{dd}-|V_{TP}|) > V_{LIMIT}$ 。然而,当减小电源电压 V_{dd} 时,可出现两个问题。第一,随后在对应减小的动态范围内进行参考电压比较。第二,优选断路点电压可在此减小的动态范围以外。举例而言,当 V_{dd} 如此低以致 $(V_{dd}-|V_{TP}|) < V_{LIMIT}$ 时,p 晶体管可永不断路,这是因为接通电压低于 V_{LIMIT} 。

[0285] 本发明提供电压移位装置以使放电电容器的电压升压预定量,从而使动态范围的

上限增加 ΔV , 以便在电压降与对应于参考传导电流的参考电压比较时具有充足动态范围从而提供充分分辨率。在预定周期之后, 电容器从存储器单元去耦, 以便移除 V_{LIMIT} 限制且电压降在与参考电压 (其可低于 V_{LIMIT}) 比较之前减少相同的预定量 ΔV 。以此方式, 即使当例如 $(V_{dd}-|V_{TP}|)$ 的参考电压低于 V_{LIMIT} 时, 感测放大器仍可以低电源电压进行操作。

[0286] 图 24 说明特别适合于以低电源电压操作的感测模块的优选实施例。感测模块 480'' 类似于图 14 中所示的感测模块 480 及图 18 中的感测模块 480', 区别仅在于感测放大器 600' 能够以低于 2V 的电源电压 V_{dd} 操作。

[0287] 如结合图 14 及图 18 所述的, 包含于感测模块中的感测放大器用于经由经耦合的位线 36 而测量存储器单元 10 的传导电流。所述测量是通过预充电专用电容器 652 及随后注意所述电容器由于存储器单元的传导电流而放电的速率而实现。通过在预定时间周期之后所述电容器上的电压降的改变来测量所述放电速率。p 晶体管 656 的接通栅极电压充当与电压降量相比较的参考。因此, 在电容器已放电预定时间周期之后, 节点 SEN 631 处的电压将通常足够低以致接通晶体管 656, 或者并不充分低得以致接通 p 晶体管。

[0288] p 晶体管 656 的典型栅极接通电压为比漏极电源电压低约 $|V_{TP}|$ (通常为 1.2V)。在此情况下, 其将比电源电压 V_{dd} 低 1.2V。如果电源电压自身为 (例如) 1.8V, 则此将意味着节点 SEN 631 将必须在 p 晶体管断路之前降低到低于 0.6V。然而, 如在较早段落中所述, 所要位线电压是通过电压箝位 610 而维持在约 0.5V 的恒定电压。为使此电压箝位适当地起作用, 其漏极侧必须高于 0.5V。这将对节点 SEN2481 且同样对节点 SEN631 强加 $V_{LIMIT} \sim 0.5V$ 的最小下限电压 (floor voltage)。因此, 节点 SEN 631 不能使其电压降低到低于此最小下限电压 V_{LIMIT} 。当电源电压较低时, p 晶体管可使其接通电压低于最小下限电压且因此任何时候均不能够接通。

[0289] 图 24 说明包含低电压感测放大器 600' 的感测模块 480''。感测放大器 600' 包含第二电压箝位 620'、位线隔离电路 630'、预充电电路 640'、预充电电路隔离晶体管 636、鉴别器或比较电路 650' 及锁存器 660。如与先前类似地, 第二电压箝位 620' 用于在节点 SEN2 或晶体管 612 的漏极上维持充分电压 $V_{LIMIT} (> V_{BI})$ 以使得后者饱和地操作。

[0290] 因此, 感测节点 SEN 631 最初将由预充电电路 640' 经隔离晶体管 636 而上拉到 V_{dd} 。当经由位线 36 及插入电路而耦合到存储器单元 10 时, 节点 SEN 631 上的电压将因电容器 652 的放电而下降。在预定周期之后, 电容器 652 上的电压降的改变将与存储器单元 10 的传导电流成比例。由上拉端的 V_{dd} 及下拉端的 V_{LIMIT} 给出电压降的动态范围。对于高传导电流而言, 节点 SEN 631 上的电压将降到 V_{LIMIT} 。对于较低传导电流, 电压将高于 V_{LIMIT} 。因此, 给定动态范围将允许传导电流的对应范围是可分辨的。在优选实施例中, 由比较电路 650' 进行对下降电压是高于还是低于参考电压的二元确定。比较电路 650' 包括 p 晶体管, 其栅极连接到专用电容器 652。每当电容器的电压 (与节点 SEN 631 上的电压相同) 降落到低于阈值 $(V_{dd}-|V_{TP}|)$ 时, p 晶体管接通, 借此将信号 INV 牵拉到高且相应地由锁存器 660 加以锁存。然而, 对于较低 V_{dd} 而言, 假定存在 V_{LIMIT} , 则如果 $(V_{dd}-|V_{TP}|) < V_{LIMIT}$, 那么 p 晶体管永不会接通。

[0291] 比较电路 650' 通过提供电压移位器 700 以经由线 701 将升压电压 V_B 供应到电容器 652 的一个板而适用于低电压操作。电压移位器的时序由页控制器 498 经由线 702 加以控制。

[0292] 在操作中,预充电电路 640' 将感测节点 SEN 631 牵拉到 Vdd。在节点 SEN 已通过隔离晶体管 636 从 Vdd 去耦之后,激活电压移位器。电压移位器基本上使 CLK 信号电平增加 ΔV ,以使得节点 SEN 631 处电容器的另一板上的电压将升压相等量。这有效地使动态范围的上限增加 ΔV ,以使得对应于中等传导电流的最终电压可高于 $V_{dd}-V_{LIMIT}$ 。在放电周期结束时,感测节点 SEN 631 经由隔离晶体管 634 而从节点 SEN2 去耦,借此移除 V_{LIMIT} 限制。SEN 631 上的电压随后减少相同 ΔV 以在与参考电压 ($V_{dd}-|V_{TP}|$) 比较之前取消初始升压。这使得能够在甚至低于 V_{LIMIT} 的电平的情况下进行电压比较。

[0293] 将参看图 24 与时序图图 25(A) 到 25(N) 而描述低电压感测模块 600' 的操作及时序。基本上,所述操作及时序类似于结合图 15(A) 到 15(K) 描述的感测放大器 600 的操作及时序。主要差异是关于与每一感测周期(例如,阶段(4)第一感测及/或阶段(7)第二感测)相关联的电压移位器对电容器 652 的额外操作。

[0294] 举例而言,在阶段(4)之前,如在恢复阶段(3)中,节点 SEN 631 耦合到存储器单元且上拉到 Vdd。所述上拉是通过处于低的信号 INV 及 FLT 及由信号 HH0 接通的到节点 SEN 631 的隔离晶体管 636 而实现(图 25(H)(3)、25(C)(3)、25(L)(3))。

[0295] 在上拉之后,当信号 HH0 变为低(图 25(L)(3))时,预充电电路与感测节点 SEN631 隔离。随后在感测阶段(4)中,电压移位器输出上升到预定电平 ΔV 的信号 V_B ,借此也使感测节点 SEN 631 处电容器 652 的电压升压 ΔV (图 25(N)(4))。

[0296] 当由信号 XX0(图 25(M)(4))接通隔离晶体管 634 时,电容器 652 耦合到位线 36。当由存储器单元 10 的传导电流经由位线 36 对电容器放电时,感测节点 SEN 631 处的已升压电压随时间而降低。如前所述,放电速率通过在预定放电周期之后的相对电压降而测量(图 25(G)(4))。已升压电压使得最终电压降高于强加在节点 SEN 631 上(当所述节点 SEN 631 耦合到位线 36 时)的预定电压限值(例如,高于约 0.5V)。

[0297] 当放电周期结束时,在信号 XX0 变为低的情况下,感测节点 SEN 631 与位线隔离。随后,在信号 V_B 返回到零(图 25(N)、25(G))的情况下,SEN 631 处的电压的升压得以移除。SEN 631 处的电压因此在与 p 晶体管 656 的断路栅极电压比较之前下移 ΔV 。如果电压已降到超出 $|V_{dd}-V_{TP}|$,则 p 晶体管 656 将接通且在由信号 STB 选通时会将信号 INV 翻转成高(图 25(G)、25(E)、25(H))。

[0298] 如果优选感测操作涉及图 25 中所示的一个以上遍(例如,比如阶段(7)的第二感测遍),则每一感测遍将应用类似电压移位技术从而允许以低电压供应 Vdd 进行正确操作。

[0299] 在另一实施例中,即使在充足电源电压的情况下(亦即,当对于 p 晶体管的情况,大体上 $V_{dd}-|V_{TP}| > V_{LIMIT}$ 时),仍可实施电压移位器以提供增加的动态范围,在所述增加的动态范围内,可进行电压比较以感测存储器单元的传导电流。换句话说,一般而言可在感测放大器上实施电压移位器以增加检测的动态范围。

[0300] 图 26 说明又一实施例,其中仅在电源电压下降到低于预定电平时才启用电压移位器。如较早结合图 24 所述,电压移位器 700 以经由线 701 供应到感测放大器 600' 的电容器 652 的一个板的信号 V_B 的形式提供已升压电压电平 ΔV 。 V_B 信号由时钟产生器 710 产生。电平检测器 720 检测电源电压 Vdd 的电平。时钟产生器 710 是否向电容器 652 提供升压电压电平 ΔV 将取决于已检测的 Vdd 电平。如果 Vdd 经检测为下降到低于预定电平,则电平检测器将经由输出 721 将启用信号输出到时钟产生器 710,以产生或启用如图 25(N) 中

所示的 V_B 信号。否则,电压移位器 700 将不会被激活或不会产生具有升压电压 ΔV 的 V_B 信号。所述预定电平对于 p 晶体管的情况而言将为 $V_{dd} = |V_{TP}| + V_{LIMIT}$ 加上预定容限。

[0301] 用于为一群感测放大器产生控制信号的参考感测放大器的其它方面及优选实施例

[0302] 在较早段落(例如结合图 18 及图 24 的较早段落)中已描述了感测放大器的各种实施例及其如何由参考感测放大器所产生的信号加以控制。这些感测放大器对于感测具有“所有位线”结构的非易失性存储器特别擅长,其中并行地感测沿存储器阵列的一行的一页邻接存储器单元。确切地说,感测放大器能够使位线上的电压在感测期间维持恒定以控制位线到位线耦合。感测放大器的一个特征是使用位线电压箝位来维持感测期间的恒定电压。另一特征在于,位线中的传导电流并非是通过测量其对位线电容放电的速率、而是改为通过测量其对具备感测放大器的参考电容放电的速率而加以感测。

[0303] 这些感测放大器的操作关键取决于一组控制信号,其定时必须准确且不会经受电源电压、温度、装置制造及其它环境因素的较小变化。如结合图 21 到 23 所述,控制信号优选地是由具有表示操作中的感测放大器群体的特性的参考感测放大器产生。所述参考感测放大器随后能够追踪环境及系统变化并控制所述群感测放大器,以使得其对这些变化的操作相关性得以最小化。已提供用于产生 BLX 及 STB 信号的实例。

[0304] 图 27 说明参考感测放大器的另一优选实施例。首先参看图 21A,参考感测放大器将为一群感测放大器 600-1 到 600-p 提供补偿控制信号。在此情况下,将参考感测放大器称作感测放大器 600-R',且感测放大器优选地类似于图 24 中所示的低电压感测放大器。参考感测放大器 600-R' 将具有类似于所述群感测放大器的感测放大器单元的感测放大器单元 800。在此情况下,其将类似于图 24 中所示的低电压感测放大器 600'。因此,其包括预充电/箝位电路 840、单元电流鉴别器 850 及锁存器 860。

[0305] 用于参考感测放大器的控制信号将通过“_D”后缀与感测放大器的控制信号相区别。参考感测放大器的感测放大器单元 800 具有信号 SEN2_D 所驻留的输入节点 881。参考电流吸收器 58 连接到节点 881 且提供参考电流 IREF。类似于图 23 中所示的参考感测放大器,代替连接到位线以感测存储器单元的传导电流的规则感测放大器,参考感测放大器正在感测参考电流 IREF,所述参考电流(例如)设定于 100nA 到 150nA 之间的电流。参考电流将在隔离晶体管 830 由信号 XX0_D 启用时经所述隔离晶体管 830 而耦合到单元电流鉴别器 850 的输入节点 851。

[0306] 在另一实施例中,展示于图 24 中的晶体管 610 及 482(如果其呈现可观的差异)可包含于参考感测放大器的电流路径中以提供与感测放大器甚至更接近的相似性。

[0307] 预充电/箝位电路 840 经由信号 HH0_D 所控制的另一隔离晶体管 832 而耦合到单元电流鉴别器 850 的输入节点 851。当 HH0_D 为高时,将会对信号 SEN_D 所驻留的输入节点 851 预充电。另一方面,当 HH0_D 为低时,输入节点 851 将从预充电/箝位电路 840 去耦。

[0308] 如在较早段落中所述,感测周期从输入节点 851 从预充电/箝位电路 840 去耦(预充电的结束,HH0_D = 低)且耦合到 IREF(放电的开始,XX0_D = 高)时开始。所述感测周期在输入节点 851 自 IREF 去耦(放电结束,XX0_D = 低)时结束。在节点 857 处用信号 INV_D 输出感测的结果,所述信号 INV_D 是由单元电流鉴别器 850 在感测周期之后用信号 STB_D 加以锁存。

[0309] 控制逻辑 870 从例如页控制器 498 (见图 24) 的有限状态机接收例如 RST (重设) 及 STRT (开始) 的控制信号, 且连同感测放大器单元 800 的输出信号 INV_D 一起产生用于感测放大器单元 800 的必要控制信号。这些控制信号为逻辑信号, 且包含用以控制感测放大器单元 800 的所述 RST_D、STB_D、HH0_D 及 XX0_D。而且因此, 控制逻辑 870 产生例如 CLK、STB 及 STOP 的所要定时信号, 其充当产生用于所述群感测放大器的时间补偿信号的基础。

[0310] 控制信号产生器 890 将逻辑电平信号 CLK、STB 及 STOP 转换为具有用于控制所述群感测放大器的适当模拟电压电平的所需控制信号 670。也参看图 25 中优选感测放大器的时序图, CLK 信号将用以产生 VB 信号 (图 25(N))。图 25(E) 中展示 STB 信号。如由 XX0 (图 25(M)) 的下降沿实现的, STOP 信号的上升沿将与单元电流的隔离同步。这将界定放电或感测周期的结束。感测周期的开始将由 STRT 信号的上升沿加以界定, 如由 HH0 (图 25(L)) 的下降沿实现的, STRT 信号的上升沿将和预充电电路与感测节点 851 的隔离同步。

[0311] 图 28A 更详细地说明图 27 中所示的参考感测放大器的预充电 / 箝位电路。预充电 / 箝位电路 840 实际上是为方便起见而分在一起的两个单独的电路。其包括电压箝位 620' 及预充电电路 640''。

[0312] 针对图 24 中的规则感测放大器 600' 展示类似电压箝位 620', 其中电压箝位 620' 用以防止节点 SEN2 降低到低于预定电压, 从而维持用于另一电压箝位 610 的适当操作条件。在参考感测放大器 800 中, 无需电压箝位 610, 因此仅通过使 n 晶体管 612 以其门控接地而断开来停用电压箝位 620'。

[0313] 针对图 24 中的规则感测放大器 600' 展示类似预充电电路 640', 其中预充电电路 640' 用于上拉及预充电节点 SEN 631 及 / 或节点 SEN2481 以最终将位线 36 预充电。预充电电路 640' 包含由信号 INV 控制的上拉 p 晶体管 644, 所述 p 晶体管与由模拟信号 FLT 控制的另一 p 晶体管 642 串联。在一个实施例中视情况提供 p 晶体管 642, 其中将模拟信号供应到 p 晶体管 642 以用于受控量的上拉。在未使用其的情况下, 可仅将其视为用接地的 FLT 信号门控的通过晶体管 (pass-through transistor)。

[0314] 再次参看图 28A, 在参考感测放大器的情况下, 无需由 FLT 信号控制的 p 晶体管 642 (展示于图 24 中) 提供的功能。因此, 预充电电路 640'' 不会展示 p 晶体管 642 或假定其完全接通。预充电电路 640'' 包含由信号 INV_D 控制的上拉 p 晶体管 644。每当由信号 HH0_D 启用隔离 n 晶体管 832 (参见图 27) 时, 预充电电路 640'' 便经耦合以将信号 SEN_D 所在的节点 851 预充电。

[0315] 图 28B 更详细地说明图 27 中所示的参考感测放大器电路的单元电流鉴别器。单元电流鉴别器 850 类似于图 24 中所示的单元电流鉴别器, 其包含电容器 652, 所述电容器的一端在节点 701 处接地, 且另一端连接到输入节点 851 及 p 晶体管 656 的栅极。p 晶体管 656 使其源极经由信号 STB_D 所门控的另一 p 晶体管 654 而耦合到 Vdd, 且使其漏极经由信号 RST_D 所门控的 n 晶体管 658 而耦合到接地。

[0316] 类似于普通感测放大器的电流单元鉴别器, 电流单元鉴别器 850 用于测量输入节点 851 中的电流。在此情况下, 其测量在感测周期期间当预充电 / 箝位电路去耦 (HH0_D = 低) 且 IREF 耦合 (XX0_D = 高) 到单元鉴别器 850 时的参考电流 IREF (见图 27)。参看图 28B, 所述测量是通过将专用电容器 652 预充电及随后注意所述电容器因排放 IREF 而引起的放电的速率来实现。大体而言, 关系 $I = C \cdot dV/dt$ 保持, 且由于电流恒定, 所以 $I =$

$C(V_2-V_1)/\Delta t$, 其中 Δt 为放电周期且 V_1 为初始电压且 V_2 为放电结束时的最终电压。单元电流鉴别器比较 V_2 与 p 晶体管 656 的阈值电压 V_{TP} 。如果电流较大, 则放电将较快且 V_2 在放电周期结束时将较低。如果 V_2 小于 V_{TP} , 则将接通 p 晶体管 656。另一方面, 较小电流将导致 V_2 太高以致不能接通 p 晶体管 656。在节点 857 处将结果输出为信号 INV_D。当选通 STB_D 暂时接通另一 p 晶体管 654 且将 Vdd 供应到 p 晶体管 656 时, 且如果接通 p 晶体管, 则开始将节点 857 朝向 Vdd 上拉。当断开 STB_D 时, 节点 857 处的充电将停止, 且将信号 INV_D 锁存到锁存器 860 中, 并将信号 INV_D 转换成逻辑电平信号。

[0317] 可看出, 电流比较的输出取决于感测周期与 p 晶体管 656 的阈值电压 V_{TP} 。此外, STB_D 的选通宽度对于改进比较的分辨率也将较为重要。这是因为当 V_2 接近 V_{TP} 的边界线时, p 晶体管 656 的作用类似于模拟装置, 且 STB_D 的宽度确定产生感测到的信号 INV_D 的节点 857 的充电积分时间。因此, 相对于所述的变化而追踪所有这些参数较为重要。

[0318] 通过将参考电流 IREF 馈入类似于所述群感测放大器的参考感测放大器单元的参考感测放大器单元中, 会自动补偿 V_{TP} 及 V_{CC} 参数。同时, 标准 IREF 会产生标准感测周期, 其确保 p 晶体管 656 的接通 (亦即, INV_D 上拉)。这是通过界定给定的感测到的电流的感测结果而实现。举例而言, 对于 100nA 的参考电流, 感测周期必须足以允许已感测节点放电到低于 p 晶体管 656 的阈值 V_{TP} 以将其接通并导致将输出的感测到的信号 INV_D 视为高。实践中, 确定充分感测周期正是通过注意何时上拉感测结果 INV_D 而进行。

[0319] 类似地, 假定 INV_D 的预期结果为高。STD_D 的选通宽度是通过其需要多久来充电具有 INV_D 信号的节点以使得其变为所认为的高而加以确定。

[0320] 因此, 基本上进行两个确定循环以校准控制信号 670 的定时。第一确定为校准感测周期。第二确定为校准用于感测结果的充电积分的周期。

[0321] 图 29(A) 到 29(J) 为说明参考感测放大器的操作的示意性时序图。第一确定循环在 t_2 之后结束。第二确定循环在 t_3 与 t_5 之间。在对时序图的以下描述中, 也将参看图 27 及图 28A 及 28B。

[0322] 在时间 t_0 之前, 参考感测放大器 600-R' 最初是通过来自页控制器的重设信号 RST (见图 27) 而连同所述群感测放大器 600-1 到 600-p (见图 21A) 一起重设。这导致控制逻辑 870 最初输出处于逻辑高的局部重设信号 RST_D (图 29(B))、STB_D 低 (图 29(G))、HH0_D 高 (图 29(C)) 及 XX0_D 高 (图 29(J))。因此, 参看图 27, 参考感测放大器 600-R' 最初使输入节点 851 处的信号 SEN_D 耦合到 IREF 且预充电到 Vdd (图 29(D))。而且, 参看图 28B, 在 p 晶体管 656 因由 STB_D 接通的 p 晶体管 654 而源极连接到 Vdd 的同时, 单元电流鉴别器 850 使输出的感测结果 INV_D 重设为 0V (图 29(E))。在锁存器 860 处, 将输出的已锁存感测结果 INV_D 重设为低 (图 29(E))。

[0323] 在时间 t_1 处, 断言来自页控制器的 STRT 信号。这导致解除断言 RST_D (图 29(B)), 接着解除断言 HH0_D (图 29(C))。HH0_D 信号将预充电电路从输入感测节点 851 去耦, 并开始放电或感测周期 T_{SEN} 。图 29(D) 展示由于输入感测节点 851 正由 IREF 放电而在感测期间下降的 SEN_D。在时间 $t_{1.1}$, SEN_D 已降到 V_{TP} , 其开始接通 p 晶体管 656。此导致 INV_D 因被上拉到 Vdd 的节点 857 (图 28B) 而上升 (图 29(E))。

[0324] 在 INV_D 已达到逻辑高之后的时间 t_2 , 使用此事件对放电或感测周期的结束进行分界。而且, 响应于此事件, 控制逻辑 870 使信号 XX0_D 转成低, 借此将 IREF 从输入感测节

点 851 去耦,并停止电容器 652 的放电(图 27 及图 28B)。其也使信号 STB_D 转成高,借此将 Vdd 从 p 晶体管 656 去耦并停止节点 857 的充电(图 28B)。

[0325] 因此,保证了在于周期 $A_t = t_2 - t_1$ 中进行感测时的预定电流(例如 IREF)以便为所述群感测放大器特有的感测模块将 p 晶体管 656 断路。因此,此时序由控制逻辑 870 用以产生用于所述群感测放大器的例如 CLK 及 STOP 的控制信号。对于待控制的所述群感测放大器, t_0 处的 STRT 信号对感测周期的开始进行定时。 t_2 处的 STOP 信号的上升沿对感测周期的结束定时。CLK 信号是用于产生用于图 24 中所示的低电压感测放大器的 V_b 信号。其上升沿从下降的 HH0_D 而延迟时间周期延迟 _R,从而确保感测节点 851 从预充电电路完全去耦。类似地,其下降沿从下降的 XX0_D 延迟延迟 _F,从而确保感测节点 851 从 IREF 完全去耦。

[0326] 同时,输入感测节点 851 上的 SEN_D 信号在感测周期结束时仍保持 V2。由于假定此读取产生高 INV_D,所以进行第二确定以获得用于将节点 857 从输出 INV_D 之处充分上拉的时序。

[0327] 在时间 t_3 处,由信号 RST_D 重设参考感测放大器 600-R' 的 INV_D 信号(图 29(B))。在 INV_D 已变为高并历经预定周期之后,控制逻辑使得信号 RST_D 上升。这会将节点 857 中的信号 INV_D 重设为低。

[0328] 在时间 t_4 处,在于 CLK 的下降沿之后的延迟 _S 延迟处,STB_D 下降以将 Vdd 耦合到 p 晶体管 656 的源极且节点 857 开始充电。同时,信号 STB 下降以标记此积分时间的开始。

[0329] 在时间 t_5 处,信号 INV_D 已达到逻辑高电平,且此时间由控制逻辑用以分界此充电到高所需的周期。因此选通信号 STB 将在此时上升以提供具有正确宽度的反相脉冲。

[0330] 其后,进行校准操作且通过先将 STRT 解除断言(图 29(A))然后将 RST_D、HH0_D、XX0_D 解除断言来重设参考感测放大器。这将导致 SEN_D 及 INV_D 及 STOP 返回到其准备好进行下一操作循环的初始状态。

[0331] 图 30 说明用于参考感测放大器的控制逻辑的示意性功能方框图。基本上,控制逻辑 870 具有一个输入组,其包含从页控制器 498(图 18)接收以对所述群感测放大器 600-1 到 600-p 的重设进行定时的 RST 信号。其也从页控制器接收 STRT 信号以对参考感测放大器 600-R' 的开始进行定时。在参考感测放大器的操作期间,也接收感测结果信号 INV_D 以获得经补偿的感测周期的时序及选通宽度。响应于这些输入信号,控制逻辑输出用于参考感测放大器 600-R' 的操作的一组逻辑电平控制信号。这些控制信号包含 RST_D、STB_D、HH0_D 及 XX0_D 信号,所述信号及其相关因果关系描述于图 29(A) 到 29(J) 的时序图中。

[0332] 因此 RST_D 及 HH0_D 信号是由逻辑 1 模块产生,所述逻辑 1 模块从信号 RST、STRT 及 INV_D 取得输入,以分别产生图 29(B) 及图 29(C) 中所示的信号。类似地,STB_D 及 XX0_D 信号是由逻辑 2 模块产生,所述逻辑 2 模块从信号 STRT 及 INV_D 取得输入,以分别产生图 29(G) 及图 29(J) 中所示的信号。STOP 信号是由逻辑 3 模块产生,所述逻辑 3 模块从 STB_D 信号取得输入以产生图 29(I) 中所示的信号。STB 信号是由逻辑 4 模块产生,所述逻辑 4 模块从延迟 _S 模块所延迟的 CLK 信号取得输入,以产生图 29(H) 中所示的信号。CLK 信号是由逻辑 5 模块产生,所述逻辑 5 模块从延迟 R 模块所延迟的信号 STRT 及延迟 _F 模块所延迟的 INV_D 取得输入,以产生图 29(F) 中所示的信号。

[0333] 由控制逻辑 870 产生的逻辑电平信号 CLK、STB 及 STOP 含有经补偿的时序,以控制所述群感测放大器 600-1 到 600-p。所述群感测放大器是通过控制信号产生器 890(展示于图 27 中)而调节为具有适当电压电平的一组控制信号 670。

[0334] 图 31 为说明利用参考感测放大器以校准感测放大器的感测周期的流程图。

[0335] 步骤 900:提供用于相对于参考电流而感测电流的感测电路,所述感测电路在预定周期中进行感测,以分别视感测到的电流是大于还是小于参考电流而产生第一或第二信号。

[0336] 步骤 910:提供具有与感测电路大体上类似的特性及操作条件的参考感测电路。

[0337] 步骤 912:用参考感测电路感测参考电流。

[0338] 步骤 914:确定在参考感测电路的输出在第一信号与第二信号之间改变信号之前所需的感测周期。

[0339] 步骤 920:在用感测电路感测电流的同时,使用已确定的感测周期对预定周期进行定时。

[0340] 图 32 为说明利用参考感测放大器以校准感测放大器的已放大输出的积分周期的流程图。

[0341] 步骤 930:提供用于相对于参考电流而感测电流的感测电路,所述感测电路具有分别取决于感测到的电流是大于还是小于参考电流而具有第一或第二电压电平的内部节点,且在于预定积分周期中分别放大第一或第二电压电平之后输出第一或第二信号。

[0342] 步骤 940:提供具有与感测电路大体上类似的特性及操作条件的参考感测电路。

[0343] 步骤 942:用参考感测电路感测参考电流。

[0344] 步骤 944:放大其对应内部节点上的电压电平。

[0345] 步骤 946:确定在参考感测的输出在第一信号与第二信号之间改变信号之前所需的积分周期。

[0346] 步骤 950:在用感测电路感测电流的同时,使用已确定的积分周期对预定积分周期进行定时。

[0347] 以此方式,所述群感测放大器经控制以操作,而不会对电源、制造过程及其它环境因素的变化敏感。

[0348] 虽然已相对于某些实施例描述了本发明的各方面,但应了解,本发明在随附权利要求书的完整范围内受到保护。

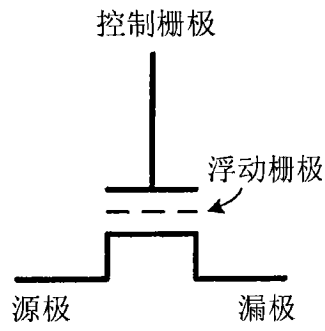


图 1A (现有技术)

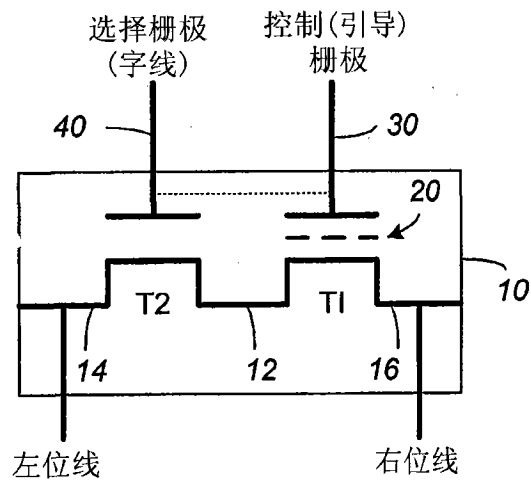


图 1B (现有技术)

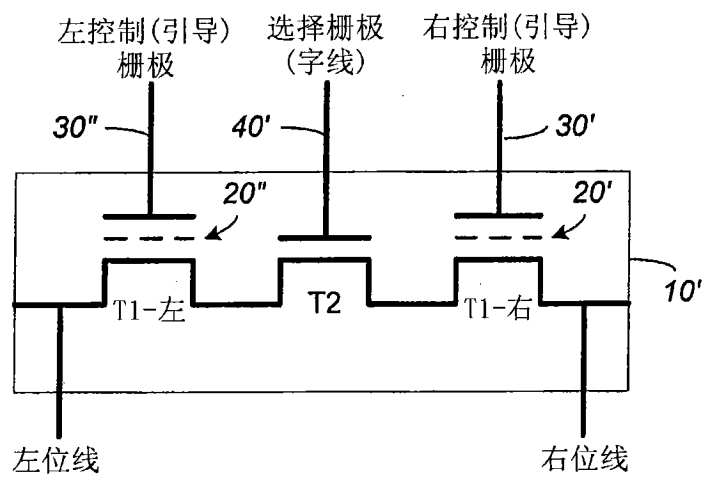


图 1C (现有技术)

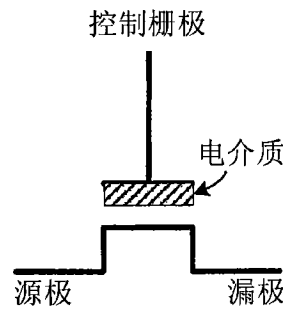


图 1E (现有技术)

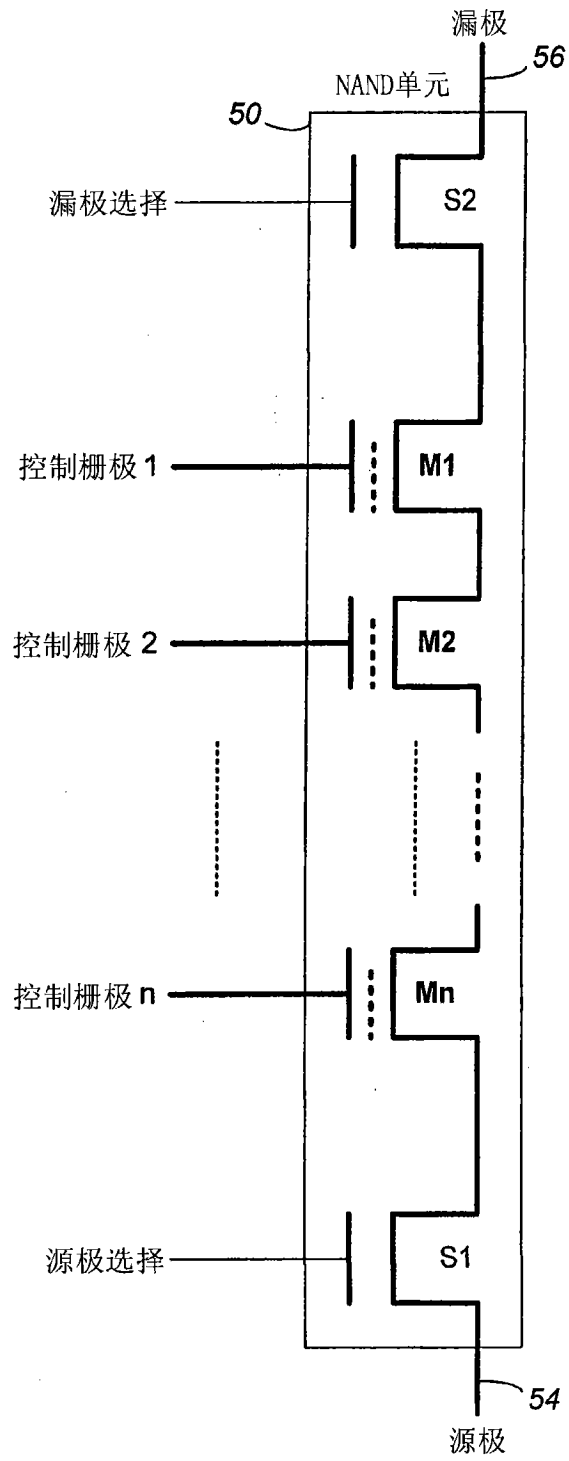


图 1D (现有技术)

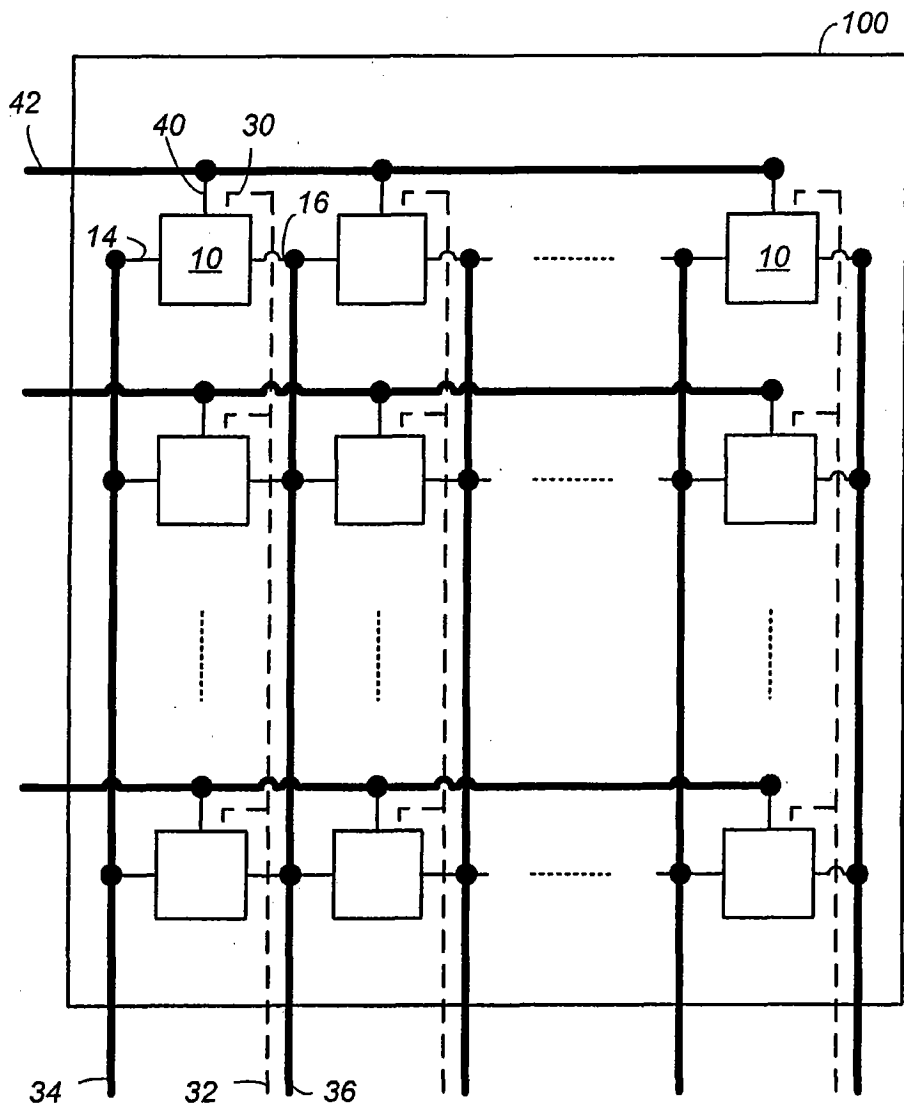


图 2 (现有技术)

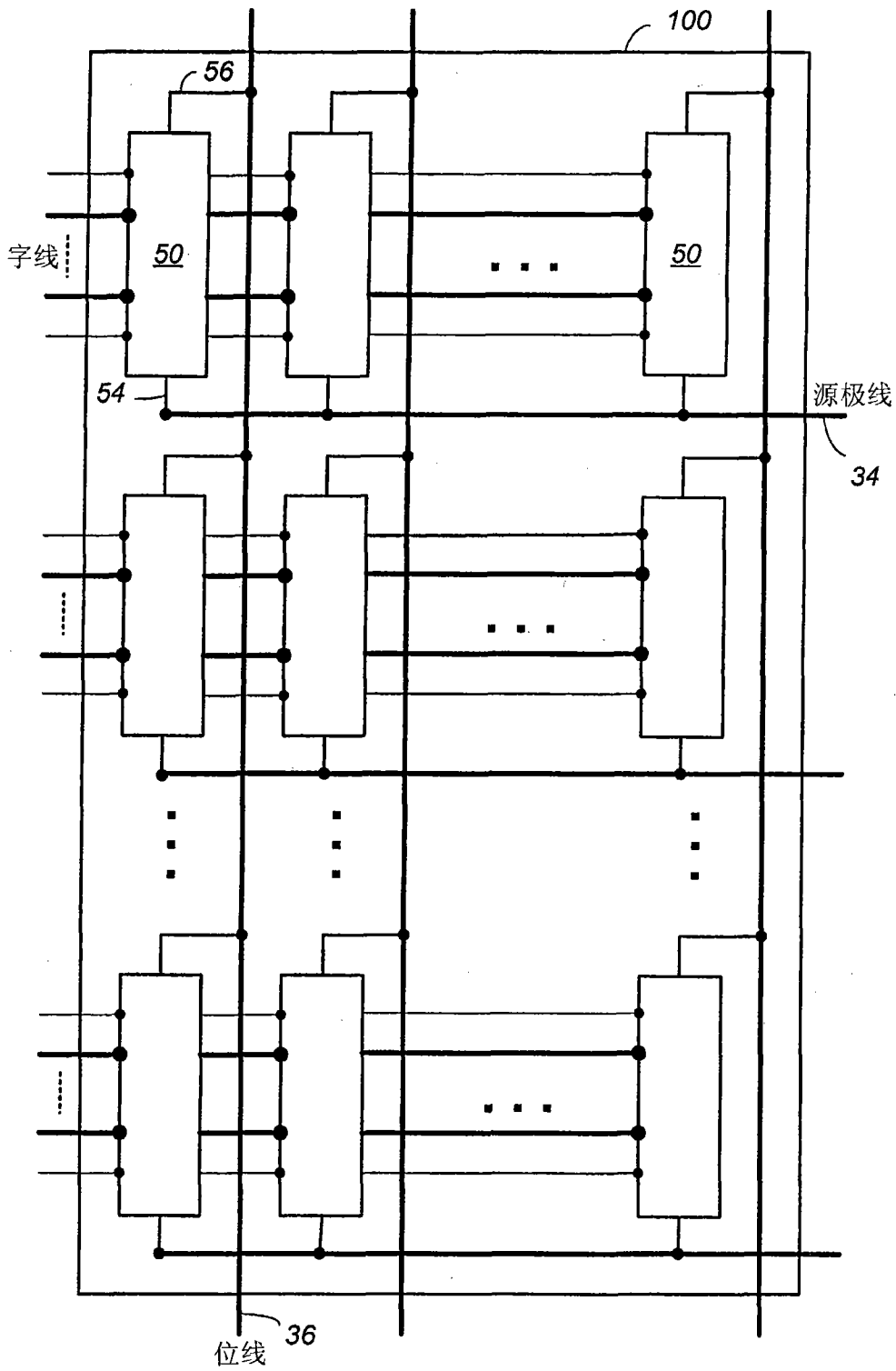


图3 (现有技术)

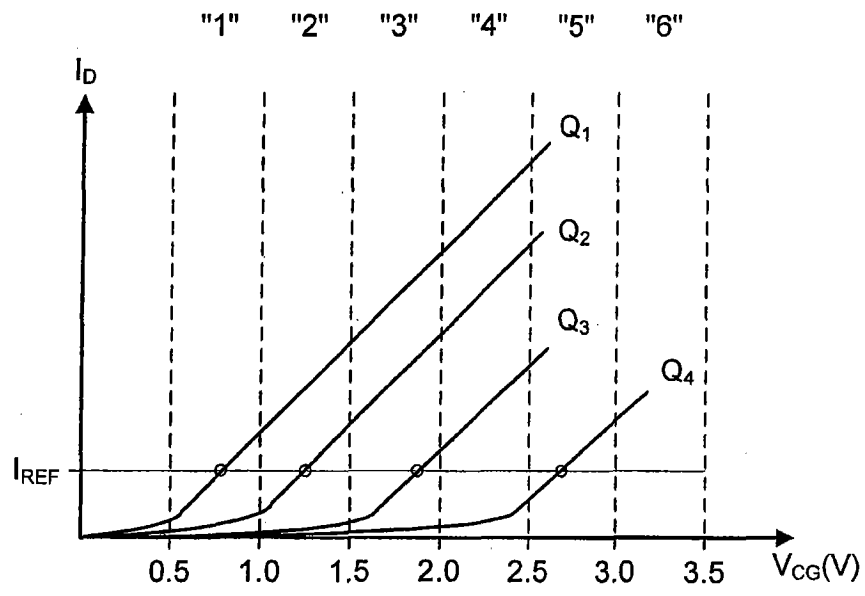


图 4 (现有技术)

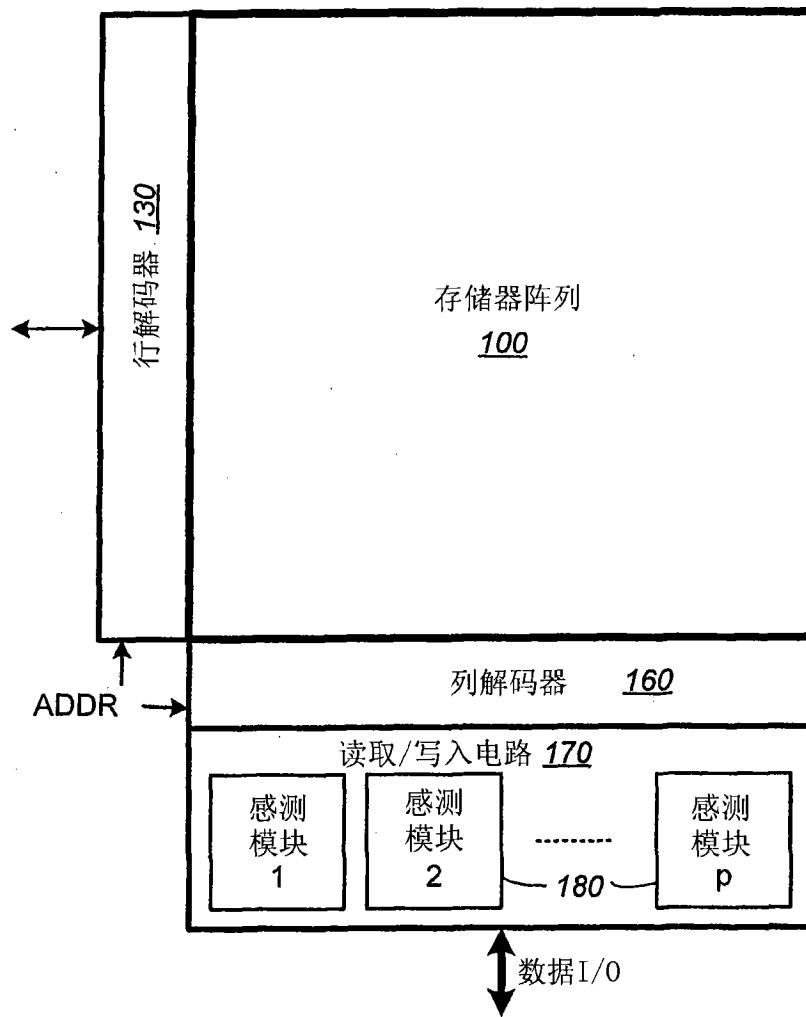


图 5 (现有技术)

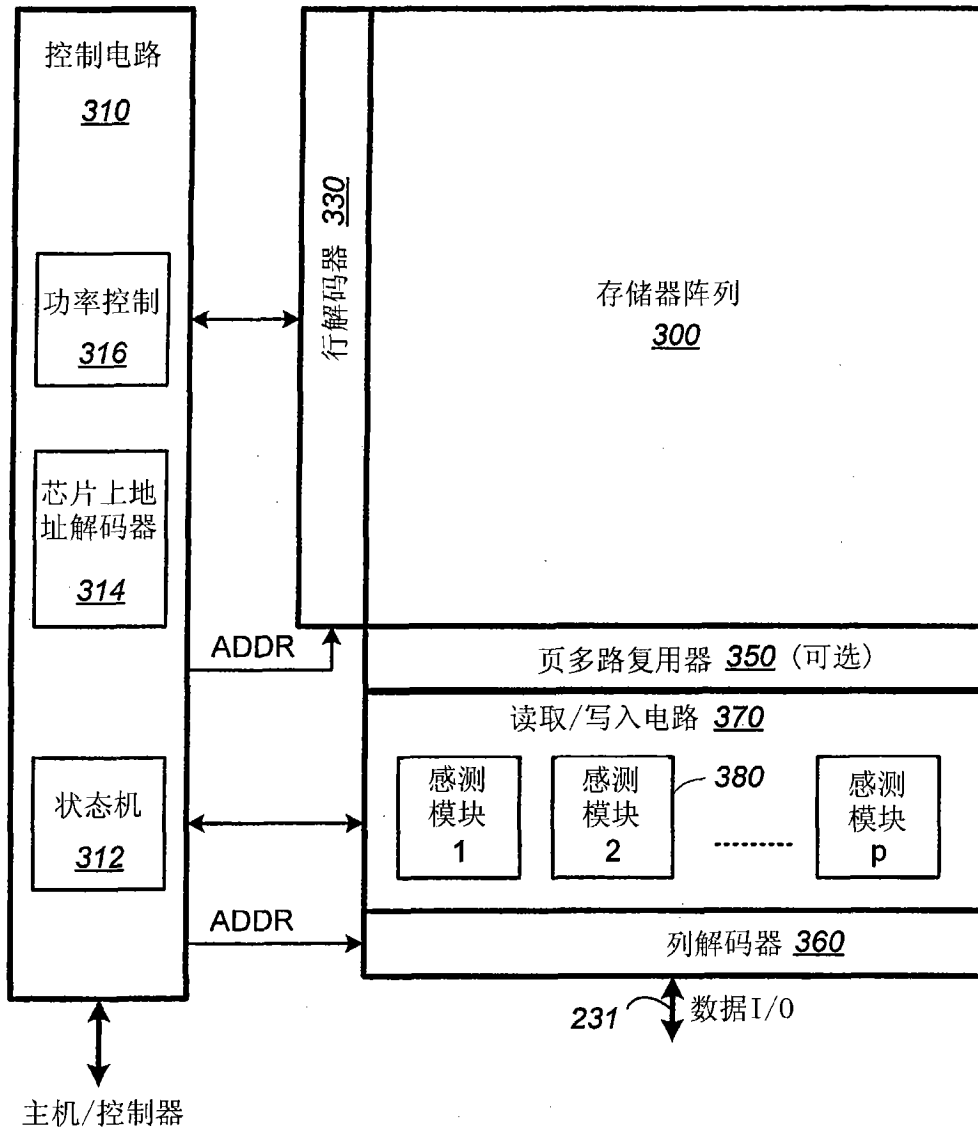


图 6A



图 6B

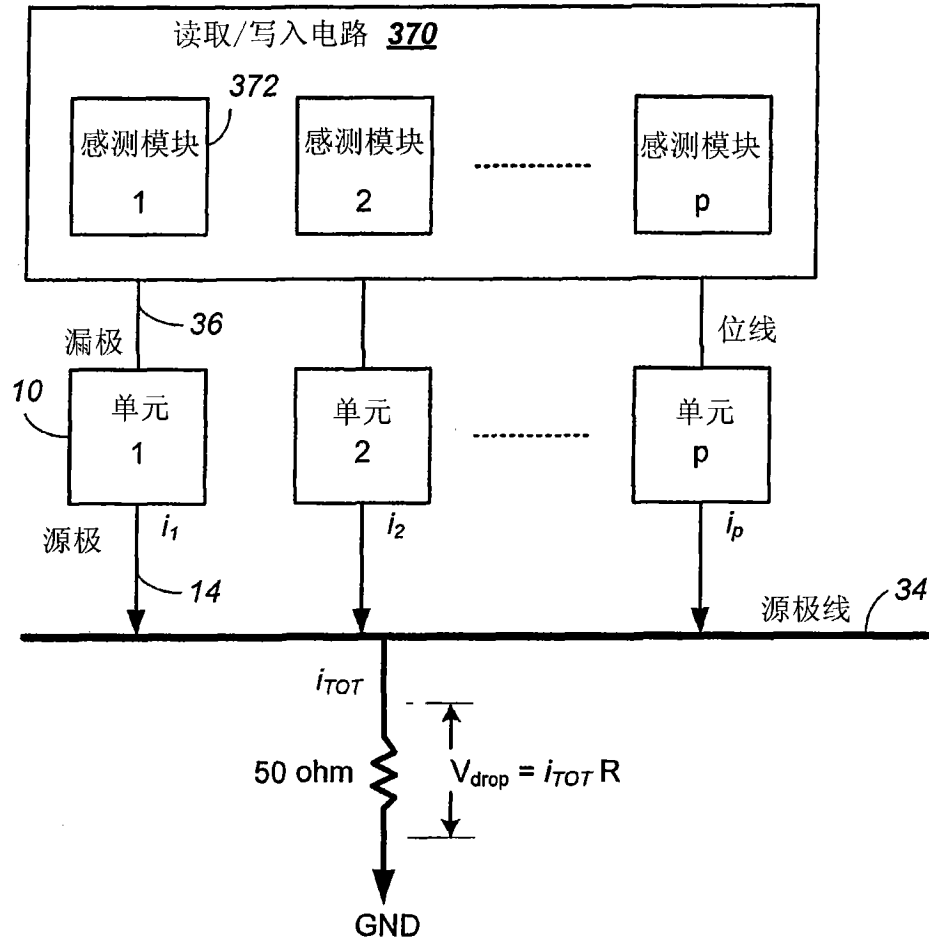


图 7A

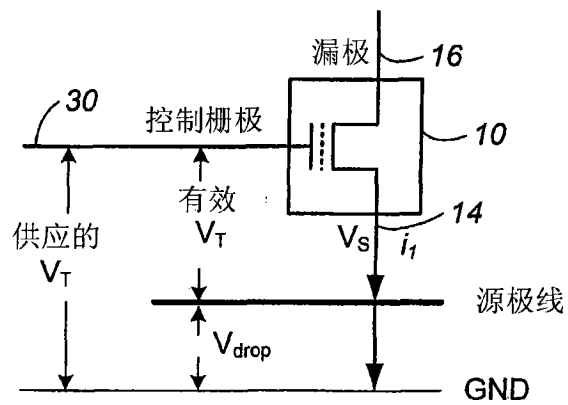


图 7B

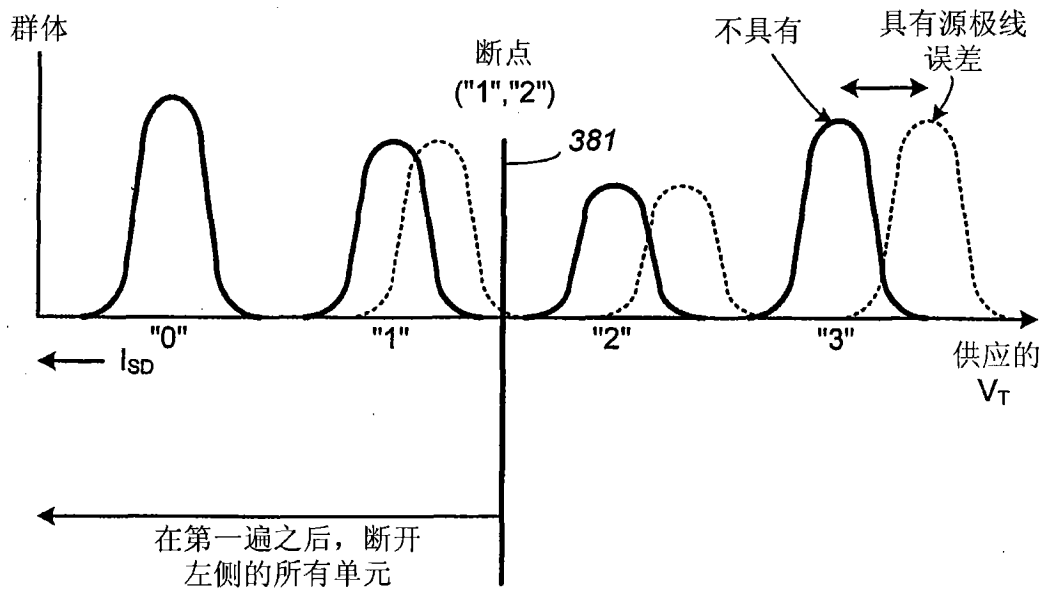


图 8

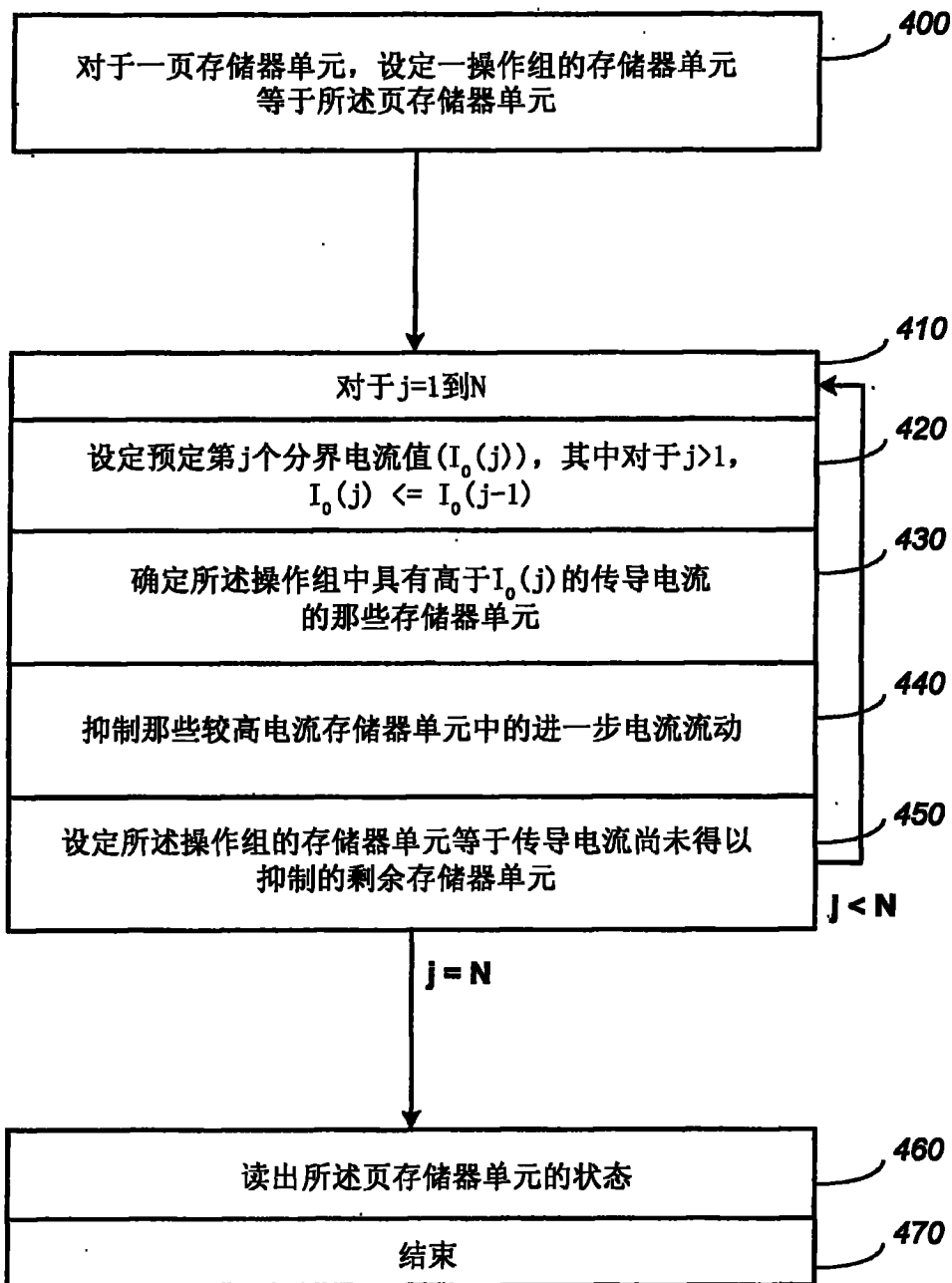


图 9

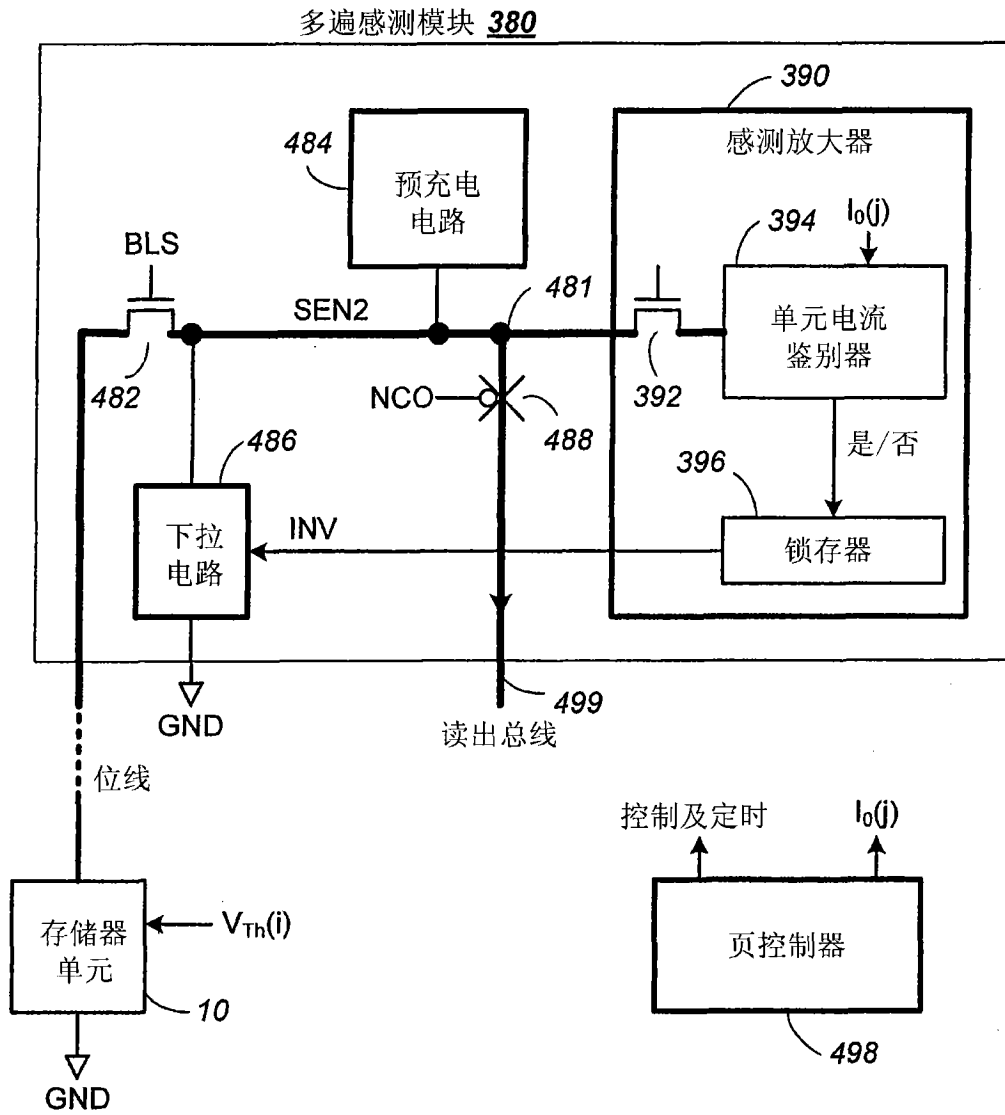


图 10

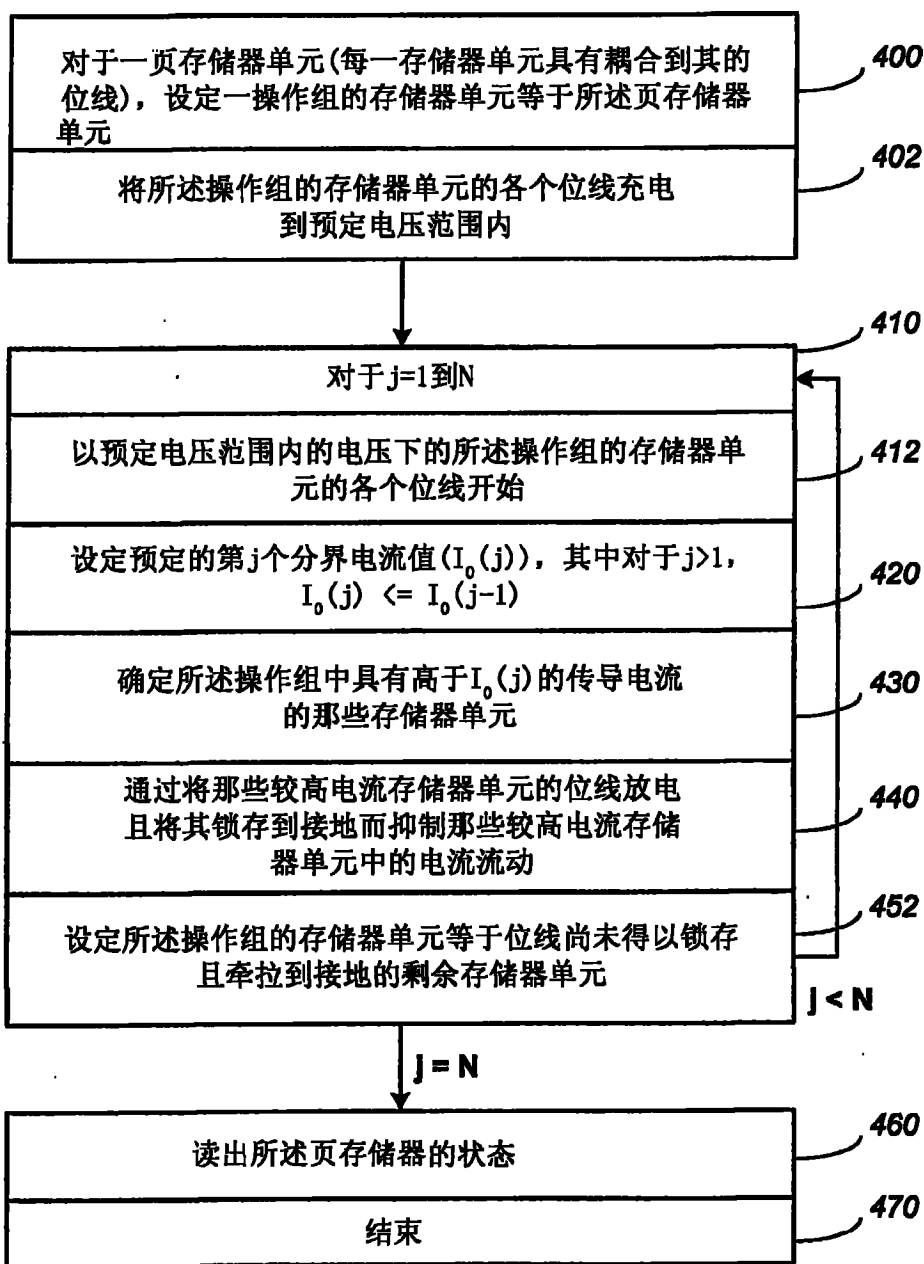


图 11

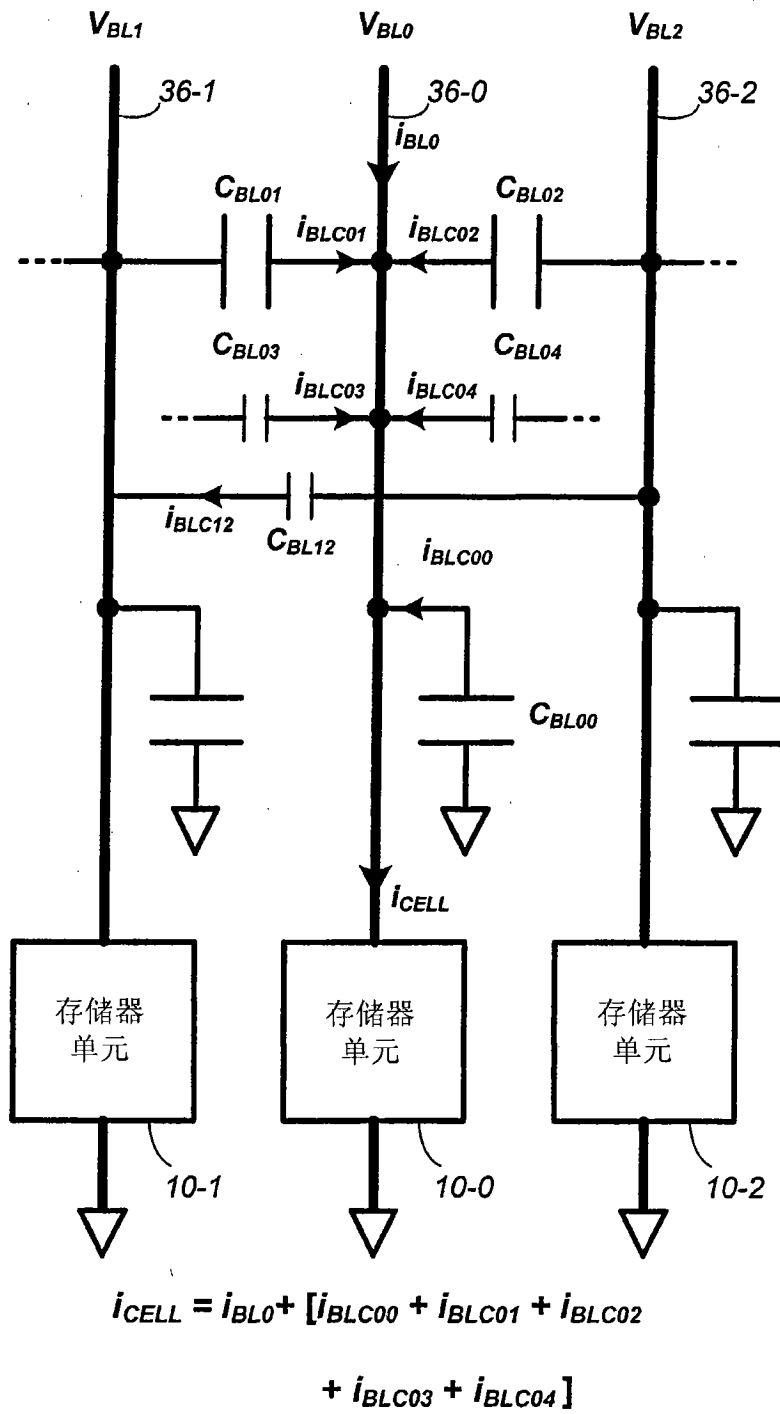


图 12

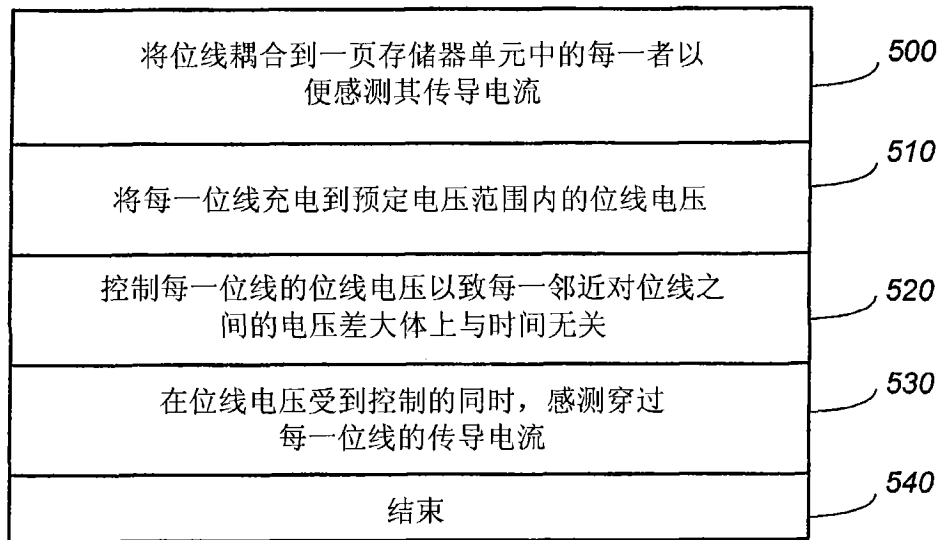


图 13A

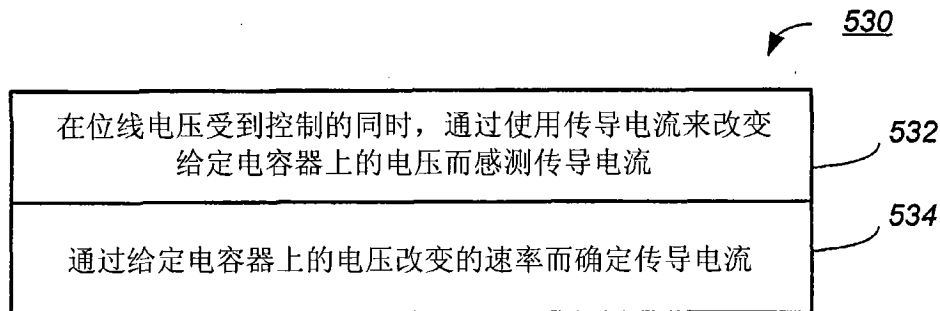


图 13B

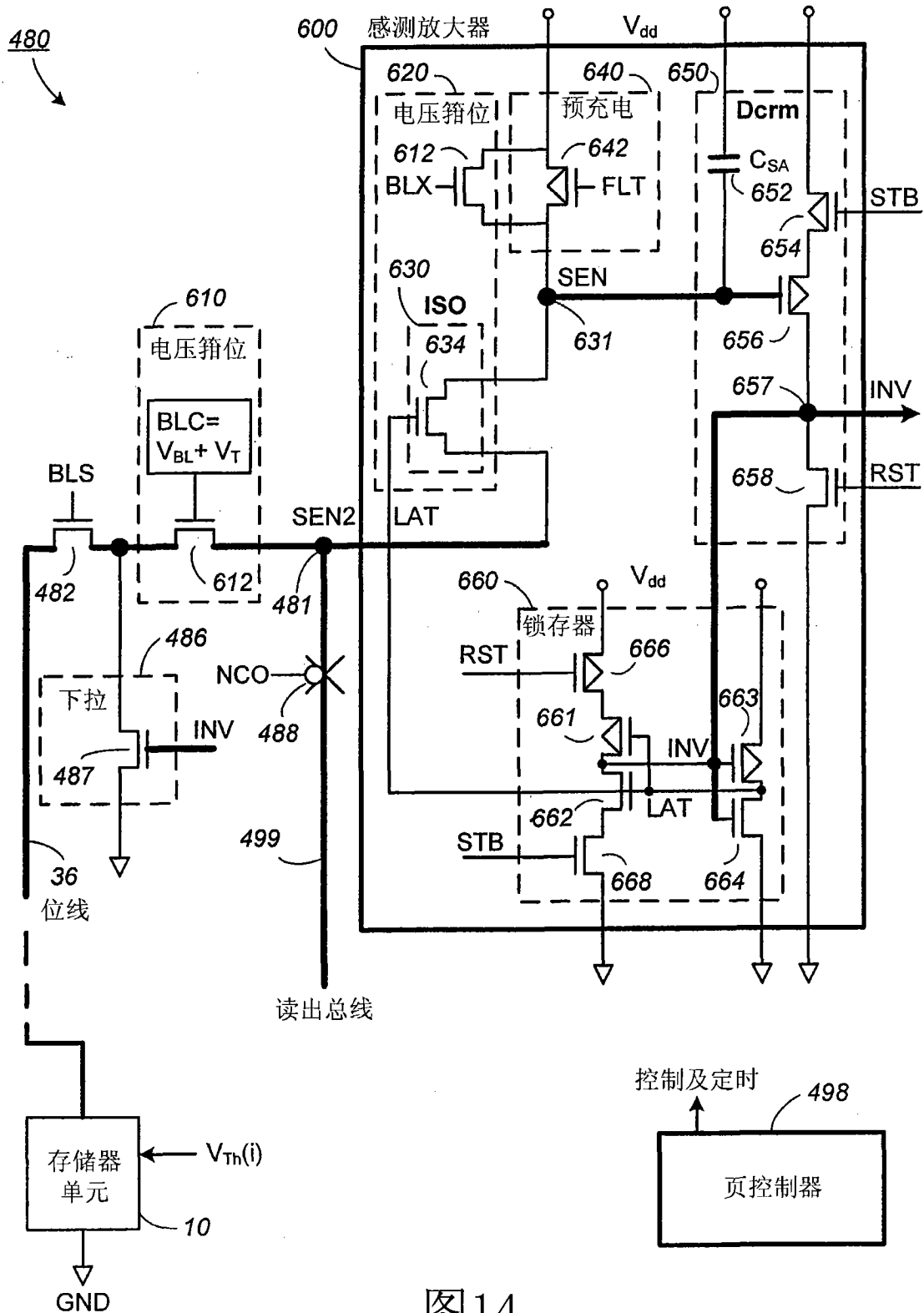


图14

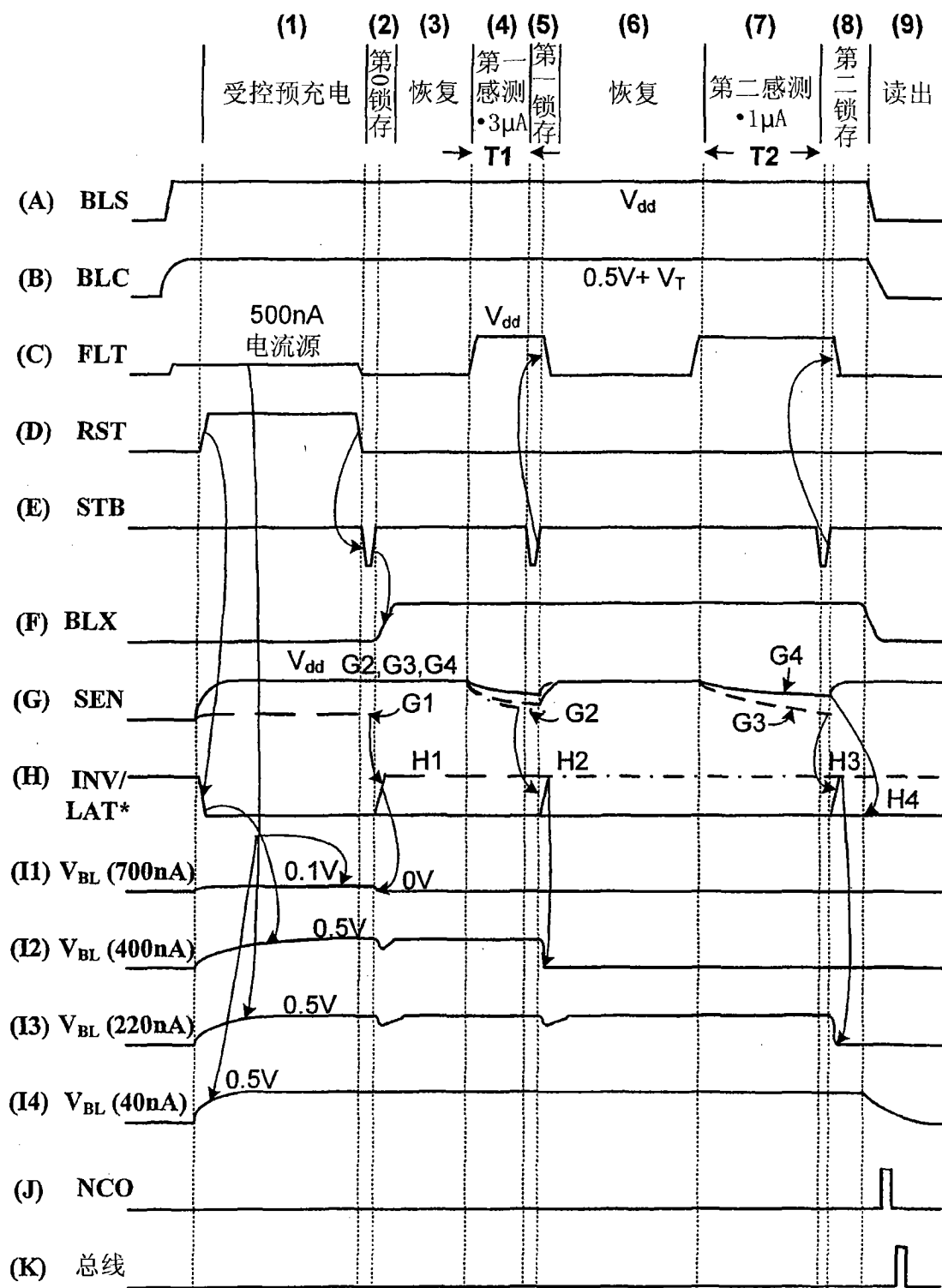


图 15

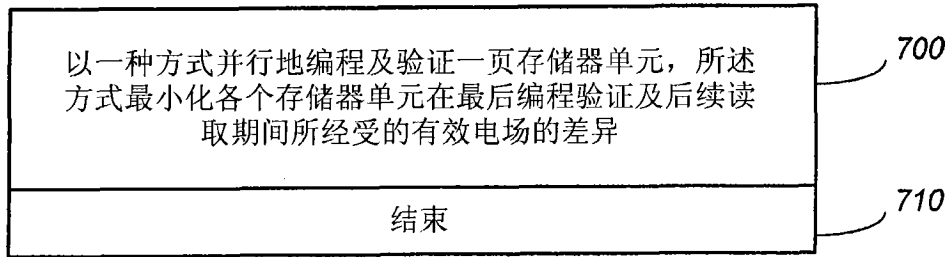


图 16A

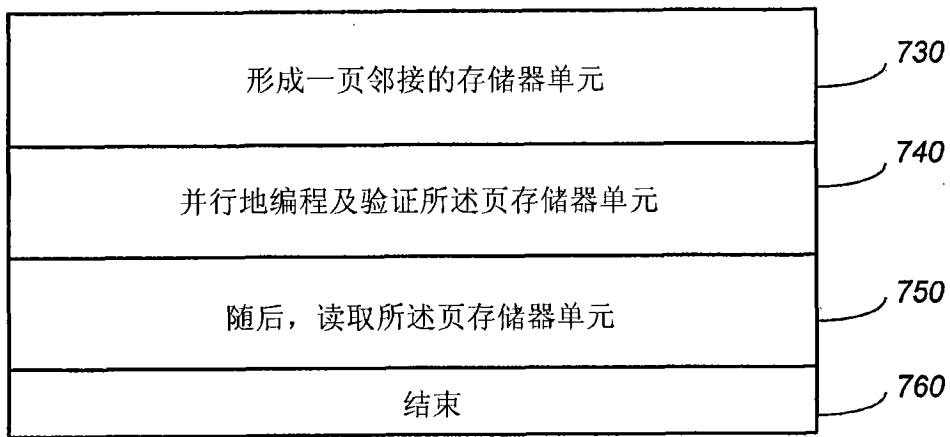


图 16B

存储器阵列 300

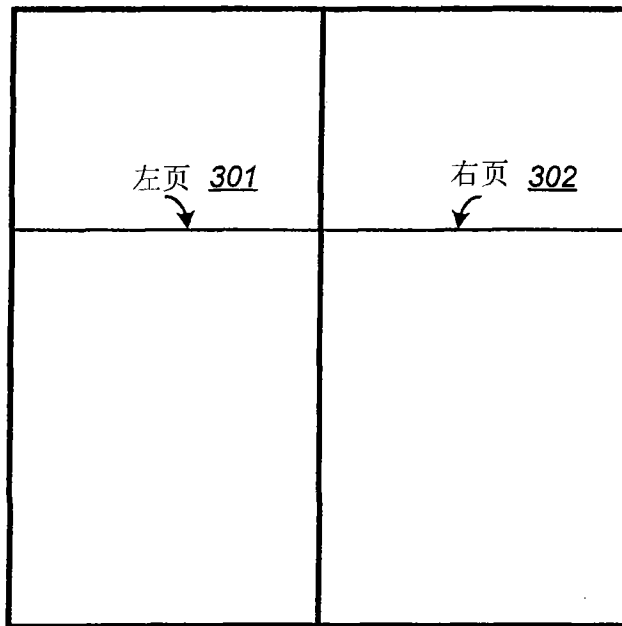


图 17

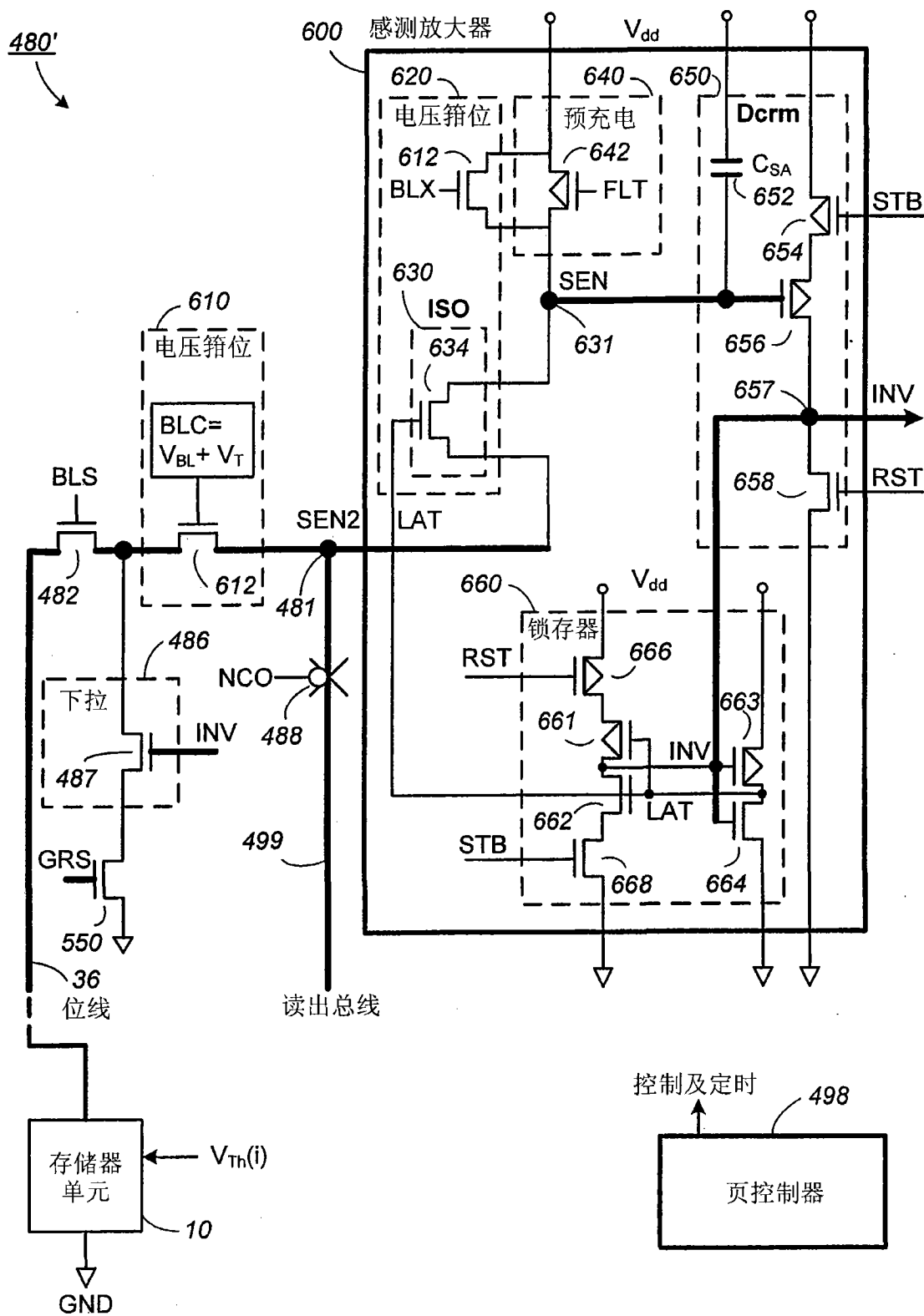


图 18

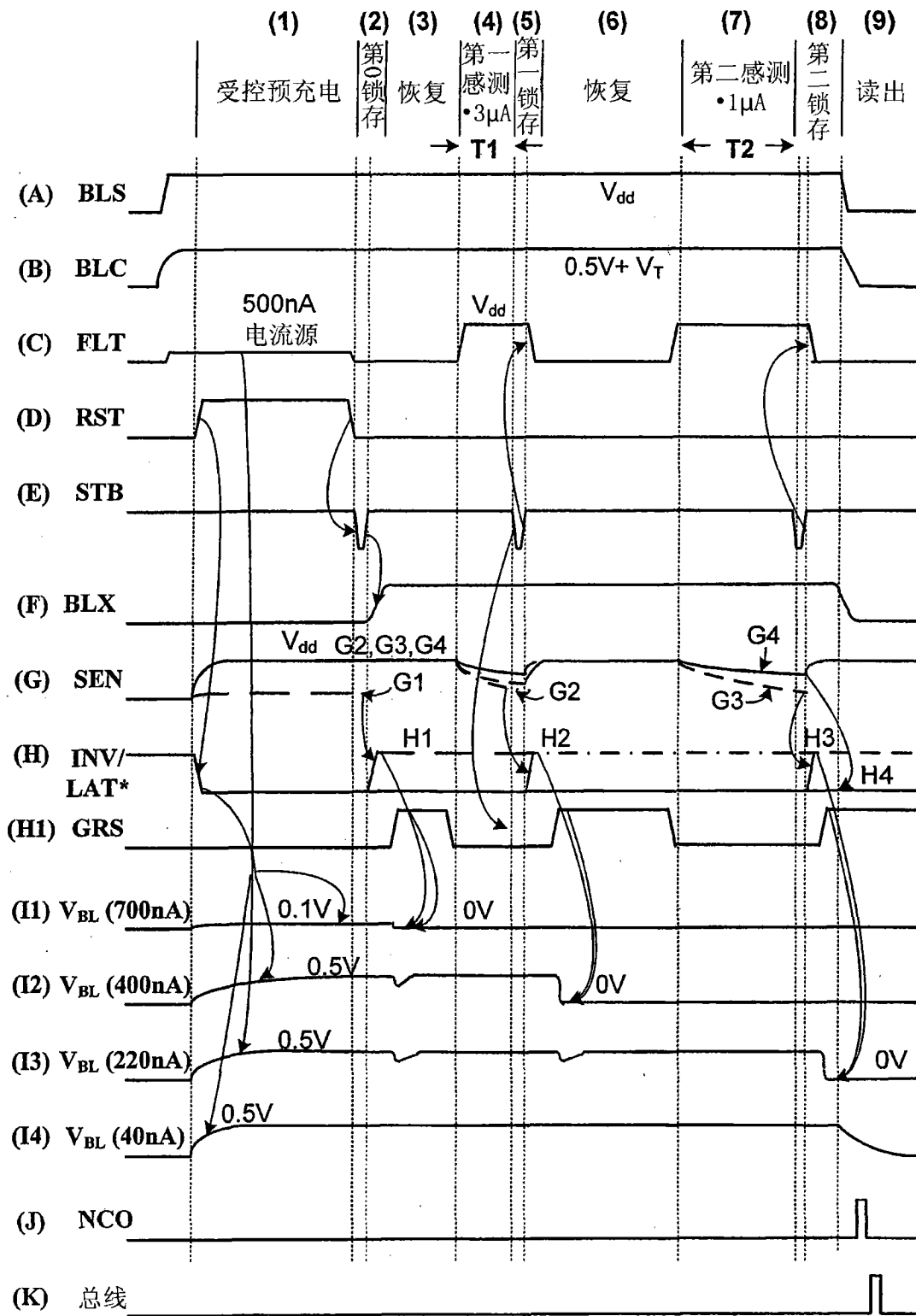


图 19

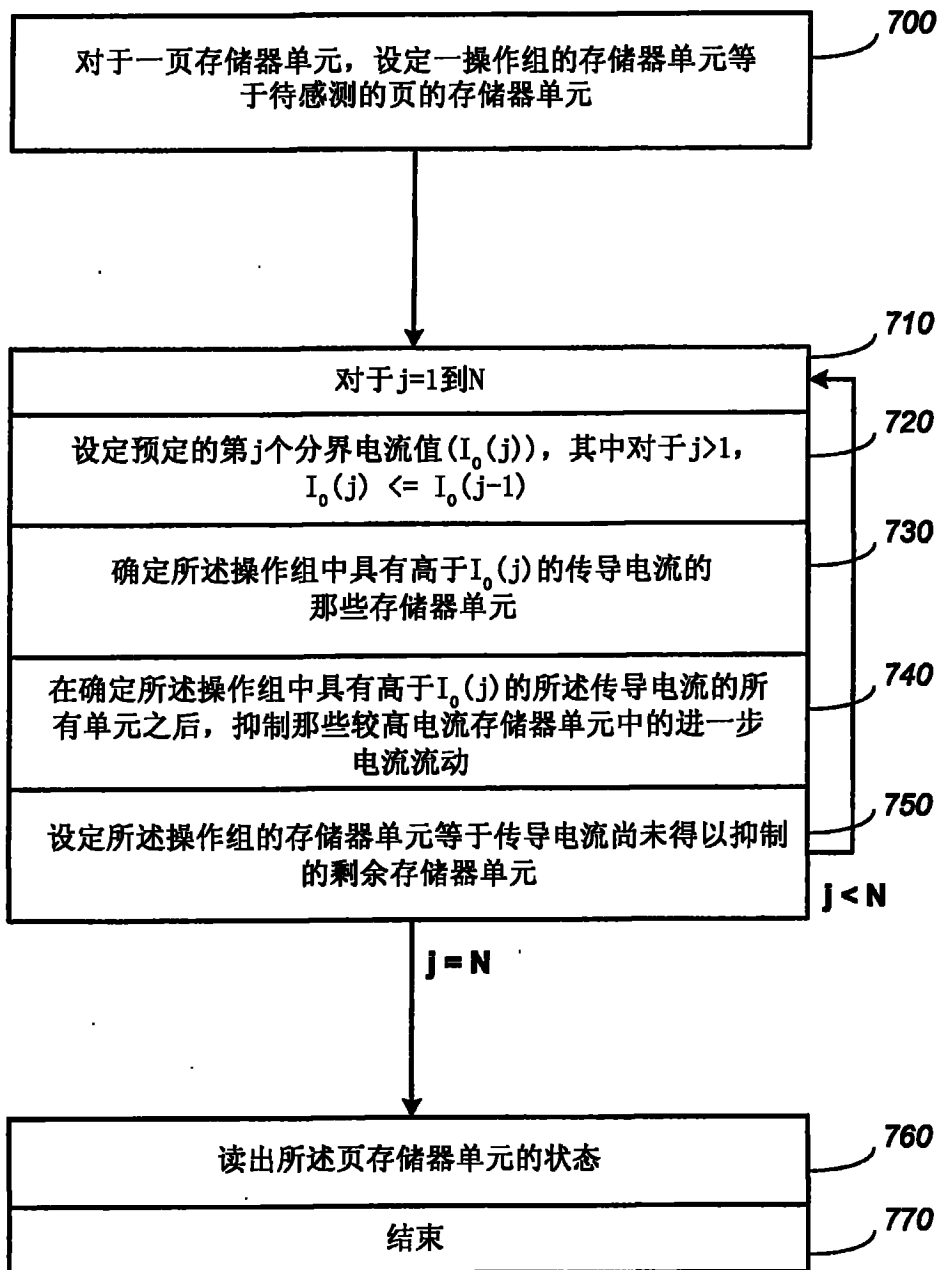


图 20

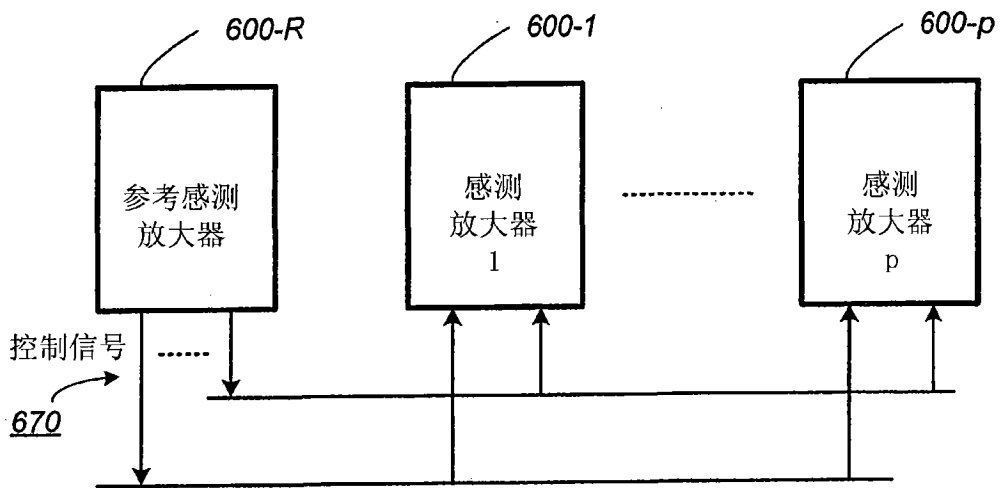


图 21A

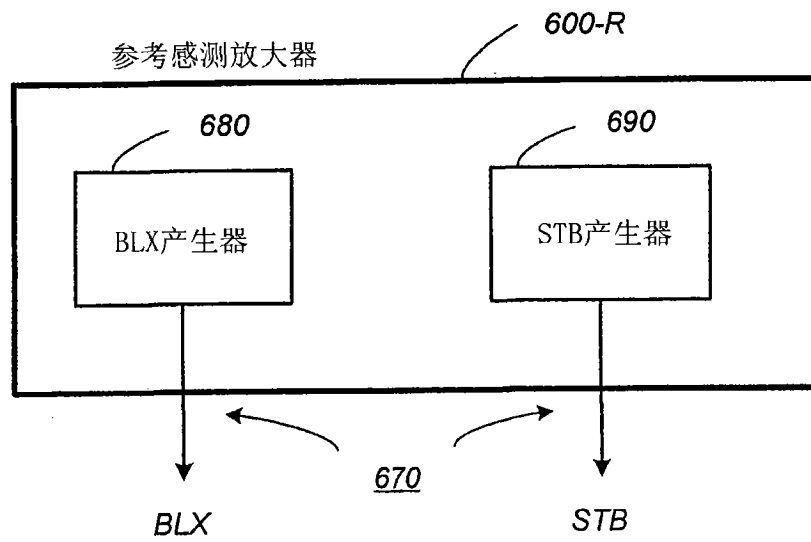


图 21B

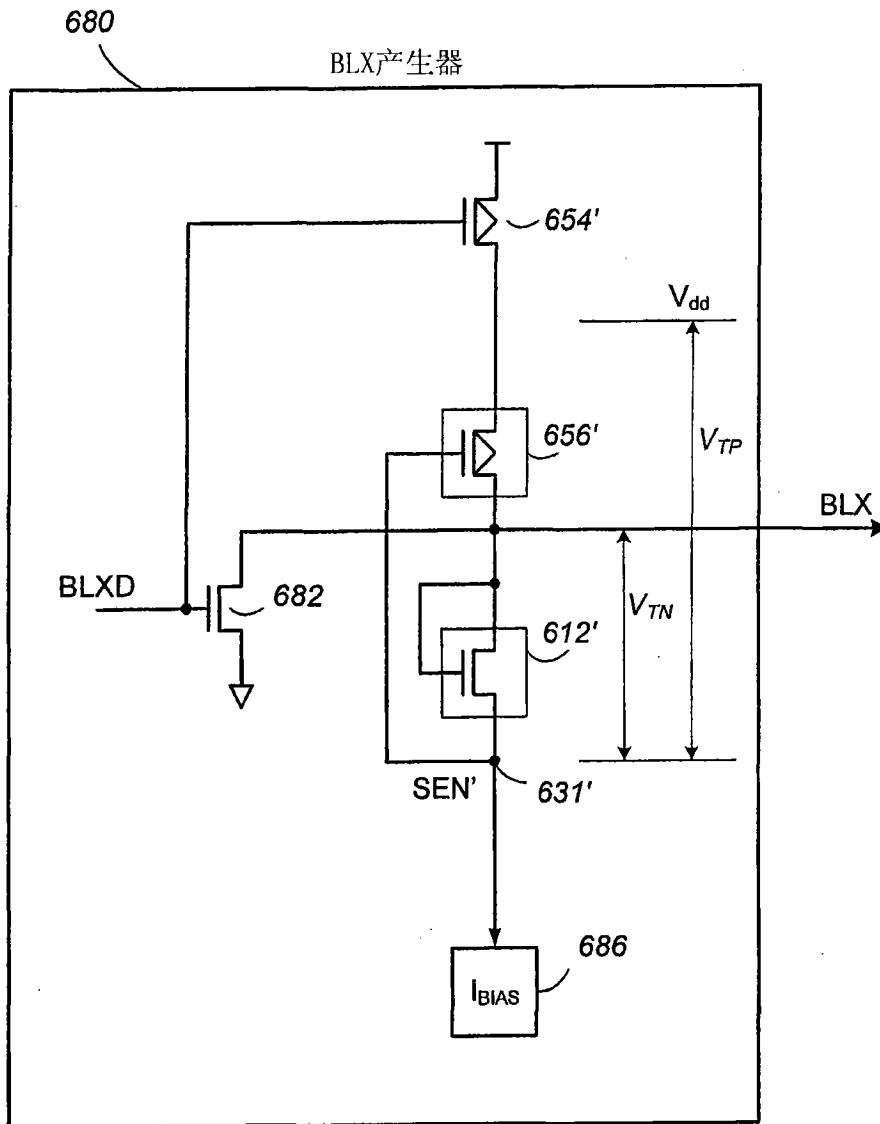


图 22

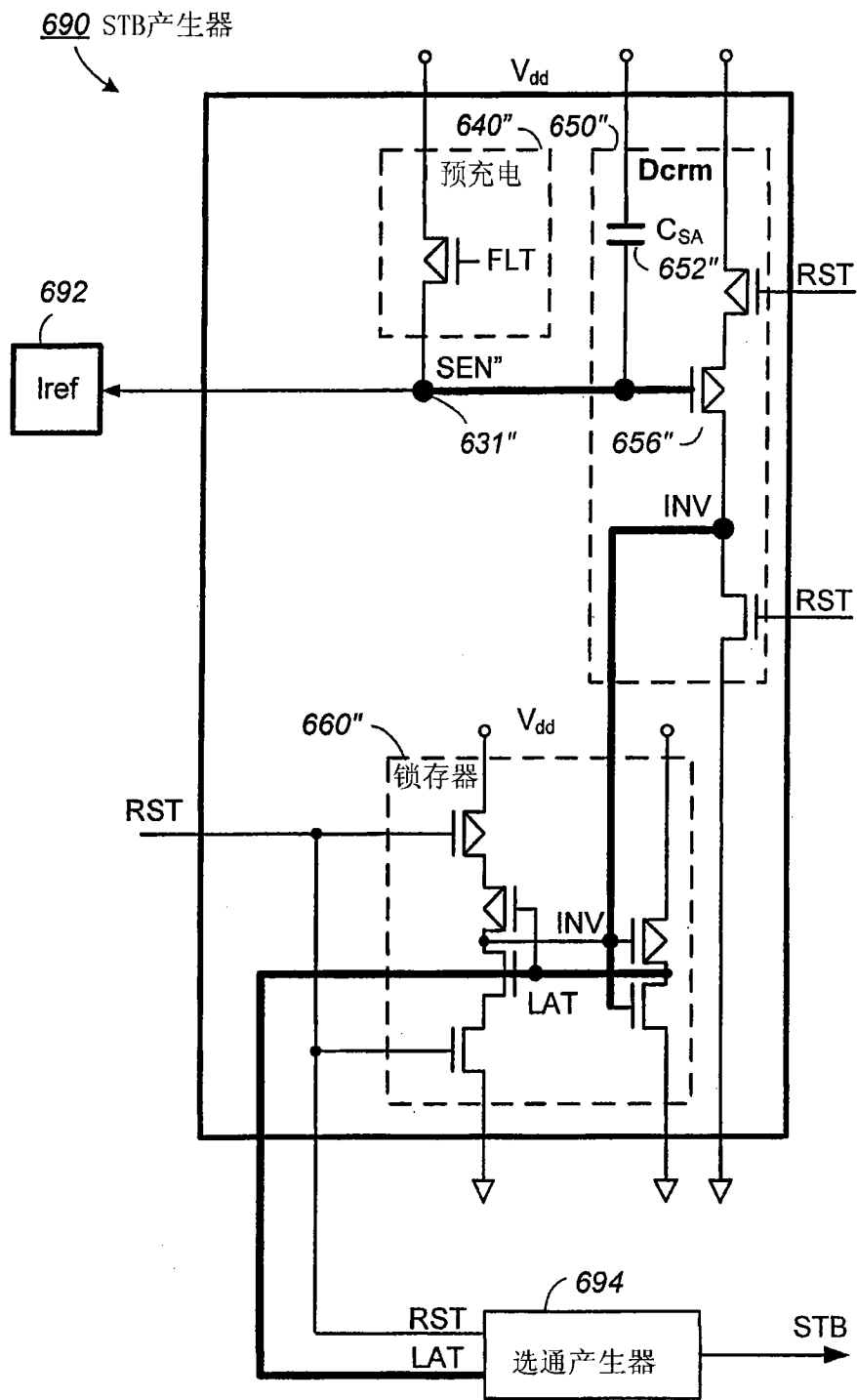


图 23

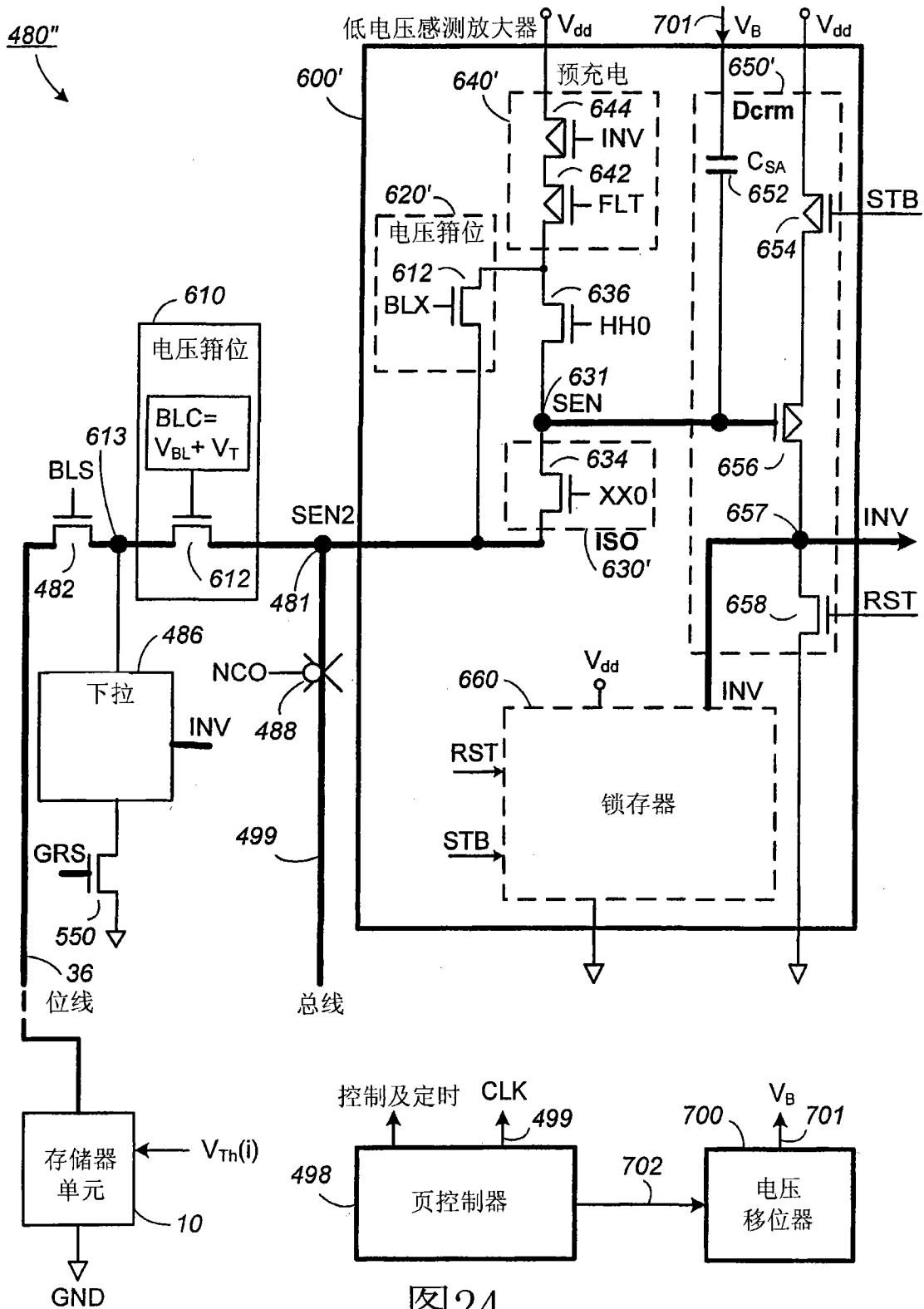


图24

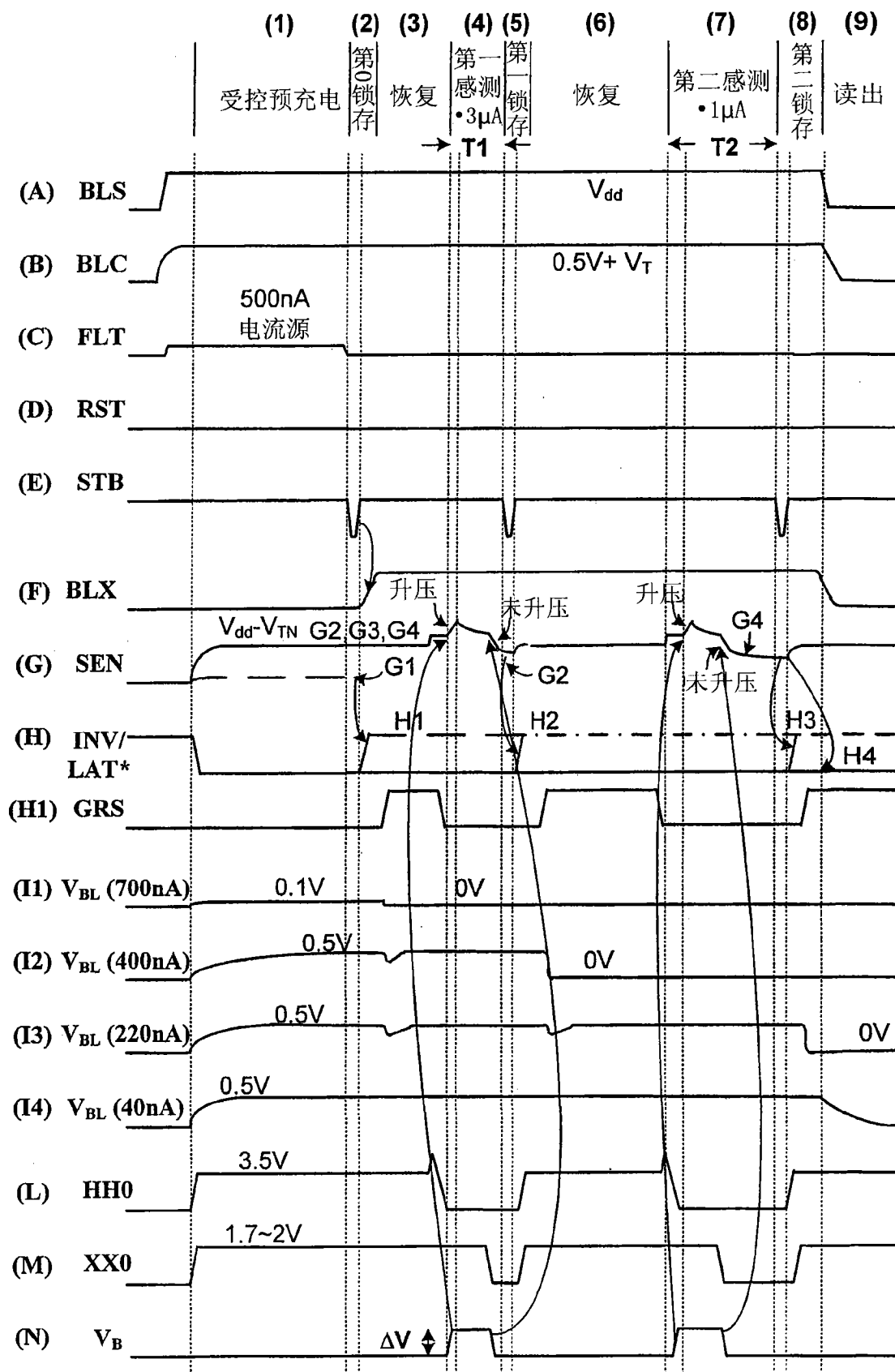


图 25

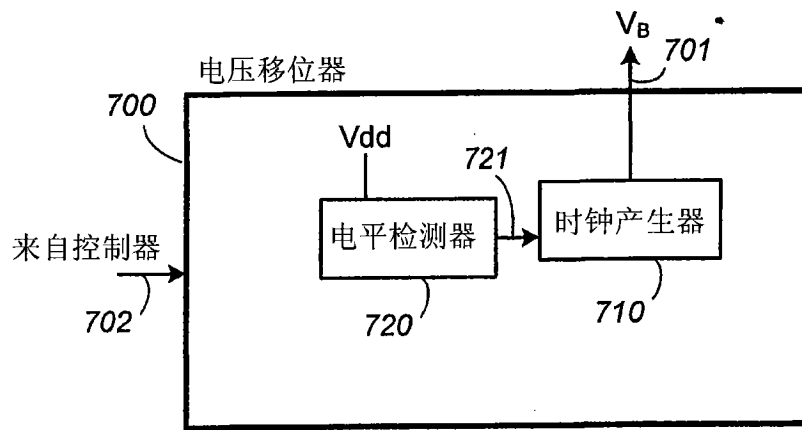


图 26

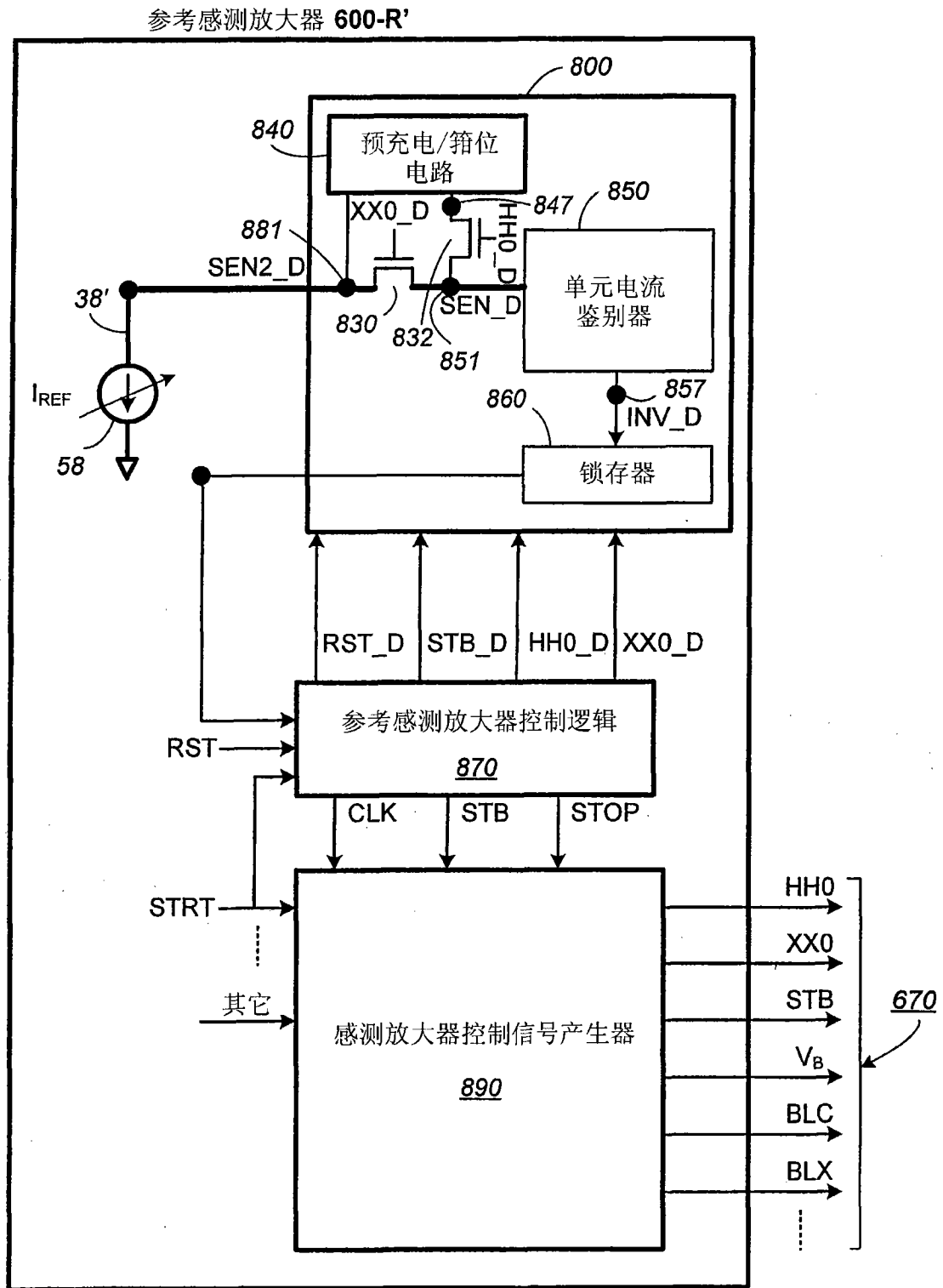
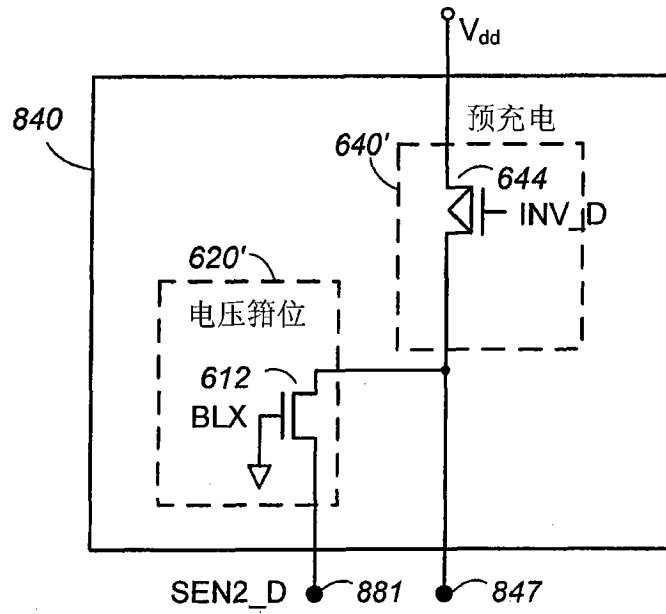
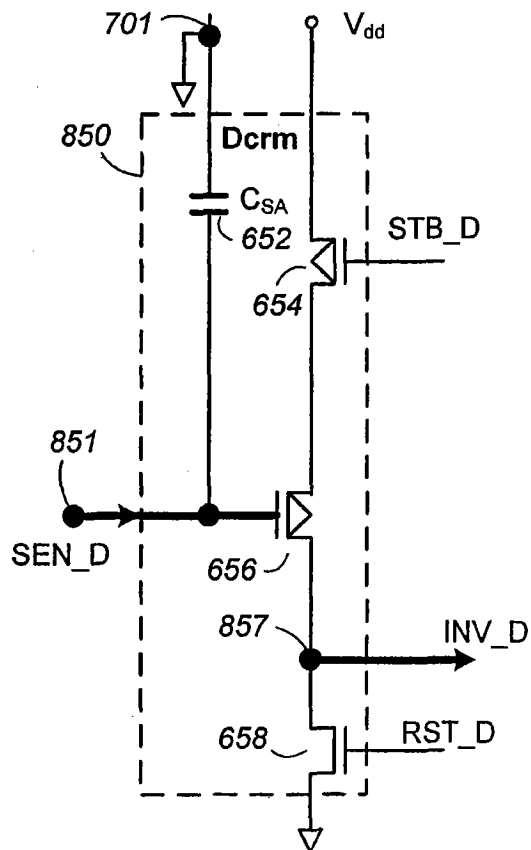


图 27



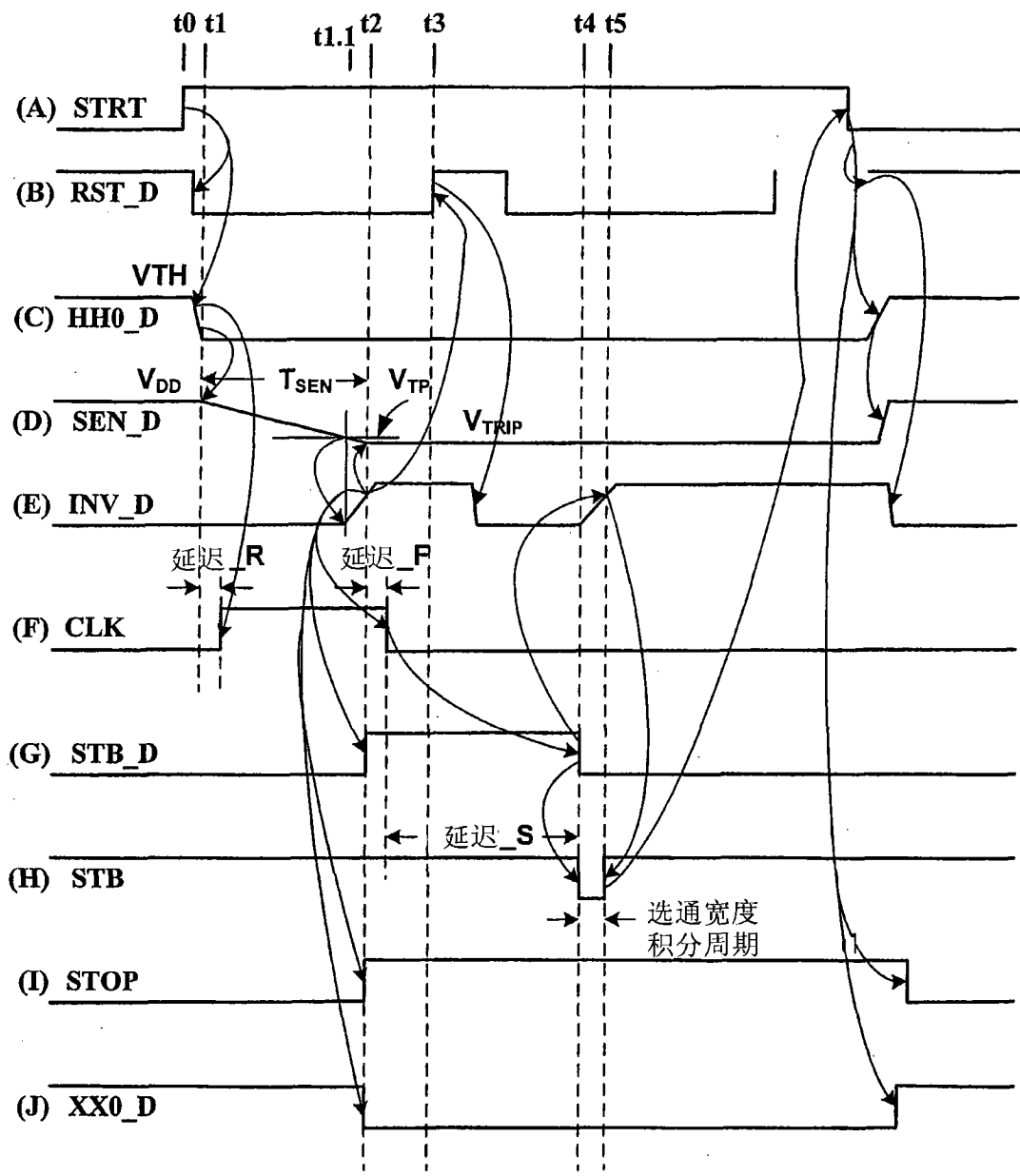
参考感测放大器的预充电/箝位电路

图 28A



参考感测放大器的单元电流鉴别器

图 28B



参考感测放大器的时序图

图 29

参考感测放大器控制逻辑 498

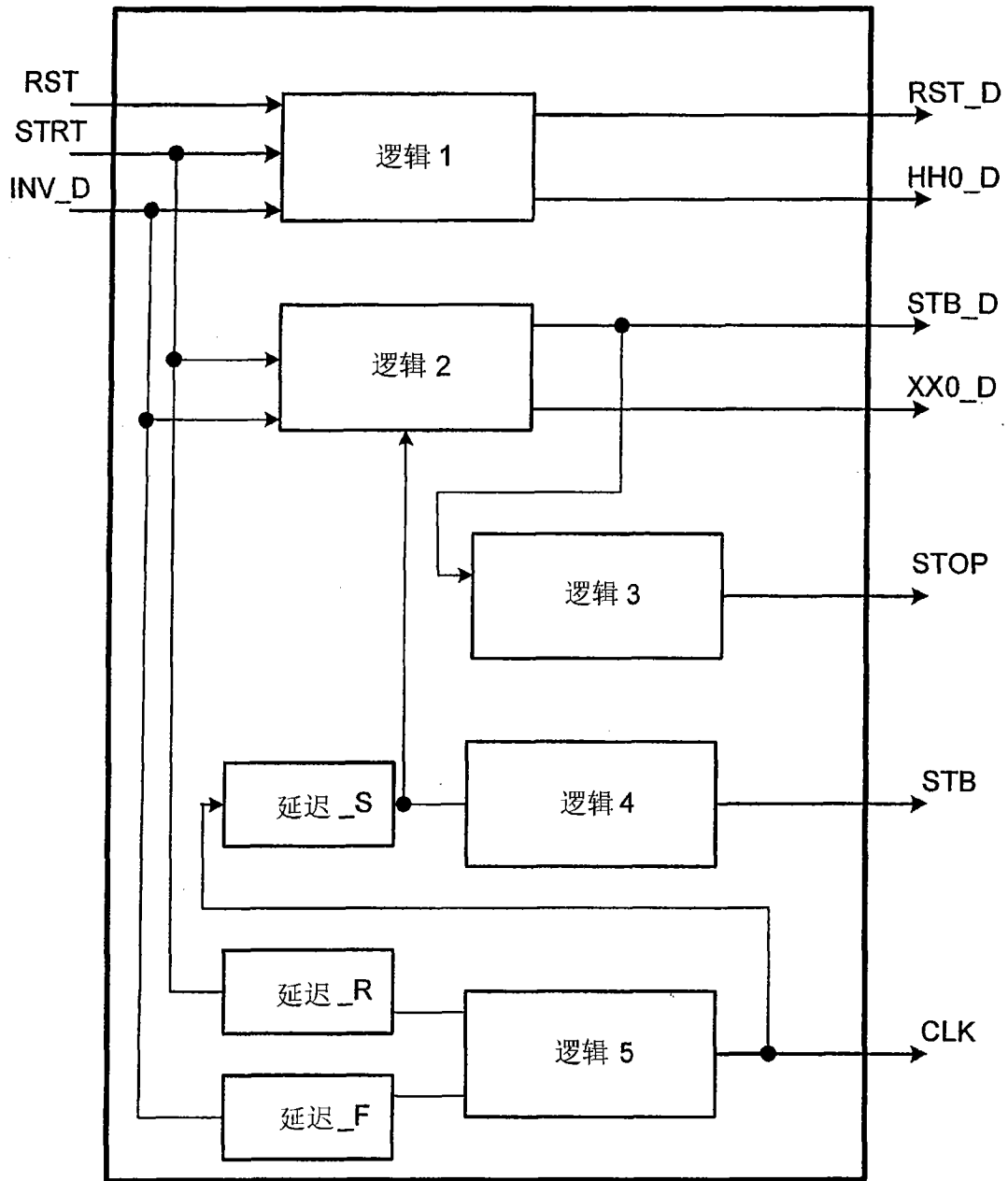


图 30

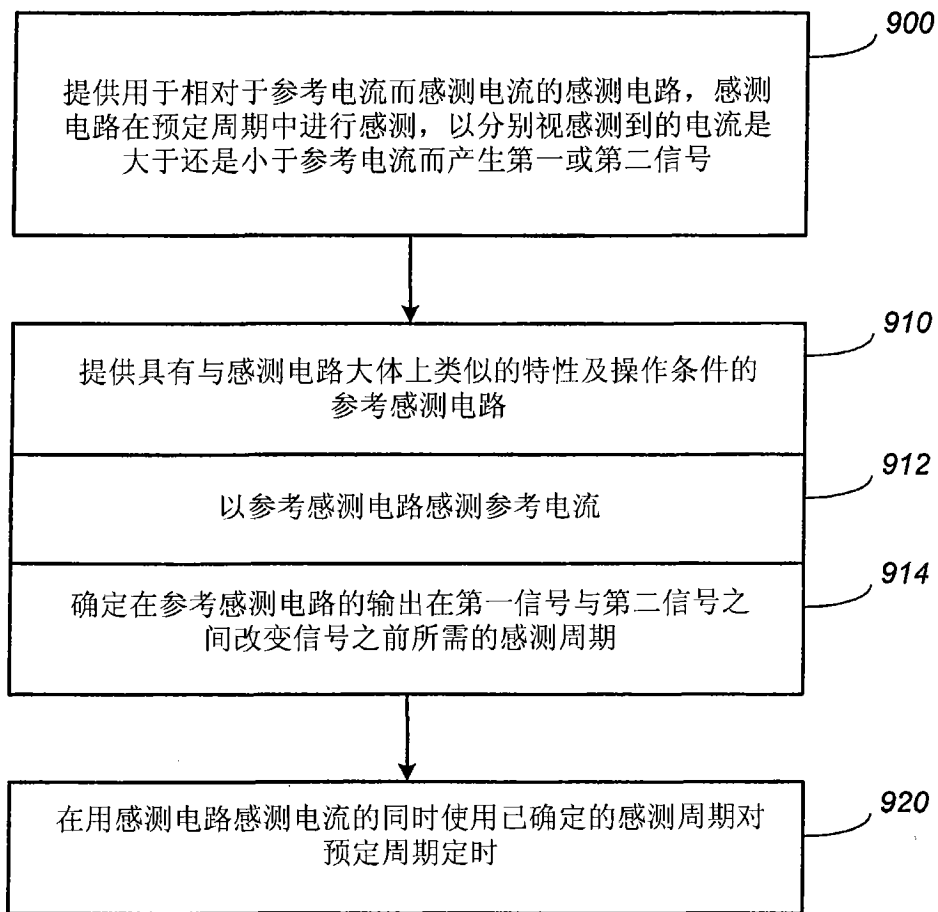


图 31

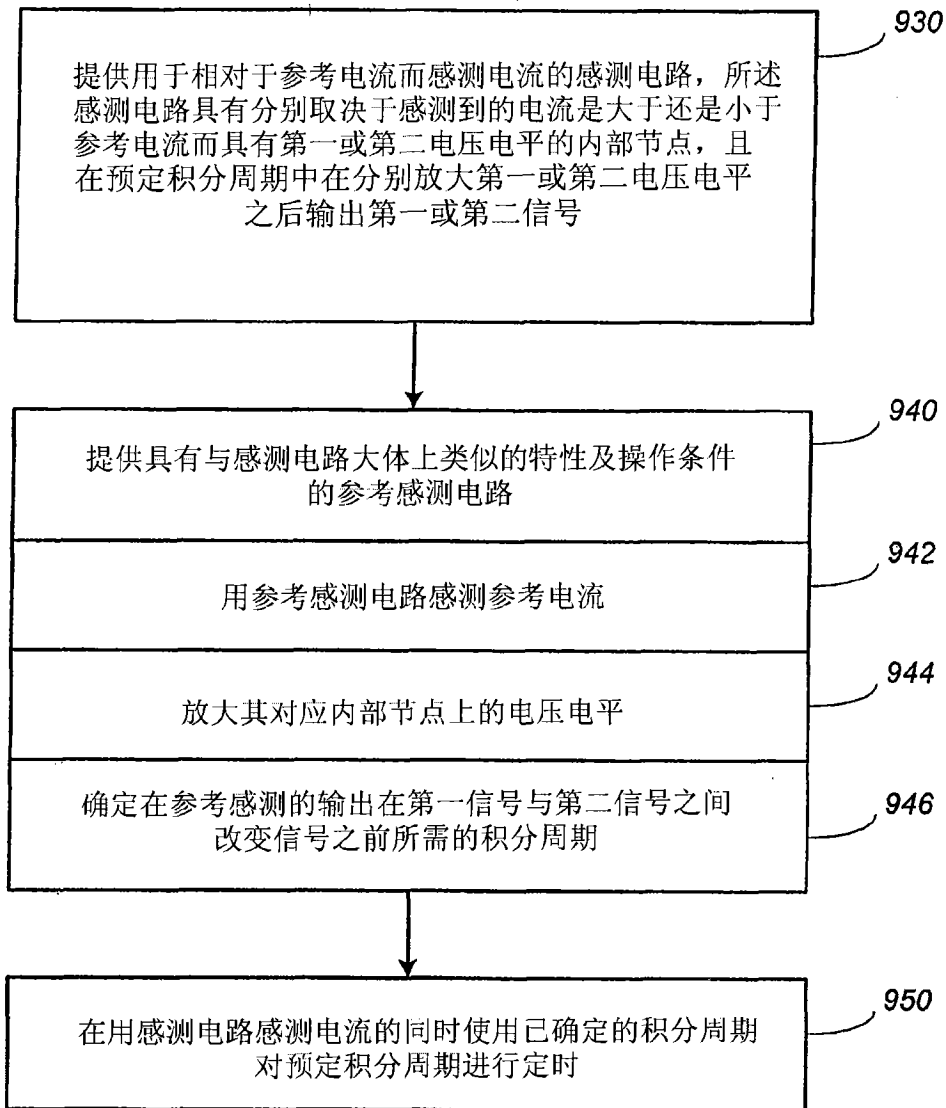


图 32