(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 4 月 14 日(14.04.2011)

PCT

(10) 国際公開番号
WO 2011/042965 A1

(51) 国際特許分類:
H01L 21/8234 (2006.01) *H01L 29/78* (2006.01)
H01L 27/088 (2006.01)

(21) 国際出願番号: PCT/JP2009/067499

(22) 国際出願日: 2009 年 10 月 7 日(07.10.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通セミコンダクター株式会社(Fujitsu Semiconductor Limited) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ Kanagawa (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 籾山 陽一(MOMIYAMA, Youichi) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ 富士通セミコンダクター株式会社内 Kanagawa (JP).

(74) 代理人: 伊東 忠彦(ITOH, Tadahiko); 〒1506032 東京都渋谷区恵比寿４丁目２０番３号 恵比寿ガーデンプレイスタワー３２階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

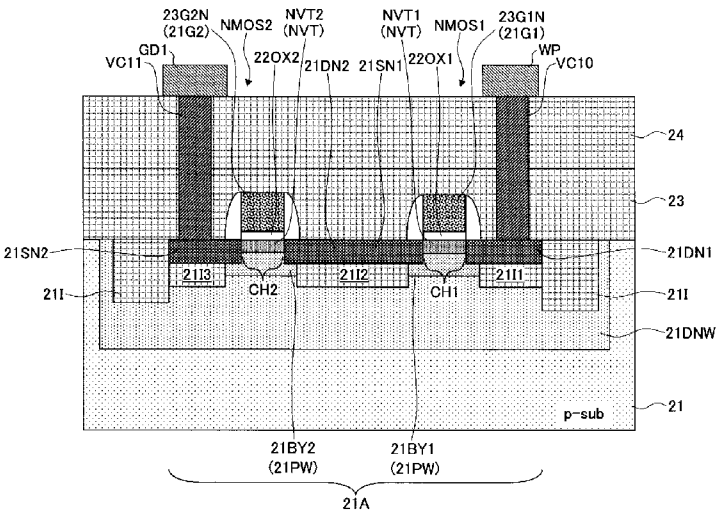
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR LOGIC CIRCUIT DEVICE

(54) 発明の名称 : 半導体装置および半導体論理回路装置

[図5]



(57) **Abstract**: Disclosed is a semiconductor device comprised of first and second Dt-MOS transistors which are formed in element areas on a silicone bulk substrate. The first and second Dt-MOS transistors are formed so as to share one diffusion area, and the corresponding insulation areas are formed below the shared portions of the diffusion area. First and second body areas extend below the gate electrodes of the first and second Dt-MOS transistors. The lower ends of the insulation areas are formed at a greater depth than the lower ends of the fist and second body areas, and the lower ends of the first and second body areas are formed at a greater depth than the lower ends of the shared portions of the diffusion area.

(57) 要約:

[続葉有]

WO 2011/042965 A1

半導体装置は、シリコンバルク基板上の素子領域中に形成された第１および第２のＤｔ－ＭＯＳトランジスタを含み、前記第１および第２のＤｔ－ＭＯＳトランジスタは、一つの拡散領域を共有して形成され、それぞれの拡散領域の下には対応する絶縁領域が形成される。前記第１および第２のＤｔ－ＭＯＳトランジスタのゲート電極の下には第１および第２のボディ領域がそれぞれ延在し、前記絶縁領域の下端は前記第１および第２のボディ領域の下端よりも深く形成され、前記第１および第２のボディ領域の下端は前記拡散領域の下端よりも深く形成される。

明　細　書

発明の名称 ： 半導体装置および半導体論理回路装置

技術分野

[0001] 本発明は一般に半導体装置に係り、特にダイナミックスレッショルドＭＯＳトランジスタ（以下Ｄｔ－ＭＯＳトランジスタと表記する）を使った半導体装置、およびＤｔ－ＭＯＳトランジスタを使った半導体論理回路装置に関する。

背景技術

[0002] Ｄｔ－ＭＯＳトランジスタは、ゲート電極を、チャネル領域が形成される半導体層ないしウェル領域に短絡させ、入力信号を前記ゲート電極とチャネル領域が形成される半導体層ないしウェル領域とに同時に印加することにより、低い閾値ながら、低いオフ電流と大きなオン電流を実現でき、低い電源電圧での低消費電力動作に適したＭＯＳトランジスタである。チャネル領域が形成される半導体層ないしウェル領域を、ボディとよぶこともある。

[0003] 図１は、一般的なＤｔ－ＭＯＳトランジスタの原理を説明する図、図２は、前記図１のＤｔ－ＭＯＳトランジスタ１０の動作特性を示すグラフである。

[0004] 図１を参照するに、この例ではＤｔ－ＭＯＳトランジスタ１０はｎチャネルＭＯＳトランジスタであり、ｎ型にドープされたソース領域１１Ｓおよびドレイン領域１１Ｄを含むｐ型ウェル１１Ｐが形成されたシリコン基板１１上に形成されており、前記シリコン基板１１上には、前記ソース領域１１Ｓとドレイン領域１１Ｄとの間のチャネル領域１１C上に、ゲート絶縁膜１２を介して例えばｎ型ポリシリコンよりなるゲート電極１３が形成されている。

[0005] 図１のＤｔ－ＭＯＳトランジスタ１０では、さらに前記ゲート電極１３が前記ｐ型ウェル１１Ｐ、すなわちボディと電気的に接続されており、ゲート電極１３に印加される信号電圧が、前記ボディ１１Ｐにも印加される。その結果、前記信号電圧は前記Ｄｔ－ＭＯＳトランジスタ１０の閾値電圧を低下

させるように作用し、Ｄｔ－ＭＯＳトランジスタ１０の動作特性は、前記信号電圧の増大と共に、閾値電圧が低いＭＯＳトランジスタの動作特性に漸近する。このため、前記Ｄｔ－ＭＯＳトランジスタ１０は低い信号電圧でスイッチオンする。

[0006] 一方、信号電圧が０Ｖあるいはその近傍の低電圧である場合には、前記ボディ１１Ｐの電位が０Ｖあるいはその近傍となり、Ｄｔ－ＭＯＳトランジスタ１０の動作特性は、高い閾値電圧を有するＭＯＳトランジスタの動作特性に漸近する。すなわち前記Ｄｔ－ＭＯＳトランジスタ１０の閾値電圧は、通常の、高い閾値電圧を有するｎチャネルＭＯＳトランジスタのものと変わらず、その結果、Ｄｔ－ＭＯＳトランジスタ１０は図２に示すように低いオフ電流ないしリーク電流で特徴づけられるスイッチオフ動作を示す。

[0007] このようなＤｔ－ＭＯＳトランジスタでは、図１中に囲んで示したソース領域１１Ｓとボディ１１Ｐの間の接合部１１Ｊが順方向バイアスされるため、前記ソース領域１１Ｓ、ドレイン領域１１Ｄの間に大きな電源電圧を印加することができず、前記基板１１としてシリコン基板を使った場合、前記電源電圧は、シリコンｐｎ接合のビルトインポテンシャルに対応した０．７Ｖ以下に設定する必要があるという制約が課せられる。

[0008] なお上記の説明は、上記のｐ型およびｎ型を反転させたｐチャネルＭＯＳトランジスタの場合にも、同様に成立する。

先行技術文献

特許文献

[0009] 特許文献1：特開２００８－２０５３２２号公報

特許文献2：特開２００５－１９８５９号公報

特許文献3：特開２００１－２０３３４８号公報

特許文献4：特開２００２－２０８６９６号公報

非特許文献

[0010] 非特許文献1：Assaderaaghi, F. et al., IEEE Electron Device Lett.15, pp.510- (1994)

非特許文献2：シャープ技報第７９号・２００１年４月

発明の概要

発明が解決しようとする課題

[0011] このようなＤｔ－ＭＯＳトランジスタを通常の、単結晶シリコンインゴットから切り出されたシリコン基板（以下、シリコンバルク基板と称する）上に形成した場合には、ソースやドレインのリーク電流が増大してしまう問題があり、またソース領域あるいはドレイン領域と前記ボディとの間で接合容量が増大し、時定数の影響でＤｔ－ＭＯＳトランジスタの動作速度が低下する問題が生じる。このため従来、Ｄｔ－ＭＯＳトランジスタは一般にＳＯＩ基板上に形成されていた（非特許文献１）。先の図２の特性は、非特許文献２に記載された、このようなＳＯＩ基板上に形成されたＤｔ－ＭＯＳＳトランジスタについてのものである。

[0012] しかし、単体のＤｔ－ＭＯＳならばともかく、単一の基板上に一つのシステムを搭載するＳｏＣ（システムオンチップ）のような半導体装置では、同じ基板上に、Ｄｔ－ＭＯＳトランジスタのようにダイナミックスレッショルド動作をするトランジスタ以外にも、他の様々なトランジスタを集積する必要があり、そのなかにはダイナミックスレッショルド動作をさせたくない入出力トランジスタやアナログ用途のトランジスタなどが含まれることがある。

[0013] このような場合、これらのトランジスタについては、個別にコンタクトを設けてボディを接地するなどしてボディ電位を固定する対策が必要となるが、このような構成では、高価なＳＯＩ基板の使用に伴う費用の増大の他に、集積密度が低下したり、製造プロセスが複雑になったりする問題が生じてしまう。また入力信号が高周波信号となると、ボディの電位が入力信号の変化に追従できなくなるという問題も生じる。

[0014] またＤｔ－ＭＯＳトランジスタをＳＯＩ基板上に形成した場合には、ボディを構成するシリコン膜１１Ｐの膜厚が薄くなり、このためボディの抵抗が増大してしまい、時定数の効果でトランジスタの動作速度が低減する問題が

生じる。

[0015] 従来、シリコンバルク基板上にＤｔ－ＭＯＳトランジスタを形成しようとする試みも行われている。例えば非特許文献２には、ソース領域およびドレイン領域を素子分離構造上に、エレベーテッド・ソース／ドレイン構造として形成し、素子面積の増大を回避しつつ、ソース領域あるいはドレイン領域とボディとの間の接合容量を低減する構成が提案されている。

[0016] しかし、この従来の構造では、ソースリーク電流の増大や接合容量の増大の問題は解決するものの、ボディとソース領域あるいはドレイン領域との間の電流経路が絞られるため、ソース抵抗が増大してしまい、またゲート電極がソース領域あるいはドレイン領域と絶縁膜を介して対向して形成されるため、ゲート電極とソース領域あるいはドレイン領域との間の寄生容量が増大してしまう問題点があり、またさらに、製造工程が複雑になる問題点がある。

課題を解決するための手段

[0017] 一実施形態によれば半導体装置は、素子分離領域により素子領域を画成されたシリコンバルク基板と、前記素子領域中に形成された第１のダイナミックスレッショルドＭＯＳトランジスタと、前記素子領域中に形成された第２のダイナミックスレッショルドＭＯＳトランジスタと、を含み、前記素子領域は第１の導電型を有するウェルよりなり、前記第１のダイナミックスレッショルドＭＯＳトランジスタは、前記シリコンバルク基板の表面上に第１のゲート絶縁膜を介して形成された第１のゲート電極と、前記ウェル中、前記第１のゲート電極の第１の側に形成された第１の拡散領域と、前記第１のゲート電極に対し前記第１の拡散領域と反対の第２の側に形成された第２の拡散領域とを有し、前記第２のダイナミックスレッショルドＭＯＳトランジスタは、前記シリコンバルク基板の表面上、前記第１のゲート電極の前記第２の側に、第２のゲート絶縁膜を介して形成された第２のゲート電極と、前記ウェル中、前記第２のゲート電極に対し前記第１のゲート電極の側に形成された第３の拡散領域と、前記第２のゲート電極に対し前記第３の拡散領域と

反対側に形成された第４の拡散領域とを有し、前記第１および第２のゲート電極および前記第１～第４の拡散領域は、前記ウェルとは逆の第２の導電型を有し、前記第２の拡散領域と前記第３の拡散領域とは、前記ウェル中に形成された同一の拡散領域より構成されており、前記第１～第４の拡散領域の下には、それぞれの下端部に接して第１～第４の絶縁領域がそれぞれ形成されており、前記第２の絶縁領域と前記第３の絶縁領域とは、同一の絶縁領域より構成されており、前記第１の絶縁領域と前記第２の絶縁領域の間には、前記第１のゲート電極に沿って、前記第１のダイナミックスレッショルドＭＯＳトランジスタのボディを構成する前記第１の導電型の第１のボディ領域が、前記素子領域の一部として延在しており、前記第３の絶縁領域と前記第４の絶縁領域の間には、前記第２のゲート電極に沿って、前記第２のダイナミックスレッショルドＭＯＳトランジスタのボディを構成する前記第１の導電型の第２のボディ領域が、前記素子領域の一部として延在しており、前記第１のゲート電極は前記第１の領域に接続されており、前記第２のゲート電極は前記第２の領域に接続されており、前記第１～第４の絶縁領域の下端は、前記第１および第２のボディ領域の下端よりも深い位置に設定されており、前記第１および第２のボディ領域の下端は、前記第１～第４の拡散領域の下端よりも深い位置に設定されている。

発明の効果

[0018] 上記実施形態によれば、二つのＤｔ－ＭＯＳトランジスタを含む半導体装置において、それぞれのＤｔ－ＭＯＳトランジスタのソースあるいはドレインとなる拡散領域の直下に絶縁領域が、それぞれの絶縁領域が対応する拡散領域の下端に接するように形成されており、その結果、これら拡散領域に伴う接合容量が低減され、また接合リーク電流が減少する。さらに同一の素子領域中で隣接する二つのＤｔ－ＭＯＳトランジスタにおいて、一方のＤｔ－ＭＯＳトランジスタの拡散領域を他方のＤｔ－ＭＯＳトランジスタの拡散領域と兼用することにより、素子面積を低減することができる。さらに前記絶縁領域の下端を、それぞれのＤｔ－ＭＯＳトランジスタのボディ領域の下端

よりも深く形成することにより、これら二つのＤｔ－ＭＯＳトランジスタのボディ領域を電気的に独立させることが可能となる。またこれらボディ領域の下端をそれぞれの拡散領域の下端よりも深く形成することにより、拡散領域と素子領域を構成するウェルとの間の短絡を抑制することが可能となる。

図面の簡単な説明

[0019] [図1]Ｄｔ－ＭＯＳトランジスタの基本構成を説明する図である。

[図2]Ｄｔ－ＭＯＳトランジスタの典型的な動作特性を示す図である。

[図3]第１の実施形態に係る半導体論理回路装置の等価回路図である。

[図4]図３の半導体論理回路装置のレイアウトを示す平面図である。

[図5]図４中、線Ａ－Ａ'に沿った断面図である。

[図6]図４中、線Ｂ－Ｂ'に沿った断面図である。

[図7]図４中、線Ｃ－Ｃ'に沿った断面図である。

[図8]図４中、線Ｄ－Ｄ'に沿った断面図である。

[図9]図４中、線Ｅ－Ｅ'に沿った断面図である。

[図10A]図４の半導体論理回路装置の製造工程を示す断面図（その１）である。

[図10B]図４の半導体論理回路装置の製造工程を示す断面図（その２）である。

[図10C]図４の半導体論理回路装置の製造工程を示す断面図（その３）である。

[図10D]図４の半導体論理回路装置の製造工程を示す断面図（その４）である。

[図10E]図４の半導体論理回路装置の製造工程を示す断面図（その５）である。

[図10F]図４の半導体論理回路装置の製造工程を示す断面図（その６）である。

[図10G]図４の半導体論理回路装置の製造工程を示す断面図（その７）である。

[図10H]図４の半導体論理回路装置の製造工程を示す断面図（その８）である。

[図10I]図４の半導体論理回路装置の製造工程を示す断面図（その９）である。

[図10J]図４の半導体論理回路装置の製造工程を示す断面図（その１０）である。

[図10K]図４の半導体論理回路装置の製造工程を示す断面図（その１１）である。

[図10L]図４の半導体論理回路装置の製造工程を示す断面図（その１２）である。

[図10M]図４の半導体論理回路装置の製造工程を示す断面図（その１３）である。

[図10N]図４の半導体論理回路装置の製造工程を示す断面図（その１４）である。

[図10O]図４の半導体論理回路装置の製造工程を示す断面図（その１５）である。

[図10P]図４の半導体論理回路装置の製造工程を示す断面図（その１６）である。

[図10Q]図４の半導体論理回路装置の製造工程を示す断面図（その１７）である。

[図10R]図４の半導体論理回路装置の製造工程を示す断面図（その１８）である。

[図10S]図４の半導体論理回路装置の製造工程を示す断面図（その１９）である。

[図10T]図４の半導体論理回路装置の製造工程を示す断面図（その２０）である。

[図10U]図４の半導体論理回路装置の製造工程を示す断面図（その２１）である。

[図10V]図４の論半導体理回路装置の製造工程を示す断面図（その２２）である。

[図11A]第１の実施形態の一変形例を示す図である。

[図11B]第１の実施形態の一変形例を示す図である。

[図12A]図１００～図１０Ｒのイオン注入工程を説明する図（その１）である。

[図12B]図１００～図１０Ｒのイオン注入工程を説明する図（その２）である。

[図12C]図１００～図１０Ｒのイオン注入工程を説明する図（その３）である。

[図12D]図１００～図１０Ｒのイオン注入工程を説明する図（その４）である。

[図13A]第１の実施形態の一変形例を示す図である。

[図13B]第１の実施形態の他の変形例を示す平面図である。

[図13C]図１３Ｂ中、線Ｘ－Ｘ'に沿った断面図である。

[図13D]第１の実施形態の別の変形例を示す平面図である。

[図13E]図１３Ｂ中、線Ｙ－Ｙ'に沿った断面図である。

[図13F]第１の実施形態のさらに別の変形例を示す平面図である。

[図14A]第２の実施形態による図４の半導体論理回路の製造工程を示す断面図（その１）である。

[図14B]第２の実施形態による図４の半導体論理回路の製造工程を示す断面図（その２）である。

[図14C]第２の実施形態による図４の半導体論理回路の製造工程を示す断面図（その３）である。

[図15A]第３の実施形態による図４の半導体論理回路の製造工程を示す図（その１）である。

[図15B]第３の実施形態による図４の半導体論理回路の製造工程を示す図（その２）である。

[図15C]第３の実施形態による図４の半導体論理回路の製造工程を示す図（その３）である。

[図15D]第３の実施形態による図４の半導体論理回路の製造工程を示す図（その４）である。

[図16]第４の実施形態による半導体論理集積回路装置のレイアウトを示す平面図である。

[図17]第５の実施形態によるトランスファゲートを示す等価回路図である。

発明を実施するための形態

[0020] ［第１の実施形態］

以下、Ｄｔ－ＭＯＳトランジスタを使った第１の実施形態による半導体論理回路装置２０について説明する。

[0021] 図３は、第１の実施形態による半導体論理回路装置２０のその等価回路図を示し、図４はそのレイアウトを示す平面図である。また図５～図９は、前記図４中、それぞれ線A-A'，B－B'，Ｃ－Ｃ'，D-D'，Ｅ－Ｅ'に沿った断面図を示す。

[0022] 図３の等価回路図からわかるように、前記半導体論理回路装置２０は二入力ＮＡＮＤ装置であり、並列接続された二つのｐチャネルＭＯＳトランジスタＰＭＯＳ１およびＰＭＯＳ２と、これに対し直列に接続された二つのｎチャネルＭＯＳトランジスタＮＯＳ１およびＮＭＯＳ２より構成され、本実施形態では、これらのｐチャネルＭＯＳトランジスタＰＭＯＳ１およびＰＭＯＳ２，ｎチャネルＭＯＳトランジスタＮＭＯＳ１およびＮＭＯＳ２は、p^-型にドープされたシリコンバルク基板２１（図５～図９を参照）上に形成されている。

[0023] 前記並列接続されたｐチャネルＭＯＳトランジスタＰＭＯＳ１およびＰＭＯＳ２のソースＳは共通に電源V_{cc}に接続され、また前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１およびＰＭＯＳ２のドレインＤは共通に、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１のドレインＤに接続される。また前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１のソースＳは前記ｎチャネルＭＯ

ＳトランジスタＮＭＯＳ２のドレインＤに接続され、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ２のソースＳは接地電源ＧＮＤに接続されている。

[0024] また前記ｐチャネルＭＯＳトランジスタＰＭＯＳ２および前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１のそれぞれのゲート電極には第１の入力信号ＩＮ１が供給され、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１および前記ｎチャネルＭＯＳトランジスタＮＭＯＳ２のそれぞれのゲート電極には第２の入力信号ＩＮ１が供給され、論理出力信号が、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１およびＰＭＯＳ２のドレインＤとｎチャネルＭＯＳトランジスタＮＭＯＳ１のドレインＤの接続ノードＮにおいて得られる。

[0025] 次に図４の平面図を参照するに、前記シリコンバルク基板２１中にはＳＴＩ構造の素子分離領域２１Ｉにより第１の素子領域２１Ａおよび第２の素子領域２１Ｂが画成されており、前記素子領域２１Ａには、ポリシリコンパターン２１Ｇ１をゲート電極として前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１が形成されており、またポリシリコンパターン２１Ｇ２をゲート電極として前記ｎチャネルＭＯＳトランジスタＮＭＯＳ２が形成されている。

[0026] 前記ポリシリコンパターン２１Ｇ１および２１Ｇ２はさらに前記素子領域２１Ｂへと延在し、前記素子領域２１Ｂでは前記ポリシリコンパターン２１Ｇ１およびポリシリコンパターン２１G２をそれぞれのゲート電極として、前記ｐチャネルＭＯＳトランジスタPMOS２およびＰＭＯＳ１が形成されている。

[0027] 前記ポリシリコンパターン２１Ｇ１はビアコンタクトＶＣ１およびＶＣ２において、それぞれ前記素子領域２１Ａおよび２１Ｂに電気的に接続されており、またポリシリコンパターン２１Ｇ２はビアコンタクトＶＣ３およびＶＣ４において、それぞれ前記素子領域２１Ａおよび２１Ｂに電気的に接続されている。これにより、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１およびＮＭＯＳ２、およびｐチャネルＭＯＳトランジスタＰＭＯＳ１，ＰＭＯＳ２はいずれも、先に図２で説明したようなダイナミックスレッショルド動作を示す。

[0028] さらに前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１はそのドレインを、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ２のドレインと共有し、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１はそのソースをｎチャネルＭＯＳトランジスタＮＭＯＳ２のドレインと共有している。これにより、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１，ＰＭＯＳ２およびｎチャネルＭＯＳトランジスタＮＭＯＳ１，ＮＭＯＳ２を、それぞれの素子領域中に、素子分離構造で分離して形成した場合に比べて、前記半導体論理回路装置２０の素子面積を大きく低減することが可能となる。

[0029] また前記ポリシリコンパターン２１Ｇ１には、前記素子領域２１Ａと２１Ｂの間の素子分離領域２１Ｉ上において、図４の平面図では見えないが、前記入力信号Ａを供給されるビアコンタクトＶＣ５が形成されている（図７参照）。同様に前記ポリシリコンパターン２１Ｇ２には、前記素子領域２１Ａと２１Ｂの間の素子分離領域２１Ｉ上において、前記入力信号Ｂを供給されるビアコンタクトＶＣ６が形成されている。

[0030] さらに前記図３の回路を構成するため、前記素子領域２１Ｂには、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１およびＰＭＯＳ２のそれぞれのソース領域Ｓに、それぞれの電源パターンＰＷ１およびＰＷ２から電源電圧V_{cc}を供給するビアコンタクトＶＣ７およびＶＣ８が形成されており、さらに共通接続された前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１およびＰＭＯＳ２のドレインＤは、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１のドレインＤに設けられたビアコンタクトＶＣ１０に、ビアコンタクトＶＣ９および配線パターンＷＰを介して接続されている。また前記ｎチャネルＭＯＳトランジスタＮＭＯＳ２のソース領域が、ビアコンタクトＶＣ１１および接地パターンＧＤ１を介して、ＧＮＤに接続されており、前記半導体論理回路２０の出力は、前記配線パターンＷＰ上に得られる。

[0031] なお図４の平面図において、前記素子領域２１Ａには、ビアコンタクトＶＣ１およびＶＣ３を相互に分離し、またビアコンタクトＶＣ１０およびＶＣ１１からも分離する絶縁パターンＳＢ１が形成されている。前記絶縁パター

ンＳＢ１はシリサイドブロック構造として作用し、その結果、前記素子領域２１Ａにシリサイド層（図示せず）が形成された場合でも、ビアコンタクトＶＣ１とビアコンタクトＶＣ３，ＶＣ１０，ＶＣ１１との短絡が回避される。同様に前記絶縁パターンＳＢ１を形成した結果、前記素子領域２１Ａにシリサイド層（図示せず）が形成された場合でも、ビアコンタクトＶＣ３とビアコンタクトＶＣ１，ＶＣ１０，ＶＣ１１との短絡が回避される。

[0032] 同様に図４の平面図において、前記素子領域２１Ｂには、ビアコンタクトＶＣ２およびＶＣ４を相互に分離し、またビアコンタクトＶＣ７およびＶＣ８からも分離する絶縁パターンＳＢ２が形成されている。前記絶縁パターンＳＢ２もシリサイドブロック構造として作用し、その結果、前記素子領域２１Ｂにシリサイド層（図示せず）が形成された場合でも、ビアコンタクトＶＣ２とビアコンタクトＶＣ４，ＶＣ７，ＶＣ８との短絡が回避される。同様に前記絶縁パターンＳＢ２を形成した結果、前記素子領域２１Ｂにシリサイド層（図示せず）が形成された場合でも、ビアコンタクトＶＣ４とビアコンタクトＶＣ２，ＶＣ７，ＶＣ８との短絡が回避される。

[0033] 前記絶縁パターンＳＢ１，ＳＢ２は、前記ポリシリコンパターン２１Ｇ１，２１Ｇ２に側壁絶縁膜を形成する際に、マスクプロセスを追加することで形成することができる。

[0034] 図５は、前記図４の平面図中の線Ａ－Ａ'に沿った断面図を示す。

[0035] 図５を参照するに、前記素子領域２１Ａには深いｎ型ウェル２１ＤＮＷが形成されており、前記ｎ型ウェル２１ＤＮＷの表面部分には、前記ポリシリコンパターン２１Ｇ１により構成されるｎ型ドープゲート電極２３Ｇ１Ｎの直下、および前記ポリシリコンパターン２１Ｇ２により構成されるｎ型ドープゲート電極２３Ｇ２Ｎの直下にそれぞれ対応して、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１およびＮＭＯＳ２のそれぞれのボディ２１ＢＹ１および２１ＢＹ２を構成する浅いｐ型ウェル２１ＰＷが形成されている。

[0036] また前記ｐ型ボディ２１ＢＹ１および２１ＢＹ２のそれぞれの表面部分には、前記ゲート電極２３Ｇ１Ｎ直下の前記ＭＯＳトランジスタＮＭＯＳ１の

チャネル領域ＣＨ１および前記ゲート電極２３Ｇ２Ｎ直下の前記ＭＯＳトランジスタＮＭＯＳ２のチャネル領域ＣＨ２に対応して、閾値制御のためのｐ型チャネルドープ領域２１ＮＶＴ１および２１ＮＶＴ２がそれぞれｐ型注入領域２１ＮＶＴの一部分として形成されている。なお前記ｐ型チャネルドープ領域２１ＮＶＴ１，２１ＮＶＴ２は、前記ボディ２１ＢＹ１および２１ＢＹ２を構成するｐ型ウェル２１ＰＷにより兼用することも可能である。

[0037] 図４に示すように、前記ゲート電極２３Ｇ１Ｎを構成するポリシリコンパターン２１Ｇ１は、前記ビアコンタクトＶＣ１において前記ボディ２１ＢＹ１に電気的に接続され、その結果、前記ボディ２１ＢＹ１にも、前記ゲート電極２３Ｇ１Ｎに印加される入力信号ＩＮ１が同時に印加され、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１はダイナミックスレッショルド動作を行う。同様に前記ゲート電極２３Ｇ２Ｎを構成するポリシリコンパターン２１Ｇ２は、前記ビアコンタクトＶＣ３において前記ボディ２１ＢＹ２に電気的に接続され、その結果、前記ボディ２１ＢＹ２にも、前記ゲート電極２３Ｇ２Ｎに印加される入力信号ＩＮ２が同時に印加され、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ２は、例えば先に図２で説明したようなダイナミックスレッショルド動作を行う。

[0038] 前記ゲート電極２１Ｇ１Ｎおよび２１Ｇ２Ｎは、前記シリコンバルク基板２１上に、それぞれゲート絶縁膜２２Ｏｘ１および２２Ｏｘ２を介して形成されており、前記深いウェル２１ＤＮＷ中には、前記チャネル領域ＣＨ１の第１の側に前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１のドレインとなるｎ型拡散領域２１ＤＮ１が、また前記チャネル領域ＣＨ１を挟んで前記ｎ型拡散領域２１ＤＮ１と対向する側には、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１のソースとなるｎ型拡散領域２１ＳＮ１が形成されている。

[0039] 同様に前記深いウェル２１ＤＮＷ中には、前記チャネル領域ＣＨ２の第１の側に前記ｎチャネルＭＯＳトランジスタＮＭＯＳ２のドレインとなるｎ型拡散領域２１ＤＮ２が、また前記チャネル領域ＣＨ２を挟んで前記ｎ型拡散領域２１ＤＮ２と対向する側には、前記ｎチャネルＭＯＳトランジスタＮＭ

ＯＳ２のソースとなるｎ型拡散領域２１ＳＮ２が、それぞれ形成されている。ここで前記ｎ型拡散領域２１ＳＮ１とｎ型拡散領域２１ＤＮ２とは、実際には同一のｎ型拡散領域より構成されており、これにより、本実施形態では、先に説明したように前記半導体論理回路２０の占有面積を縮小することが可能である。

[0040] さて、図５の構造では、前記ｎ型拡散領域２１ＤＮ１、前記ｎ型拡散領域２１ＳＮ１すなわちｎ型拡散領域２１ＤＮ２、および前記ｎ型拡散領域２１ＳＮ２の直下に、シリコン酸化膜よりなる絶縁領域２１Ｉ１，２１Ｉ２および２１Ｉ３がそれぞれ形成されていることに注意すべきである。

[0041] 前記絶縁領域２１Ｉ１は、隣接する素子分離領域２１Ｉに連続し、また前記絶縁領域２１Ｉ３は、隣接する素子分離領域２１Ｉに連続しており、また前記絶縁領域２１Ｉ１，２１Ｉ２および２１Ｉ３は、それぞれの下端が前記ボディ２１ＢＹ１および２１ＢＹ２を構成する浅いｐ型ウェル２１ＰＷの下端よりも深くなるように形成されている。その結果、前記ボディ２１ＢＹ１および２１ＢＹ２は相互に電気的に分離され、前記入力信号ＩＮ１およびＩＮ２が干渉する問題は生じない。

[0042] また前記ｎ型拡散領域２１ＤＮ１、２１ＳＮ１、従って２１ＤＮ２、および２１ＳＮ２の下端は、前記浅いｐ型ウェル２１ＰＷの下端よりも浅く形成されており、これらのｎ型拡散領域が、その下のｎ型ウェル２１ＮＷと短絡する恐れはない。

[0043] さらに前記図５の構成では、前記シリコンバルク基板２１上に層間絶縁膜２３，２４が積層され、前記拡散領域２１ＤＮ１に前記ビアコンタクトＶＣ１０が、前記層間絶縁膜２３，２４を貫通してコンタクトしている。同様に、前記拡散領域２１ＳＮ２には前記ビアコンタクトＶＣ１１が、前記層間絶縁膜２３，２４を貫通してコンタクトしている。前記ビアコンタクトＶＣ１０には、前記層間絶縁膜２４上に形成された配線パターンＷＰがコンタクトし、またビアコンタクトＶＣ１１には、前記層間絶縁膜２４上に前記接地電源ＧＮＤに接続されて形成された配線パターンＧＤ１が接続されている。

[0044] 図６は、前記図４の平面図中の線Ｂ－Ｂ'に沿った断面図を示す。

[0045] 図６を参照するに、前記素子領域２１Ｂの表面部分には、前記ポリシリコンパターン２１Ｇ１により構成されるｐ型ドープゲート電極２３Ｇ２Ｐの直下、および前記ポリシリコンパターン２１Ｇ２により構成されるｐ型ドープゲート電極２１Ｇ１Ｐの直下にそれぞれ対応して、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ２およびＰＭＯＳ１のそれぞれのボディ２１ＢＹ４および２１ＢＹ３を構成する浅いｎ型ウェル２１ＮＷが形成されている。

[0046] また前記ｎ型ボディ２１ＢＹ３および２１ＢＹ４のそれぞれの表面部分には、前記ゲート電極２３Ｇ１Ｐ直下の前記ＭＯＳトランジスタＰＭＯＳ１のチャネル領域ＣＨ３および前記ゲート電極２３Ｇ１Ｐ直下の前記ＭＯＳトランジスタＰＭＯＳ２のチャネル領域ＣＨ４に対応して、閾値制御のためのｎ型チャネルドープ領域２１ＰＶＴ１および２１ＰＶＴ２がそれぞれｎ型注入領域ＰＶＴの一部分として形成されている。なお前記ｎ型チャネルドープ領域２１ＰＶＴ１，２１ＰＶＴ２は、前記ボディ２１ＢＹ３および２１ＢＹ４を構成するｎ型ウェル２１ＮＷにより兼用することも可能である。

[0047] 図４に示すように、前記ゲート電極２３Ｇ２Ｐを構成するポリシリコンパターン２１Ｇ１は、前記ビアコンタクトＶＣ２において前記ボディ２１ＢＹ４に電気的に接続され、その結果、前記ボディ２１ＢＹ４にも、前記ゲート電極２３Ｇ２Ｐに印加される入力信号ＩＮ１が同時に印加され、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ２はダイナミックスレッショルド動作をする。同様に前記ゲート電極２３Ｇ１Ｐを構成するポリシリコンパターン２１Ｇ２は、前記ビアコンタクトＶＣ４において前記ボディ２１ＢＹ３に電気的に接続され、その結果、前記ボディ２１ＢＹ３にも、前記ゲート電極２３Ｇ１Ｐに印加される入力信号ＩＮ２が同時に印加され、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１は、例えば先に図２で説明したようなダイナミックスレッショルド動作を行う。

[0048] 前記ゲート電極２１Ｇ２Ｐおよび２１Ｇ１Ｐは、前記シリコンバルク基板２１上に、それぞれゲート絶縁膜２２Ｏｘ３および２２Ｏｘ４を介して形成

されており、前記ｐ型シリコンバルク基板２１中には、前記チャネル領域ＣＨ４の第１の側に前記ｐチャネルＭＯＳトランジスタＰＭＯＳ２のドレインとなるｐ型拡散領域２１ＳＰ２が、また前記チャネル領域ＣＨ４を挟んで前記ｐ型拡散領域２１ＳＰ２と対向する側には、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ２のソースとなるｐ型拡散領域２１ＤＰ２が形成されている。

[0049] 同様に前記ｐ型シリコンバルク基板２１中には、前記チャネル領域ＣＨ３の第１の側に前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１のドレインとなるｐ型拡散領域２１ＤＰ１が、また前記チャネル領域ＣＨ３を挟んで前記ｐ型拡散領域２１ＤＰ１と対向する側には、前記ｐチャネルＭＯＳトランジスタＮＭＯＳ１のソースとなるｎ型拡散領域２１ＳＰ１が、それぞれ形成されている。ここで前記ｐ型拡散領域２１ＤＰ２とｐ型拡散領域２１ＤＰ１とは、実際には同一のｐ型拡散領域より構成されており、これらには、図４におけるビアコンタクトＶＰ９が電気的に接続されて形成されている。このように前記ｐ型拡散領域２１ＤＰ２とｐ型拡散領域２１ＤＰ１とを、同一のｐ型拡散領域より構成することにより、本実施形態では、先に説明したように前記半導体論理回路２０の占有面積を縮小することが可能である。

[0050] 前記ビアコンタクトＶＰ９は前記層間絶縁膜２３，２４を貫通して延在し、前記層間絶縁膜２４上に形成された配線パターンＷＰに接続される。

[0051] 図６の構造では、前記ｐ型拡散領域２１ＳＰ１、前記ｐ型拡散領域２１ＤＰ１すなわちｐ型拡散領域２１ＤＰ２、および前記ｐ型拡散領域２１ＳＰ２の直下に、シリコン酸化膜よりなる絶縁領域２１Ｉ４，２１Ｉ５および２１Ｉ６がそれぞれ形成されていることに注意すべきである。

[0052] 前記絶縁領域２１Ｉ４は、隣接する素子分離領域２１Ｉに連続し、また前記絶縁領域２１Ｉ６も隣接する素子分離領域２１Ｉに連続しており、また前記絶縁領域２１Ｉ３，２１Ｉ４および２１Ｉ５は、それぞれの下端が前記ボディ２１ＢＹ３および２１ＢＹ４を構成する浅いｎ型ウェル２１ＮＷの下端よりも深くなるように形成されている。その結果、前記ボディ２１ＢＹ３お

よび２１ＢＹ４は相互に電気的に分離され、前記入力信号ＩＮ１およびＩＮ２が干渉する問題は生じない。

[0053] また前記ｐ型拡散領域２１ＳＰ１、２１ＤＰ１、従って２１ＤＰ２、および２１ＳＰ２の下端は、前記浅いウェル２１ＮＷの下端よりも浅く形成されており、これらのｐ型拡散領域が、その下のｐ型シリコンバルク基板２１と短絡する恐れはない。

[0054] さらに前記図６の構成では、前記拡散領域２１ＳＰ２に前記ビアコンタクトＶＣ１が、前記層間絶縁膜２３，２４を貫通してコンタクトしている。同様に、前記拡散領域２１ＳＰ１には前記ビアコンタクトＶＣ８が、前記層間絶縁膜２３，２４を貫通してコンタクトしている。前記ビアコンタクトＶＣ７には、前記層間絶縁膜２４上に形成された電源配線パターンＰＷ１がコンタクトし、またビアコンタクトＶＣ８には、前記層間絶縁膜２４上に前記電源配線パターンＰＷ２が接続されている。

[0055] 図７は、前記図４中、線Ｃ－Ｃ’に沿った前記半導体論理回路装置２０の断面図を示す。

[0056] 図７を参照するに、前記素子領域２１Ａにおいては前記ポリシリコンパターン２１Ｇ１の一部により構成されるゲート電極２３Ｇ１Ｎの直下に、前記チャネルドープ領域ＮＶＴ１を含む浅いｐ型ウェル２１ＰＷが形成されており、前記浅いｐ型ウェル２１ＰＷには、前記ポリシリコンパターン２１Ｇ１のうち、前記素子領域２１Ａ中において前記ゲート電極２３Ｇ１Ｎを構成する部分の端部に対応して、オーミック接続のための高濃度のｐ型領域２１Ｐ＋が形成されている。さらに前記層間絶縁膜２３には、前記ｐ型領域２１Ｐ＋および前記ゲート電極２３Ｇ１Ｎの前記端部を露出する開口部２３Ａが形成され、前記開口部２３Ａを金属プラグよりなるビアコンタクトＶＣ１で充填することにより、前記ゲート電極２３Ｇ１Ｎを前記浅いウェル２１ＰＷに、電気的に接続する。

[0057] 同様に前記素子領域２１Ｂにおいては前記ポリシリコンパターン２１Ｇ１の一部により構成されるゲート電極２３Ｇ２Ｐの直下に、前記チャネルドー

プ領域ＰＶＴ２を含む浅いｎ型ウェル２１ＮＷが形成されており、前記浅いｎ型ウェル２１ＮＷには、前記ポリシリコンパターン２１Ｇ１のうち、前記素子領域２１Ｂ中において前記ゲート電極２３Ｇ２Ｐを構成する部分の端部に対応して、オーミック接続のための高濃度のｎ＋型オーミック領域２１Ｎ＋１が形成されている。さらに前記層間絶縁膜２３には、前記ｎ＋型オーミック領域２１Ｎ＋１および前記ゲート電極２３Ｇ２Ｐの前記端部を露出する開口部２３Ｂが形成され、前記開口部２３Ｂを金属プラグよりなるビアコンタクトＶＣ２で充填することにより、前記ゲート電極２３Ｇ２Ｐを前記浅いウェル２１ＮＷに、前記ｎ＋型オーミック領域２１Ｎ＋１を介して電気的に接続する。

[0058] その結果、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１およびｎチャネルＭＯＳトランジスタＮＭＯＳ２は、それぞれダイナミックスレッショルド動作を行うことになる。

[0059] 前記ポリシリコンパターン２１Ｇ１には、前記素子領域２１Ａと素子領域２１Ｂの間の素子分離領域２１Ｉに対応して、前記層間絶縁膜２３中にコンタクトホール２３Ｃが形成され、前記コンタクトホール２３Ｃを金属プラグよりなるビアコンタクトＶＣ５により充填することにより、前記層間絶縁膜２３上に形成され信号ＩＮ１が供給される信号配線パターン２４Ａが、前記ポリシリコンパターン２１Ｇ１に電気的に接続される。なお図示していないが、前記ポリシリコンパターン２１Ｇ１上には低抵抗シリサイド層が形成されており、このため、前記ポリシリコンパターン２１Ｇ１において、ｎ型にドープされた前記ゲート電極２３Ｇ１Ｎとｐ型にドープされた前記ゲート電極２３Ｇ１Ｐとの継ぎ目において電気抵抗が増大する問題は生じない。なお前記ビアコンタクトＣＶ５は、前記層間絶縁膜２４上に形成された配線パターンＷＰの直下に形成されているため、図４の平面図では示されていない。

[0060] 図８は、前記図４中、線Ｄ－Ｄ’に沿った前記半導体論理回路装置２０の断面図を示す。

[0061] 図８を参照するに、前記素子領域２１Ａにおいても前記浅いｐ型ウェル２

１ＰＷが、前記ポリシリコンパターン２１Ｇ２の一部により構成されるゲート電極２３Ｇ２Ｎの直下に前記チャネルドープ領域ＮＶＴ２を含んで形成されており、前記浅いｐ型ウェル２１ＰＷには、前記ポリシリコンパターン２１Ｇ２のうち、前記素子領域２１Ａ中において前記ゲート電極２３Ｇ２Ｎを構成する部分の端部に対応して、オーミック接続のための高濃度のｐ型領域２１Ｐ＋２が形成されている。さらに前記層間絶縁膜２３には、前記ｐ型オーミック領域２１Ｐ＋２および前記ゲート電極２３Ｇ２Ｎの前記端部を露出する開口部２３Ａが形成され、前記開口部２３Ａを金属プラグよりなるビアコンタクトＶＣ３で充填することにより、前記ゲート電極２３Ｇ２Ｎを前記浅いウェル２１ＰＷに、前記ｐ型オーミック領域２１Ｐ２を介して電気的に接続する。

[0062] 同様に前記素子領域２１Ｂにおいては前記チャネルドープ領域ＰＶＴ２を含む浅いｎ型ウェル２１ＮＷが、前記ポリシリコンパターン２１Ｇ２の一部により構成されるゲート電極２３Ｇ１Ｐの直下に形成されており、前記浅いｎ型ウェル２１ＮＷには、前記ポリシリコンパターン２１Ｇ２のうち、前記素子領域２１Ｂ中において前記ゲート電極２３Ｇ１Ｐを構成する部分の端部に対応して、オーミック接続のための高濃度のｎ型領域２１Ｎ＋２が形成されている。さらに前記層間絶縁膜２３には、前記ｎ型オーミック領域２１Ｎ＋２および前記ゲート電極２３Ｇ１Ｐの前記端部を露出する開口部２３Ｅが形成され、前記開口部２３Ｅを金属プラグよりなるビアコンタクトＶＣ４で充填することにより、前記ゲート電極２３Ｇ１Ｐを前記浅いウェル２１ＮＷに、前記ｎ型オーミック領域２１Ｎ＋２を介して電気的に接続する。

[0063] その結果、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１およびｎチャネルＭＯＳトランジスタＮＭＯＳ２は、それぞれダイナミックスレッショルド動作を行うことになる。

[0064] 前記ポリシリコンパターン２１Ｇ２には、前記素子領域２１Ａと素子領域２１Ｂの間の素子分離領域２１Ｉに対応して、前記層間絶縁膜２３中にコンタクトホール２３Ｆが形成され、前記コンタクトホール２３Ｆを金属プラグ

よりなるビアコンタクトＶＣ６により充填することにより、前記層間絶縁膜２３上に形成され信号ＩＮ２が供給される信号配線パターン２４Ｂが、前記ポリシリコンパターン２１Ｇ２に電気的に接続される。なお図示していないが、前記ポリシリコンパターン２１Ｇ２上にも低抵抗シリサイド層が形成されており、このため、前記ポリシリコンパターン２１Ｇ２において、ｎ型にドープされた前記ゲート電極２３Ｇ２Ｎとｐ型にドープされた前記ゲート電極２３Ｇ２Ｐとの継ぎ目において電気抵抗が増大する問題は生じない。

[0065] 図９は、前記図４の平面図中、線Ｅ－Ｅ'に沿った断面図を示す。

[0066] 図９を参照するに、前記配線パターンＷＰが前記ポリシリコンパターン２１Ｇ１上に形成されたビアコンタクトＶＣ５および信号配線パターン２４Ａを跨いで前記層間絶縁膜２４上を延在し、ビアコンタクトＶＣ９によりｐ型拡散領域２１ＤＰ１、すなわち２１ＤＰ２に、またビアコンタクトＣＶ１０によりｎ型拡散領域２１ＤＮ１にコンタクトするのがわかる。

[0067] また図９の断面図においても、前記ｎ型ウェル２１ＮＷおよびその内部に形成されたｐ型拡散領域２１ＤＰ、従ってｐ型拡散領域２１ＤＰ２の直下にはシリコン酸化膜よりなる絶縁領域２１Ｉ５が形成されており、また前記ｐ型ウェル２１ＰＷおよびその内部に形成されたｎ型拡散領域２１ＤＮ１の直下にはシリコン酸化膜よりなる絶縁領域２１Ｉ１が形成されているのがわかる。

[0068] かかる構造の半導体論理回路装置２０では、図５に示す前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１のゲート電極２３Ｇ１Ｎが、ｐ型ウェル２１ＰＷよりなりチャネル領域２１ＣＨ１の直下を延在するボディ２１ＢＹ１に、図７に示すようにビアコンタクトＶＣ１およびｐ型オーミック領域２１Ｐ＋１により電気的に接続されており、このため前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１は、前記図２で説明したようなダイナミックスレッショルド動作を示す、低電圧動作をし、低いオフ電流と大きなオン電流で特徴づけられるＤｔ－ＭＯＳトランジスタとなる。

[0069] またかかる構造の半導体論理回路装置２０では、図５に示す前記ｎチャネ

ルＭＯＳトランジスタＮＭＯＳ２のゲート電極２３Ｇ２Ｎが、ｐ型ウェル２１ＰＷよりなりチャネル領域２１ＣＨ２の直下を延在するボディ２１ＢＹ２に、図８に示すようにビアコンタクトＶＣ３およびｐ型オーミック領域２１Ｐ＋２により電気的に接続されており、このため前記ｎチャネルＭＯＳトランジスタＮＭＯＳ２も、前記図２で説明したようなダイナミックスレッショルド動作を示す、低電圧動作をし、低いオフ電流と大きなオン電流で特徴づけられるＤｔ－ＭＯＳトランジスタとなる。

[0070] またかかる構造の半導体論理回路装置２０では、図６に示すｐチャネルＭＯＳトランジスタＰＭＯＳ１のゲート電極２３Ｇ１Ｐが、ｎ型ウェル２１ＮＷよりなりチャネル領域２１ＣＨ３の直下を延在するボディ２１ＢＹ３に、図８に示すようにビアコンタクトＶＣ４およびｎ型オーミック領域２１Ｎ＋２により電気的に接続されており、このため前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１は、前記図２で説明したようなダイナミックスレッショルド動作を、低電圧動作をし、低いオフ電流と大きなオン電流で特徴づけられる示すＤｔ－ＭＯＳトランジスタとなる。

[0071] さらにかかる構造の半導体論理回路装置２０では、図６に示すｐチャネルＭＯＳトランジスタＰＭＯＳ２のゲート電極２３Ｇ２Ｐが、ｎ型ウェル２１ＮＷよりなりチャネル領域２１ＣＨ４の直下を延在するボディ２１ＢＹ４に、図７に示すようにビアコンタクトＶＣ２およびｎ＋型オーミック領域２１Ｎ＋１により電気的に接続されており、このため前記ｐチャネルＭＯＳトランジスタＰＭＯＳ２は、前記図２で説明したようなダイナミックスレッショルド動作を示す、低電圧動作をし、低いオフ電流と大きなオン電流で特徴づけられるＤｔ－ＭＯＳトランジスタとなる。

[0072] 前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１では、そのソース領域を構成するｎ型拡散領域２１ＳＮ１およびそのドレイン領域を構成するｎ型拡散領域２１ＤＮ１の直下に、それぞれシリコン酸化膜よりなる絶縁領域２１Ｉ２および２１Ｉ１が形成されているため、これらの拡散領域に伴う接合容量が低減し、動作速度が向上すると同時に、接合リーク電流が低減される。

[0073] 同様に前記ｎチャネルＭＯＳトランジスタＮＭＯＳ２では、そのソース領域を構成するｎ型拡散領域２１ＳＮ２およびそのドレイン領域を構成するｎ型拡散領域２１ＤＮ２の直下に、それぞれシリコン酸化膜よりなる絶縁領域２１Ｉ３および２１Ｉ２が形成されているため、これらの拡散領域に伴う接合容量が低減し、動作速度が向上すると同時に、接合リーク電流が低減される。

[0074] その際、前記ボディ２１ＢＹ１およびボディ２１ＢＹ２を構成するｐ型ウェル２１ＰＷの下端は前記絶縁領域２１Ｉ１～２１Ｉ３の下端を超えないような深さに設定されているため、前記ボディ２１Ｂｙ１とボディ２１ＢＹ２は電気的に分離されており、入力信号Ｉｎ１と入力信号ＩＮ２が干渉することはない。また、前記ｎ型拡散領域２１ＤＮ１，２１ＳＮ１，２１ＤＮ２および２１ＳＮ２の下端は前記ｐ型ウェル２１ＰＷの下端よりも浅い位置に形成されているため、これらの拡散領域がその下の深いｎ型ウェル２１ＤＮＷに短絡することはない。

[0075] 前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１では、そのソース領域を構成するｐ型拡散領域２１ＳＰ１およびそのドレイン領域を構成するｐ型拡散領域２１ＤＰ１の直下に、それぞれシリコン酸化膜よりなる絶縁領域２１Ｉ４および２１Ｉ５が形成されているため、これらの拡散領域に伴う接合容量が低減し、動作速度が向上すると同時に、接合リーク電流が低減される。

[0076] 同様に前記ｐチャネルＭＯＳトランジスタＰＭＯＳ２でも、そのソース領域を構成するｐ型拡散領域２１ＳＰ２およびそのドレイン領域を構成するｐ型拡散領域２１ＤＰ２の直下に、それぞれシリコン酸化膜よりなる絶縁領域２１Ｉ６および２１Ｉ５が形成されているため、これらの拡散領域に伴う接合容量が低減し、動作速度が向上すると同時に、接合リーク電流が低減される。

[0077] その際、前記ボディ２１ＢＹ３およびボディ２１ＢＹ４を構成するｎ型ウェル２１ＮＷの下端は前記絶縁領域２１Ｉ４～２１Ｉ６の下端を超えないような深さに設定されているため、前記ボディ２１ＢＹ３とボディ２１ＢＹ４

は電気的に分離されており、入力信号Ｉｎ１と入力信号ＩＮ２が干渉することはない。また、前記ｐ型拡散領域２１ＤＰ１，２１ＳＰ１，２１ＤＰ２および２１ＳＰ２の下端は前記ｎ型ウェル２１ＮＷの下端よりも浅い位置に形成されているため、これらの拡散領域がその下のｐ型シリコンバルク基板２１に短絡することはない。

[0078] 先に図４でも説明したように本実施形態では、前記素子領域２１Ａにおいては前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１がそのソース拡散領域２１ＳＮ１を、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ２のドレイン領域２１ＤＮ２と兼用するように構成されているため、前記ＭＯＳトランジスタＮＭＯＳ１とＮＭＯＳ２を近接して配置することが可能で、前記素子領域２１Ａの面積を低減させることが可能となる。

[0079] 同様に前記素子領域２１Ｂにおいても、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１がそのドレイン拡散領域２１ＤＰ１を、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ２のドレイン領域２１ＤＰ２と兼用するように構成されているため、前記ＭＯＳトランジスタＰＭＯＳ１とＰＭＯＳ２を近接して配置することが可能で、前記素子領域２１Ｂの面積を低減させることが可能となる。

[0080] またこのような半導体論理回路装置２０は、Ｄｔ－ＭＯＳトランジスタ構成を有さない通常のＭＯＳトランジスタと同一の半導体バルク基板上に、例えばボディ電位を固定するためのビアコンタクトを形成するなど、前記通常のＭＯＳトランジスタの構成を変更することなく、集積化することができる。

[0081] さらに本実施形態によれば、図７あるいは図８の断面図に示すように前記ポリシリコンパターン２１Ｇ１の直下には絶縁領域２１Ｉ１～２１Ｉ８は形成されておらず、このため前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１およびＮＭＯＳ２、およびｐチャネルＭＯＳトランジスタＰＭＯＳ１およびＰＭＯＳ２のいずれにおいても、そのボディの深さがシリコン酸化膜よりなる絶縁領域により制限されることがなく、入力信号が印加されるボディ２１Ｂ

Ｙ１～２１ＢＹ４の電気抵抗を低減することができる。このため、それぞれのトランジスタの動作速度を向上させることが可能となる。

[0082] 次に、前記半導体論理回路装置２０の製造工程を説明する。

[0083] 図１０Ａは、破断線の左半分が前記図４中、線Ａ－Ａ'に沿った断面図となっており、破断線の右半分が、前記図４中、線Ｂ－Ｂ'に沿った断面図となっている。以下、同様である。

[0084] 図１０Ａを参照するに、下端の深さが例えば２００ｎｍ～４００ｎｍのＳＴＩ型の素子分離域２１Ｉにより素子領域２１Ａおよび２１Ｂが画成された（１００）面方位のｐ型単結晶シリコンバルク基板２１上に、前記素子領域２１Ｂを覆うようにレジストパターンＲ１が形成され、前記レジストパターンＲ１をマスクに、前記シリコンバルク基板２１中にリン（Ｐ）を、４００ｋｅＶ～２ＭｅＶの加速電圧下、$２\times１０^{12}ｃｍ^{-2}$～$１\times１０^{14}ｃｍ^{-2}$のドーズ量でイオン注入し、前記素子分離領域２１Ｉの下端よりも深いｎ型ウェル２１ＤＮＷを形成する。

[0085] さらに同じレジストパターンＲ１をマスクに、前記シリコンバルク基板２１中にボロン（Ｂ）を５ｋｅＶ～２０ｋｅＶの加速電圧下、$１\times１０^{12}ｃｍ^{-2}$～$５\times１０^{13}ｃｍ^{-2}$のドーズ量でイオン注入し、前記素子領域２１Ａ中、前記シリコンバルク基板２１の表面部分に、下端の深さが例えば３０ｎｍ～１００ｎｍの浅いｐ型ウェル２１ＰＷとｎチャネルＭＯＳトランジスタＮＭＯＳ１，ＮＭＯＳ２のチャネルドープのためのｐ型注入領域ＮＶＴを、前記素子分離領域２１Ｉの下端よりも浅く形成する（典型的なソース／ドレイン領域の厚さは２０ｎｍ～６０ｎｍ程度、埋込層の厚さは３０ｎｍ～１５０ｎｍであるので、その埋込層の深さの範囲にウェル深さがくるように設定する）。なお図１０Ａの例では前記ｐ型注入領域ＮＶＴは前記ｐ型ウェル２１ＰＷの表面部分に形成されているように示されているが、前にも説明したように、前記ｐ型ウェル２１ＰＷにより前記ｐ型注入領域ＮＶＴを兼用することが可能である。

[0086] 図１０Ｂは、前記図１０Ａと同じ断面に沿った断面図である。

[0087] 図１０Ｂを参照するに、前記図１０Ａの工程の後、前記素子領域２１Ａを別のレジストパターンＲ２により覆い、前記レジストパターンＲ２をマスクに前記シリコンバルク基板２１中にヒ素（Ａｓ）を２０ｋｅＶ～１２０ｋｅＶの加速電圧下、$１\times１０^{12}ｃｍ^{-2}$～$５\times１０^{13}ｃｍ^{-2}$のドーズ量でイオン注入し、前記素子領域２１Ｂ中、前記シリコンバルク基板２１の表面部分に、下端の深さが３０ｎｍ～１００ｎｍの浅いｎ型ウェル２１ＮＷとｐチャネルＭＯＳトランジスタＰＭＯＳ１，ＰＭＯＳ２のチャネルドープのためのｎ型注入領域ＰＶＴを、前記素子分離領域２１Ｉの下端よりも浅く形成する（典型的なソース／ドレイン領域の厚さは２０ｎｍ～６０ｎｍ低度、埋込層の厚さは３０～１５０ｎｍであるので、その埋込層の深さの範囲にウェル深さがくるように設定する）。なお図１０Ｂの例でも前記ｎ型注入領域ＰＶＴは前記ｎ型ウェル２１ＮＷの表面部分に形成されているように示されているが、前にも説明したように、前記ｎ型ウェル２１ＮＷにより前記ｎ型注入領域ＰＶＴを兼用することが可能である。

[0088] 図１０Ｃは、前記図１０Ａと同じ断面Ａ－Ａ’およびＢ－Ｂ’に沿った断面図、図１０Ｄは、前記図１０Ｃの工程における、図４中、前記線Ｃ－Ｃ’に沿った断面図を示す。

[0089] 図１０Ｃを参照するに、前記図１０Ｂの工程の後、前記破断線より左側に示す素子領域２１Ａ上に、前記ポリシリコンパターン２１Ｇ１および２１Ｇ２が、それぞれゲート絶縁膜２２Ｏｘ１および２２Ｏｘ２を介して形成される。これに伴い、図１０Ｃの破断線より右側の素子領域２１Ｂにおいても、前記ポリシリコンパターン２１Ｇ１および２１Ｇ２が、それぞれゲート絶縁膜２２Ｏｘ３および２２Ｏｘ４を介して形成されるのがわかる。なお前記ポリシリコンパターン２１Ｇ１，２１Ｇ２は、ポリシリコン膜をシリコン酸化膜あるいはシリコン窒化膜よりなるハードマスクパターン２１ＯＭをマスクとしてパターニングすることにより形成され、前記ハードマスクパターン２１ＯＭは、後で説明する図１０Ｍおよび図１０Ｎの工程まで、前記ポリシリコンパターン２１Ｇ１および２１Ｇ２上に残しておく。

[0090] 前記ポリシリコンパターン２１Ｇ１および２１Ｇ２はそれぞれの側壁面に、シリコン酸化膜あるいはシリコン窒化膜よりなる厚さが５～２０ｎｍ程度の側壁絶縁膜ｓｗを有しており、さらに図１０Ｃの工程では、前記素子領域２１Ａにおいて前記ポリシリコンパターン２１Ｇ１，２１Ｇ２をマスクに、Ａｓを例えば１ｋｅＶ～５ｋｅＶの加速電圧下、1×10^{13}ｃｍ$^{-2}$～2×10^{15}ｃｍ$^{-2}$程度のドーズ量でイオン注入し、前記素子領域２１Ａを構成するシリコンバルク基板２１の表面にｎ型のソース／ドレインエクステンション領域を構成するｎ型拡散領域２１ａ～２１ｃを、前記ｎ型拡散領域２１ｂが前記ポリシリコンパターン２１Ｇ１とＧ２の間に位置するように、また前記ｎ型拡散領域２１ａが、前記ｎ型拡散領域２１ｂに対し前記ポリシリコンパターン２１Ｇ１の外側に、前記ｎ型拡散領域２１ｃが前記ｎ型拡散領域２１ｂに対し前記ポリシリコンパターン２１Ｇ２の外側に位置するように形成する。前記ｎ型拡散領域２１ａ～２１ｃの形成時には、前記素子領域１２Ｂは図示しないレジストパターンにより覆っておく。

[0091] さらに図１０Ｃの工程では、前記素子領域２１Ｂにおいて前記ポリシリコンパターン２１Ｇ１，２１Ｇ２をマスクに、Ｂを例えば０．１ｋｅＶ～１ｋｅＶの加速電圧下、1×10^{13}ｃｍ$^{-2}$～2×10^{15}ｃｍ$^{-2}$程度のドーズ量でイオン注入し、前記素子領域２１Ｂを構成するシリコンバルク基板２１の表面にｐ型のソース／ドレインエクステンション領域を構成するｐ型拡散領域２１ｄ～２１ｆを、前記ｐ型拡散領域２１ｅが前記ポリシリコンパターン２１Ｇ１とＧ２の間に位置するように、また前記ｐ型拡散領域２１ｄが、前記ｐ型拡散領域２１ｅに対し前記ポリシリコンパターン２１Ｇ１の外側に、前記ｐ型拡散領域２１ｆが前記ｐ型拡散領域２１ｅに対し前記ポリシリコンパターン２１Ｇ２の外側に位置するように形成する。前記ｐ型拡散領域２１ｄ～２１ｆの形成時には、前記素子領域１２Ａは図示しないレジストパターンにより覆っておく。

[0092] 図１０Ｄを参照するに、前記シリコンバルク基板２１中には前記素子領域２１Ａにおいて深いｎ型ウェル２１ＤＮＷが形成されており、ポリシリコン

パターン２１Ｇ１が前記素子領域２１Ａから素子領域２１Ｂまで、前記素子領域２１Ａと素子領域２１Ｂとを隔てる素子分離領域２１Ｉを超えて延在しているのがわかる。また前記素子領域２１Ａでは、前記シリコンバルク基板２１の表面とポリシリコンパターン２１Ｇ１との間に、ゲート絶縁膜２２Ｏｘ１が介在し、前記素子領域２１Ｂでは、前記シリコンバルク基板２１の表面とポリシリコンパターン２１Ｇ２との間に、ゲート絶縁膜２２Ｏｘ２が介在するのがわかる。また前記ポリシリコンパターン２１Ｇ１の両端は、前記側壁絶縁膜ｓｗと同じ側壁絶縁膜により覆われている。なお図示はしないが、図４中、線Ｄ－Ｄ'に沿った断面においても、前記図１０Ｄと同様な構造が形成される。

[0093] 図１０Ｅは、前記図１０Ａと同じ断面Ａ－Ａ'およびＢ－Ｂ'に沿った断面図、図１０Ｆは、前記図１０Ｅの工程における、図４中、前記線Ｃ－Ｃ'に沿った断面図を示す。

[0094] 図１０Ｅを参照するに、前記図１０Ｃおよび図１０Ｄの工程の後、前記ポリシリコンパターン２１Ｇ１および２１Ｇ２上に、前記側壁絶縁膜ｓｗを覆って、シリコン酸化膜あるいはシリコン窒化膜などよりなる外側の側壁絶縁膜ＳＷが、厚さが２０ｎｍ～５０ｎｍのシリコン酸化膜やシリコン窒化膜の堆積およびエッチバックにより形成されており、図１０Ｆに示すように、前記外側の側壁絶縁膜ＳＷは、前記ポリシリコンパターン２１Ｇ１の両端部においても、内側の側壁絶縁膜ｓｗを覆って形成される。図示はしないが、図４中、線Ｄ－Ｄ'に沿った断面においても、前記図１０Ｆと同様な構造が形成される。本実施形態では、図１０Ｅ，図１０Ｆの側壁絶縁膜ＳＷを形成するエッチバック工程においてマスクプロセスを追加することにより、先に図４で説明したシリサイドブロックとなる絶縁パターンＳＢ１，ＳＢ２が、前記側壁絶縁膜ＳＷと同時に、前記ポリシリコン知る痕パターン２１Ｇ１，２１Ｇ２のそれぞれから側方に延在するように形成される。

[0095] 図１０Ｇは、前記図１０Ａと同じ断面Ａ－Ａ'およびＢ－Ｂ'に沿った断面図、図１０Ｈは、前記図１０Ｇの工程における、図４中、前記線Ｃ－Ｃ'に沿

った断面図を示す。

[0096] 図１０Ｇを参照するに、前記図１０Ｅおよび図１０Ｆの工程の後、前記側壁絶縁膜ＳＷおよびハードマスクパターン２１０Ｍで覆われたポリシリコンパターン２１Ｇ１，２１Ｇ２をマスクに、前記シリコンバルク基板２１の表面をＲＩＥ法によりドライエッチングし、前記素子領域２１Ａにおいては前記ｐ型ウェル２１ＰＷの下端を超え、前記深いｎ型ウェル２１ＤＮＷに到達するトレンチＴ１，Ｔ２およびＴ３を、前記トレンチＴ２が前記ポリシリコンパターン２１Ｇ１と２１Ｇ２の間に位置し、前記トレンチＴ１が前記トレンチＴ２に対し前記ポリシリコンパターン２１Ｇ１の外側に位置し、また前記トレンチＴ３が前記トレンチＴ２に対し、前記ポリシリコンパターン２１Ｇ２の外側に位置するように形成する。

[0097] このように前記素子領域２１Ａにトレンチ Ｔ１～Ｔ３が形成される結果、図１０Ｇに示すように前記浅いｐ型ウェル２１ＰＷは、第１のボディ領域２１ＢＹ１と第２のボディ領域２１ＢＹ２に分離し、またその上のｐ型注入領域ＮＶＴも、前記ボディ２１ＢＹ１上のチャネルドープ領域ＮＶＴ１と、前記ボディ２１ＢＹ２上のチャネルドープ領域ＮＶＴ２とに分離する。

[0098] また同時に前記素子領域２１Ｂにおいて、前記ｎ型ウェル２１ＮＷの下端を超るトレンチＴ４，Ｔ５およびＴ６を、前記ドライエッチングにより、前記トレンチＴ５が前記ポリシリコンパターン２１Ｇ１と２１Ｇ２の間に位置し、前記トレンチＴ４が前記トレンチＴ５に対し前記ポリシリコンパターン２１Ｇ１の外側に位置し、また前記トレンチＴ６が前記トレンチＴ５に対し、前記ポリシリコンパターン２１Ｇ２の外側に位置するように、形成する。一例として、前記トレンチＴ１～Ｔ６は、前記シリコンバルク基板２１の表面から７０ｎｍの深さに形成される。

[0099] このように前記素子領域２１Ｂにトレンチ Ｔ４～Ｔ６が形成される結果、図１０Ｇに示すように前記浅いｎ型ウェル２１ＮＷは、第３のボディ領域２１ＢＹ３と第４のボディ領域２１ＢＹ４に分離し、またその上のｎ型注入領域ＰＶＴも、前記ボディ２１ＢＹ３上のチャネルドープ領域ＰＶＴ１と、前

記ボディ２１ＢＹ４上のチャネルドープ領域ＰＶＴ２とに分離する。

[0100] また前記図１０Ｇの工程の際には、図１０Ｈの断面図に示すように、前記シリコンバルク基板２１中、前記ポリシリコンパターン２１Ｇ１の両端に、前記ポリシリコンパターン２１Ｇ１の上面を覆う前記ハードマスクパターン２１ＯＭおよび側壁絶縁膜ＳＷを自己整合マスクにドライエッチングがなされ、その結果、前記素子領域２１Ａにおいては前記ポリシリコンパターン２１Ｇ１の端部に対応してトレンチＴ７が、また前記素子領域２１Ｂにおいては前記ポリシリコンパターン２１Ｇ２の端部に対応してトレンチＴ８が、前記トレンチＴ１～Ｔ６と実質的に同一の深さに形成される。

[0101] なお説明は省略するが、図１０Ｈと同様な構造が、図４中、断面Ｄ－Ｄ'においても形成される。

[0102] 図１０Ｉは、前記図１０Ａと同じ断面Ａ－Ａ'およびＢ－Ｂ'に沿った断面図、図１０Ｊは、前記図１０Ｉの工程における、図４中、前記線Ｃ－Ｃ'に沿った断面図を示す。

[0103] 図１０Ｉを参照するに、前記図１０Ｇおよび図１０Ｈの工程の後、前記図１０Ｇの構造上に、反応性スパッタなど異方性を有し、基板面に垂直な方向に優先的に堆積を生じる成膜方法により、シリコン酸化膜を堆積し、前記トレンチＴ１，Ｔ２，Ｔ３，Ｔ４，Ｔ５，Ｔ６の底部に、上端が前記浅いｐ型ウェル２１ＰＷ、従ってボディ２１ＢＹ１、および浅いｎ型ウェル２１ＮＷ、従ってボディ２１ＢＹ３の下端を超えるような、例えば２０ｎｍ～５０ｎｍ程度の厚さで、前記絶縁領域２１Ｉ１，２１Ｉ２，２１Ｉ３，２１Ｉ４，２１Ｉ５および２１Ｉ６を形成する。その際、前記絶縁領域２１Ｉ１，２１Ｉ２，２１Ｉ３，２１Ｉ４，２１Ｉ５および２１Ｉ６の厚さは、次に図１０Ｋおよび図１０Ｌで説明するエッチングプロセスを行っても、なおかつ前記浅いｐ型ウェル２１ＰＷおよび浅いｎ型ウェル２１ＮＷの下端を超えるような厚さに設定しておく。

[0104] このような絶縁領域２１Ｉ１，２１Ｉ２，２１Ｉ３，２１Ｉ４，２１Ｉ５および２１Ｉ６の形成に伴い、図１０Ｊの断面においても、前記トレンチＴ

７およびＴ８を充填して、先に図８で説明した絶縁領域２１Ｉ９および２１Ｉ１０が、前記浅いｐ型ウェル２１ＰＷ、従ってボディ２１ＢＹ１、および前記浅いｎ型ウェル２１ＮＷ、従ってボディ２１ＢＹ３の下端を超える厚さで形成される。

[0105] なお説明は省略するが、図１０Ｊと同様な構造が、図４中、断面Ｄ－Ｄ'においても形成され、前記素子領域２１Ａにおいては前記ポリシリコンパタ―ン２１Ｇ２の端部に対応して絶縁領域２１Ｉ９が、また前記素子領域２１Ｂにおいては前記ポリシリコンパタ―ン２１Ｇ２の端部に対応して絶縁領域２１Ｉ１０が形成される。

[0106] また前記絶縁領域２１Ｉ１，～２１Ｉ１０の形成に伴い、前記ポリシリコンパタ―ン２１Ｇ１および２１Ｇ２上には、前記側壁絶縁膜ＳＷおよびハードマスクパターン２１ＯＭを覆って、シリコン酸化膜２１Ｏが形成される。同様なシリコン酸化膜２１Ｏは、素子分離構造２１Ｉ上にも形成される。

[0107] なお図１０Ｉおよび図１０Ｊの工程において、前記絶縁領域２１Ｉ１～２１Ｉ１０の形成は、後の実施形態で説明する酸素のイオン注入および熱処理により行うことも可能である。

[0108] 図１０Ｋは、前記図１０Ａと同じ断面Ａ－Ａ'およびＢ－Ｂ'に沿った断面図、図１０Ｌは、前記図１０Ｋの工程における、図４中、前記線Ｃ－Ｃ'に沿った断面図を示す。

[0109] 図１０Ｋおよび図１０Ｌの工程では、前記図１０Ｉおよび図１０Ｊで示した構造を、ＨＦエッチャント中に短時間浸漬し、図１０Ｋおよび図１０Ｌにおいて破線で囲んだ、部分的に充填されたトレンチＴ１～Ｔ８の露出側壁面から前記絶縁領域２１Ｉ１～２１Ｉ１０の形成時に堆積したシリコン酸化膜がウェットエッチングにより除去され、新鮮なシリコン表面が露出される。

[0110] なお、図１０Ｋおよび図１０Ｌのウェットエッチング工程では、前記絶縁領域２１Ｉ１，２１Ｉ２，２１Ｉ３，２１Ｉ４，２１Ｉ５および２１Ｉ６を構成するシリコン酸化膜もエッチングを受けるが、ＨＦエッチャント中への浸漬時間を短時間とすることにより、前記絶縁領域２１Ｉ１，２１Ｉ２，２

１Ｉ３，２１Ｉ４，２１Ｉ５および２１Ｉ６の膜減りを無視することが可能である。いずれにせよ、前記絶縁領域２１Ｉ１，２１Ｉ２，２１Ｉ３，２１Ｉ４，２１Ｉ５および２１Ｉ６は、先にも説明したように、前記図１０Ｋおよび図１０Ｌのウェットエッチング工程を経ても、前記素子領域２１Ａにおいては前記浅いｐ型ウェル２１ＰＷ、従ってｐ型のボディ２１ＢＹ１およびＢＹ２の下端を超えるように、また前記素子領域２１Ｂにおいては前記浅いｎ型ウェル２１ＮＷ、従ってｎ型のボディ２１ＢＹ３およびＢＹ４の下端を超えるように形成されている。

[0111] 図１０Ｍは、前記図１０Ａと同じ断面Ａ－Ａ'およびＢ－Ｂ'に沿った断面図、図１０Ｎは、前記図１０Ｍの工程における、図４中、前記線Ｃ－Ｃ'に沿った断面図を示す。

[0112] 図１０Ｍおよび図１０Ｎを参照するに、前記図１０Kおよび図１０Lの工程の後、前記トレンチT1～Ｔ８に単結晶シリコンエピタキシャル層２１ｅｐを、例えば７００℃～８００℃の基板温度で、前記トレンチＴ１～Ｔ８の側壁面に露出している前記単結晶シリコンバルク基板２１のシリコン面から横方向にエピタキシャルに再成長させ、前記トレンチＴ１～Ｔ８を充填する。

[0113] ただし、図１０Ｍおよび図１０Ｎの工程では、これらの単結晶シリコンエピタキシャル層２１ｅｐはまだｐ型にもｎ型にもドープされていない。また図１０Ｍおよび図１０Ｎにおいては、前記トレンチＴ９およびＴ１０へのエピタキシャル層２１ｅｐの形成は、図１０Ｎの断面図と同様であるので、図示を省略している。

[0114] なお図１０Ｍおよび図１０Ｎの工程においては、前記各単結晶シリコンエピタキシャル層２１ｅｐの上面は前記シリコンバルク基板２１の上面に一致するように示してあるが、これらの単結晶シリコンエピタキシャル層は、その上面が前記シリコンバルク基板２１の上面を超えるように形成することも可能である。この場合には、図１１Ａおよび図１１Ｂに示すように、それぞれの単結晶シリコンエピタキシャル層にＳｉの結晶面よりなるファセットが生じるが、これによる不都合は生じない。

[0115] なおこのような単結晶シリコンエピタキシャル層２１ｅｐの成長を見込んで、前記（１００）面方位の単結晶シリコンバルク基板２１上に形成されるポリシリコンパターン２１Ｇ１，２１Ｇ２の延在方向を、前記トレンチＴ１～Ｔ１０の側壁面においてＳｉの（１００）面が露出するように、＜１００＞方向とすることも可能である。

[0116] さらに図示はしないが、前記単結晶シリコンエピタキシャル層２１ｅｐの代わりに、特に前記素子領域２１Ａにおいて前記シリコンバルク基板２１を構成するＳｉよりも格子定数の小さい単結晶ＳｉＣエピタキシャル層を形成し、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１，ＮＭＯＳ２のチャネル領域に一軸性引張応力を印加し、これらＭＯＳトランジスタの動作速度を向上させてもよい。

[0117] また前記素子領域２１Ｂにおいて前記単結晶シリコンエピタキシャル層２１ｅｐの代わりに前記シリコンバルク基板２１よりも格子定数の大きい単結晶ＳｉＧｅエピタキシャル層を形成し、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１，ＰＭＯＳ２のチャネル領域に一軸性圧縮応力を印加し、これらＭＯＳトランジスタの動作速度を向上させてもよい。

[0118] また前記全てのトレンチＴ１～Ｔ１０において、前記単結晶シリコンエピタキシャル層２１ｅｐのかわりに、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１，ＮＭＯＳ２、および前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１，ＰＭＯＳ２のチャネル応力に影響を与えないような濃度でＧｅを含む単結晶ＳｉＧｅ混晶層を形成することにより、前記エピタキシャル成長の際の温度を低減することも可能である。

[0119] 図１００は、前記図１０Ａと同じ断面Ａ－Ａ’およびＢ－Ｂ’に沿った断面図、図１０Ｐは、前記図１００の工程における、図４中、前記線Ｃ－Ｃ’に沿った断面図を示す。

[0120] 図１００および図１０Ｐを参照するに、前記図１０Ｌおよび図１０Ｍの工程の後、前記シリコン酸化膜２１０が、その下のハードマスクパターン２１０Ｍ共々、例えばウェットエッチングにより除去され、さらに図１２Ａに示

すイオン注入マスクＭ１を使い、前記素子領域２１Ａ全体にＢなどのｐ型不純物元素をイオン注入し、前記ポリシリコンパターン２１Ｇ１，２１Ｇ２の一部を含め、前記素子領域２１Ａ中の前記単結晶シリコンエピタキシャル層２１ｅｐの全体を、前記ｐ型ウェル２１ＰＷと同程度のｐ型にドープする。次いで図１２Ｂに示すイオン注入マスクＭ２を使い、前記素子領域２１Ｂ全体にＡｓやＰなどのｎ型不純物元素をイオン注入し前記ポリシリコンパターン２１Ｇ１，２１Ｇ２の一部を含め、前記素子領域２１Ｂにおける前記単結晶シリコンエピタキシャル層２１ｅｐの全体を、前記ｎ型ウェル２１ＮＷと同程度のｎ型にドープする。

[0121] さらに図１００および図１０Ｐの工程では、図１２Ｃに示すイオン注入マスクＭ３を使い、前記素子領域２１Ａにおいて前記単結晶シリコンエピタキシャル層２１ｅｐのうち、前記ポリシリコンパターン２１Ｇ１および２１Ｇ２の両側にＡｓあるいはＰなどのｎ型不純物元素を高濃度でイオン注入し、前記シリコン単結晶領域２１ＤＮ１，２１ＳＮ１、すなわちシリコン単結晶領域２１ＤＮ２、さらに前記シリコン単結晶領域２１ＳＮ２をｎ＋型にドープする。前記イオン注入は、Ｐを注入して行う場合には、例えば１０ｋｅＶの加速電圧下、$6\times10^{15}cm^{-2}$程度のドーズ量で行うことができ、またＡｓを注入して行う場合には、例えば２０ｋｅＶの加速電圧下、$6\times10^{15}cm^{-2}$程度のドーズ量で行うことができる。

[0122] 図１００および図１０Ｐの工程では、同時に前記素子領域２１Ｂにおける前記単結晶シリコンエピタキシャル層２１ｅのうち、前記ポリシリコンパターン２１Ｇ１および２１Ｇ２の先端部近傍にも同じｎ型不純物元素のイオン注入が生じ、前記拡散領域２１ＳＮ１，２１ＤＮ１，２１ＳＮ２，２１ＤＮ２と同様なｎ＋型にドープされて、前記オーミック領域２１Ｎ＋１および２１Ｎ＋２が形成される。このようにして形成されたオーミック領域２１Ｎ＋１、２１＋２は、前記図１２Ｃのマスク３の形状よりわかるように電気的に分離しており、このため前記ボディ２１ＢＹ１と２１ＢＹ２とが素子領域２１Ａ中において電気的に干渉することはない。

[0123] また上記イオン注入に伴い、前記ポリシリコンパターン２１Ｇ１，Ｇ２のうち、前記素子領域２１Ａ中を延在する部分がｎ＋型にドープされ、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１およびＮＭＯＳ２のｎ型ポリシリコンゲート電極２３Ｇ１Ｎおよび２３Ｇ２Ｎが形成される。

[0124] 図１０Ｑは、前記図１０Ａと同じ断面Ａ－Ａ'およびＢ－Ｂ'に沿った断面図、図１０Ｒは、前記図１０Ｑの工程における、図４中、前記線Ｃ－Ｃ'に沿った断面図を示す。

[0125] 図１０Ｑを参照するに、前記図１００および図１０Ｐの工程の後、図１２Ｄに示すイオン注入マスクＭ４を使い、前記素子領域２１ＢにＢなどのｐ型不純物元素を高濃度でイオン注入し、前記シリコン単結晶領域２１ＳＰ２，２１ＤＰ２、すなわちシリコン単結晶領域２１ＤＰ１、さらに前記シリコン単結晶領域２１ＳＰ１をｐ＋型にドープする。前記イオン注入は、例えば３ｋｅＶの加速電圧下、$５\times１０^{15}ｃｍ^{-2}$程度のドーズ量で行うことができる。

[0126] 図１０Ｑおよび図１０Ｒの工程では、同時に前記素子領域２１Ａにおいて前記ポリシリコンパターン２１Ｇ１および２１Ｇ２の先端部近傍にも同じｐ型不純物元素のイオン注入が生じ、前記拡散領域２１ＳＰ１，２１ＤＰ１，２１ＳＰ２，２１ＤＰ２と同様なｐ＋型にドープされて前記オーミック領域２１Ｐ＋１および２１Ｐ＋２が形成される。このようにして形成されたオーミック領域２１Ｐ＋１、２１Ｐ＋２は、前記図１２Ｄのマスクの形状よりわかるように、電気的に分離しており、このため前記ボディ２１ＢＹ３と２１ＢＹ４が素子領域２１Ｂにおいて電気的に干渉することはない。

[0127] また上記イオン注入に伴い、前記ポリシリコンパターン２１Ｇ１，Ｇ２のうち、前記素子領域２１Ｂ中を延在する部分がｐ＋型にドープされ、前記ｐチャネルＭＯＳトランジスタＰＭＯＳ１およびＰＭＯＳ２のｐ型ポリシリコンゲート電極２３Ｇ１Ｐおよび２３Ｇ２Ｐが形成される。

[0128] なお図１０Ｑおよび図１０Ｒの工程は、前記図１００および図１０Ｐの工程の前に行うことも可能である。

[0129] ここで図１２Ａ，図１２Ｂを参照するに、前記シリコンバルク基板２１上

には素子領域２１Ａおよび素子領域２１Ｂが素子分離領域２１Ｉにより画成されており、前記素子領域２１Ａから素子領域２１Ｂまで、間に介在する素子分離領域２１Ｉを跨いでポリシリコンパターン２１Ｇ１および２１Ｇ２が延在している。

[0130] また前記素子領域２１Ａには、前記ポリシリコンパターン２１Ｇ１および２１Ｇ２を囲んで、前記図１０Ｉおよび図１０Ｊの工程で形成されたトレンチＴ１～Ｔ３およびトレンチＴ７，Ｔ９により凹部が連続的に形成されており、前記凹部は、前記図１０Ｋおよび図１０Ｌの工程において底部に絶縁領域２１Ｉ１～２１Ｉ１０が形成された後、図１０Ｍおよび図１０Ｎの工程で、横方向へのエピタキシャル成長により、前記単結晶シリコン領域２１ＤＮ１，２１ＳＮ１従って２１ＤＮ２，２１ＳＮ２により連続して充填されている。

[0131] 同様に前記素子領域２１Ｂには、前記ポリシリコンパターン２１Ｇ１および２１Ｇ２を囲んで、前記図１０Ｉおよび図１０Ｊの工程で形成されたトレンチＴ４～Ｔ６およびトレンチＴ８，Ｔ１０により凹部が連続的に形成されており、前記凹部は、前記図１０Ｋおよび図１０Ｌの工程において底部に絶縁領域２１Ｉ１～２１Ｉ１０が形成された後、図１０Ｍおよび図１０Ｎの工程で、横方向へのエピタキシャル成長により、前記単結晶シリコン領域２１ＳＰ１，２１ＤＰ１従って２１ＤＰ２，２１ＳＰ２により連続して充填されている。

[0132] そこで前記図１００および図１０Ｐの工程では、前記マスクＭ１およびＭ２を使った予備的なイオン注入工程の後、前記マスクＭ３を介して前記ｎ型不純物元素のイオン注入がなされ、前記単結晶シリコン領域２１ＤＮ１，２１ＳＮ１従って２１ＤＮ２，２１ＳＮ２、および前記ポリシリコンシリコンパターン２１Ｇ１，２１Ｇ２のうち前記素子領域２１Ａ中を延在する部分、さらに前記素子領域２１Ｂのオーミック領域２１Ｎ＋１、２１＋２が、前記拡散領域２１ＳＮ１，２１ＤＮ１，２１ＤＮ２，２１ＳＮ２と同様なｎ＋型にドープされて形成される。

[0133] また前記図１０Ｑおよび図１０Ｒの工程では、前記マスクＭ４を介して前記ｐ型不純物元素のイオン注入がなされ、前記単結晶シリコン領域２１ＳＰ１，２１ＤＰ１従って２１ＤＰ２，２１ＳＰ２、および前記ポリシリコンシリコンパターン２１Ｇ１，２１Ｇ２のうち前記素子領域２１Ｂ中を延在する部分、さらに前記素子領域２１Ａに前記オーミック領域２１Ｐ＋１および２１Ｐ＋２が、前記拡散領域２１ＳＰ１，２１ＤＰ１，２１ＤＰ２，２１ＳＰ２と同様なｐ＋型にドープされて形成される。

[0134] 図１０Ｓは前記図１０Ａと同じ断面Ａ－Ａ’およびＢ－Ｂ’に沿った断面図、図１０Ｔは、前記図１０Ｓの工程における、図４中、前記線Ｃ－Ｃ’に沿った断面図を示す。

[0135] 図１０Ｓおよび図１０Ｔを参照するに、前記図１０Ｑおよび図１０Ｒの工程の後、前記ポリシリコンパターン２１Ｇ１，２１Ｇ２の露出表面、前記単結晶シリコン領域２１ＤＮ１，２１ＳＮ１従って２１ＤＮ２，２１ＳＮ２の露出表面、前記単結晶シリコン領域２１ＳＰ１，２１ＤＰ１従って２１ＤＰ２，２１ＳＰ２の露出表面、さらに前記ｎ＋型オーミック領域２１Ｎ＋１，２１Ｎ＋２の露出表面、前記ｐ＋型オーミック領域２１Ｐ＋１，２１Ｐ＋２の露出表面には、通常のサリサイド法により、例えばニッケルシリサイドよりなるシリサイド層２５が形成される。

[0136] さらに前記図１０Ｓおよび図１０Ｔの工程に引き続く図１０Ｕおよび図１０Ｖの工程において、前記シリコンバルク基板２１上に、前記ゲート電極２３Ｇ１Ｎ，２３Ｇ２Ｎ，２３Ｇ１Ｐおよび２３Ｇ２Ｐを覆うように層間絶縁膜２３が形成され、さらに図１０Ｖに示すように前記層間絶縁膜２３には、前記ｐ＋型オーミック領域２１Ｐ＋１およびｎ＋型オーミック領域２１Ｎ＋１を露出して、先に説明した開口部２３Ａおよび２３Ｂが形成される。同様に、前記図４の線Ｄ－Ｄ’に沿った断面においても、前記ｐ＋型オーミック領域２１Ｐ＋２およびｎ＋型オーミック領域２１Ｎ＋２を露出して、先に説明した開口部２３Ｄおよび２３Ｅが形成される。前記図８の断面図を参照。

[0137] また図１０Ｖの断面図では、前記層間絶縁膜２３中に、前記素子領域２１

Ａと２１Ｂの間の素子分離絶縁膜２１Ｉ上に前記ポリシリコンパターン２１Ｇ１に対応して信号ＩＮ１のためのコンタクトホール２３Ｃが形成されており、また図示はしないが、前記素子領域２１Ａと２１Ｂの間の素子分離絶縁膜２１Ｉ上に前記ポリシリコンパターン２１Ｇ２に対応して信号ＩＮ２のためのコンタクトホール２３Ｆが形成されている。前記図８の断面図を参照。

[0138] さらに前記開口部２３Ａ～２３Ｃをタングステンなどの金属プラグで充填することにより、図７で説明したビアコンタクトＶＣ１，ＶＣ２，ＶＣ５が形成される。同様に、前記開口部２３Ｄ～２３Ｆをタングステンなどの金属プラグで充填することにより、図８で説明したビアコンタクトＶＣ３，ＣＶ４，ＶＣ６が形成される。

[0139] さらに必要に応じて信号配線パターン２４Ａ，２４Ｂを形成した後、図１０Ｕおよび図１０Ｖの構造上に前記層間絶縁膜２４を形成し、ビアコンタクトＶＣ７～ＶＣ１１を形成することにより、図５～図９の断面と図４で説明したレイアウトを有する半導体論理回路装置２０が得られる。

[0140] なお上記の半導体論理回路装置２０の製造工程において、図１０Ａ～図１０Ｆ，図１００～図１０Ｒの工程などは、通常の非ダイナミックスレッショルド動作をするＭＯＳトランジスタの製造工程と同じであり、本実施形態によれば、図４～図８で説明した半導体論理回路装置２０と同時に非ダイナミックスレッショルド動作をするＭＯＳトランジスタを同一の半導体バルク基板上に形成できることがわかる。またその際、先にも説明したが、非ダイナミックスレッショルド動作をするＭＯＳトランジスタにおいて、ボディ電位を固定するコンタクトホールを設けるなど、通常のＭＯＳトランジスタの構成を変更する必要はない。

[0141] そこで、図１３Ａに示すように、本実施形態では前記図４の半導体論理回路装置２０と同一のシリコンバルク基板上に、例えばＣＭＯＳ素子４０を集積化することを容易に行うことが可能である。

[0142] 図１３Ａを参照するに、前記素子領域２１Ａおよび２１Ｂには、先に図４で説明したＮＡＮＤ回路２０が形成されているが、同じシリコンバルク基板

２１上には、前記素子分離領域２１Ｉにより素子領域４１Ａおよび４１Ｂが画成されており、ポリシリコンパターン２１Ｇ３が前記素子領域４１Ａから素子領域４１Ｂまで、前記素子領域４１Ａと４１Ｂの間に介在する素子分離領域２１Ｉを跨いで延在している。

[0143] 前記ポリシリコンパターン２１Ｇ３は前記素子領域４１Ａにおいてはｎ＋型にドープされており、ｎチャネルＭＯＳトランジスタＮＭＯＳ３のゲート電極を形成する。すなわち前記素子領域４１Ａにおいては、前記ポリシリコンパターン２１Ｇ３の両側にｎ＋型拡散領域よりなるソースＳＮとドレインＤＮが形成され、前記ソースＳＮはビアコンタクトＣＶ１６および電源配線パターンＧＤ２を介して接地電源ＧＮＤに接続されている。

[0144] 同様に前記素子領域４１Ｂにおいては前記ポリシリコンパターン２１Ｇ３はｐ＋型にドープされており、ｐチャネルＭＯＳトランジスタＰＭＯＳ３のゲート電極を形成する。すなわち前記素子領域４１Ａにおいては、前記ポリシリコンパターン２１Ｇ３の両側にｐ＋型拡散領域よりなるソースＳＰとドレインＤＰが形成され、前記ソースＳＰはビアコンタクトＶＣ１４および電源配線ＰＷ３を介して電源Ｖｃｃに接続される。また前記ｐチャネルＭＯＳトランジスタＰＭＯＳ３のドレインＤＰはビアコンタクトＶＣ１３および局所配線パターンＷＰ２、およびビアコンタクトＶＣ１５を介して前記ｎチャネルＭＯＳトランジスタＮＭＯＳ３のドレインに接続されて、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ３とｐチャネルＭＯＳトランジスタｐＭＯＳ３とは前記ＣＭＯＳ素子４０を形成している。

[0145] ここで前記ｎチャネルＭＯＳトランジスタＮＭＯＳ３およびｐチャネルＭＯＳトランジスタＰＭＯＳ３ではそれぞれのゲート電極がボディに接続されることはなく、これらのＭＯＳトランジスタは非ダイナミックスレッショルド動作をする。

[0146] このように、本実施形態ではシリコンバルク基板を使うことにより、同一の基板上にＤｔ－ＭＯＳトランジスタを使った回路と非Ｄｔ－ＭＯＳトランジスタを使った回路とを、容易に集積化することができる。

[0147] また図示はしないが、図１３Ａの構成においてＣＭＯＳ素子４０を構成するｎチャネルＭＯＳトランジスタＮＭＯＳ３およびｐチャネルＭＯＳトランジスタＰＭＯＳ３をＤｔ－ＭＯＳ構成とすることも可能である。この場合には、前記ｎチャネルＭＯＳトランジスタＮＭＯＳ３のゲート電極２１Ｇ３をビアコンタクトによりそのボディに接続し、また前記ｐチャネルＭＯＳトランジスタＰＭＯＳ３のゲート電極をビアコンタクトによりそのボディに接続すればよい。

[0148] 本実施形態において前記ｐ型ウェル２１ＰＷの下端の深さと前記ｎ型ウェル２１ＮＷの下端の深さとは必ずしも一致する必要はなく、異なっていてもよい。また前記絶縁領域２１Ｉ１～２１Ｉ１０の深さも、図１０Ａ～図１０Ｖの工程では必然的同じになるが、例えば後の実施形態で説明する酸素のイオン注入により前記絶縁領域２１Ｉ１～２１Ｉ１０を形成する場合には、酸素イオンの加速電圧を素子領域２１Ａと２１Ｂとで変化させることにより、前記絶縁領域２１Ｉ１～２１Ｉ１０の深さを前記素子領域２１Ａと２１Ｂとで変化させることも可能である。

[0149] 図１３Ｂは、本実施形態の半導体論理集積回路２０で使われる単一のｎチャネルＤｔ－ＭＯＳトランジスタ４０の平面図を、また図１３Ｃは前記図１３ＢのＭＯＳトランジスタの線Ｘ－Ｘ’に沿った断面図を示す。

[0150] 図１３Ｂ，図１３Ｃを参照するに、前記シリコン基板２１中には、前記素子分離構造２１Ｉに対応する素子分離構造４１Ｉにより画成された素子領域４１ＮＭＯＳの下部に、深いｎ型ウェル４１ＤＮＷが、前記深いｎ型ウェル２１ＤＮＷに対応して形成されており、前記深いｎ型ウェル４１ＤＮＷの上部には、前記ポリシリコンパターン２１Ｇ１あるいは２１Ｇ２に対応し前記ｎチャネルＭＯＳトランジスタ４０のゲート電極となるポリシリコンパターン４１Ｇの直下に、ｐ型ウェル４１ＰＷが、前記ｐ型ウェル２１ＰＷに対応して、前記ポリシリコンシリコンパターン４１Ｇに沿って形成されている。また前記ｐ型ウェル４１ＰＷの表面にはｐ型のチャネルドープ領域ＮＶＴが形成されている。前記ゲート電極４１Ｇは前記素子領域４１ＮＭＯＳ上にゲ

ート絶縁膜４１Ｇｏｘを介して形成されている。

[0151] 前記素子領域４１ＮＭＯＳには、前記ゲート電極４１Ｇの一方の側および他方の側に、それぞれｎ＋型のソース拡散領域およびｎ＋型のドレイン拡散領域が、図１３Ｂに示すＭａｓｋ１をイオン注入マスクに使って形成されており、それぞれソースコンタクトＳおよびドレインコンタクトＤが形成されている。またその際、前記ゲート電極４１Ｇは前記素子領域４１ＮＭＯＳ上においてｎ＋型にドープされる。本実施形態によるｎチャネルＭＯＳトランジスタは、先に図５において断面を示したｎチャネルＭＯＳトランジスタＮＭＯＳ１あるいはＮＭＯＳ２と同様に、前記ソース拡散領域およびドレイン拡散領域の直下には、図示はしないが前記絶縁パターン２１Ｉ１～２１Ｉ３と同様な絶縁パタ―ンを有しており、前記ソース拡散領域およびドレイン拡散領域は、かかる絶縁パターン上において再成長によりエピタキシャルに形成されている。

[0152] さて本実施形態では、前記素子分離構造４１Ｉにより画成される素子領域４１ＮＭＯＳはその一部に延出部４１ｅｘを有し、前記延出部４１ｅｘ上には前記ゲート電極４１Ｇのヘッド部４１Ｇｈが、前記ゲート絶縁膜４１Ｇｏｘを介して、前記延出部４１ｅｘを部分的に覆って形成されている。

[0153] 前記ゲート電極４１Ｇのヘッド部４１Ｇｈおよび前記延在部４１ｅｘは、図１３Ｂに示すＭａｓｋ２をイオン注入マスクに使ってｐ＋型にドープされる。

[0154] 前記延出部４１ｅｘの下には、前記素子分離構造２１Ｉに連続して先の実施例における絶縁パターン２１Ｉ７～２１Ｉ１０と同様な絶縁パタ―ン４１ｉが形成されており、前記絶縁パタ―ン４１ｉ上には再成長によりシリコンのエピタキシャル層が形成され、前記延出部４１ｅｘを形成している。

[0155] さらに前記ポリシリコンパタ―ン４１Ｇおよび前記素子領域４１ＮＭＯＳ中のソース拡散領域／ドレイン拡散領域の表面、さらに前記延在部４１ｅｘの表面にはシリサイド層４５が形成され、前記ゲート電極４１Ｇはビアプラグ ＶＣにより、前記延在部４１ｅｘに電気的に接続される。

[0156] 本実施例では、前記延在部４１ｅｘ上に形成されるシリサイド層４５ｓは、前記素子領域４１ＮＭＯＳ表面に形成されるシリサイド層４５とは、前記ポリシリコンパターン４１Ｇのヘッド部４１Ｇｈにより分離されているため、先の実施形態のようなシリサイドブロックパターンＳＢ１，ＳＢ２を形成せずとも、前記ビアコンタクトＶＣとソース拡散領域あるいはドレイン拡散領域との短絡を回避することができる。

[0157] また同様にしてｐチャネルＤｔ－ＭＯＳトランジスタを構成することができる。ただしこの場合は、前記深いｎ型ウェル４１ＤＮＷは使われない。ｐチャネルＤｔ－ＭＯＳトランジスタの構成は、前記図１３Ｂおよび図１３Ｃ、および図１０Ａ－１０Ｖなど先の実施例の説明より明らかであり、さらなる説明は省略する。

[0158] 図１３Ｄは、前記図１３Ｂ，図１３Ｃのｎチャネル Ｄｔ－ＭＯＳトランジスタ４１および対応するｐチャネルＤｔ－ＭＯＳトランジスタを使ったインバータ６０のレイアウトを示す平面図を、また図１３Ｅは図１３Ｄ中、線Ｙ－Ｙ’に沿った断面図を示す。

[0159] 図１３Ｄ，図１３Ｅを参照するに、前記インバータ６０は前記図５のｎチャネルＤｔ－ＭＯＳトランジスタＮＭＯＳ１あるいはＮＭＯＳ２と同様な構成のｎチャネルＤｔ－ＭＯＳトランジスタＮＭＯＳと、図６のｐチャネルＤｔ－ＭＯＳトランジスタＰＭＯＳ１あるいはＰＭＯＳ２と同様な構成のｐチャネルＤｔ－ＭＯＳトランジスタＰＭＯＳより構成されており、前記ｎチャネルＤｔ－ＭＯＳトランジスタＮＭＯＳは前記シリコン基板２１中に素子分離領域２１Ｉで画成された素子領域６１Ａに、また前記ｐチャネルＤｔ－ＭＯＳトランジスタＰＭＯＳは前記シリコン基板２１中に素子分離領域２１Ｉで画成された素子領域６１Ｂに形成されている。

[0160] 前記素子領域６１Ａはその一部に延在部６１Ａｅｘを、また前記素子領域６１Ｂはその一部に延在部６１Ｂｅｘを有し、前記延在部６１Ａｅｘと６１Ｂｅｘとは連結され、その結果、前記素子領域６１Ａと素子領域６１Ｂとは単一の活性領域を構成する。前記素子領域６１Ａには、前記延在部６１Ａｅ

ｘまで含めて、下部に深いｎ型ウェル６１ＤＮＷが、前記深いｎ型ウェル２１ＤＮＷに対応して形成されている。

[0161] 前記素子領域６１Ａ上には、前記延在部６１Ａｅｘまで含めて、ゲート絶縁膜６１Ｇｏｘ１を介してポリシリコンゲート電極６１Ｇ１が延在し、前記ポリシリコンゲート電極６１Ｇ１の直下には、前記ｐ型ウェル２１ＰＷに対応してｐ型ウェル６１ＰＷが延在する。同様に前記素子領域６１Ｂ上には、前記延在部６１Ｂｅｘまで含めて、ゲート絶縁膜６１Ｇｏｘ２を介してポリシリコンゲート電極６１Ｇ２が延在し、前記ポリシリコンゲート電極６１Ｇ２の直下には、前記ｎ型ウェル２１ＮＷに対応してｎ型ウェル６１ＮＷが延在する。

[0162] また先の各実施形態と同様に、前記ｐ型ウェル６１ＰＷの表面には前記ｎチャネルＭＯＳトランジスタＮＭＯＳのチャネルドープ領域ＮＶＴが形成されており、前記ｎ型ウェル６１ＮＷの表面には前記ｐチャネルＭＯＳトランジスタＰＭＯＳのチャネルドープ領域ＰＶＴが形成されている。

[0163] 本実施形態のインバータ６０では、前記延出部６１Ａｅｘおよび６１Ｂｅｘの下に、連続して先の実施例における絶縁パターン２１Ｉ７～２１Ｉ１０と同様な絶縁パターン６１ｉが形成されており、前記絶縁パターン６１ｉ上には再成長によりシリコンのエピタキシャル層が形成され、前記延出部６１Ａｅｘおよび６１Ｂｅｘを形成している。その際、前記シリコンエピタキシャル層は、前記延出部６１Ａｅｘにおいてはｐ＋型にドープされ、オーミックコンタクト領域６１Ｐ＋を形成し、また前記延出部６１Ｂｅｘにおいてｎ＋型にドープされ、オーミックコンタクト領域６１Ｎ＋を形成する。

[0164] 前記ポリシリコンゲート電極６１Ｇ１および６１Ｇ２の表面にはシリサイド層６５が形成され、また前記オーミックコンタクト領域６１Ｐ＋および６１Ｎ＋の表面にもシリサイド層６５がオーミックコンタクト領域６１Ｐ＋から６１Ｎ＋まで連続して形成されており、前記オーミックコンタクト領域６１Ｐ＋および６１Ｎ＋上にはビアプラグ６１ｉｎが、前記ゲート電極６１Ｇ１および６１Ｇ２を架橋するように形成される。

[0165] そこで図１３Ｄに示すように前記ビアプラグ６１ｉｎに入力電圧信号を供給し、前記ｐチャネルＤｔ－ＭＯＳトランジスタＰＭＯＳのドレイン領域Ｄを、前記ｎチャネルＤｔ－ＭＯＳトランジスタＮＭＯＳのドレイン領域Ｄに配線パターン６１ＷＲを介して接続し、前記ｐチャネルＭＯＳトランジスタＰＭＯＳのソース領域Ｓに電源電圧Ｖｃｃを電源配線パターン６１ＰＷＲを介して供給し、さらに前記ｎチャネルＭＯＳトランジスタＮＭＯＳのドレイン領域Ｄを接地配線パターン６１ＧＮＤにより接地することにより、図１３Ｄの素子はインバータとして動作する。

[0166] 本実施形態においても、前記オーミックコンタクト領域６１Ｐ＋および６１Ｎ＋上に形成されるシリサイド層６５は、前記素子領域６１Ａのソース領域Ｓあるいはドレイン領域Ｄ、さらには前記素子領域６１Ｂのソース領域Ｓあるいはドレイン領域Ｄに形成されるシリサイド層とは、ポリシリコンゲート電極６１Ｇ１直下のゲート絶縁膜６１Ｇｏｘ１およびポリシリコンゲート電極６１Ｇｏｘ２直下のゲート絶縁膜６１Ｇｏｘ２により分離されているため、先の実施形態のようなシリサイドブロックパターンＳＢ１，ＳＢ２を形成する必要はない。

[0167] さらに図１３Ｆは、前記図１３Ｄおよび図１３Ｅのインバータ構造を使った、前記図４の二入力ＮＡＮＤ装置４０の一変形例による二入力ＮＡＮＤ装置８０の構成を示す。ただし図１３Ｆ中、先に説明した部分には対応する参照符号を付し、説明は省略する。

[0168] 図１３Ｆの変形例では、図４のポリシリコンパターン２１Ｇ１の代わりに２つのポリシリコンパターン２１Ｇ１Ａおよび２１Ｇ１Ｂが使われ、またポリシリコンパターン２１Ｇ２の代わりに２つのポリシリコンパターン２１Ｇ２Ａおよび２１Ｇ２Ｂが使われる。

[0169] その際本変形例では、図１３Ｆ中、線Ｚ１－Ｚ１'およびＺ２－Ｚ２'に沿った断面が前記図１３Ｅの断面と同様な構造を有しており、前記ビアコンタクトＶＣ５が第１の信号入力端子を構成すると同時に、前記ポリシリコンパターン２１Ｇ１Ａおよび２１Ｇ１Ｂをそれぞれｐ型オーミック領域２１Ｐ＋

１およびｎ型オーミック領域２１Ｎ＋１に接続する。同様に前記ビアコンタクトＶＣ６が第２の信号入力端子を構成すると同時に、前記ポリシリコンパターン２１Ｇ２Ａおよび２１Ｇ２Ｂをそれぞれｐ型オーミック領域２１Ｐ＋２およびｎ型オーミック領域２１Ｎ＋２に接続する。これに伴い、本変形例では図４におけるビアコンタクトＶＣ１～ＶＣ４は省略される。

[0170] また本変形例では、図４の実施形態におけるようなシリサイドブロックパターンＳＢ１，ＳＢ２を形成する必要がない。

[0171] その結果、本変形例によれば図４の二入力ＮＡＮＤ装置の面積を縮小することができる。

［第２の実施形態］

前記第１の実施形態では、前記絶縁領域２１Ｉ１～２１Ｉ１０はシリコンバルク基板２１中にトレンチを形成し、形成されたトレンチにシリコン酸化膜を堆積することにより形成していたが、本発明はこのような特定の製造方法に限定されるものではなく、以下に説明するように、酸素イオンのイオン注入により形成することも可能である。

[0172] 図１４Ａは前記図１０Ｃおよび図１０Ｄの工程に対応しているが、本実施形態ではさらに前記ポリシリコンパターン２１Ｇ１，２１Ｇ２の表面に、前記ハードマスクパターン２１ＯＭの代わりに酸素イオンの注入を阻止するカバー膜２１Ｍを、例えばタングステン（Ｗ）膜により、３０～５０ｎｍの膜厚に形成する。

[0173] さらに図１４Ｂの工程において、前記図１４Ａの構造中に酸素イオンＯ＋を、前記カバー膜２１Ｍをマスクに、例えば１０～６０ｋｅＶの加速電圧下、１×１０16ｃｍ-2以上のドーズ量でイオン注入し、前記絶縁領域２１Ｉ１～２１Ｉ６に対応して酸素ドープ領域２１Ｊ１～２１Ｊ６を形成する。図示はしないが、同様な酸素ドープ領域は、他の絶縁領域２１Ｉ７～２１Ｉ１０に対応しても形成される。前記酸素ドープ領域２１Ｊ１～２１Ｊ６の深さは、加速電圧により制御でき、例えば１０ｋｅＶの加速電圧を使った場合、前記酸素ドープ領域２１Ｊ１～２１Ｊ６の上端の深さを２７ｎｍに制御するこ

とができる。また６０ｋｅＶの加速電圧を使った場合、前記酸素ドープ領域２１Ｊ１～２１Ｊ６の上端の深さを１４０ｎｍに制御することができる。

[0174] さらにこのようにして酸素イオンを導入した構造に対し急速熱処理（ＲＴＡ）を例えば１０５０℃の温度で、あるいはミリ秒熱処理（ＭＳＡ）を例えば２０ｍＪ／ｃｍ^{2}以上のエネルギで行うことにより、前記酸素ドープ領域２１Ｊ１～２１Ｊ６において導入された酸素原子をＳｉ原子と反応させ、前記酸素ドープ領域２１Ｊ１～２１Ｊ６を、それぞれシリコン酸化膜よりなる絶縁領域２１Ｉ１～２１Ｉ６に変換する。絶縁領域２１Ｉ７～２１Ｉ１０も、同様にして形成される。

[0175] 次に図１４Ｃの工程において前記カバー膜２１Ｍを除去することにより、図１４Ｃに示す構造が得られ、これに対し図１００および図１０Ｐ以下の工程を行うことにより、図４の半導体論理回路装置２０を製造することができる。

［第３の実施形態］

図１５Ａ～図１５Ｄは、第３の実施形態を示す。ただし図１５Ａ～図１５Ｄは、前記図１０Ｇおよび図１０Ｈの工程に続くものであり、図１０Ｉ～図１０Ｎの工程を置き換える。

[0176] 図１５Ａを参照するに、本実施形態では前記図１０Ｇおよび図１０Ｈの工程の後、前記トレンチＴ１～Ｔ８の下部にＳｉＧｅ混晶層とＧｅ層とＳｉＧｅ混晶層とを順次積層した層２１Ｇｅを、スパッタやＣＶＤ法などにより、前記層２１Ｇ２の上端が前記ｐ型ウェル２１ＰＷあるいはｎ型ウェル２１ＮＷの上端を超えるような厚さで形成する。このようにして形成された層２１Ｇｅは、下地となるシリコン基板とＧｅ層との間にＳｉＧｅ混晶層が介在し、さらにＧｅ層の上にＳｉＧｅ混晶層が形成されているため、その上にシリコンのエピタキシャル層を容易に形成することができる。

[0177] なお図１５Ａにおいてｎチャネル型ＭＯＳトランジスタＮＭＯＳ１は、前記図４におけるＡ－Ａ’断面の一部であり、ｐチャネル型ＭＯＳトランジスタＰＭＯＳ１は前記図４におけるＢ－Ｂ’断面の一部である。

[0178] 次に図１５Ｂの工程において、本実施形態では前記層２１Ｇｅ上に単結晶シリコンエピタキシャル層２１ｅｐを、エピタキシャル成長を行うことにより形成する。前記単結晶シリコンエピタキシャル層２１ｅｐの形成は、先に図１０Ｍおよび図１０Ｎで説明した条件で実行することができる。

[0179] 次に図１５Ｃの工程において本実施形態では、前記素子領域２１Ａおよび２１Ｂの各々において、前記単結晶シリコンエピタキシャル層２１ｅｐにその下の層２１Ｇｅ中のＧｅ層を露出する開口部２１ｅｏを形成し、さらに前記シリコンバルク基板２１を酸素雰囲気中、６００℃の温度で熱処理する。その結果、前記層２１Ｇｅを構成するＧｅ層はＧｅＯとなって気化し、前記開口部２１ｅｏから系外に排出される。

[0180] その結果、本実施形態では、図１５Ｄに示すように、前記単結晶シリコンエピタキシャル層２１ｅｐの下に空間２１Ｖが、先の実施形態における絶縁領域２１Ｉ１～２１Ｉ１０の代わりに形成される。このようにして形成された空間２１Ｖは前記絶縁領域２１Ｉ１～２１Ｉ１０と同様な絶縁作用を示すが、比誘電率が１．０であるため前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１，ＮＭＯＳ２およびｐチャネルＭＯＳトランジスタＰＭＯＳ１およびＰＭＯＳ２の寄生容量が低減され、それぞれの動作速度が向上する好ましい効果が得られる。

[0181] 図１５Ｄにおいて、残留している層２１Ｇｅは、前記積層構造中に含まれていたＳｉＧｅ混晶層に対応する。

［第４の実施形態］

図１６は、第４の実施形態による論理集積回路装置６０の構成を示す平面図である。ただし図１６中、先に説明した部分には同一の参照符号を付し、説明を省略する。

[0182] 図１６を参照するに、本実施形態に係る半導体論理回路装置６０はＮＯＲ回路装置であり、前記図４の構成において素子領域２１Ａと２１Ｂとを入れ替え、またｎチャネルＭＯＳトランジスタＮＭＯＳ１とｐチャネルＭＯＳトランジスタＰＭＯＳ２を入れ替え、ｎチャネルＭＯＳトランジスタＮＭＯＳ

２とｐチャネルＭＯＳトランジスタＰＭＯＳ１を入れ替えた構成を有している。本実施形態においても前記ｎチャネルＭＯＳトランジスタＮＭＯＳ１とｎチャネルＭＯＳトランジスタＮＭＯＳ２、およびｐチャネルＭＯＳトランジスタＰＭＯＳ１とｐチャネルＭＯＳトランジスタＰＭＯＳ２は、いずれもＤｔ－ＭＯＳトランジスタであり、シリコンバルク基板上に形成されている。

[0183] その他の構成および特徴は先の第１の実施形態で説明した通りであり、さらなる説明は省略する。

［第５の実施形態］

本発明は先に第１～第４の実施形態で説明したものに限定されるものではない。

[0184] 例えば前記図４におけるＤｔ－ＭＯＳ構成のｎチャネルＭＯＳトランジスタＮＭＯＳ１およびＮＭＯＳ２を直列に接続した構成、あるいは前記図１６におけるＤｔ－ＭＯＳ構成のｐチャネルＭＯＳトランジスタＰＭＯＳ１およびＰＭＯＳ２を直列に接続した構成は、それ単独で、例えばトランスファゲートなどの半導体装置として使うことが可能である。

[0185] 図１７は、このようなＤｔ－ＭＯＳトランジスタＮＭＯＳ１およびＮＭＯＳ２によるトランスファゲートの等価回路図を示す。

[0186] 図１８７を参照するに、前記Ｄｔ－ＭＯＳトランジスタＮＭＯＳ１およびＮＭＯＳ２のそれぞれのゲート電極に制御信号Ｃ１およびＣ２を順次印加することにより、電荷などの信号を一方の側から他方の側に順次転送することが可能である。同様なトランスファゲートは、Ｄｔ－ＭＯＳトランジスタＰＭＯＳ１およびＰＭＯＳ２を使っても実現が可能である。

[0187] 以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

符号の説明

[0188] ２１ シリコン基板

２１Ａ，２１Ｂ　素子領域

２１ＢＹ１，２１ＢＹ２，２１ＢＹ３，２１ＢＹ４　ボディ領域

２１ＤＮ１，２１ＳＮ１，２１ＤＮ２，２１ＳＮ２　ｎ型拡散領域

２１ＰＮ１，２１ＰＮ１，２１ＰＮ２，２１ＰＮ２　ｐ型拡散領域

２１Ｎ＋１，２１Ｎ＋２，２１Ｐ＋１，２１Ｐ＋２　ｎ型およびｐ型オーミック領域

２１Ｇ１，２１Ｇ２　ポリシリコンパターン

２１Ｇ１Ｎ，２１Ｇ２Ｎ，２１Ｇ１Ｐ，２１Ｇ２Ｐ　ポリシリコンゲート電極

２１Ｉ　素子分離領域

２１Ｉ１～２１Ｉ１０　絶縁領域

２１ＯＭ　ハードマスクパターン

２１Ｏ　シリコン酸化膜

２１Ｏｘ１～２１Ｏｘ４　ゲート絶縁膜

２１ＰＷ，２１ＮＷ　ＰウェルおよびＮウェル

２１ＤＮＷ　深いＮウェル

２１Ｇｅ　ゲルマニウム層

２１Ｖ　空間

２１ａ～２１ｆ　ソース／ドレインエクステンション領域

２１ｅｐ　単結晶シリコンエピタキシャル層

２１ｅｏ　開口部

２３，２４　層間絶縁膜

２３Ａ～２３Ｃ　開口部

２４Ａ，２４Ｂ　信号配線パターン

２５　シリサイド

ＮＭＯＳ１，ＮＭＯＳ２，ＰＭＯＳ１，ＰＭＯＳ２　Ｄｔ－ＭＯＳトランジスタ

ＮＶＴ１，ＮＶＴ２，ＰＶＴ１，ＰＶＴ２　チャネルドープ領域

ＰＷ１，ＰＷ２，ＧＤ１，ＷＰ　配線パターン

ｓｗ　内側側壁絶縁膜

ＳＷ　外側側壁絶縁膜

Ｔ１～Ｔ８　トレンチ

ＶＣ１～ＶＣ１１　ビアコンタクト

請求の範囲

[請求項1] 素子分離領域により素子領域を画成されたシリコンバルク基板と、

前記素子領域中に形成された第１のダイナミックスレッショルドＭＯＳトランジスタと、

前記素子領域中に形成された第２のダイナミックスレッショルドＭＯＳトランジスタと、を含み、

前記素子領域は第１の導電型を有するウェルよりなり、

前記第１のダイナミックスレッショルドＭＯＳトランジスタは、前記シリコンバルク基板の表面上に第１のゲート絶縁膜を介して形成された第１のゲート電極と、前記ウェル中、前記第１のゲート電極の第１の側に形成された第１の拡散領域と、前記第１のゲート電極に対し前記第１の拡散領域と反対の第２の側に形成された第２の拡散領域とを有し、

前記第２のダイナミックスレッショルドＭＯＳトランジスタは、前記シリコンバルク基板の表面上、前記第１のゲート電極の前記第２の側に、第２のゲート絶縁膜を介して形成された第２のゲート電極と、前記ウェル中、前記第２のゲート電極に対し前記第１のゲート電極の側に形成された第３の拡散領域と、前記第２のゲート電極に対し前記第３の拡散領域と反対側に形成された第４の拡散領域とを有し、

前記第１および第２のゲート電極および前記第１～第４の拡散領域は、前記ウェルとは逆の第２の導電型を有し、

前記第２の拡散領域と前記第３の拡散領域とは、前記ウェル中に形成された同一の拡散領域より構成されており、

前記第１～第４の拡散領域の下には、それぞれの下端部に接して第１～第４の絶縁領域がそれぞれ形成されており、

前記第２の絶縁領域と前記第３の絶縁領域とは、同一の絶縁領域より構成されており、

前記第１の絶縁領域と前記第２の絶縁領域の間には、前記第１のゲ

ート電極に沿って、前記第１のダイナミックスレッショルドＭＯＳトランジスタのボディを構成する前記第１の導電型の第１のボディ領域が、前記素子領域の一部として延在しており、

前記第３の絶縁領域と前記第４の絶縁領域の間には、前記第２のゲート電極に沿って、前記第２のダイナミックスレッショルドＭＯＳトランジスタのボディを構成する前記第１の導電型の第２のボディ領域が、前記素子領域の一部として延在しており、

前記第１のゲート電極は前記第１のボディ領域に電気的に接続されており、

前記第２のゲート電極は前記第２のボディ領域に電気的に接続されており、

前記第１～第４の絶縁領域の下端は、前記第１および第２のボディ領域の下端よりも深い位置に設定されており、

前記第１および第２のボディ領域の下端は、前記第１～第４の拡散領域の下端よりも深い位置に設定されている半導体装置。

[請求項2] 前記第１のゲート電極は、前記第１のボディ領域に形成された、前記第１の導電型を有する第１のオーミック接続領域において接続され、前記第２のゲート電極は、前記第２のボディ領域に形成された、前記第１の導電型を有する第２のオーミック接続領域において接続され、前記第１のオーミック領域と前記第２のオーミック領域とは、前記ウェル中において互いに電気的に分離されている請求項１記載の半導体装置。

[請求項3] 前記第１のゲート電極と前記第１のオーミック接続領域とは第１の金属プラグにより接続され、前記第２のゲート電極と前記第２のオーミック接続領域とは第２の金属プラグにより接続される請求項２記載の半導体装置。

[請求項4] 前記第１～第４の絶縁領域はシリコン酸化膜よりなる請求項１記載の半導体装置。

[請求項5] 前記第１～第４の絶縁領域は空間を形成する請求項１記載の半導体装置。

[請求項6] 前記第１～第４の拡散領域および前記第１および第２のオーミック接続領域は、再成長したシリコンのエピタキシャル層中に形成されている請求項２記載の半導体装置。

[請求項7] 前記第１～第４の拡散領域および前記第１および第２のオーミック接続領域は、再成長したＳｉＧｅまたはＳｉＣのエピタキシャル層中に形成されている請求項２記載の半導体装置。

[請求項8] 前記バルクシリコン基板表面には、前記素子分離領域により別の素子領域が画成されており、前記別の素子領域には、前記別の素子領域から電気的に絶縁されたゲート電極を有するＭＯＳトランジスタが形成されている請求項１記載の半導体装置。

[請求項9] 素子分離領域により第１の素子領域と第２の素子領域を画成されたシリコンバルク基板と、

前記第１の素子領域中に形成された第１のダイナミックスレッショルドＭＯＳトランジスタと、

前記第１の素子領域中に形成された第２のダイナミックスレッショルドＭＯＳトランジスタと、

前記第２の素子領域中に形成された第３のダイナミックスレッショルドＭＯＳトランジスタと、

前記第２の素子領域中に形成された第４のダイナミックスレッショルドＭＯＳトランジスタと、

を含み、

前記第１の素子領域は第１の導電型を有する第１のウェルよりなり、

前記第２の素子領域は、前記第１の導電型の逆導電型である第２の導電型を有する第２のウェルよりなり、

前記第１のダイナミックスレッショルドＭＯＳトランジスタは、前

記シリコンバルク基板の表面上の前記第１の素子領域に第１のゲート絶縁膜を介して形成された第１のゲート電極と、前記第１のウェル中、前記第１のゲート電極の第１の側に形成された第１の拡散領域と、前記第１のゲート電極に対し前記第１の拡散領域と反対の第２の側に形成された第２の拡散領域とを有し、

前記第２のダイナミックスレッショルドＭＯＳトランジスタは、前記シリコンバルク基板の表面上の前記第１の素子領域に、前記第１のゲート電極の前記第２の側に、第２のゲート絶縁膜を介して形成された第２のゲート電極と、前記第１のウェル中、前記第２のゲート電極に対し前記第１のゲート電極の側に形成された第３の拡散領域と、前記第２のゲート電極に対し前記第３の拡散領域と反対側に形成された第４の拡散領域とを有し、

前記第１および第２のゲート電極および前記第１～第４の拡散領域は、前記第２の導電型を有し、

前記第２の拡散領域と前記第３の拡散領域とは、前記第１のウェル中に形成された同一の拡散領域より構成されており、

前記第１～第４の拡散領域の下には、それぞれの下端部に接して第１～第４の絶縁領域がそれぞれ形成されており、

前記第２の絶縁領域と前記第３の絶縁領域とは、同一の絶縁領域より構成されており、

前記第１の絶縁領域と前記第２の絶縁領域の間には、前記第１のゲート電極に沿って、前記第１のダイナミックスレッショルドＭＯＳトランジスタのボディを構成する前記第１の導電型の第１のボディ領域が、前記第１の素子領域の一部として延在しており、

前記第３の絶縁領域と前記第４の絶縁領域の間には、前記第２のゲート電極に沿って、前記第２のダイナミックスレッショルドＭＯＳトランジスタのボディを構成する前記第１の導電型の第２のボディ領域が、前記第１の素子領域の一部として延在しており、

前記第３のダイナミックスレッショルドＭＯＳトランジスタは、前記シリコンバルク基板の表面上の前記第２の素子領域に第３のゲート絶縁膜を介して形成された第３のゲート電極と、前記第２のウェル中、前記第３のゲート電極の第１の側に形成された第５の拡散領域と、前記第３のゲート電極に対し前記第５の拡散領域と反対の第２の側に形成された第６の拡散領域とを有し、

前記第４のダイナミックスレッショルドＭＯＳトランジスタは、前記シリコンバルク基板の表面上の前記第２の素子領域に、前記第３のゲート電極の前記第２の側に、第４のゲート絶縁膜を介して形成された第４のゲート電極と、前記第２のウェル中、前記第４のゲート電極に対し前記第３のゲート電極の側に形成された第７の拡散領域と、前記第４のゲート電極に対し前記第５の拡散領域と反対側に形成された第８の拡散領域とを有し、

前記第３および第４のゲート電極および前記第５～第８の拡散領域は、前記第１の導電型を有し、

前記第６の拡散領域と前記第７の拡散領域とは、前記第２のウェル中に形成された同一の拡散領域より構成されており、

前記第５～第８の拡散領域の下には、それぞれの下端部に接して第５～第８の絶縁領域がそれぞれ形成されており、

前記第６の絶縁領域と前記第７の絶縁領域とは、同一の絶縁領域より構成されており、

前記第５の絶縁領域と前記第６の絶縁領域の間には、前記第３のゲート電極に沿って、前記第３のダイナミックスレッショルドＭＯＳトランジスタのボディを構成する前記第２の導電型の第３のボディ領域が、前記第２の素子領域の一部として延在しており、

前記第７の絶縁領域と前記第８の絶縁領域の間には、前記第４のゲート電極に沿って、前記第４のダイナミックスレッショルドＭＯＳトランジスタのボディを構成する前記第２の導電型の第４のボディ領域

が、前記第２の素子領域の一部として延在しており、

前記第１のゲート電極は前記第１のボディ領域に電気的に接続されており、

前記第２のゲート電極は前記第２のボディ領域に電気的に接続されており、

前記第３のゲート電極は前記第３のボディ領域に電気的に接続されており、

前記第４のゲート電極は前記第４のボディ領域に電気的に接続されており、

前記第１～第４の絶縁領域の下端は、前記第１および第２のボディ領域の下端よりも深い位置に設定されており、

前記第５～第８の絶縁領域の下端は、前記第３および第４のボディ領域の下端よりも深い位置に設定されており、

前記第１および第２のボディ領域の下端は、前記第１～第４の拡散領域の下端よりも深い位置に設定されており、

前記第３および第４のボディ領域の下端は、前記第５～第８の拡散領域の下端よりも深い位置に設定されており、

前記第１のゲート電極と前記第４のゲート電極とは、前記シリコンバルク基板上を前記第１の素子領域から前記第２の素子領域まで前記素子分離領域を跨いで延在する第１のポリシリコンパターン中より構成され、

前記第２のゲート電極と前記第３のゲート電極とは、前記シリコンバルク基板上を前記第１の素子領域から前記第２の素子領域まで前記素子分離領域を跨いで延在する第２のポリシリコンパターン中より構成され、

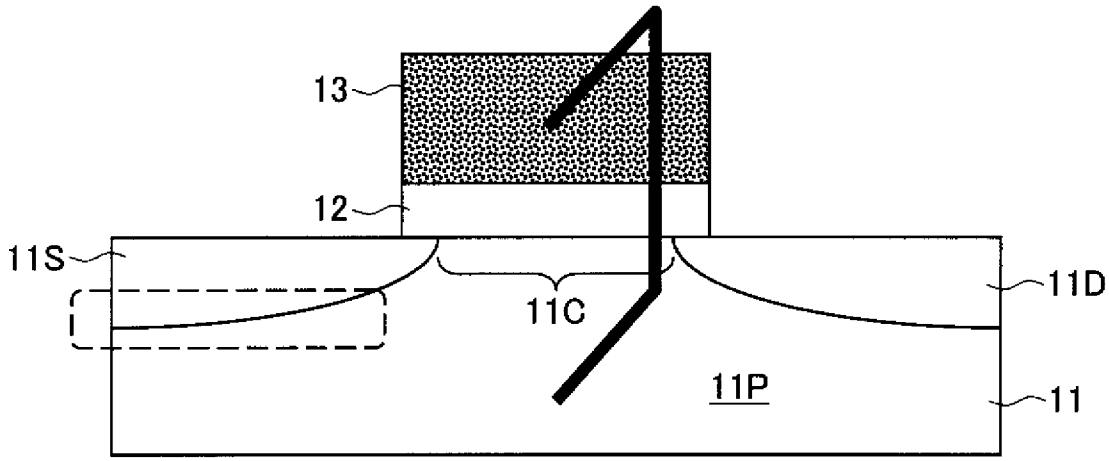
前記シリコンバルク基板上には、層間絶縁膜と配線パターンを含む多層配線構造が形成されている半導体論理回路装置。

[請求項10] 前記多層配線構造は、前記第１の拡散領域を第１の電源に接続する

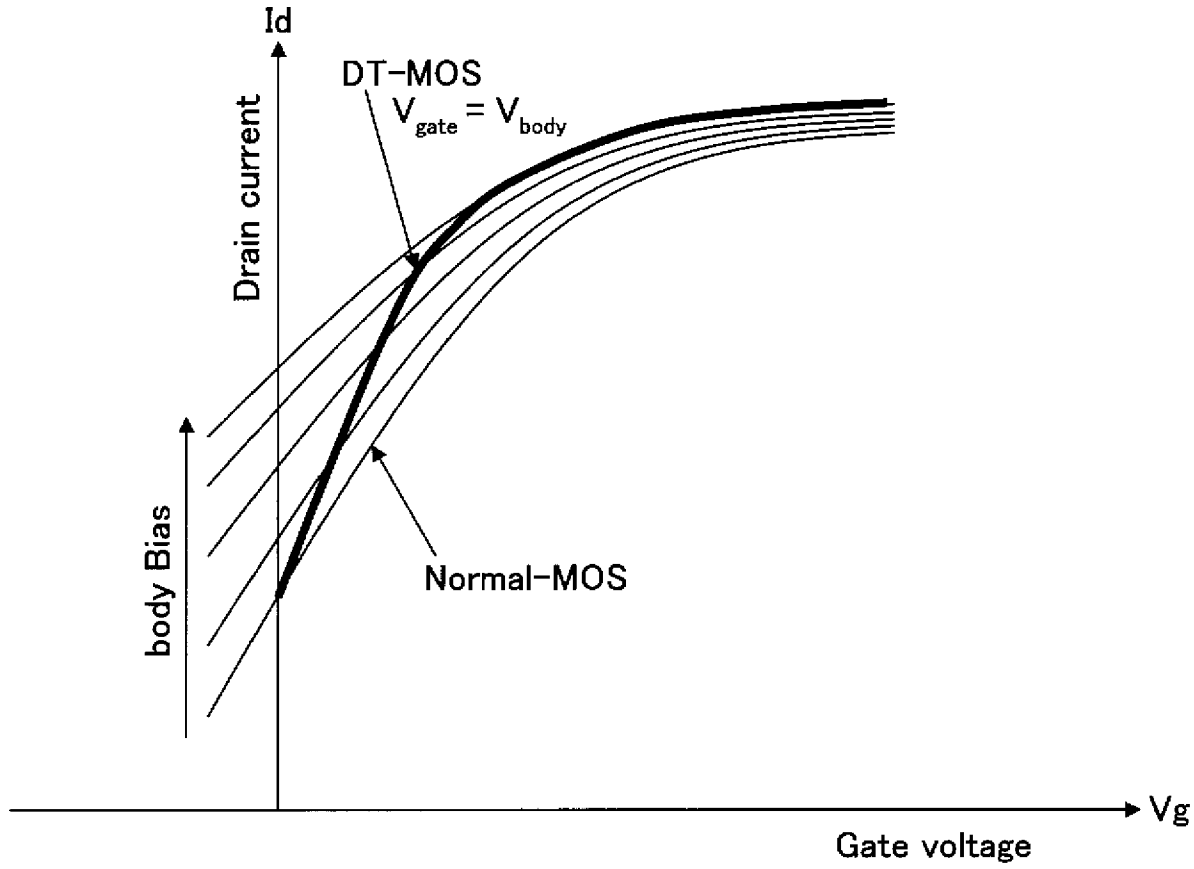
第１の配線パタ―ンと、前記第２の拡散領域と前記第６の拡散領域を接続する第２の配線パタ―ンと、前記第５の拡散領域を第２の電源に接続する第３の配線パタ―ンと、前記第８の拡散領域を前記第２の電源に接続する第４の配線パタ―ンと、を含む請求項９記載の半導体論理回路装置。

[請求項11] 前記バルクシリコン基板表面には、前記素子分離領域により第３の素子領域が画成されており、前記第３の素子領域には、前記第３の素子領域から電気的に絶縁されたゲート電極を有するＭＯＳトランジスタが形成されている請求項９記載の半導体論理回路装置。

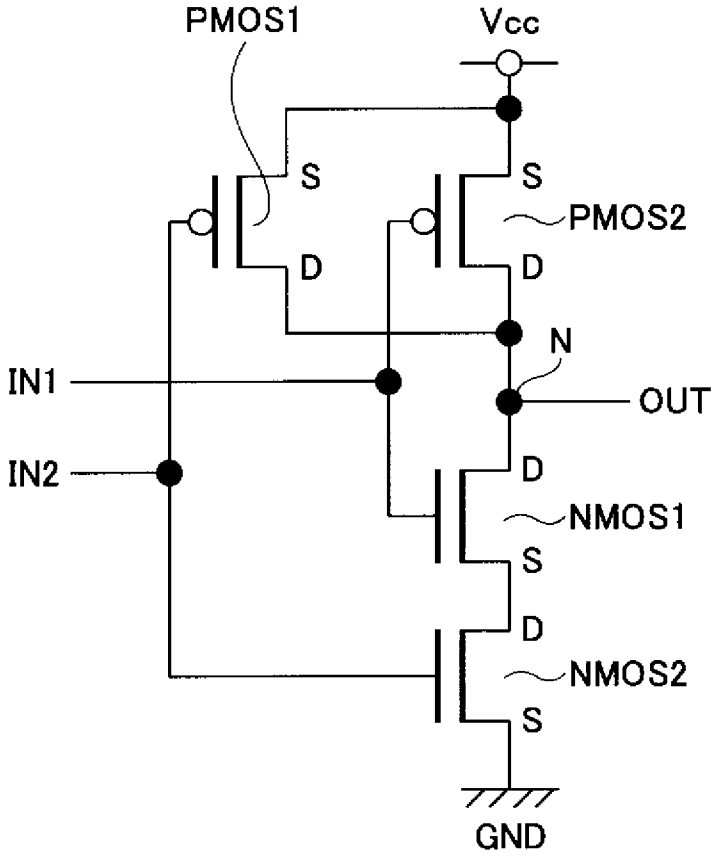
[図1]


13
12
11S
11C
11D
11P
11

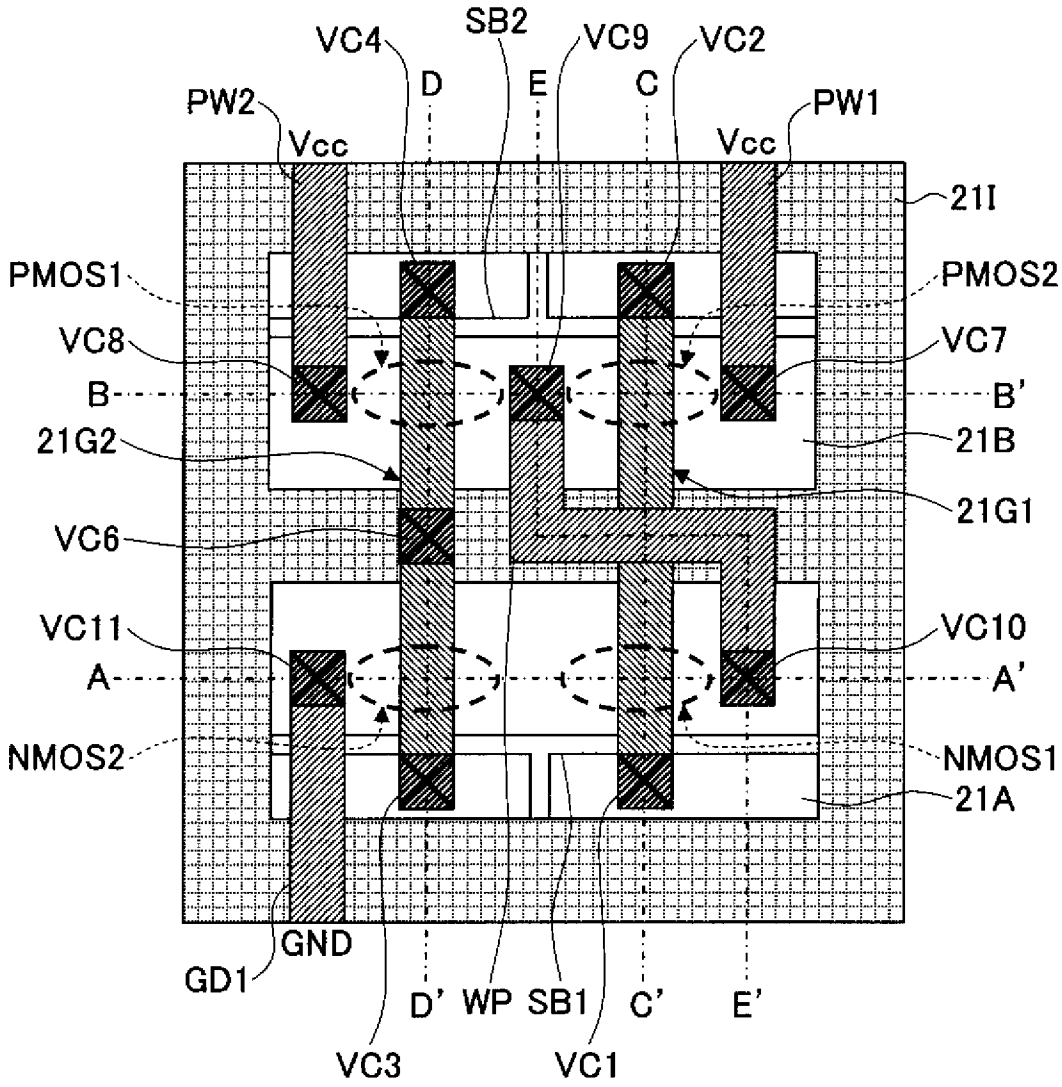
[図2]


Id
DT-MOS
$V_{gate} = V_{body}$
Drain current
body Bias
Normal-MOS
Vg
Gate voltage

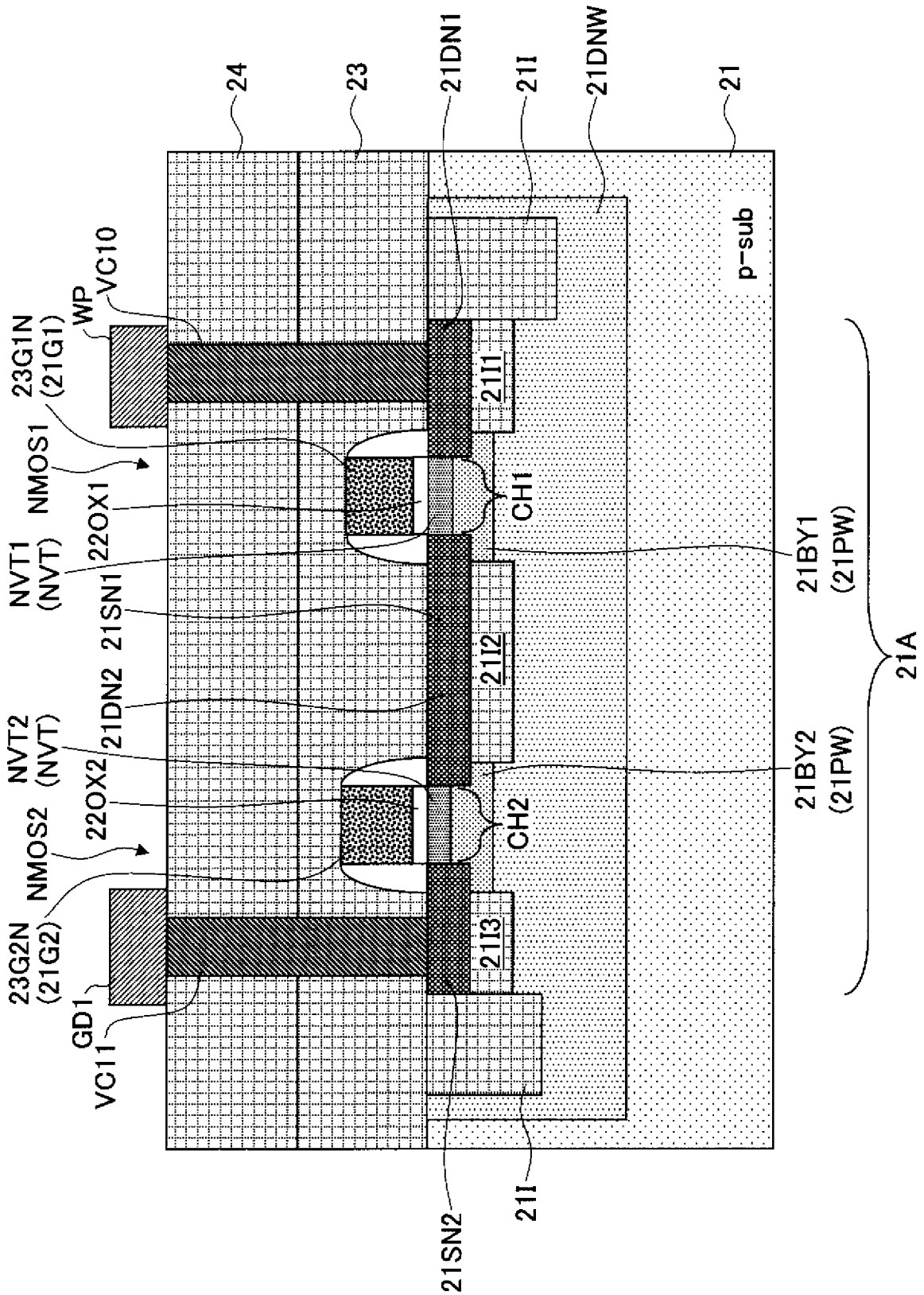
[図3]



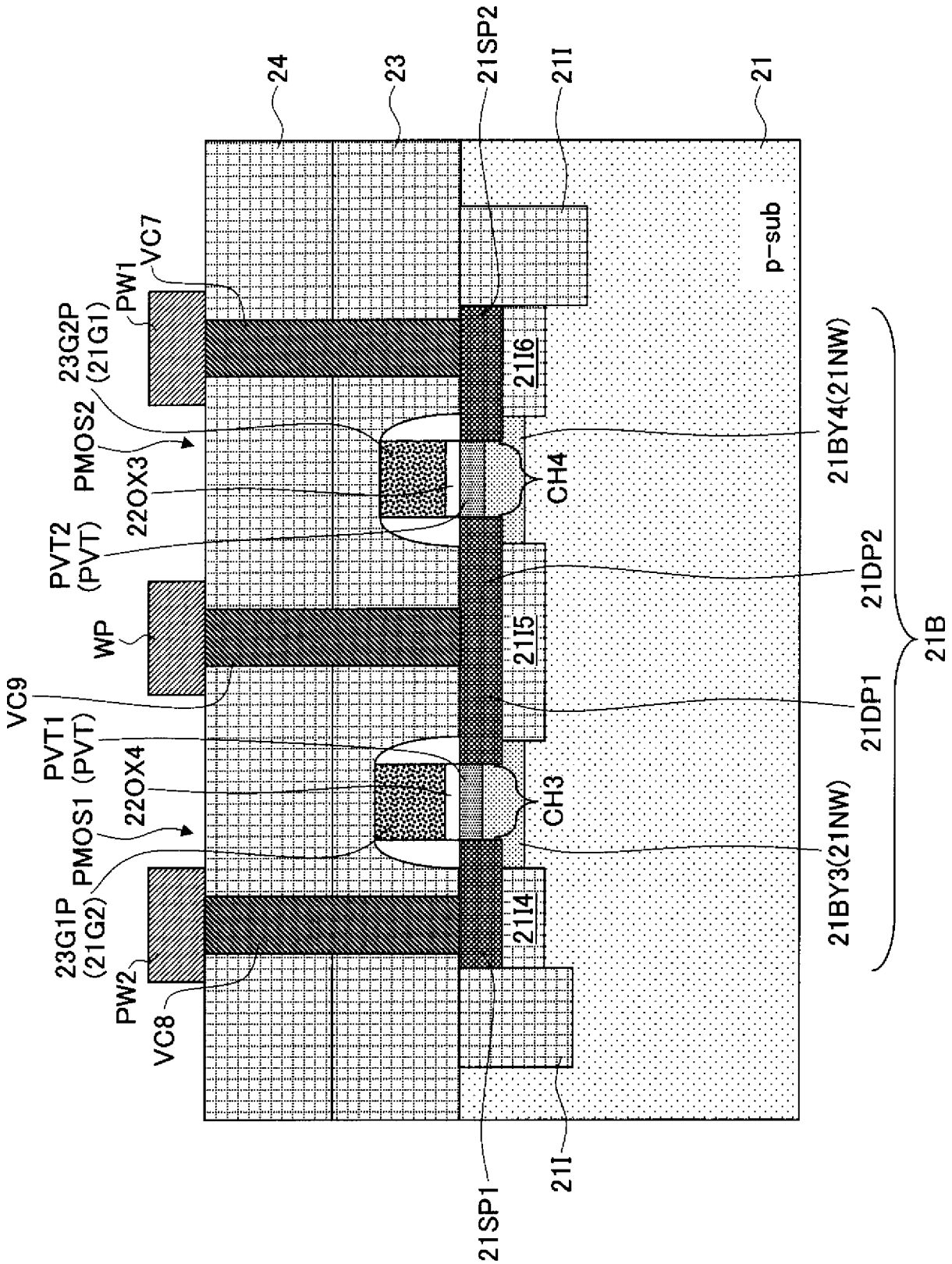
[図4]


VC4
SB2
VC9
VC2
D
E
C
PW2
Vcc
Vcc
PW1
21I
PMOS1
PMOS2
VC8
VC7
B
B'
21G2
21B
21G1
VC6
VC11
VC10
A
A'
NMOS2
NMOS1
21A
GND
GD1
D'
WP
SB1
C'
E'
VC3
VC1

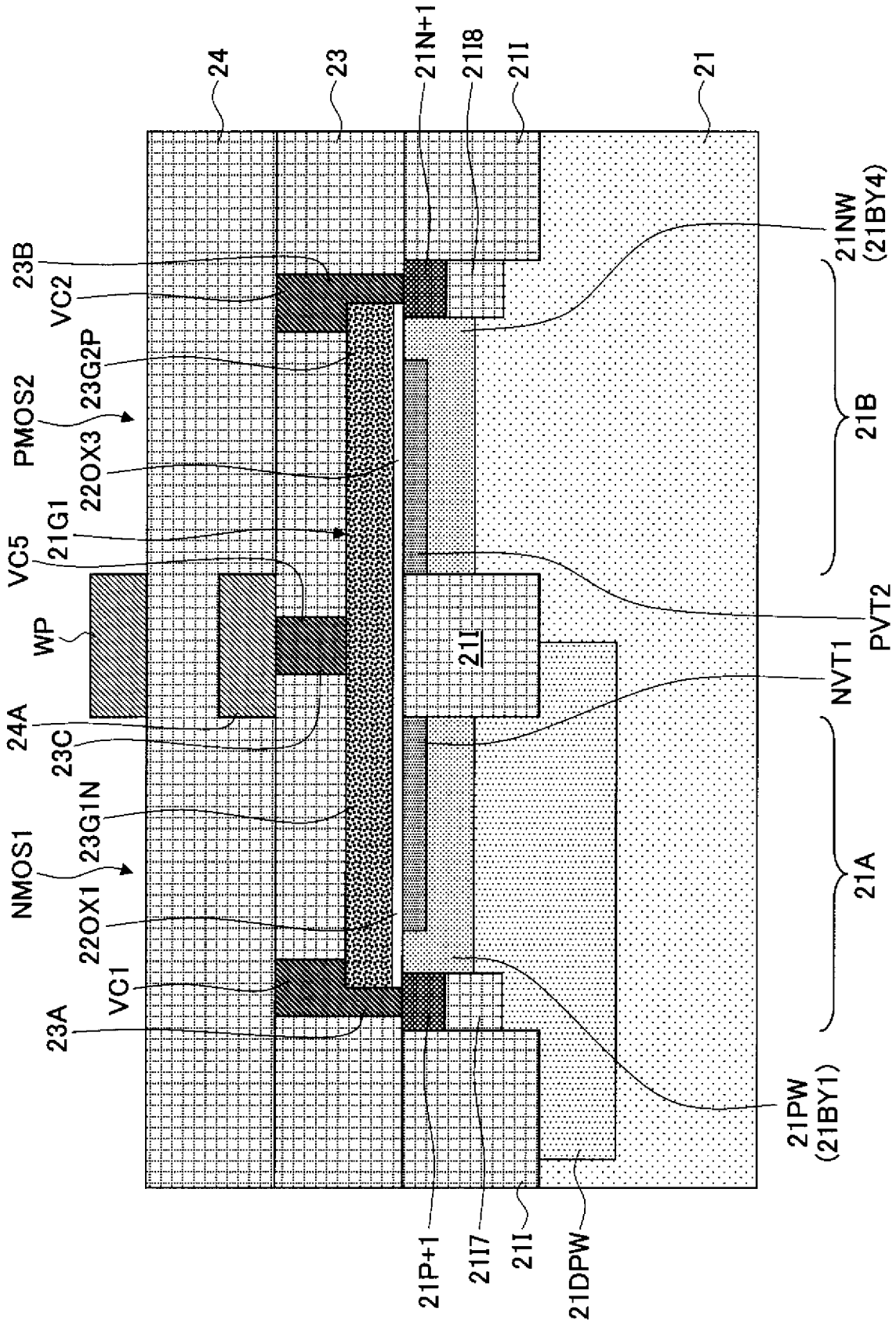
[図5]


24
23
21DN1
21I
21DNW
21
p-sub
VC10
WP
23G1N
(21G1)
NMOS1
22OX1
NVT1
(NVT)
21SN1
21DN2
NVT2
(NVT)
22OX2
NMOS2
23G2N
(21G2)
GD1
VC11
21I1
CH1
21I2
CH2
21I3
21BY1
(21PW)
21BY2
(21PW)
21A
21SN2
21I

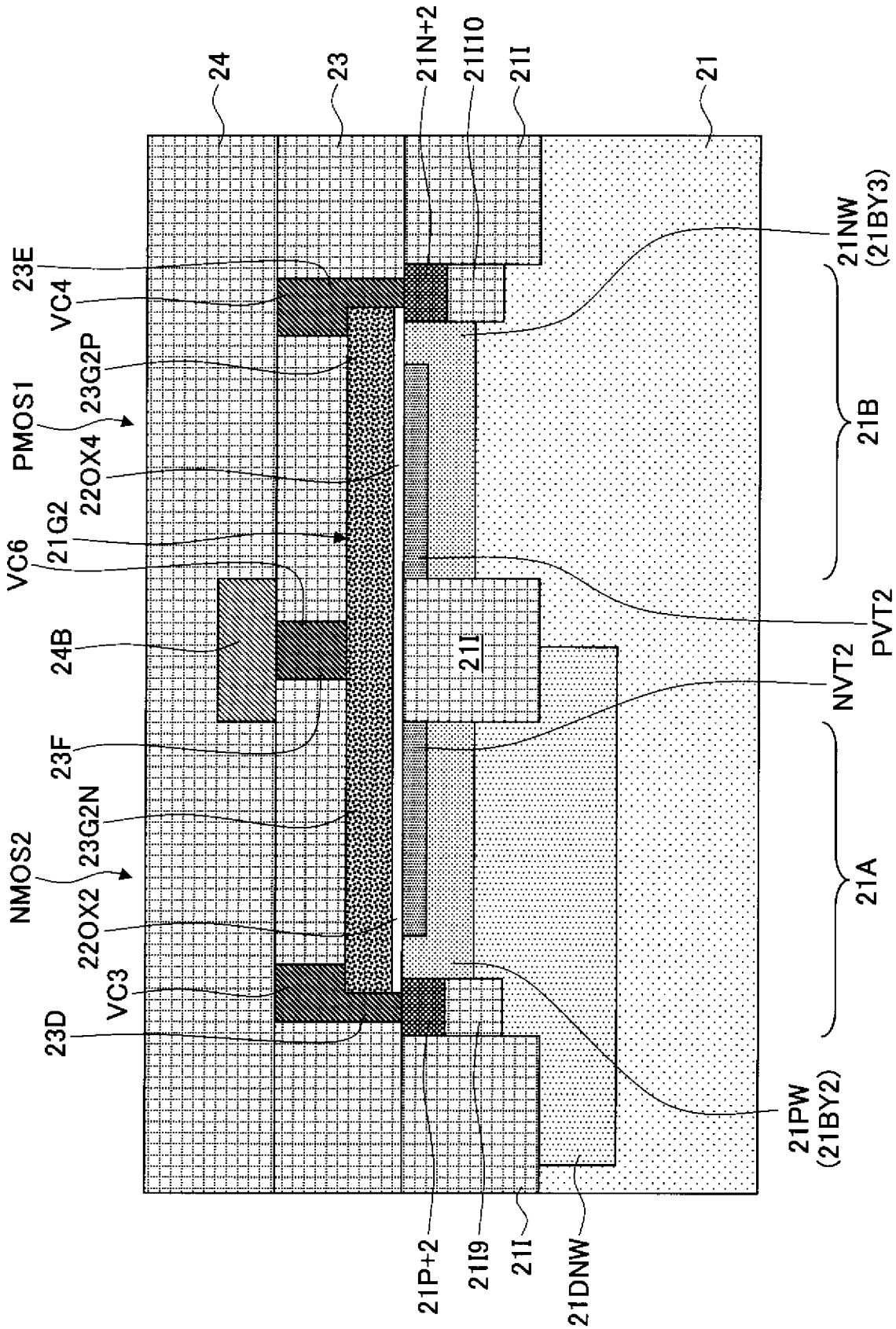
[図6]


24
23
21SP2
21I
21
p-sub
VC7
PW1
23G2P
(21G1)
PMOS2
22OX3
PVT2
(PVT)
WP
VC9
PVT1
(PVT)
22OX4
PMOS1
23G1P
(21G2)
PW2
VC8
21I6
21I5
21I4
CH4
CH3
21BY4(21NW)
21DP2
21DP1
21BY3(21NW)
21B
21SP1
21I

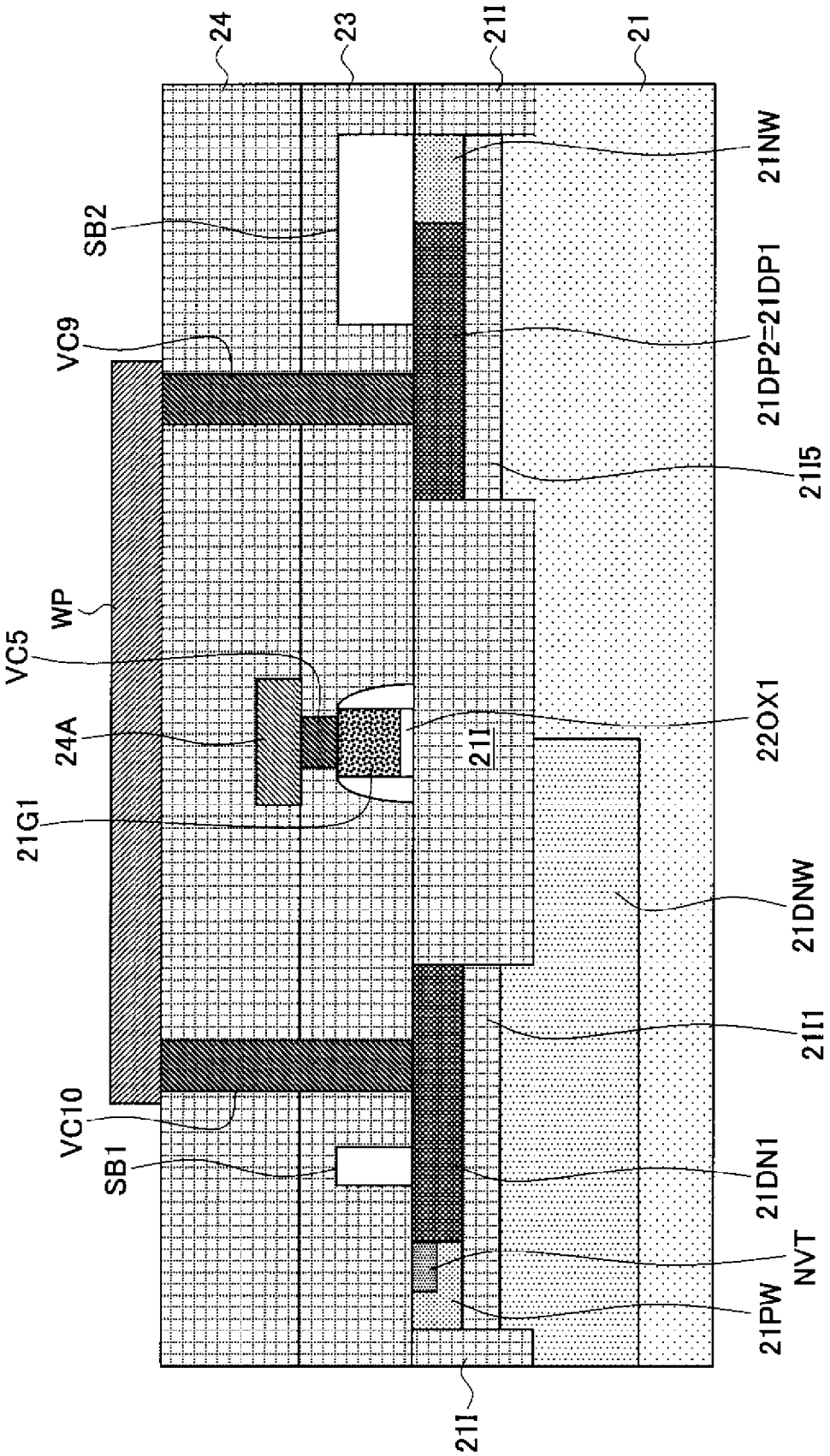
[図7]


24
23
21N+1
21I8
21I
21
23B
VC2
23G2P
PMOS2
22OX3
21G1
VC5
WP
24A
23C
23G1N
NMOS1
22OX1
VC1
23A
21NW
(21BY4)
21B
PVT2
21I
NVT1
21A
21PW
(21BY1)
21P+1
21I7
21I
21DPW

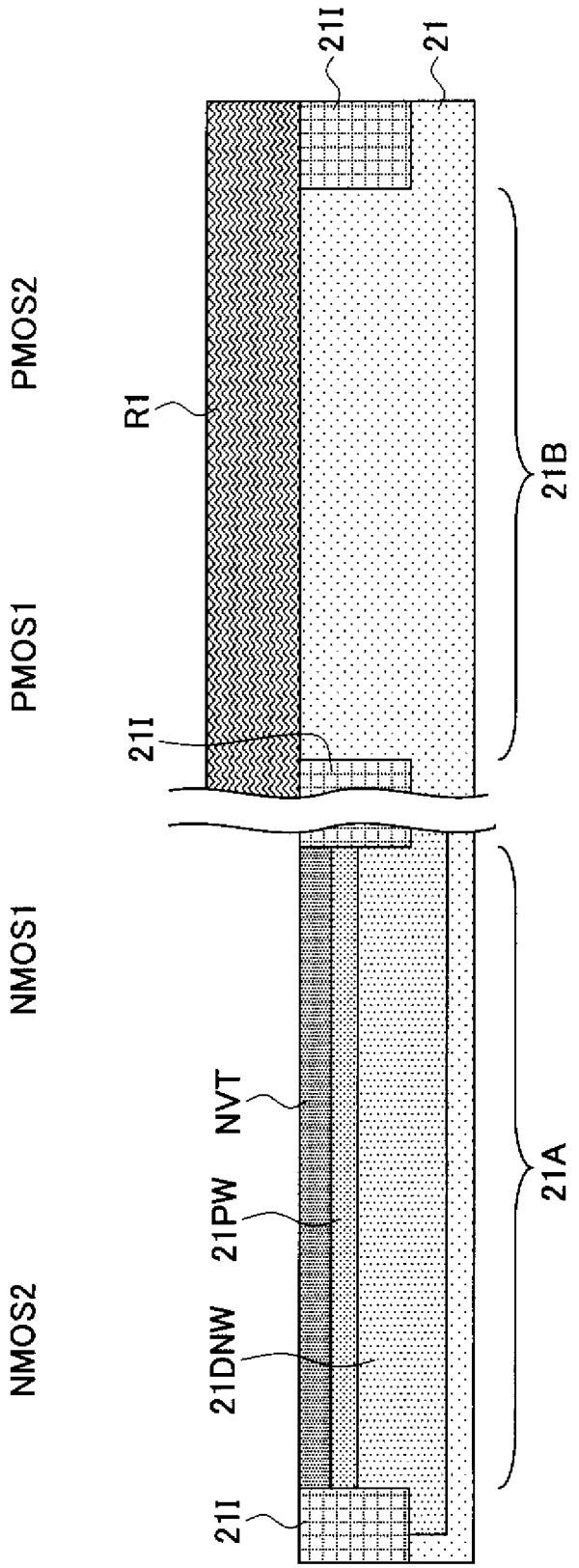
[図8]


24
23
21N+2
21110
21I
21
23E
VC4
23G2P
PMOS1
22OX4
21G2
VC6
24B
23F
23G2N
NMOS2
22OX2
VC3
23D
21NW
(21BY3)
21B
PVT2
NVT2
21A
21PW
(21BY2)
21P+2
21I9
21I
21DNW

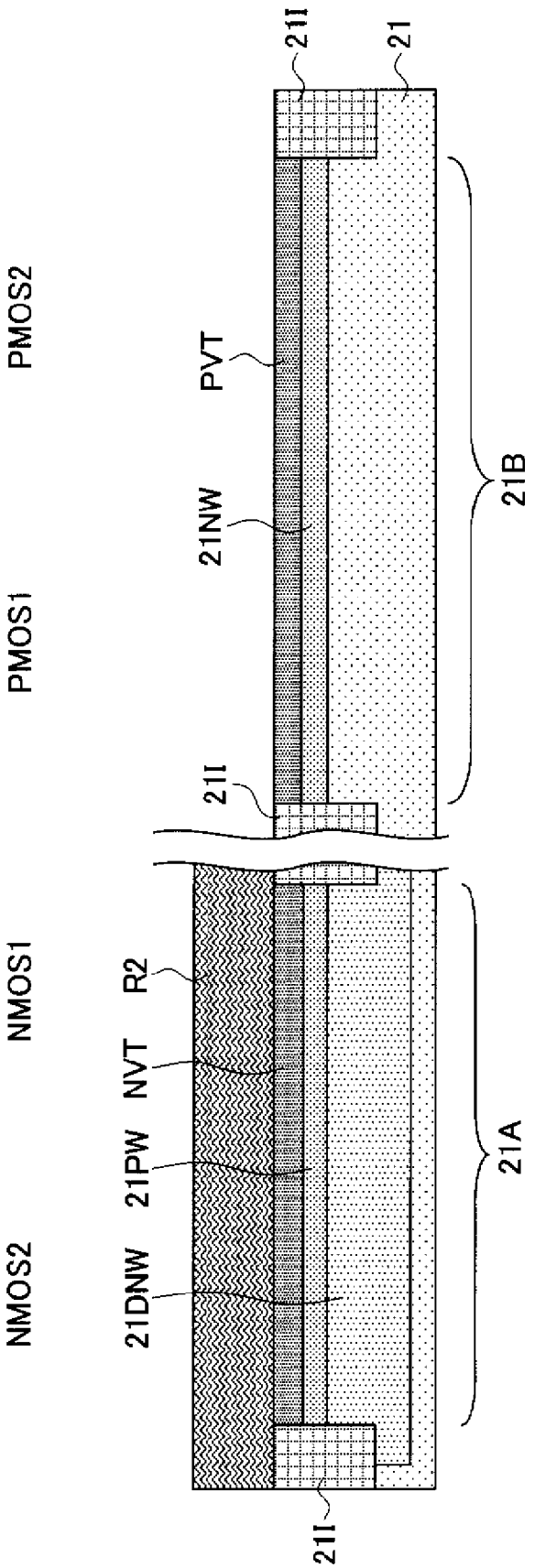
[図9]


24
23
211
21
21NW
SB2
VC9
21DP2=21DP1
215
WP
VC5
24A
22OX1
211
21G1
21DNW
211
VC10
SB1
21DN1
NVT
21PW
211

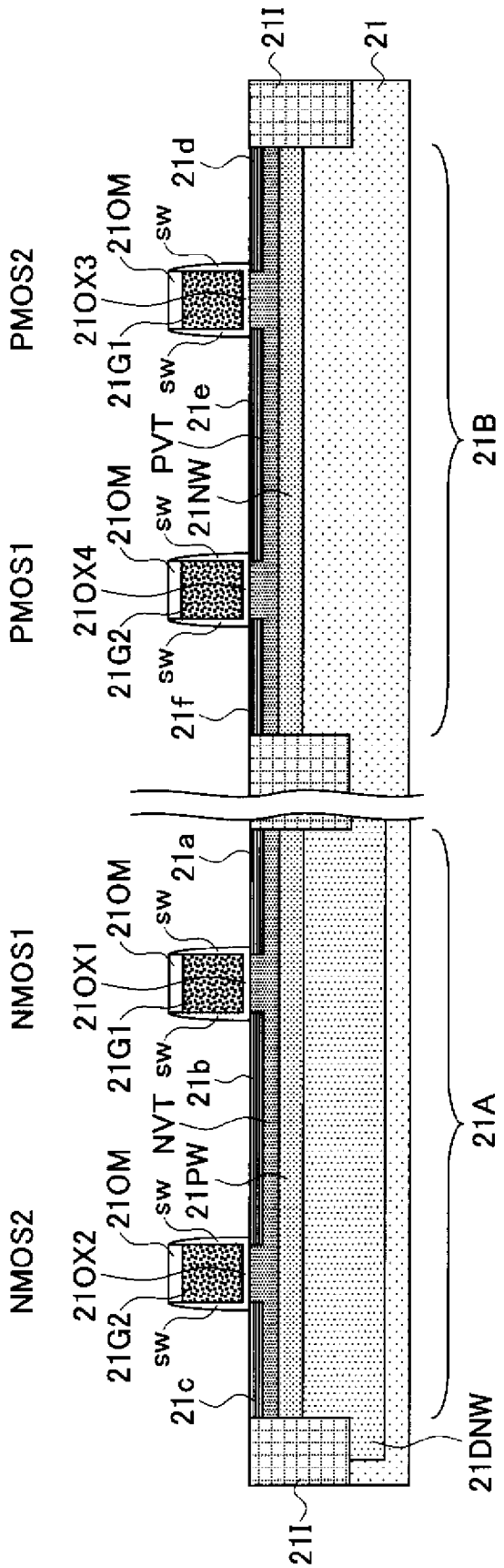
[図10A]


21I
21
PMOS2
R1
21B
PMOS1
21I
NMOS1
NVT
21PW
21A
NMOS2
21DNW
21I

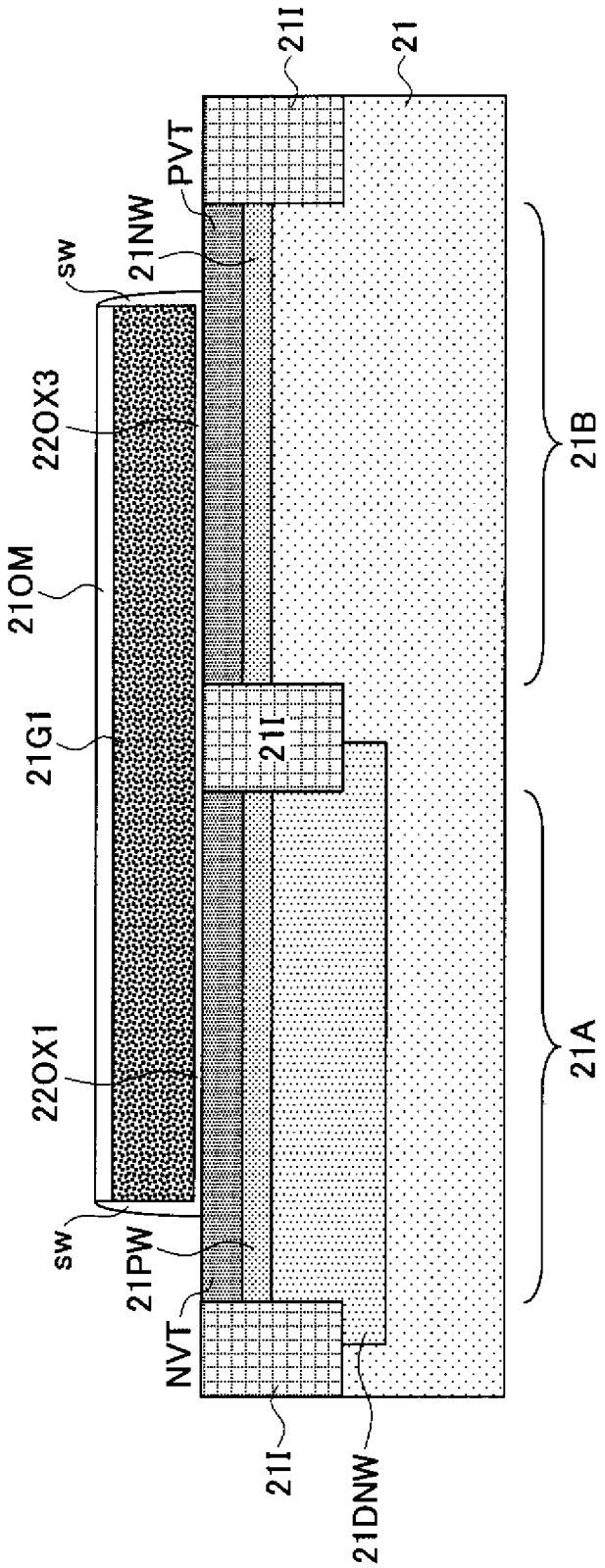
[図10B]


21I
21
PMOS2
PVT
21NW
PMOS1
21I
21B
NMOS1
R2
NVT
21PW
NMOS2
21DNW
21A
21I

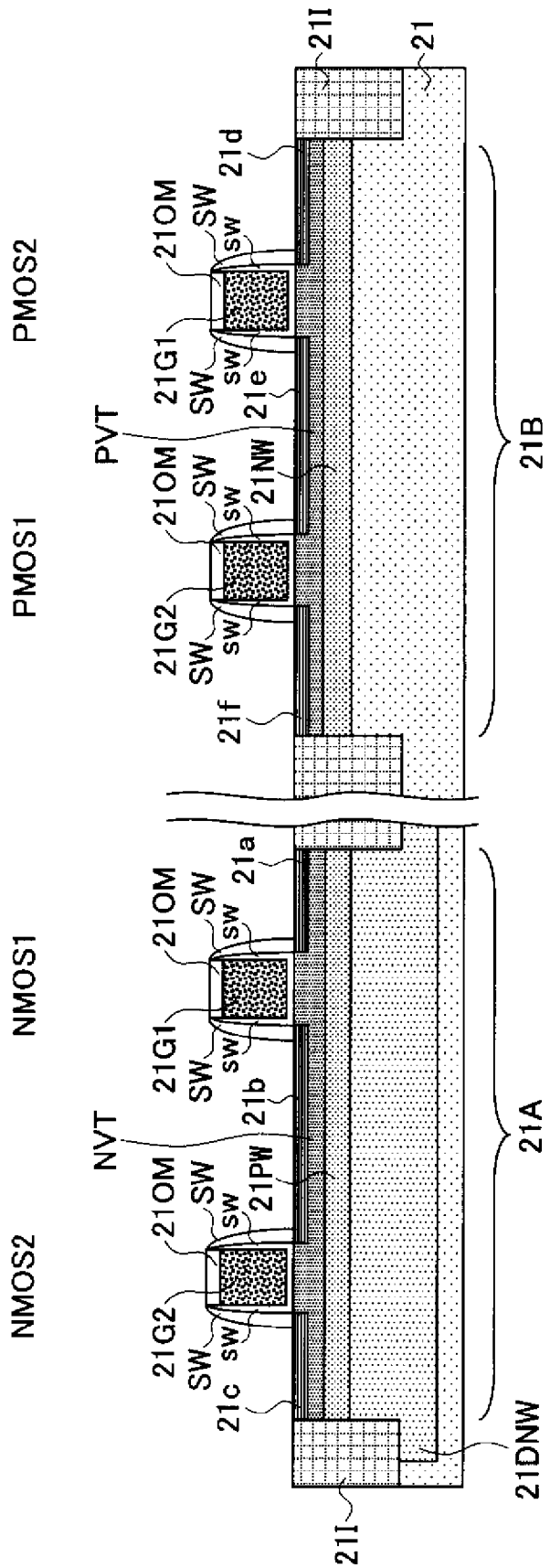
[図10C]


21I
21
21d
21OM
SW
21OX3
21G1
SW
21e
PVT
21NW
SW
21OM
21OX4
21G2
SW
21f
21B
21a
21OM
SW
21OX1
21G1
SW
21b
NVT
21PW
SW
21OM
21OX2
21G2
SW
21c
21A
21DNW
21I
PMOS2
PMOS1
NMOS1
NMOS2

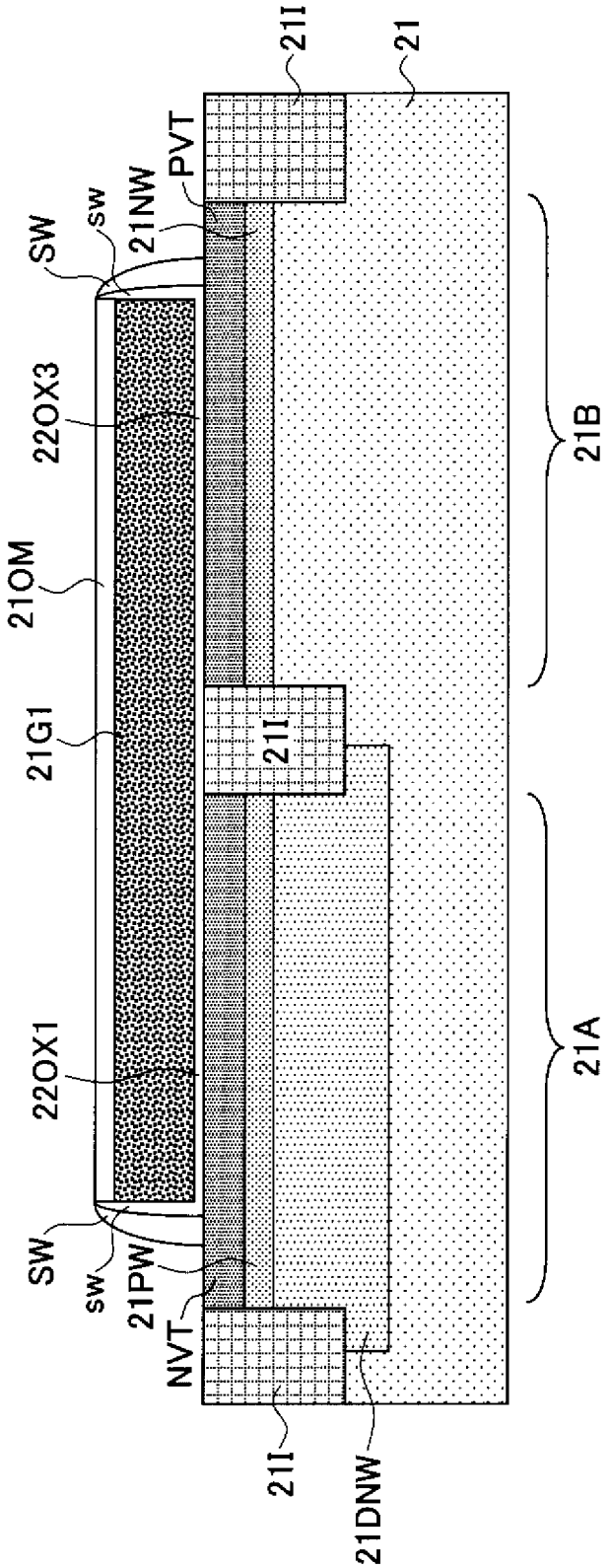
[図10D]


21I
21
PVT
21NW
SW
22OX3
21OM
21G1
21I
21B
22OX1
SW
21PW
NVT
21A
21I
21DNW

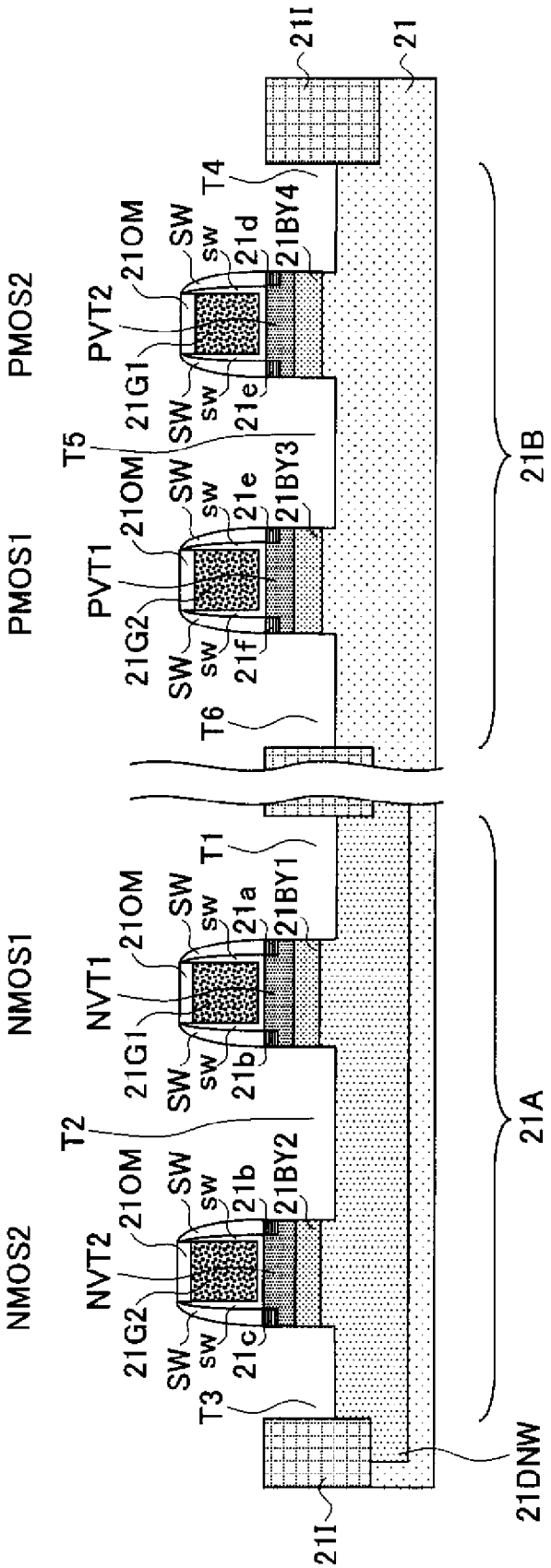
[図10E]


21I
21
21d
21OM
SW
sw
21G1
21e
PVT
21NW
21B
PMOS2
PMOS1
21G2
21f
21a
NVT
21b
21PW
21A
NMOS1
NMOS2
21c
21DNW
21I

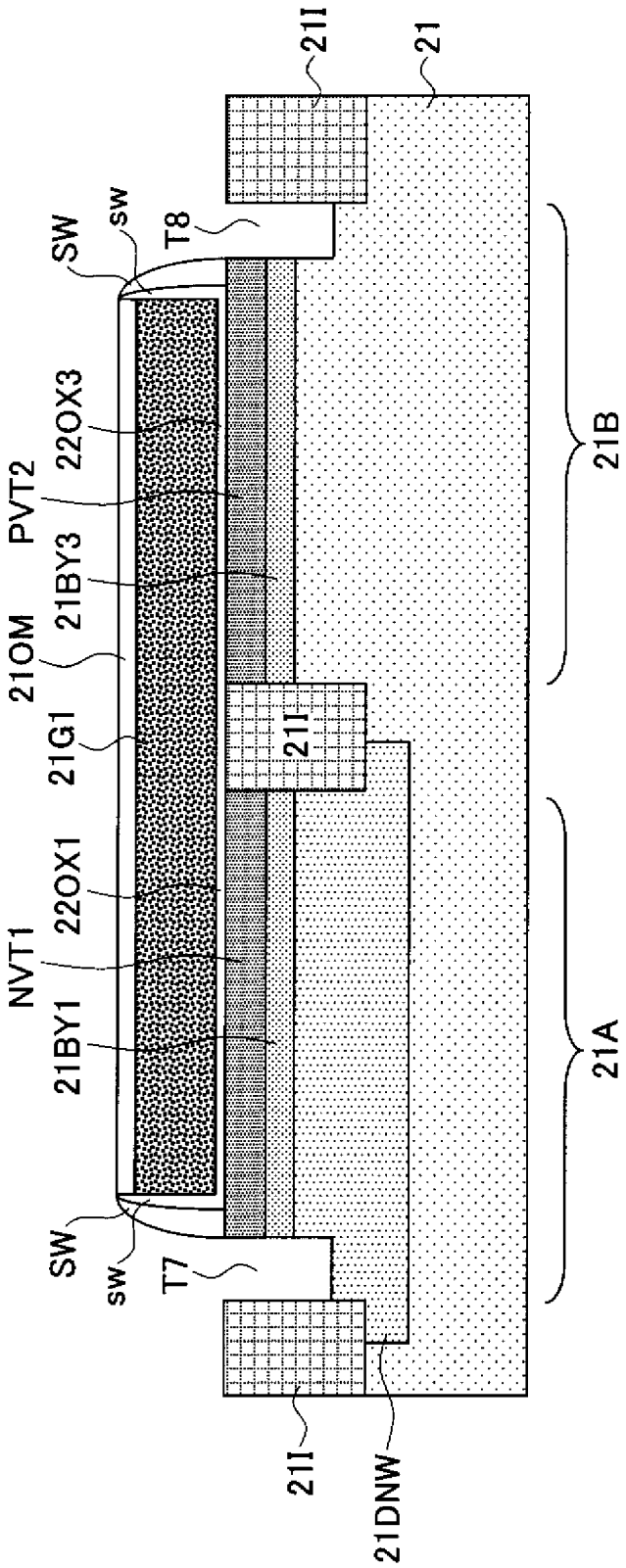
[図10F]


21I
21
PVT
21NW
SW
sw
22OX3
21OM
21G1
21I
21B
22OX1
SW
sw
21PW
NVT
21A
21I
21DNW

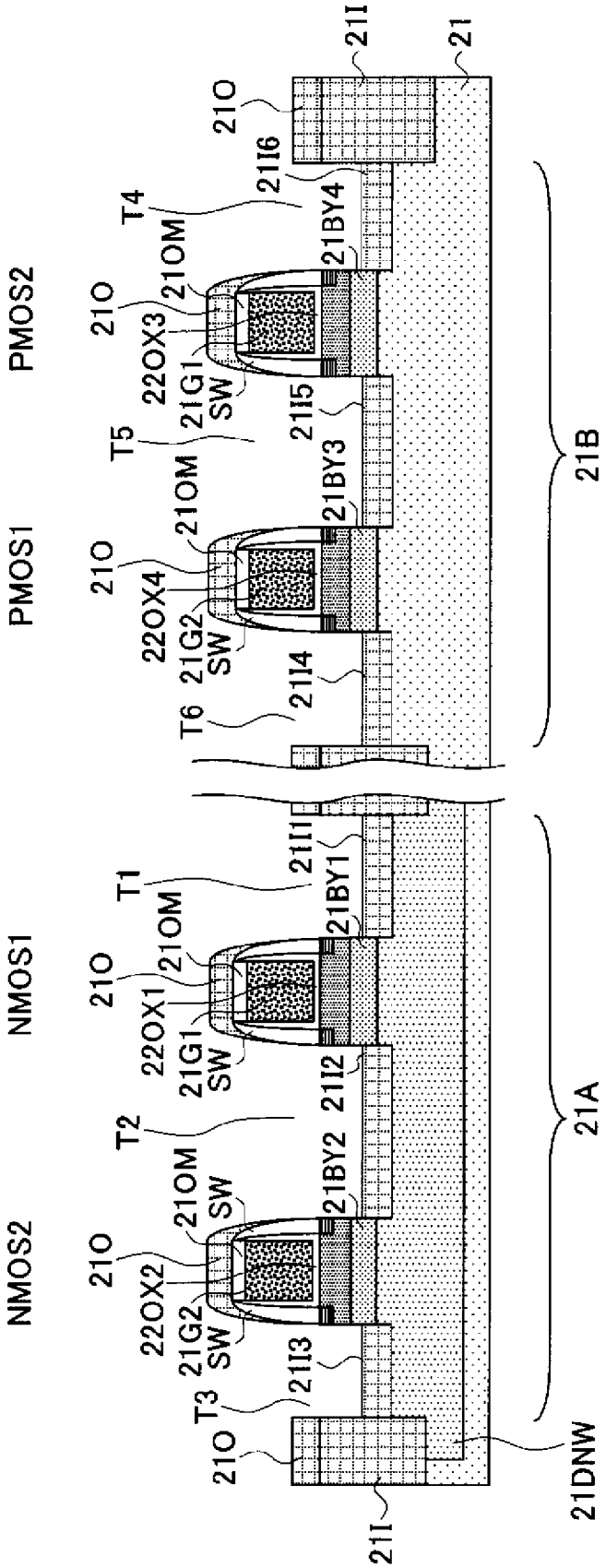
[図10G]


21I
21
T4
21BY4
21d
sw
SW
21OM
PVT2
21G1
PMOS2
T5
21BY3
21e
PVT1
21G2
PMOS1
T6
21f
21B
T1
21BY1
21a
NVT1
NMOS1
T2
21BY2
21b
NVT2
NMOS2
T3
21c
21A
21DNW

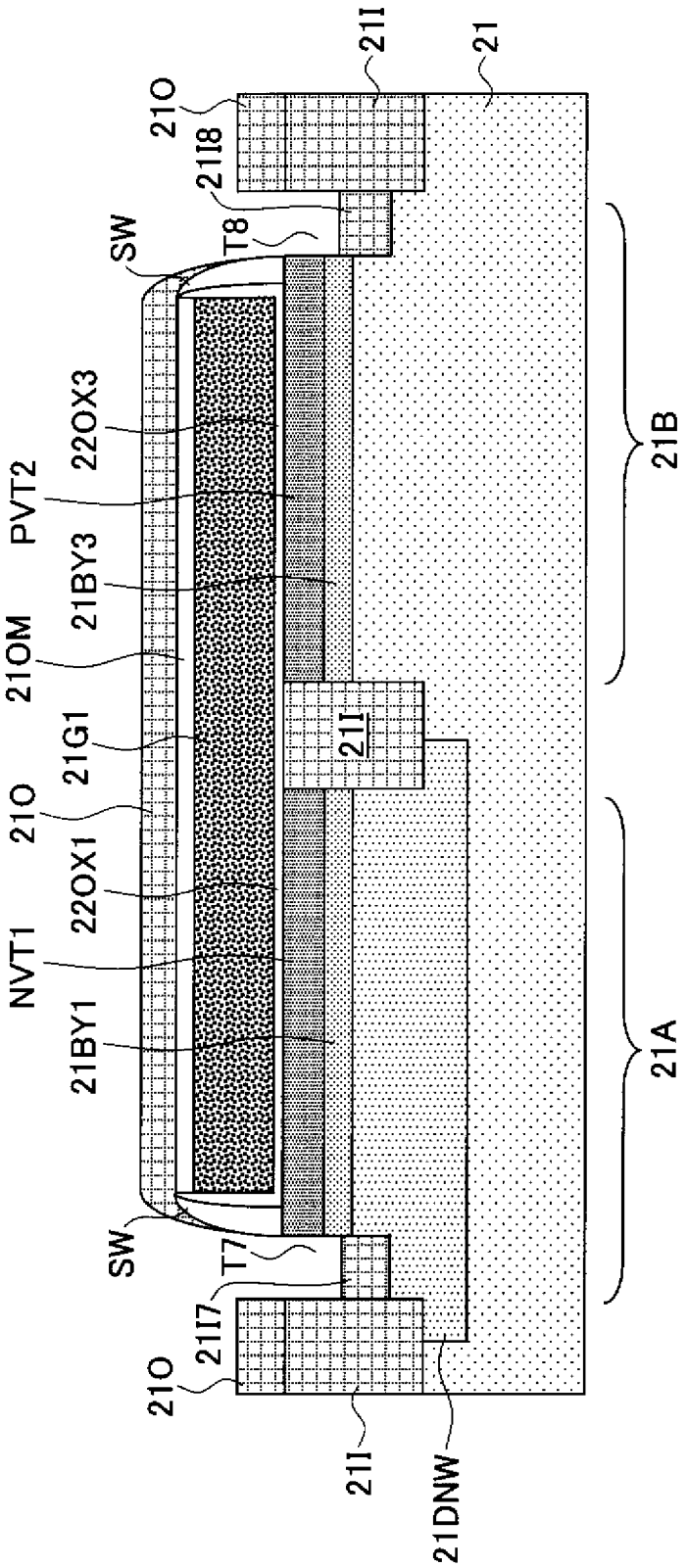
[図10H]


21I
21
SW
sw
T8
22OX3
PVT2
21BY3
21OM
21G1
21I
21B
22OX1
NVT1
21BY1
21A
SW
sw
T7
21I
21DNW

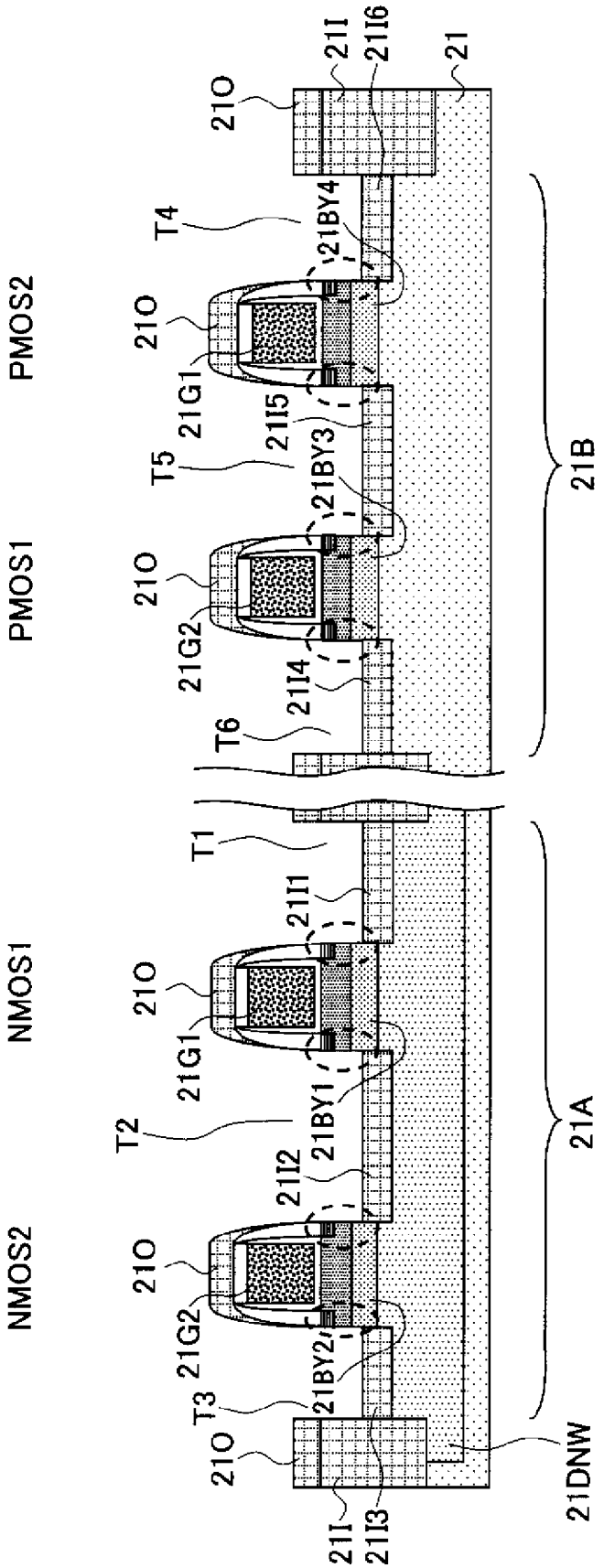
[図10I]


NMOS2
NMOS1
PMOS1
PMOS2
21O
22OX2
21G2
SW
T3
21I3
21BY2
T2
21OM
21I2
22OX1
21G1
T1
21I1
21BY1
21BY3
21I5
21BY4
21I6
T4
T5
T6
21I4
21I
21DNW
21A
21B

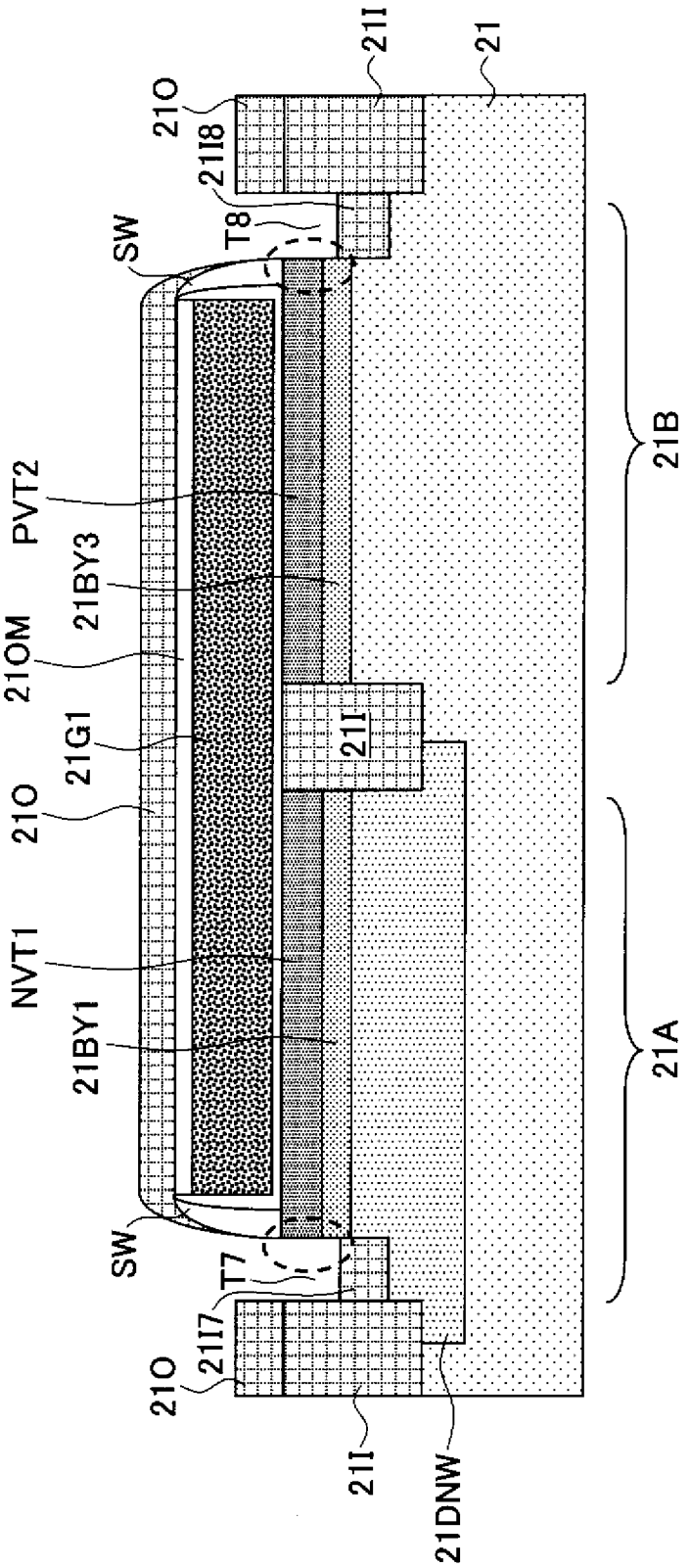
[図10J]


21I
21
21O
21I8
SW
T8
22OX3
PVT2
21BY3
21OM
21G1
21O
22OX1
NVT1
21BY1
21B
21A
21I
SW
T7
21I7
21O
21I
21DNW

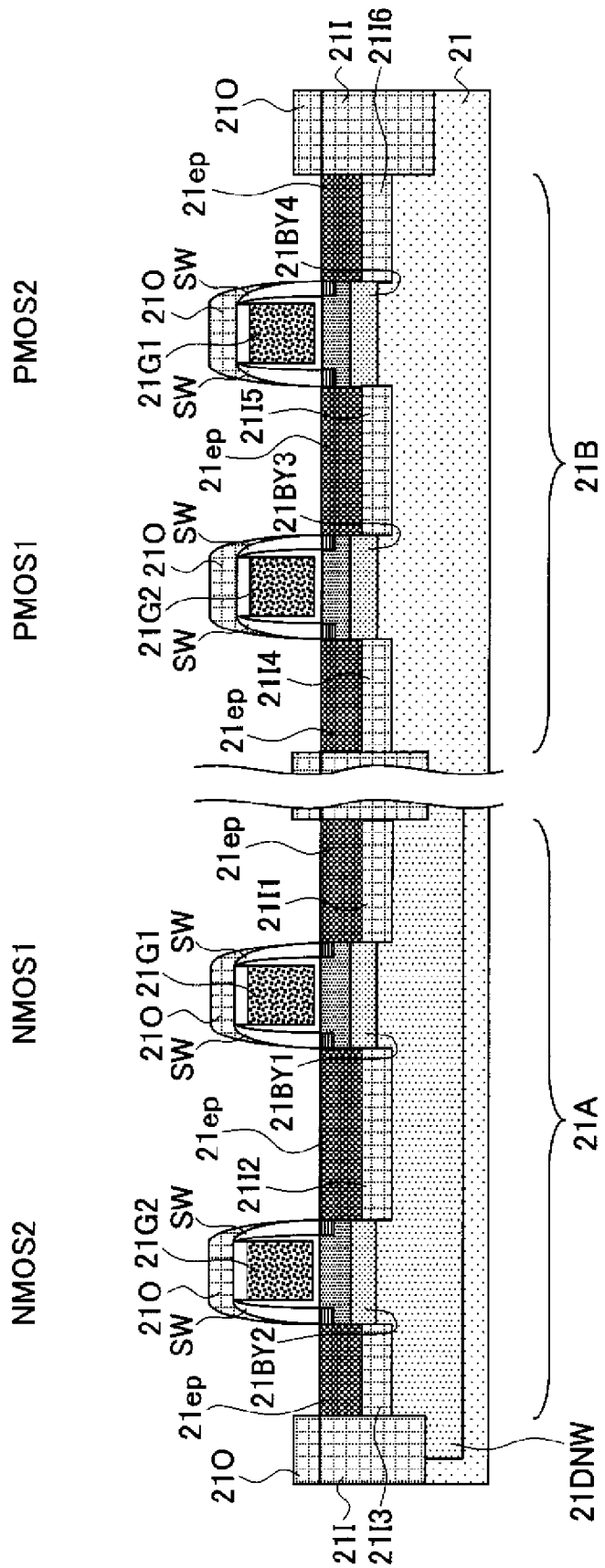
[図10K]


NMOS2
NMOS1
PMOS1
PMOS2
21A
21B
21DNW
21
21I
21I6
21O
21G1
21G2
21BY1
21BY2
21BY3
21BY4
21I1
21I2
21I3
21I4
21I5
T1
T2
T3
T4
T5
T6

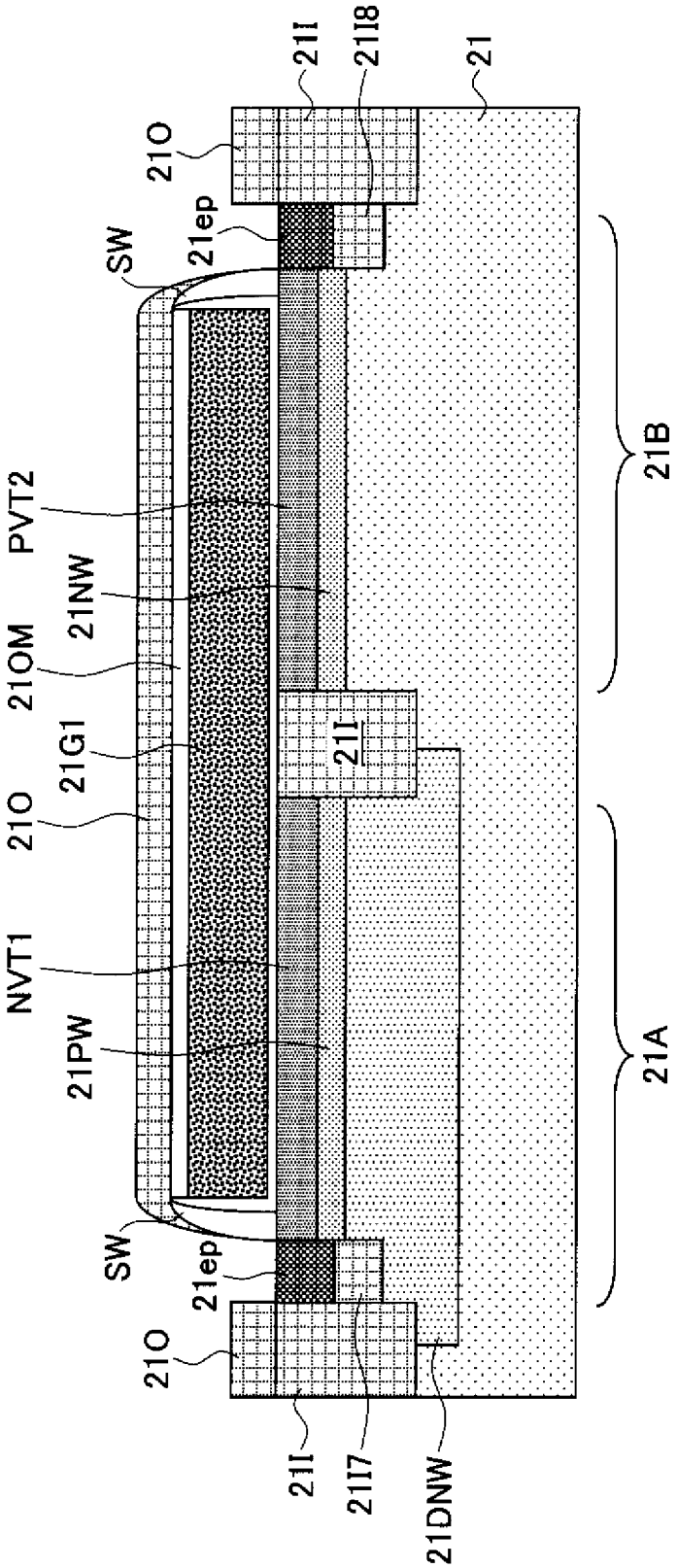
[図10L]


21I
21
21O
21I8
T8
SW
PVT2
21BY3
21OM
21G1
21O
21I
21B
NVT1
21BY1
21A
SW
T7
21I7
21O
21I
21DNW

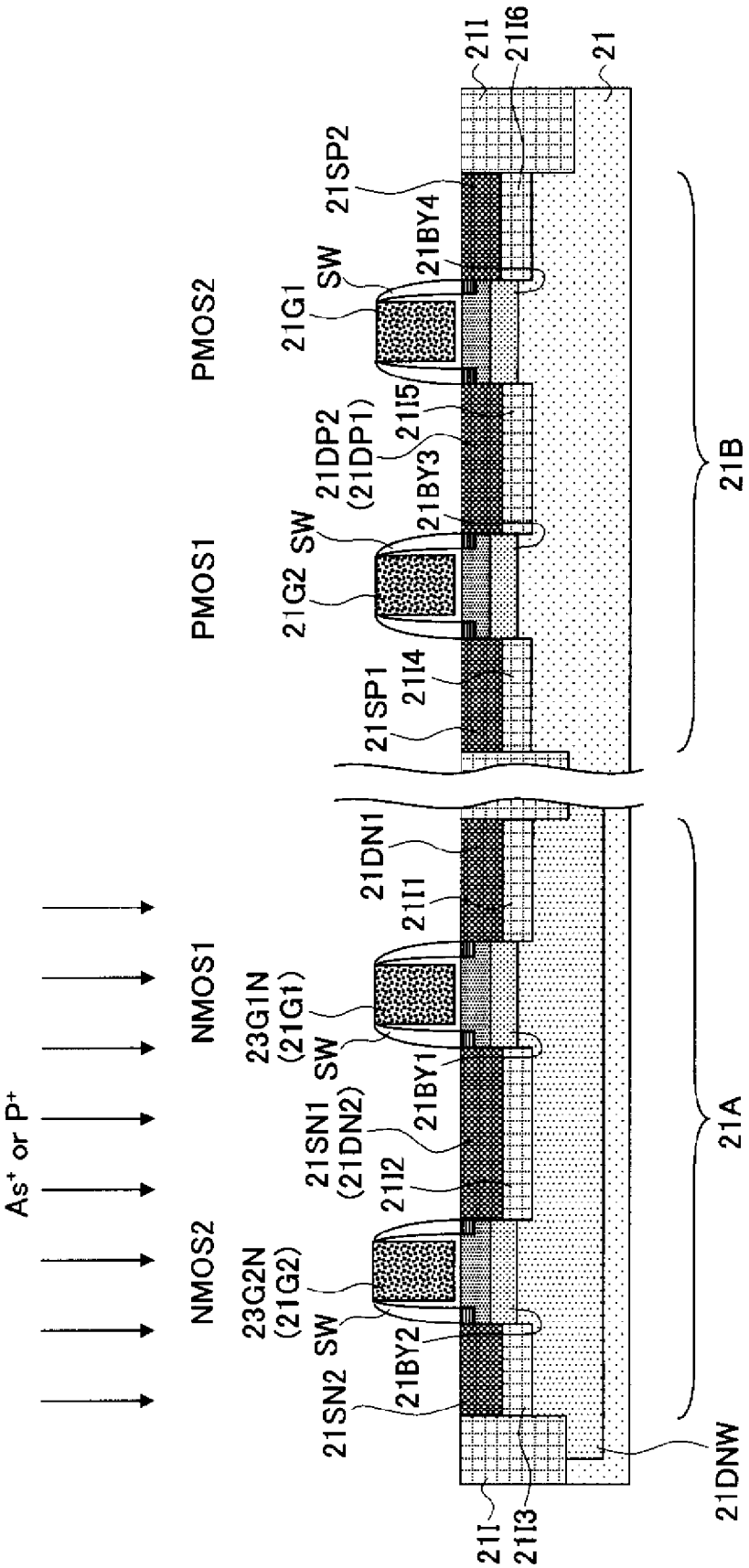
[図10M]


NMOS2
NMOS1
PMOS1
PMOS2
21
21I
21I6
21O
21ep
21BY4
SW
21G1
21I5
21BY3
21G2
21I4
21B
21I1
21BY1
21I2
21BY2
21A
21DNW
21I3

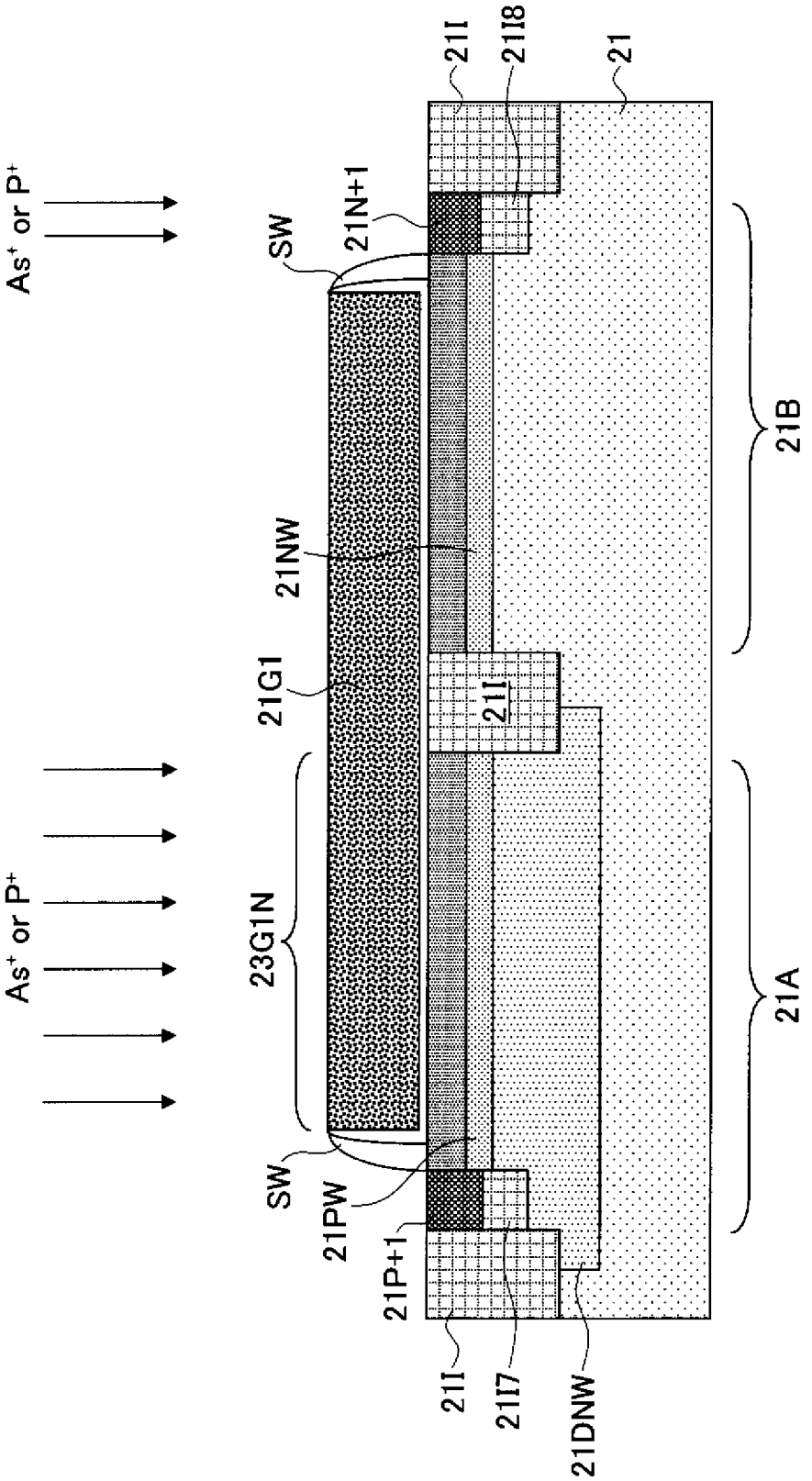
[図10N]


21I
21I8
21
21O
21ep
SW
PVT2
21NW
21OM
21G1
21O
NVT1
21PW
21B
21A
SW
21ep
21O
21I
21I7
21DNW

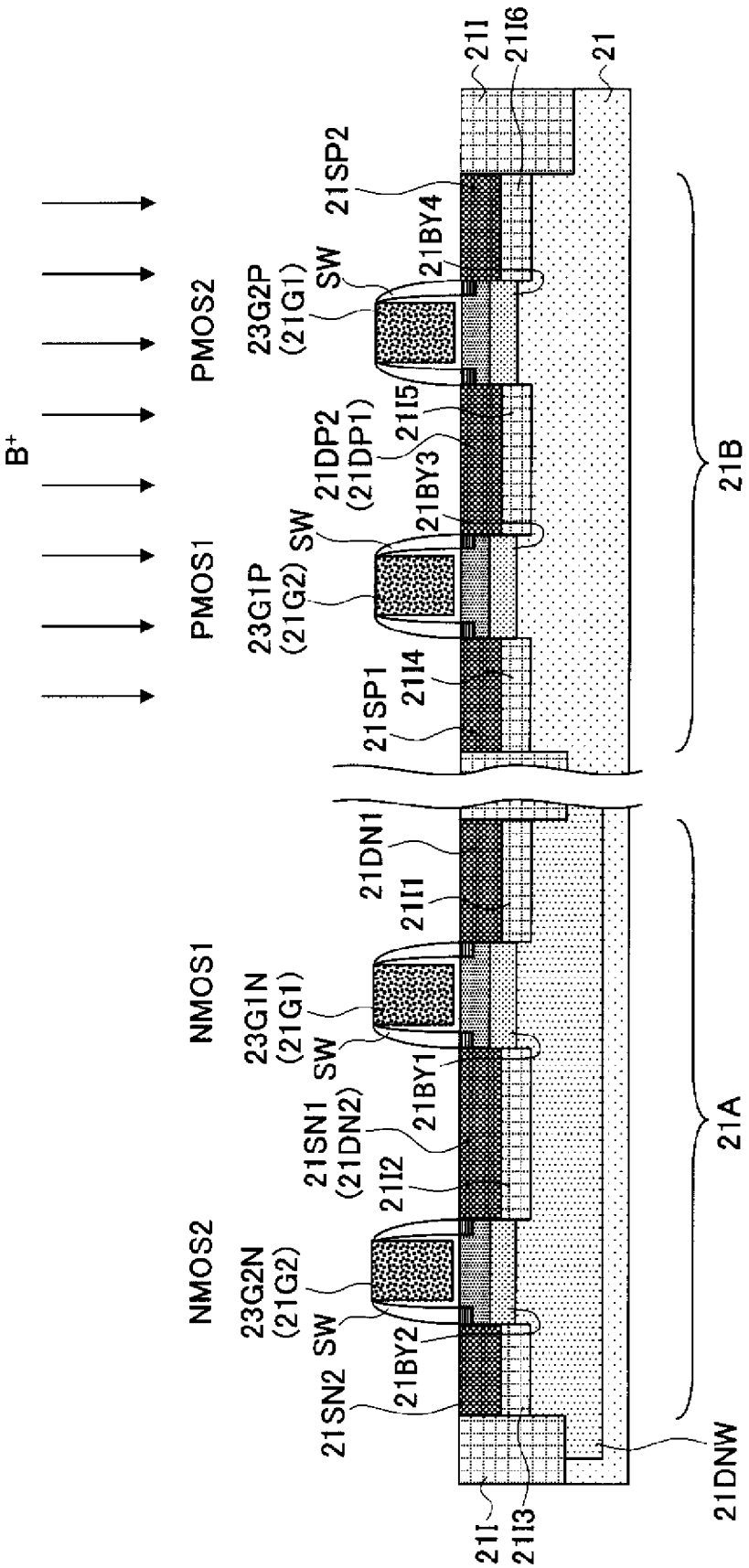
[図100]


As+ or P+
NMOS2
NMOS1
PMOS1
PMOS2
23G2N
(21G2)
SW
21BY2
21SN2
23G1N
(21G1)
SW
21BY1
21SN1
(21DN2)
21I2
21DN1
21I1
21G2
SW
21BY3
21DP2
(21DP1)
21I5
21G1
SW
21BY4
21SP2
21SP1
21I4
21I
21I3
21I
21I6
21
21DNW
21A
21B

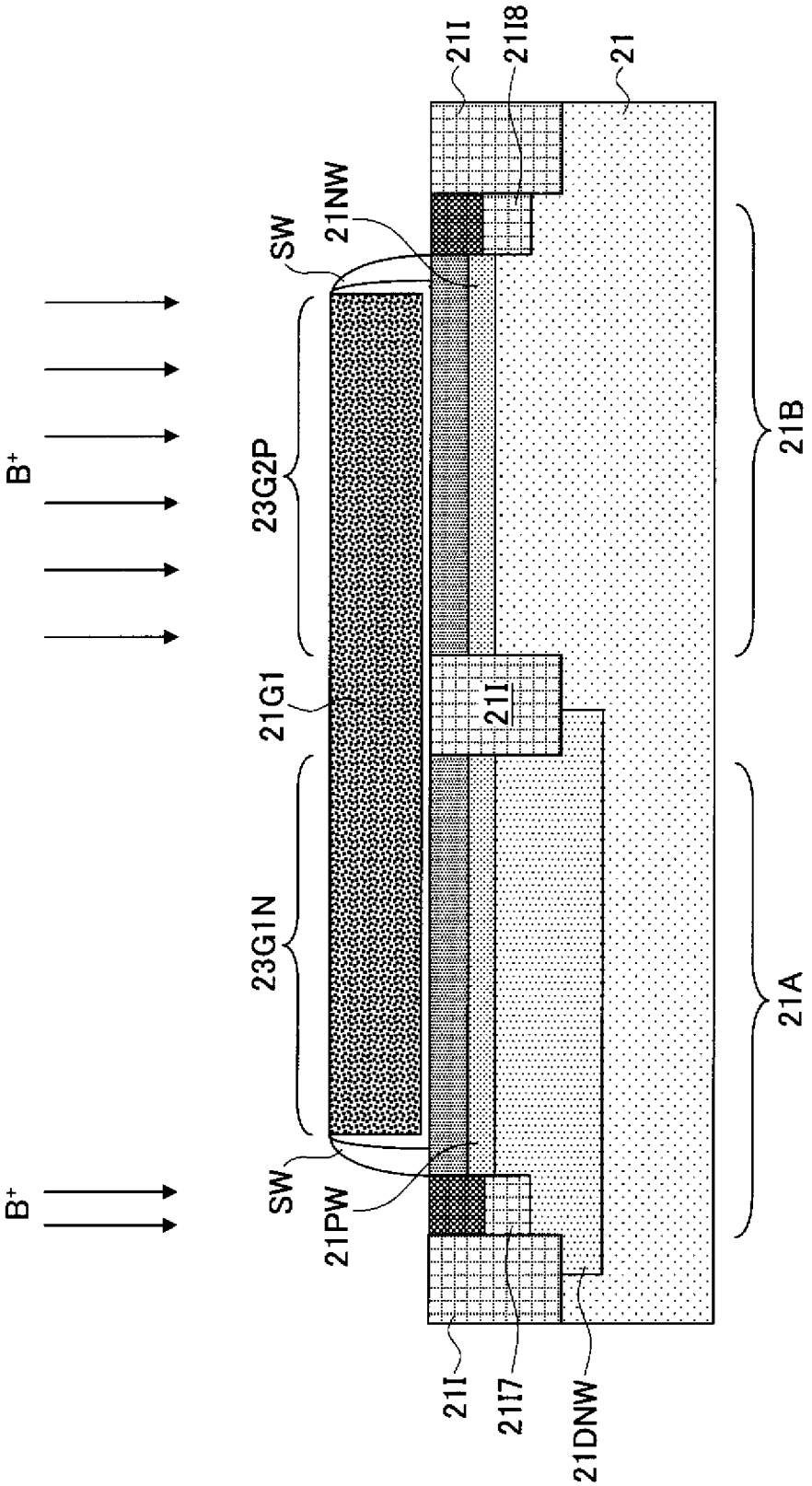
[図10P]


As+ or P+
As+ or P+
SW
21N+1
21I
21I8
21
21B
21NW
21G1
21I
23G1N
21A
SW
21PW
21P+1
21I
21I7
21DNW

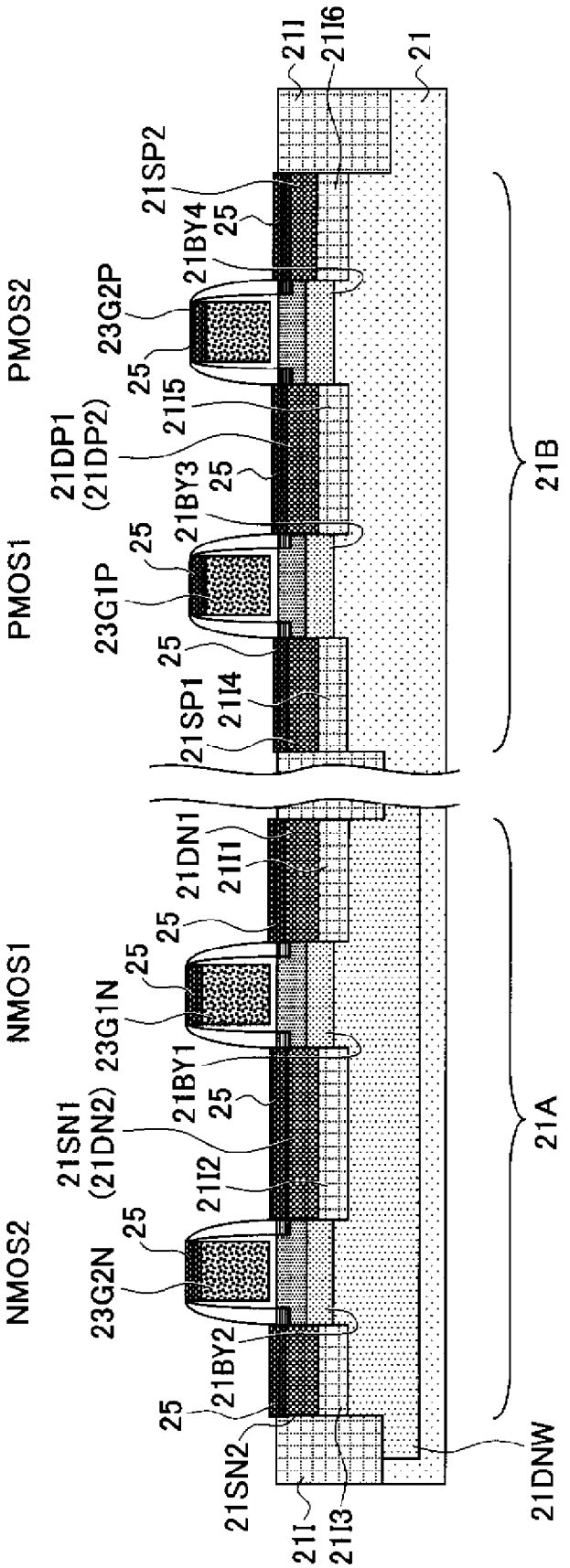
[図10Q]


B+
PMOS2
PMOS1
NMOS1
NMOS2
23G2P
(21G1)
SW
23G1P
(21G2)
SW
23G1N
(21G1)
SW
23G2N
(21G2)
SW
21SP2
21BY4
21DP2
(21DP1)
21BY3
21SP1
21I4
21I5
21I6
21I
21DN1
21I1
21SN1
(21DN2)
21BY1
21I2
21SN2
21BY2
21I3
21B
21A
21DNW

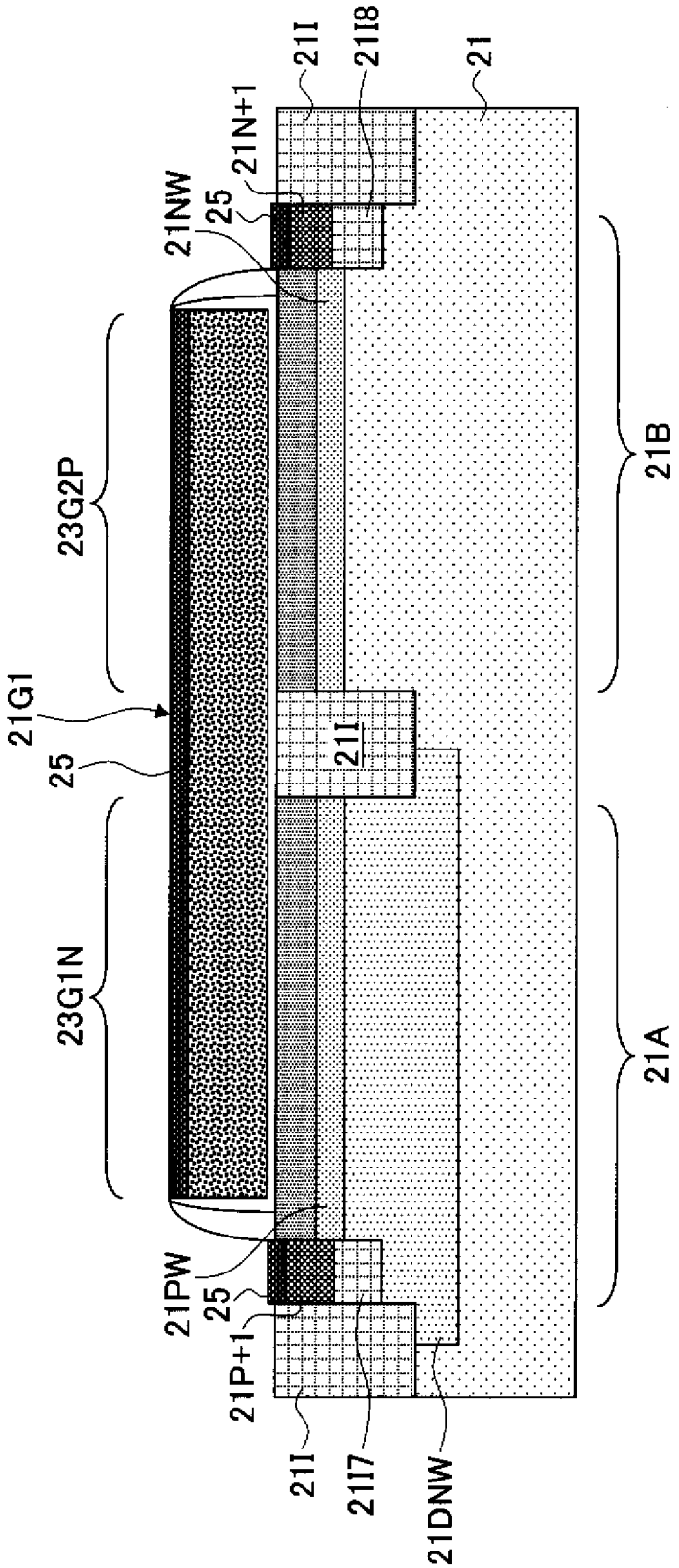
[図10R]


B+
B+
SW
21NW
23G2P
21G1
23G1N
SW
21PW
21I
21I8
21
21B
21I
21A
21I
21I7
21DNW

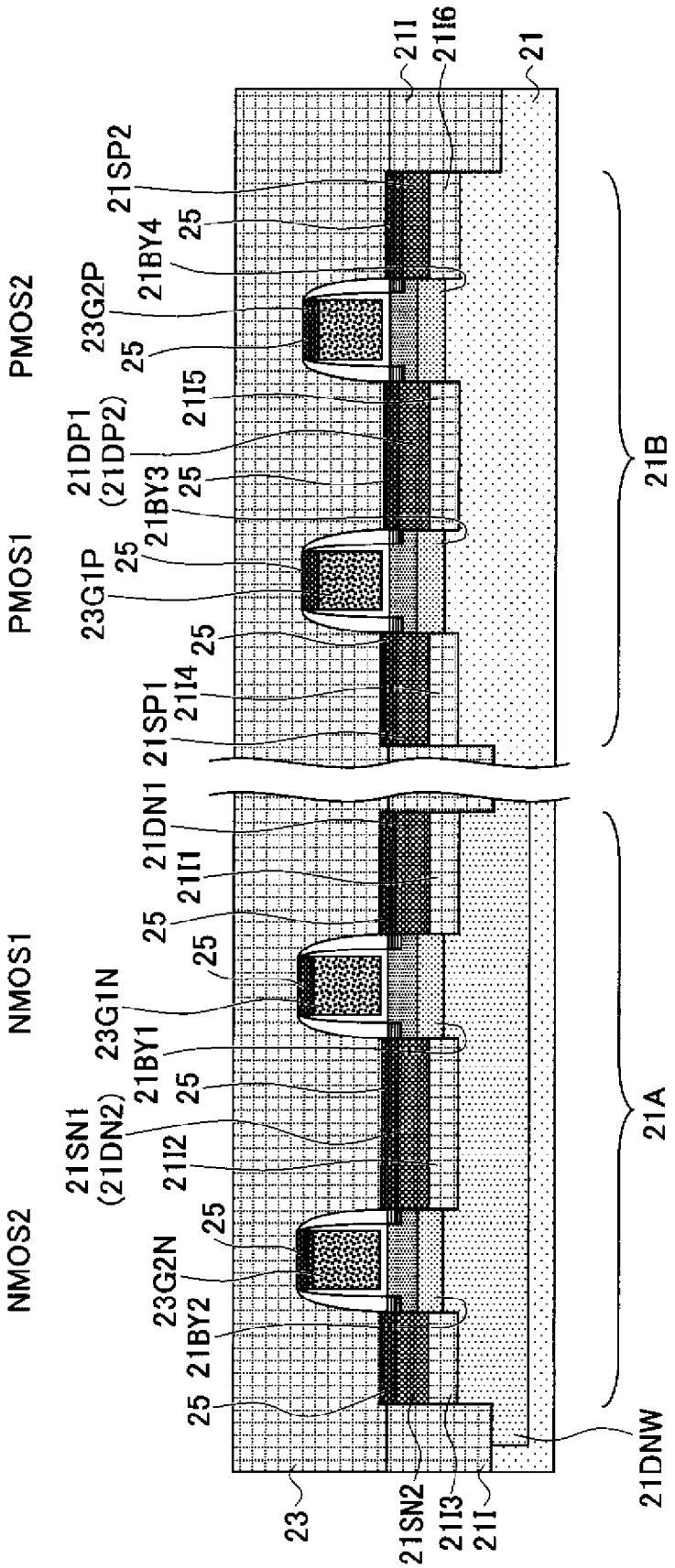
[図10S]


21
2116
211
21SP2
25
21BY4
23G2P
PMOS2
25
2115
21DP1
(21DP2)
21BY3
25
25
23G1P
PMOS1
25
21SP1
2114
21B
21DN1
2111
25
25
23G1N
NMOS1
21BY1
25
21SN1
(21DN2)
2112
25
23G2N
NMOS2
21BY2
25
21SN2
2113
211
21A
21DNW

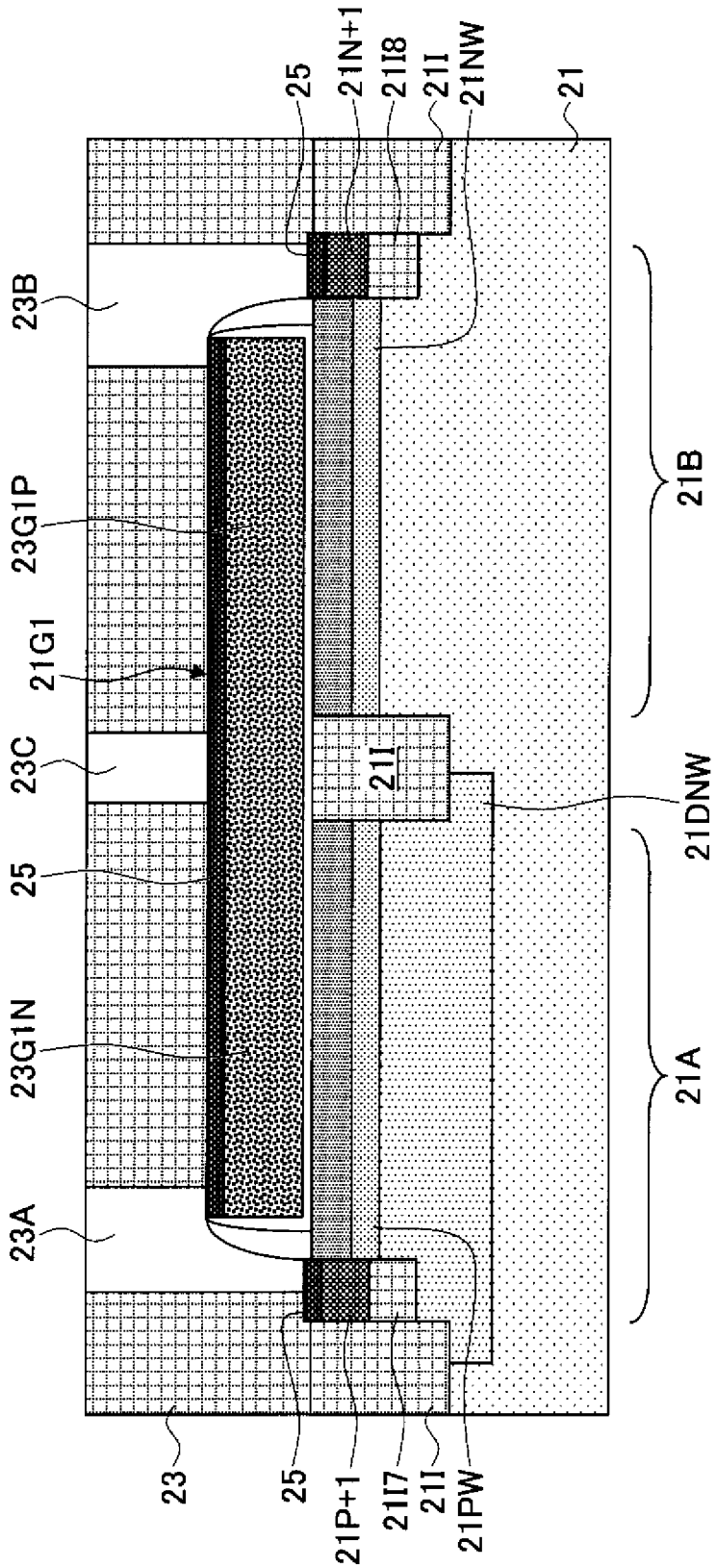
[図10T]


21I
21I8
21
21N+1
21NW
25
23G2P
21G1
25
21I
21B
23G1N
21A
21PW
25
21P+1
21I
21I7
21DNW

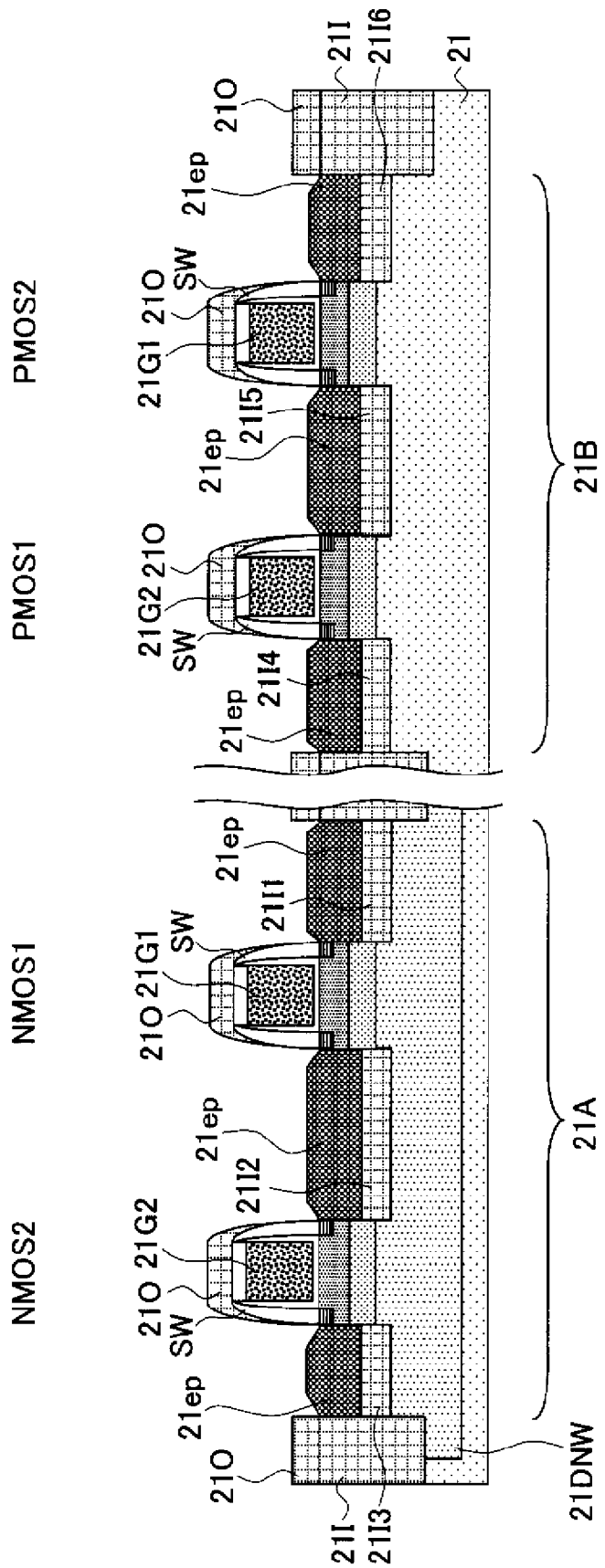
[図10U]


PMOS2
PMOS1
NMOS1
NMOS2
21SP2
21BY4
23G2P
21DP1
(21DP2)
21BY3
23G1P
21SP1
21DN1
21BY1
23G1N
21SN1
(21DN2)
21BY2
23G2N
25
21I1
21I2
21I3
21I4
21I5
21I6
21
21B
21A
21DNW
23
21SN2

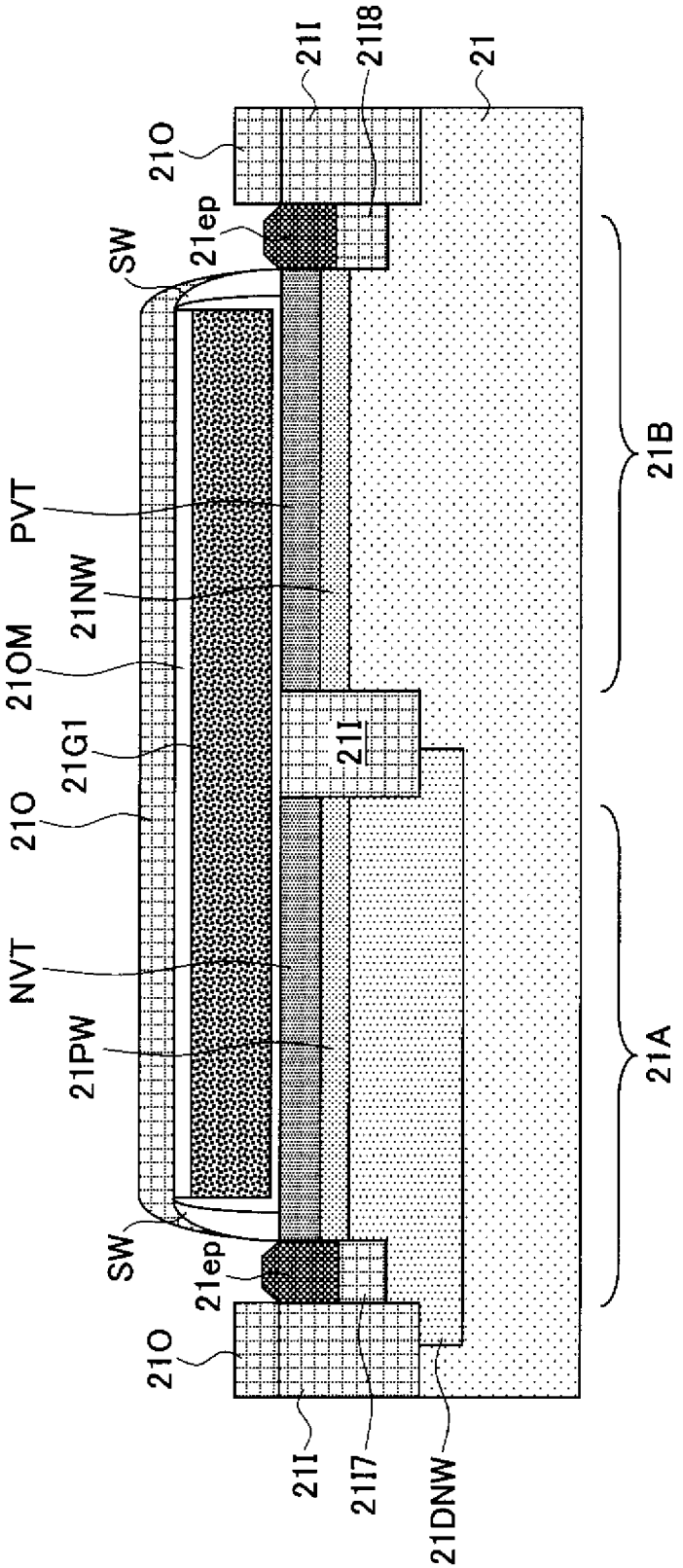
[図10V]


25
21N+1
21I8
21I1
21NW
21
23B
23G1P
21G1
23C
25
23G1N
23A
21I1
21DNW
21B
21A
23
25
21P+1
21I7
21I1
21PW

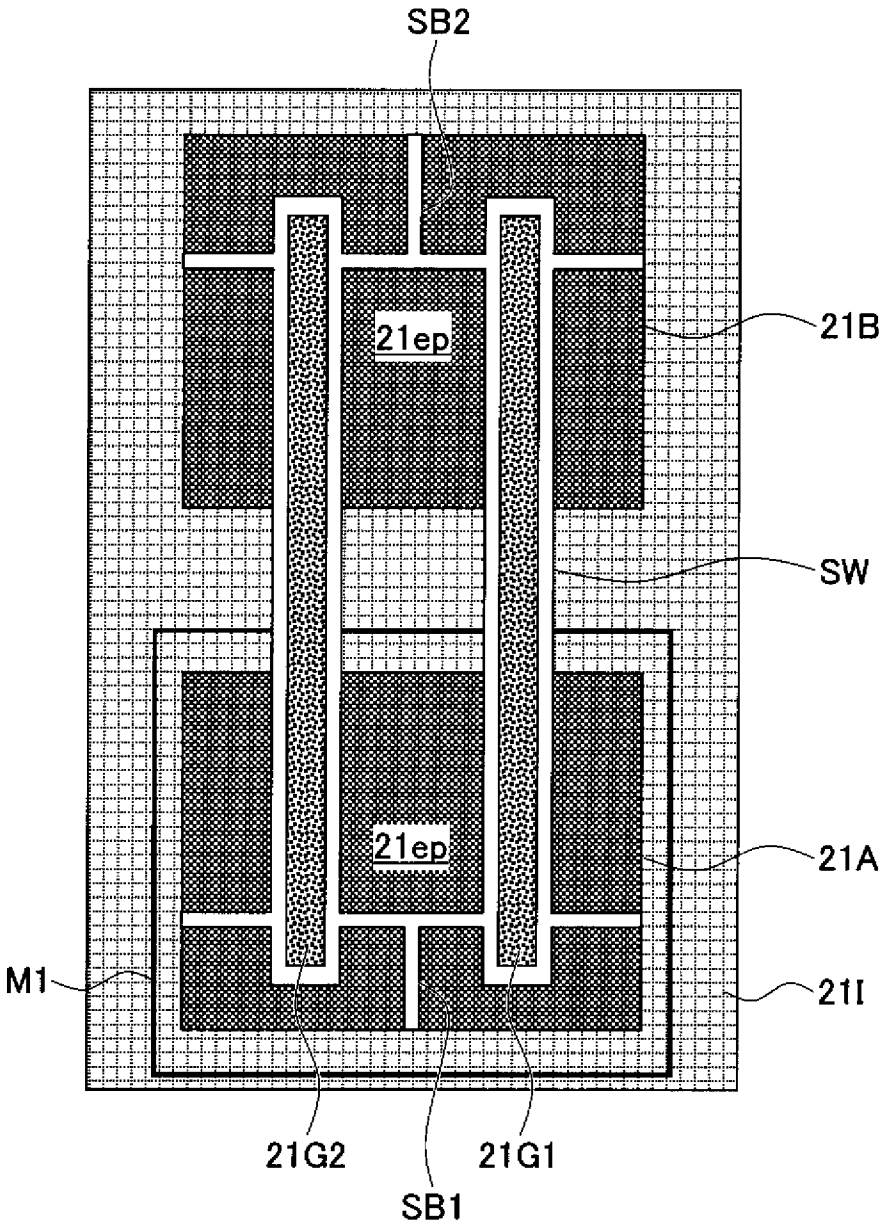
[図11A]


NMOS2
NMOS1
PMOS1
PMOS2
21A
21B
21DNW
21
21I
21I6
21O
21ep
21G1
21G2
SW
21I5
21I4
21I1
21I2
21I3

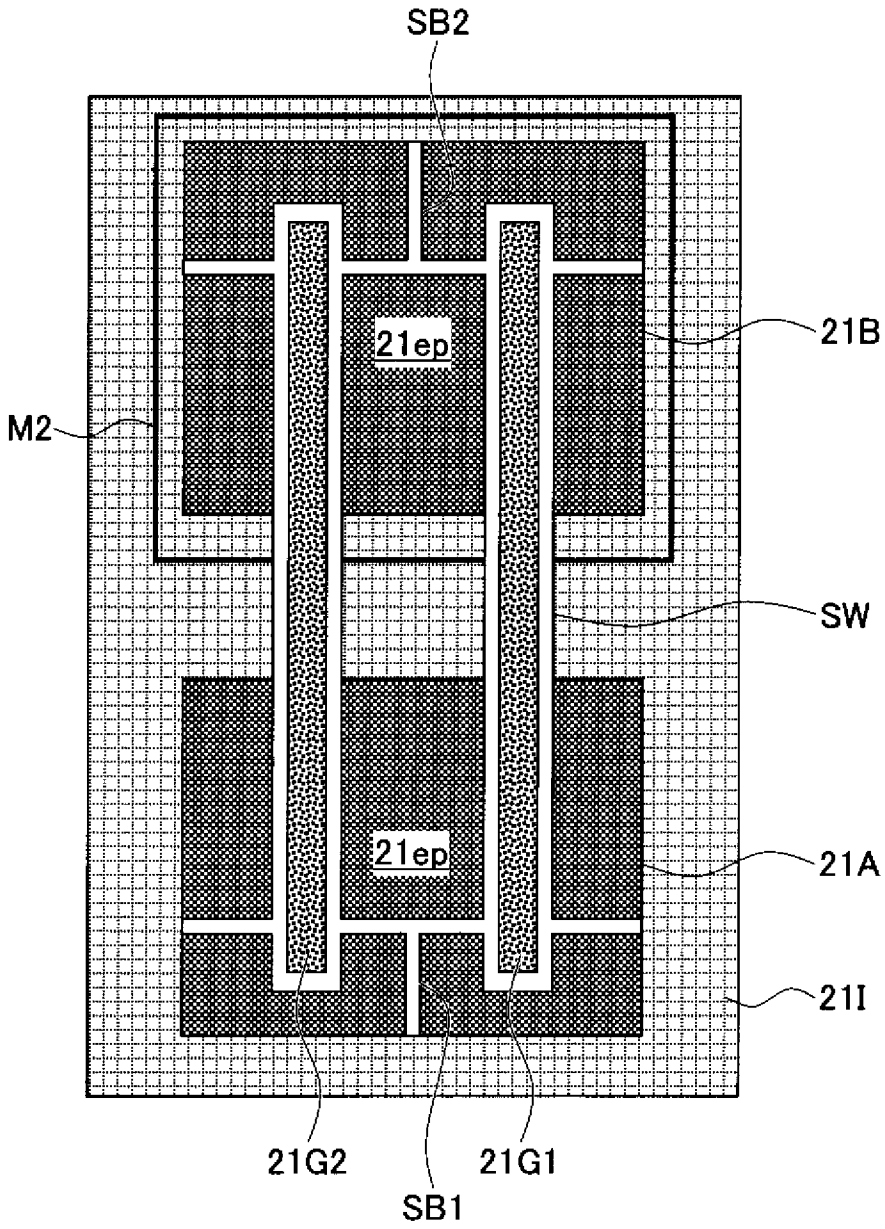
[図11B]


21I
21I8
21
21O
21ep
SW
PVT
21NW
21OM
21G1
21O
21I
21B
NVT
21PW
21A
SW
21ep
21O
21I
21I7
21DNW

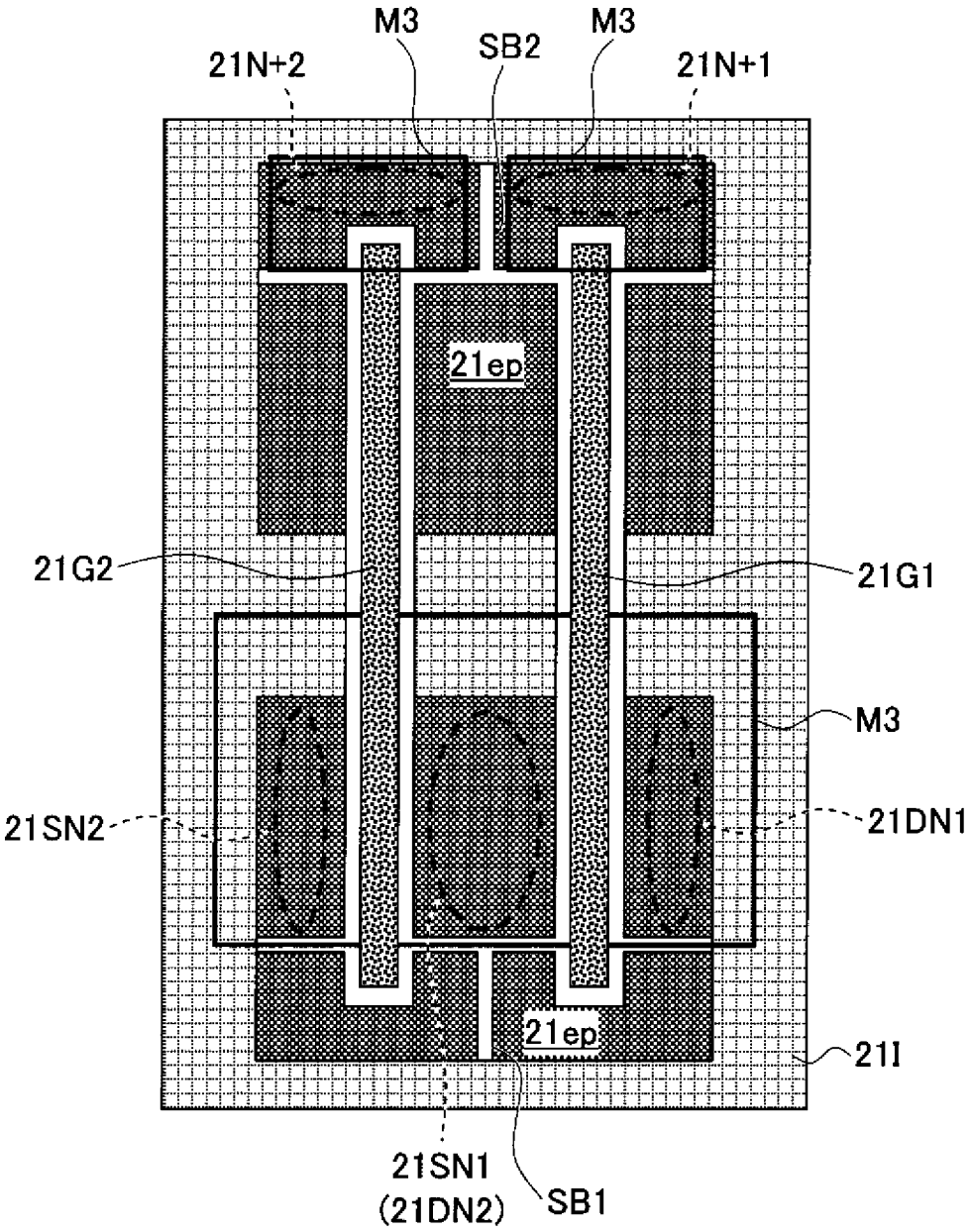
[図12A]



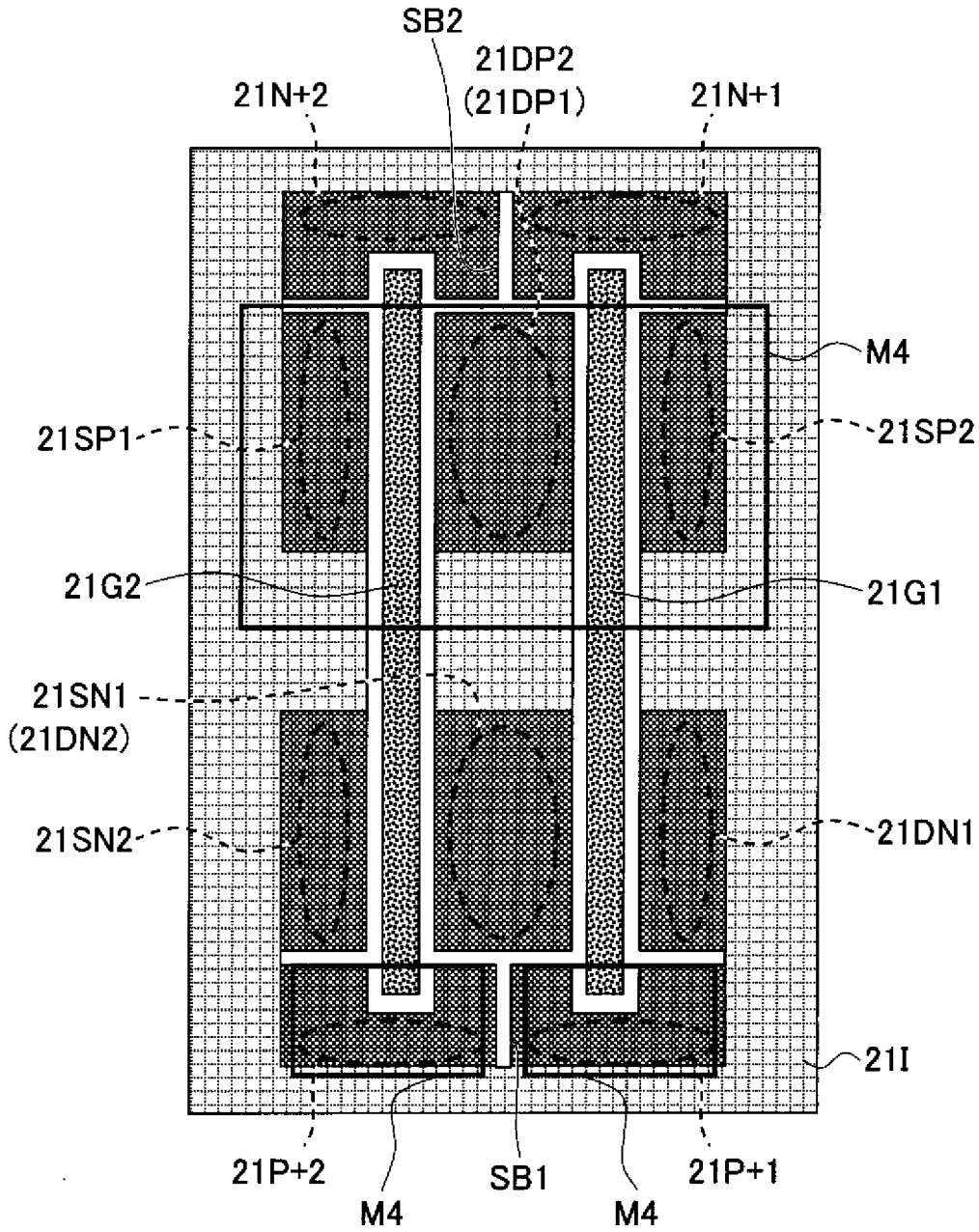
[図12B]



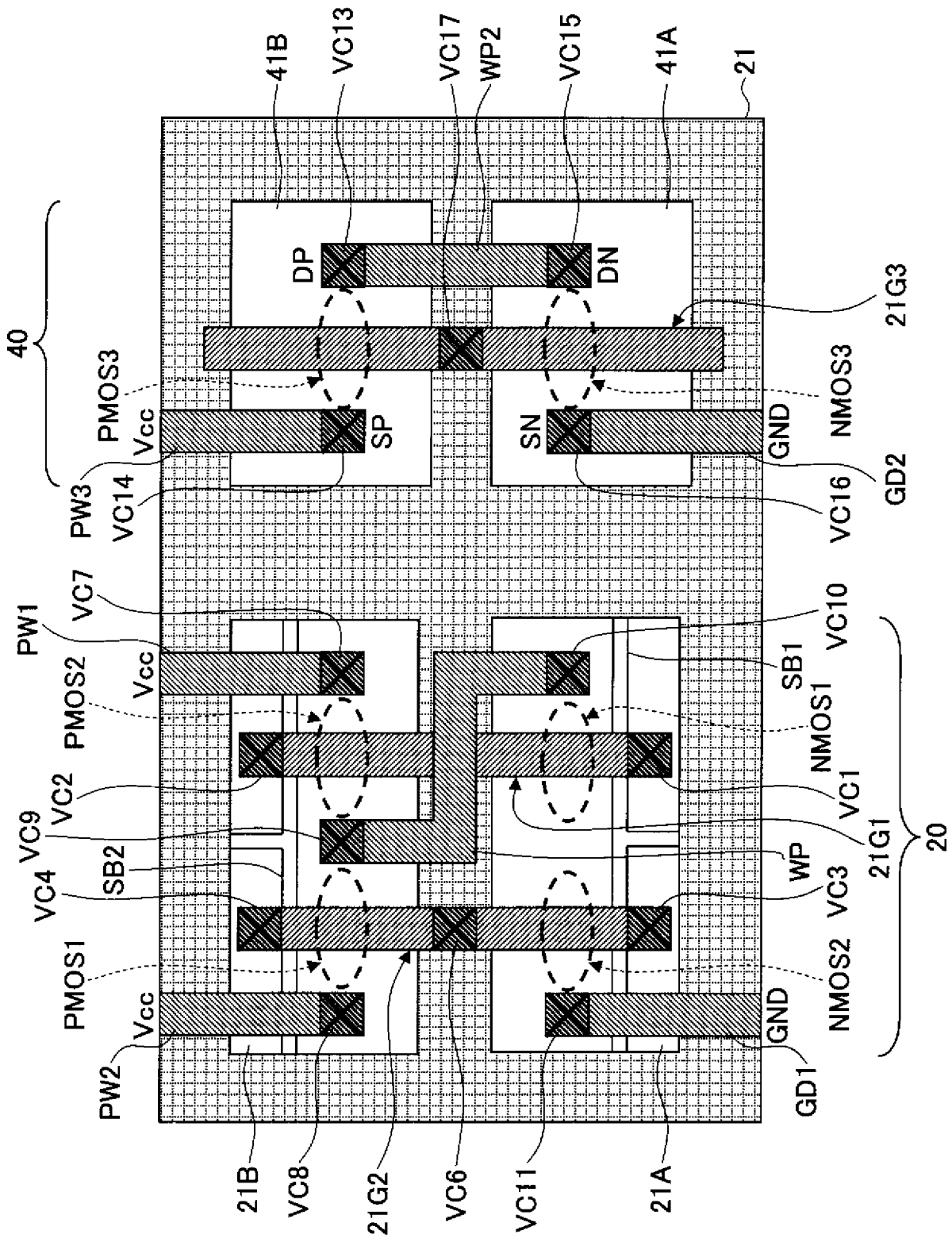
[図12C]


M3
SB2
M3
21N+2
21N+1
21ep
21G2
21G1
M3
21SN2
21DN1
21ep
21I
21SN1
(21DN2)
SB1

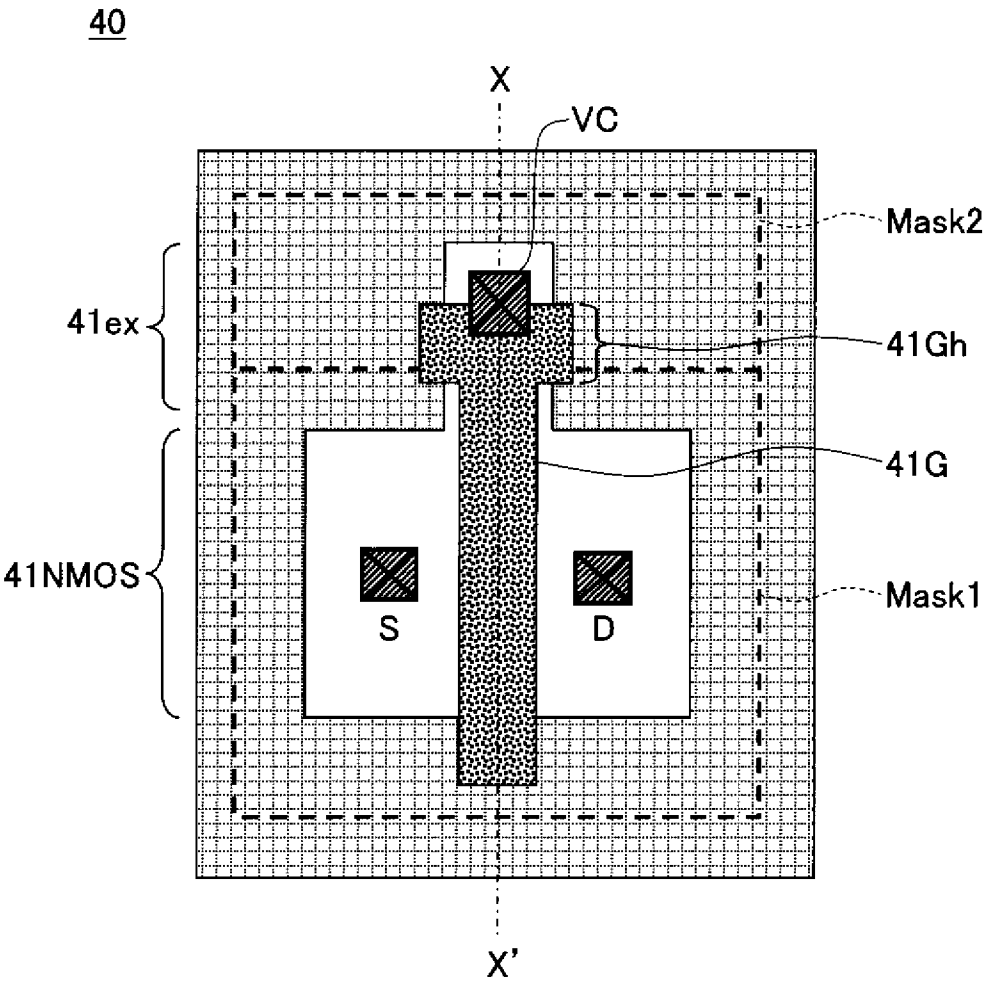
[図12D]


SB2
21DP2
(21DP1)
21N+2
21N+1
M4
21SP1
21SP2
21G2
21G1
21SN1
(21DN2)
21SN2
21DN1
21I
21P+2
M4
SB1
M4
21P+1

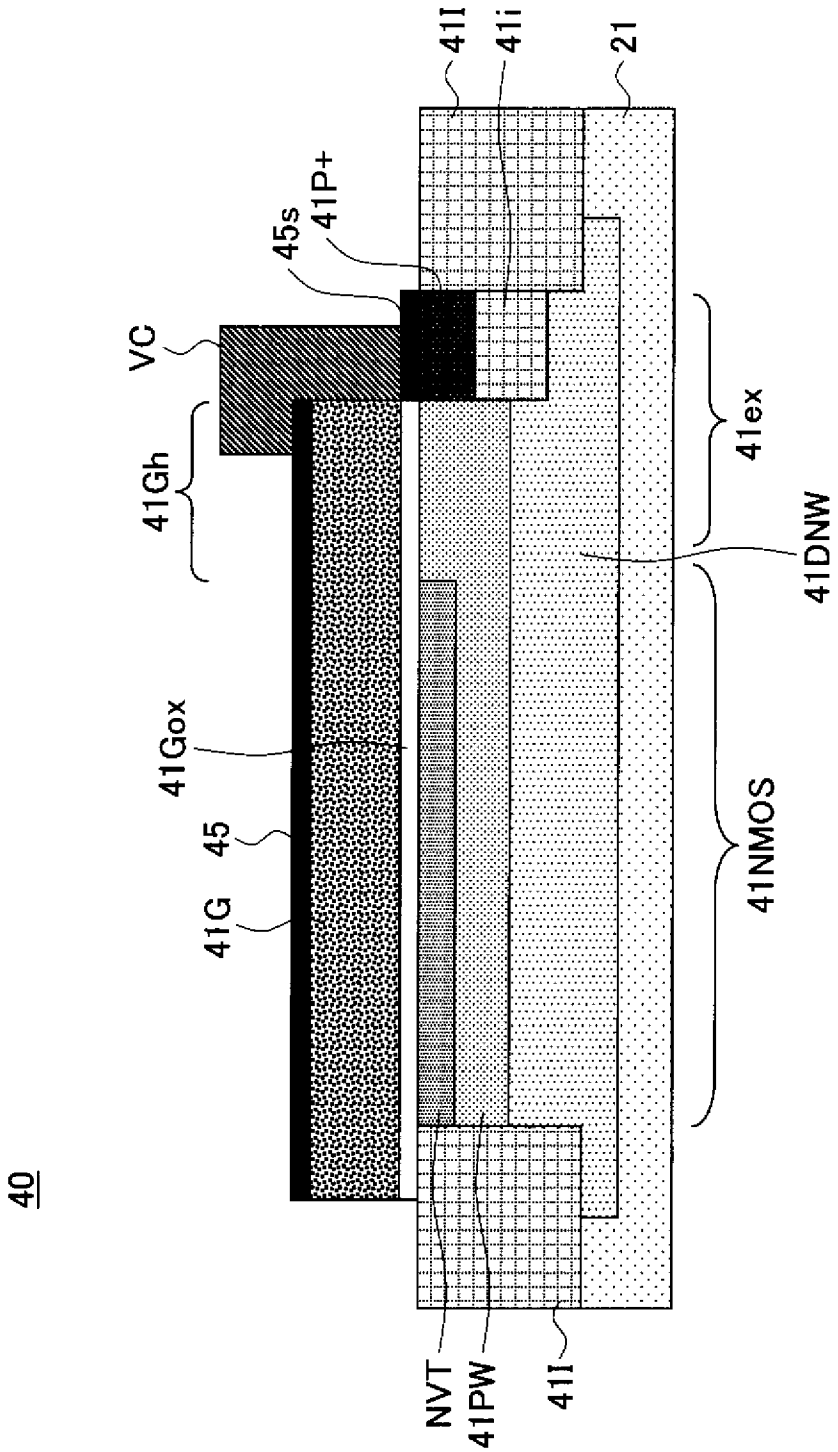
[図13A]


41B
VC13
VC17
WP2
VC15
41A
21
40
DP
DN
21G3
PMOS3
Vcc
SP
SN
GND
NMOS3
PW3
VC14
VC16
GD2
PW1
VC7
VC10
SB1
Vcc
PMOS2
NMOS1
VC2
VC1
VC9
21G1
20
SB2
WP
VC4
VC3
PMOS1
Vcc
NMOS2
GND
PW2
GD1
21B
VC8
21G2
VC6
VC11
21A

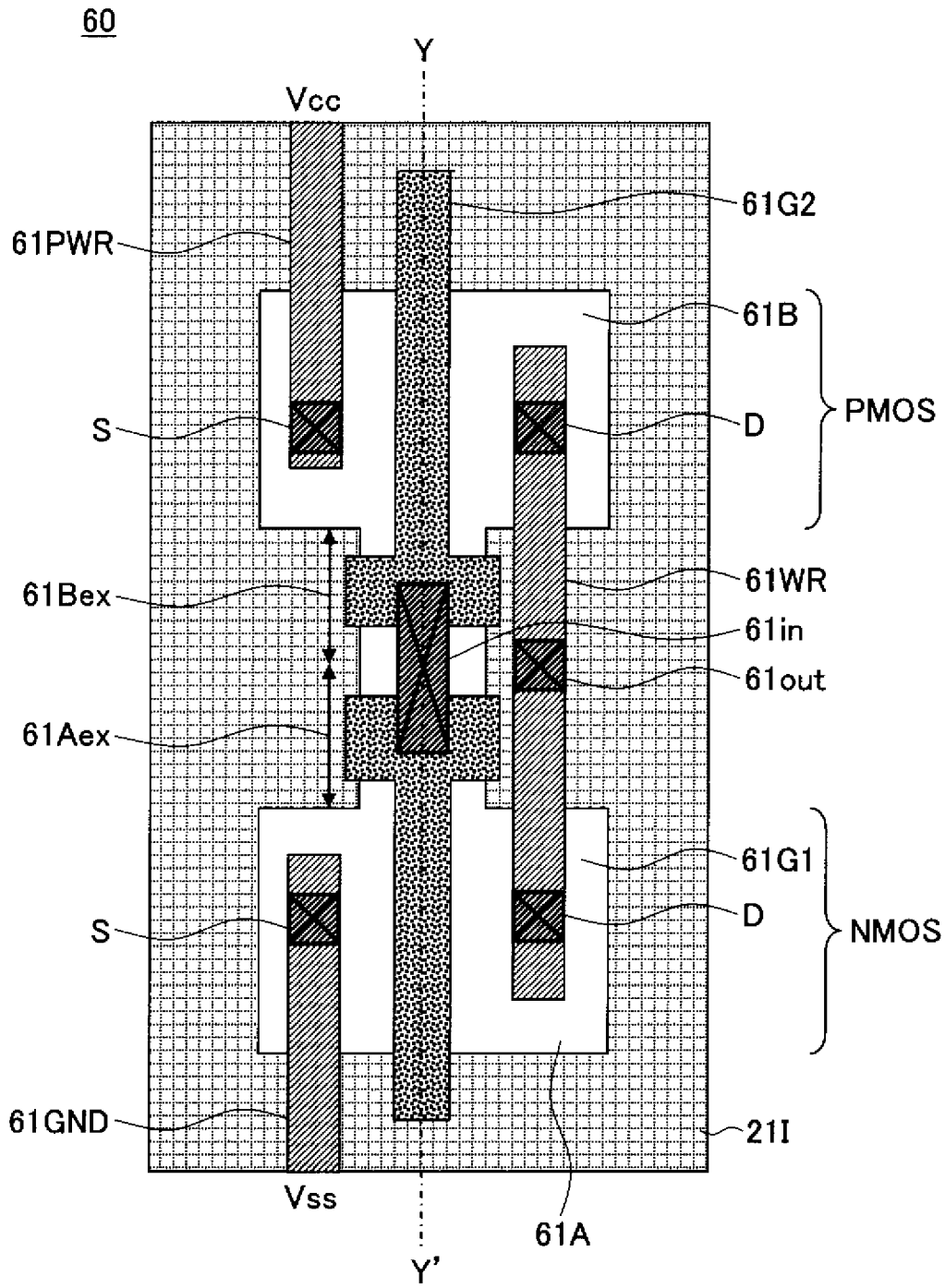
[図13B]



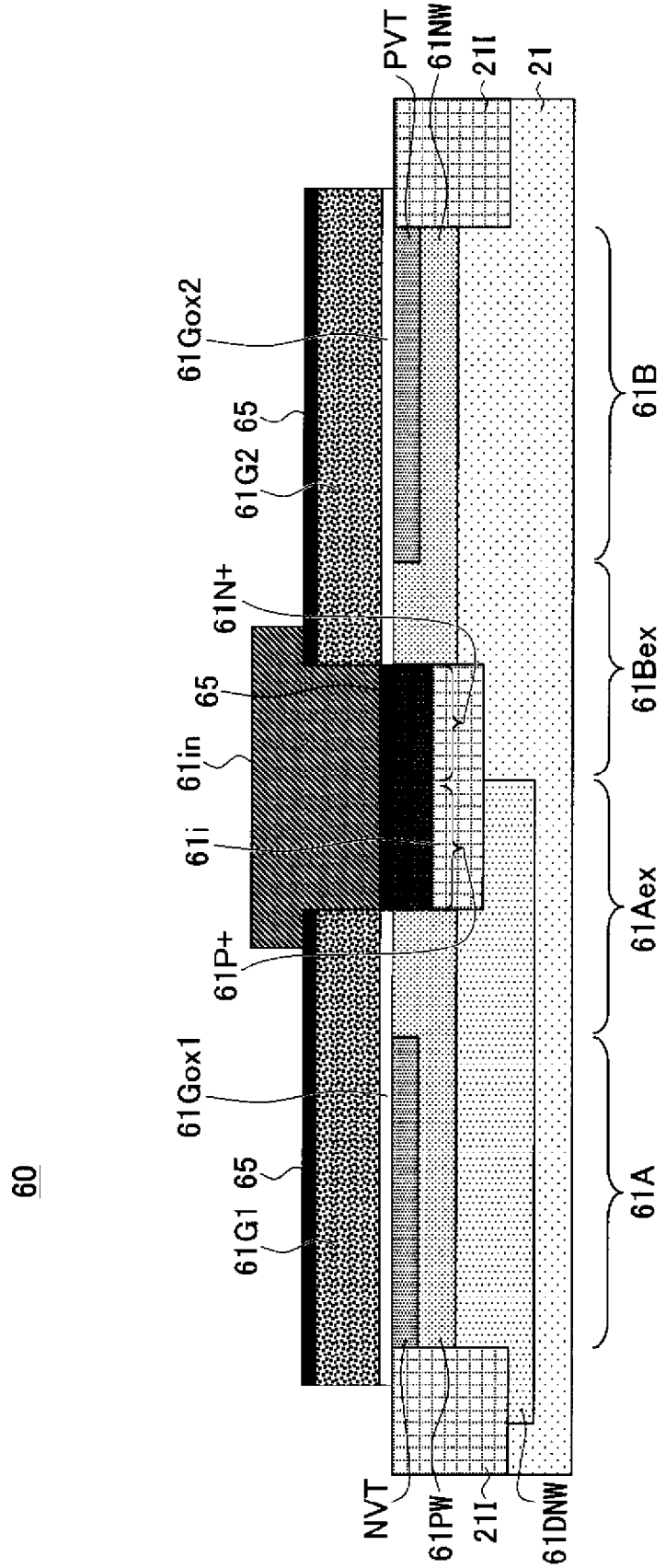
[図13C]


40
41Gox
45
41G
41Gh
VC
45s
41P+
41I
41i
21
41ex
41DNW
41NMOS
NVT
41PW
41I

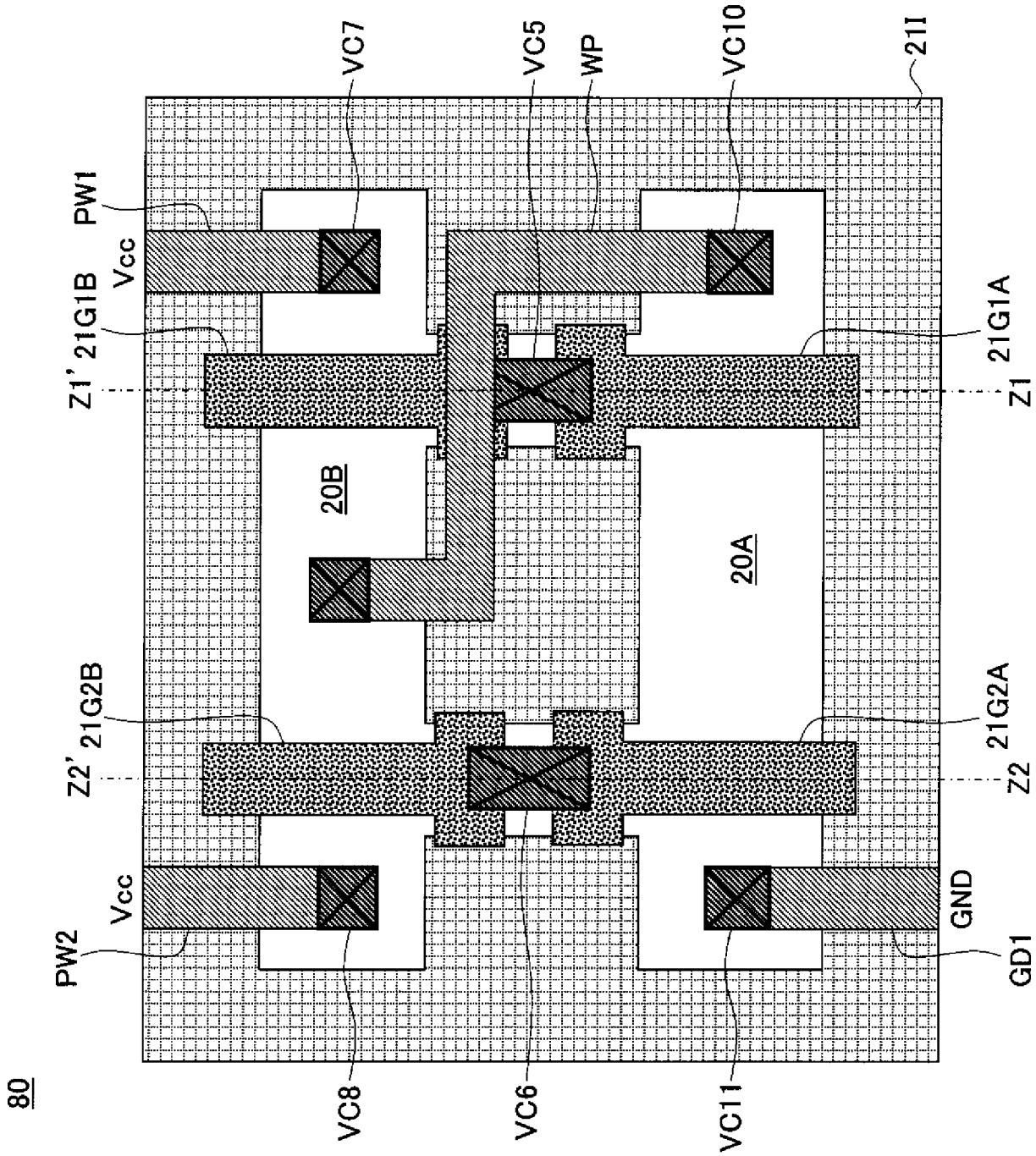
[図13D]


60
Y
Vcc
61G2
61PWR
61B
S
D
PMOS
61Bex
61WR
61in
61out
61Aex
61G1
S
D
NMOS
61GND
21I
Vss
61A
Y'

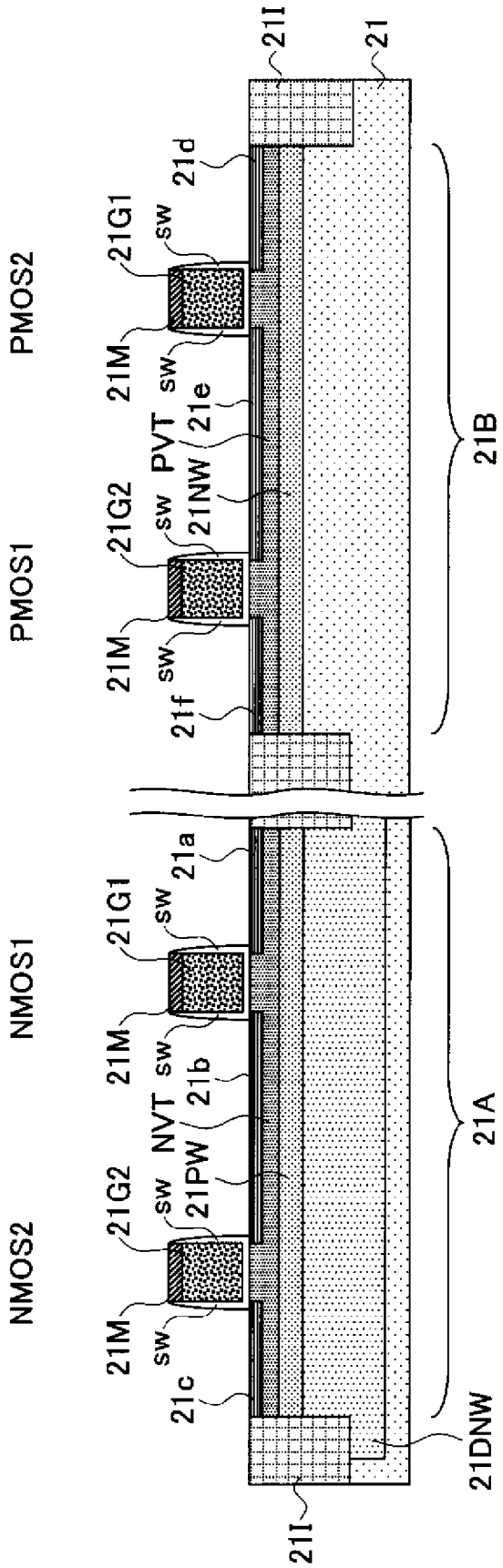
[図13E]


60
PVT
61NW
21I
21
61Gox2
65
61G2
61N+
65
61in
61i
61P+
61Gox1
65
61G1
61B
61Bex
61Aex
61A
NVT
61PW
21I
61DNW

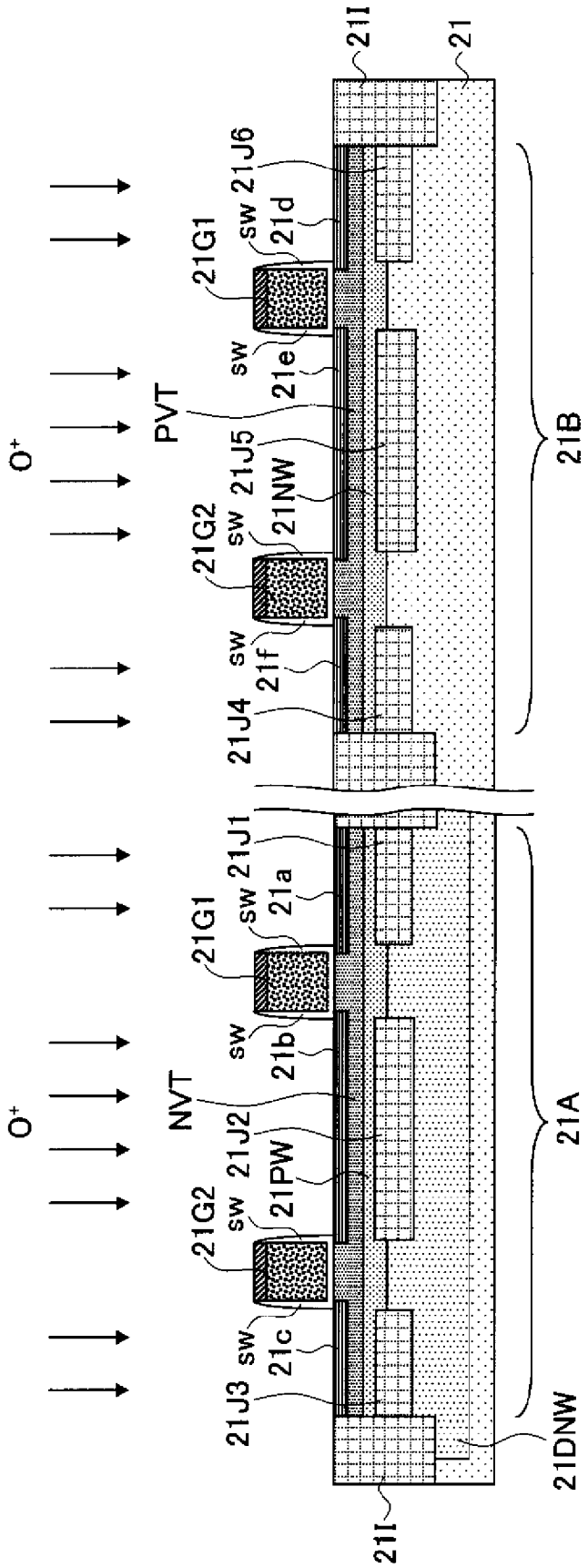
[図13F]


VC7
VC5
WP
VC10
21I
PW1
Vcc
Z1'
21G1B
21G1A
Z1
20B
20A
Z2'
21G2B
21G2A
Z2
Vcc
PW2
GND
GD1
80
VC8
VC6
VC11

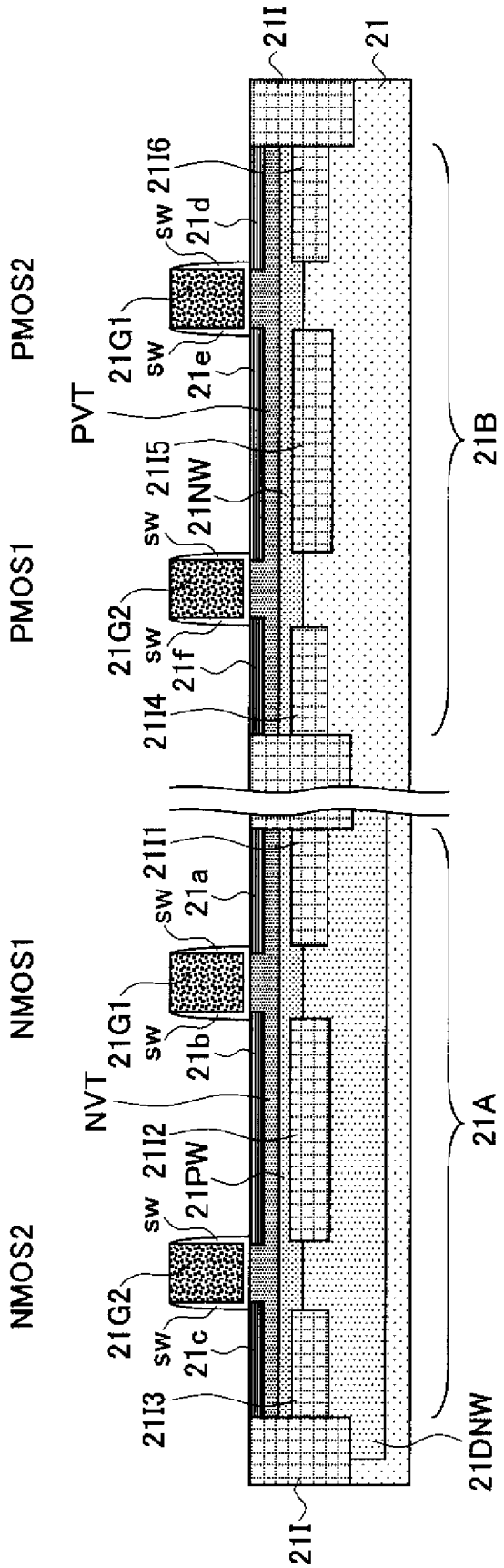
[図14A]


21I
21
21d
21G1
sw
21M
sw
21e
PVT
21NW
21G2
sw
21M
sw
21f
21B
PMOS2
PMOS1
NMOS1
NMOS2
21a
21G1
sw
21M
sw
21b
NVT
21PW
21G2
sw
21M
sw
21c
21A
21DNW
21I

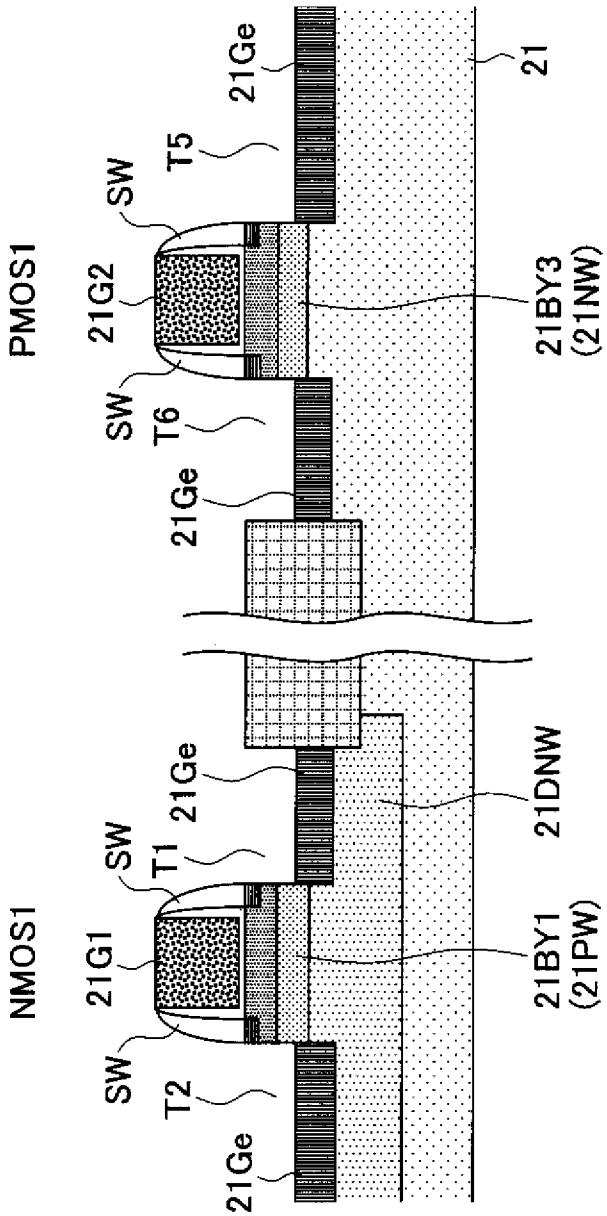
[図14B]


21I
21
21J6
21G1
SW
21d
SW
21e
PVT
21J5
21NW
21G2
SW
SW
21f
21J4
21B
O+
21J1
21G1
SW
21a
SW
21b
NVT
21J2
21PW
21G2
SW
SW
21c
21J3
21A
21DNW
21I

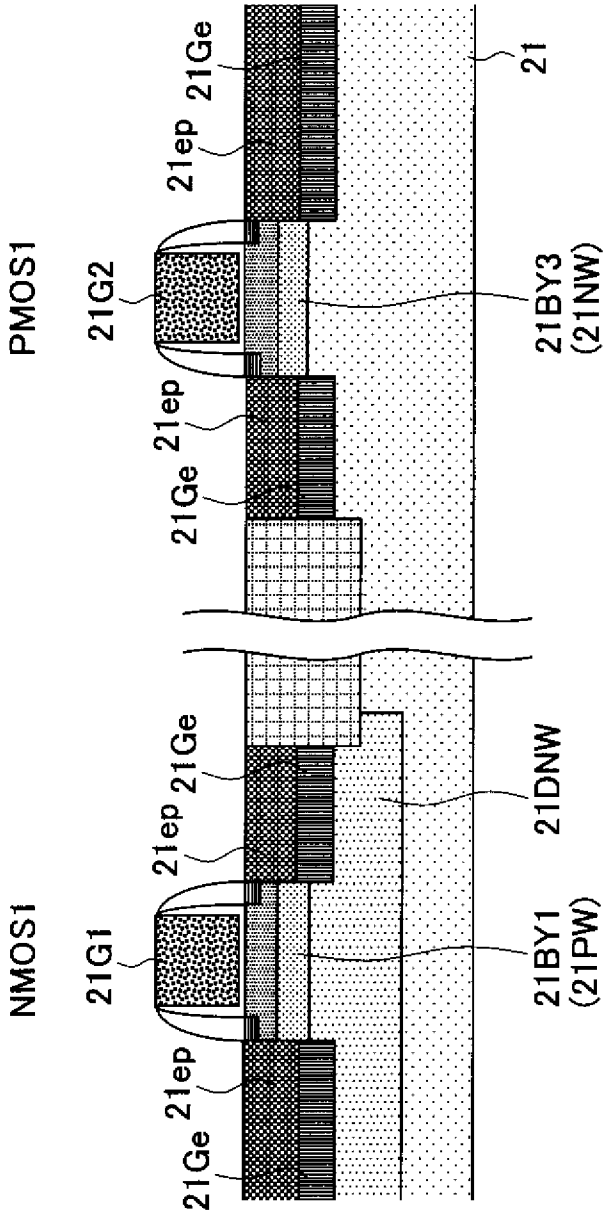
[図14C]


21I
21
21I6
SW
21d
21G1
SW
21e
PVT
21I5
SW
21NW
21G2
SW
21f
21I4
PMOS2
PMOS1
21B
21I1
SW
21a
21G1
SW
21b
NVT
21I2
SW
21PW
21G2
SW
21c
21I3
NMOS1
NMOS2
21A
21DNW
21I

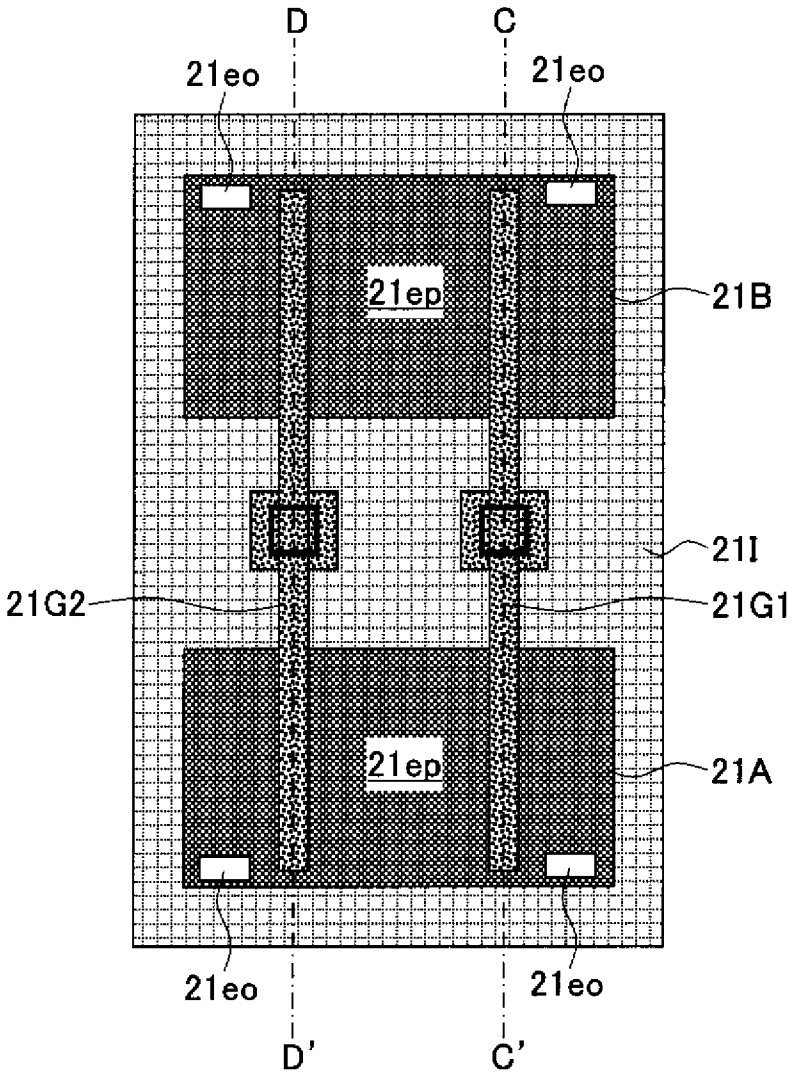
[図15A]


21Ge
21
T5
SW
PMOS1
21G2
21BY3
(21NW)
SW
T6
21Ge
21Ge
21DNW
T1
SW
NMOS1
21G1
21BY1
(21PW)
SW
T2
21Ge

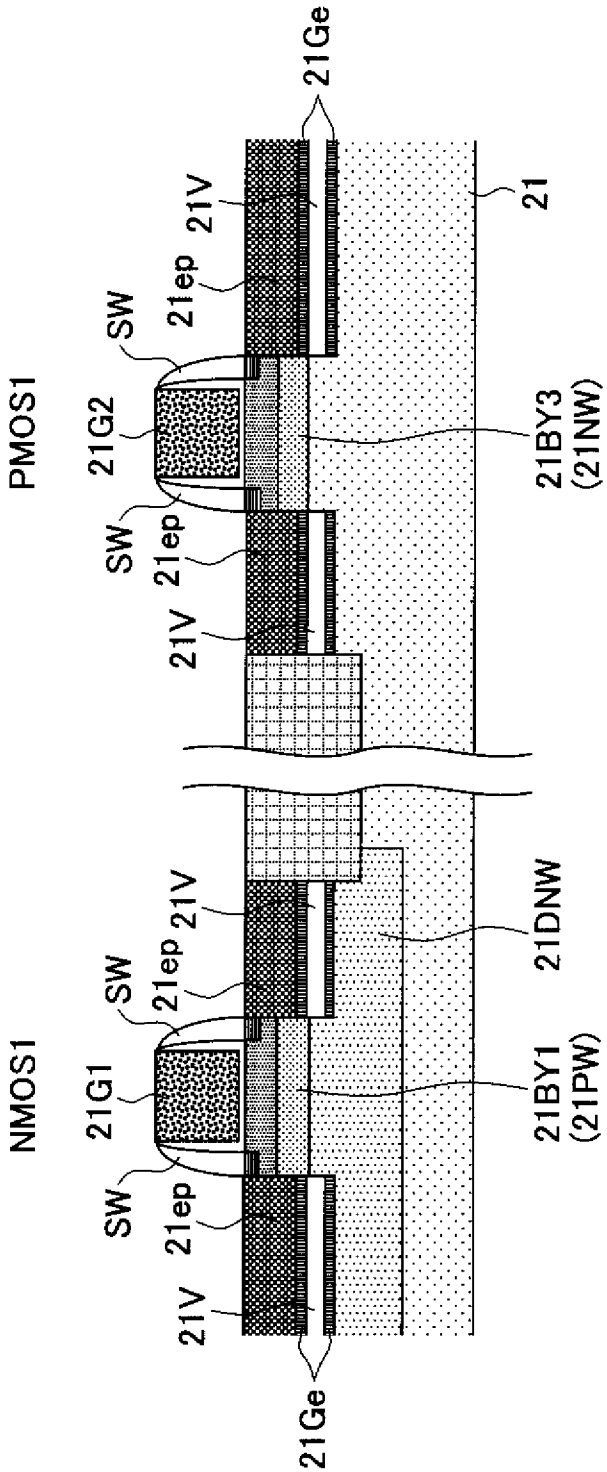
[図15B]


21Ge
21ep
21
PMOS1
21G2
21BY3
(21NW)
21ep
21Ge
21Ge
21ep
21DNW
NMOS1
21G1
21BY1
(21PW)
21ep
21Ge

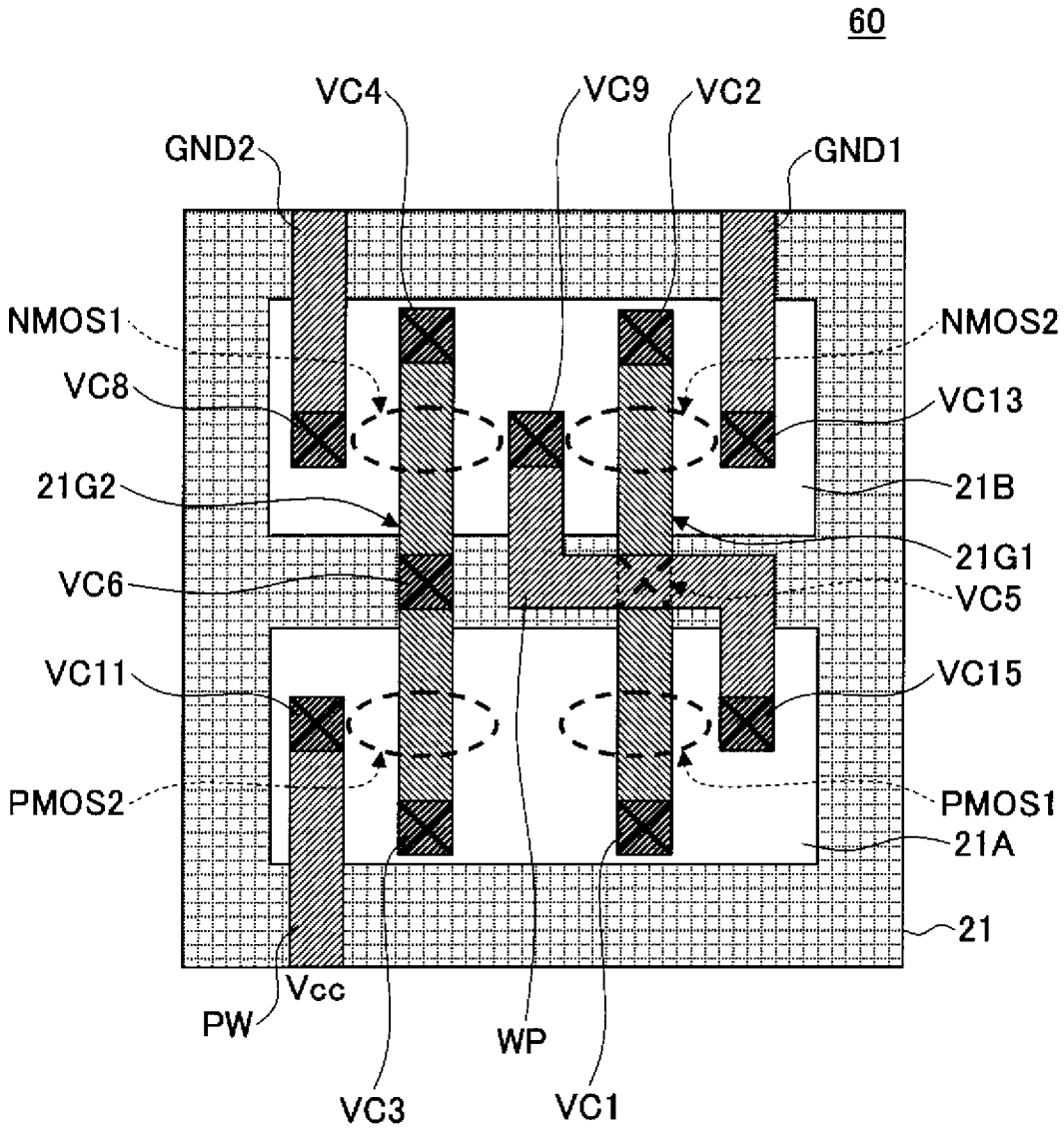
[図15C]



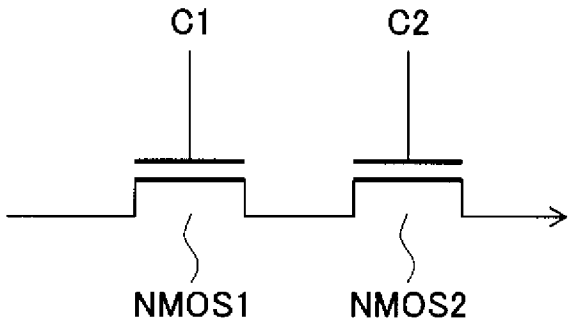
[図15D]


21Ge
21V
21ep
SW
21
PMOS1
21G2
21BY3
(21NW)
21DNW
NMOS1
21G1
21BY1
(21PW)

[図16]


60
VC4
VC9
VC2
GND2
GND1
NMOS1
NMOS2
VC8
VC13
21G2
21B
21G1
VC6
VC5
VC11
VC15
PMOS2
PMOS1
21A
21
Vcc
PW
WP
VC3
VC1

[図17]


C1
C2
NMOS1
NMOS2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/067499

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/8234(2006.01)i, *H01L27/088*(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/8234, H01L27/088, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-340579 A (Sharp Corp.), 08 December 2005 (08.12.2005), fig. 3, 4 (Family: none)	1-11
Y	JP 2006-502573 A (Infineon Technologies AG.), 19 January 2006 (19.01.2006), entire text; all drawings & US 2005/0280052 A1 entire text; all drawings & EP 1550154 A & WO 2004/034458 A1 & DE 10246718 A & TW 227563 B & KR 10-2005-0048675 A & CN 1689149 A	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 December, 2009 (14.12.09)	22 December, 2009 (22.12.09)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/067499

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-522800 A (NXP B.V.), 11 June 2009 (11.06.2009), entire text; all drawings & US 2009/0159938 A entire text; all drawings & EP 1972005 A & WO 2007/077540 A1 & CN 101366106 A	1-11
Y	JP 2004-103613 A (Toshiba Corp.), 02 April 2004 (02.04.2004), fig. 28 & US 2004/0124439 A1 fig. 28	5
Y	JP 2009-049171 A (Toshiba Corp.), 05 March 2009 (05.03.2009), fig. 7 & US 2009/0050965 A1 fig. 7	7
A	JP 2005-197462 A (Toshiba Corp.), 21 July 2005 (21.07.2005), entire text; all drawings & US 2005/0205938 A1	1-11
A	JP 2000-332120 A (Sharp Corp.), 30 November 2000 (30.11.2000), entire text; all drawings (Family: none)	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／０６７４９９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8234, H01L27/088, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2005-340579 A (シャープ株式会社) 2005.12.08, 第３，４図（ファミリーなし）	1-11
Y	JP 2006-502573 A (インフィネオン　テクノロジーズ　アクチエンゲゼルシャフト) 2006.01.19, 全文, 全図 & US 2005/0280052 A1, 全文, 全図& EP 1550154 A & WO 2004/034458 A1 & DE 10246718 A & TW 227563 B & KR 10-2005-0048675 A & CN 1689149 A	1-11

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １４．１２．２００９	国際調査報告の発送日 ２２．１２．２００９
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｌ　３１２５ 宇多川　勉 電話番号　０３－３５８１－１１０１　内線　３４９８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2009-522800 A (エヌエックスピー　ビー　ヴィ) 2009.06.11, 全文, 全図 & US 2009/0159938 A, 全文, 全図& EP 1972005 A & WO 2007/077540 A1 & CN 101366106 A	1-11
Y	JP 2004-103613 A (株式会社東芝) 2004.04.02, 第２８図 & US 2004/0124439 A1, 第２８図	5
Y	JP 2009-049171 A (株式会社東芝) 2009.03.05, 第７図 & US 2009/0050965 A1, 第７図	7
A	JP 2005-197462 A (株式会社東芝) 2005.07.21, 全文, 全図 & US 2005/0205938 A1	1-11
A	JP 2000-332120 A (シャープ株式会社) 2000.11.30, 全文, 全図 (ファミリーなし)	1-11