

거하는 단계(e)와, 상기 범프(5)를 경화시켜 열처리 한다음 수소 분위기하에서 리플로우(Reflow)시켜 원하는 형태의 범프(5)를 만드는 단계(f)로 이루어졌던 것이다.

그러나, 상기와 같은 범프 형성방법은 대단히 복잡하여 조립공정에서 형성하기는 매우 어렵고, 별도의 제조공정에서 작업이 진행되어야 하는 번거로움이 있었다.

따라서 최근에 제2도의 (a)~(f) 단계와 같이 조립공정중에 칩 본딩이 이루어지게 하는 방법이 개발되었다.

즉, 제2도와 같이 캐피러리(13)에 와이어를 통과시켜 볼을 만들후, 본딩전극상에 볼(12)을 접촉시키고, 클램프(14)를 이용하여 볼(12)을 자르는 와이어 볼 본딩 장비를 이용한 것으로, 제3도에서와 같이 와이어볼 본딩 장비에 Au 와이어(22)를 설치하여 칩(21)의 전극(21a)에 Au볼(23)을 형성하는 단계(b), (c)와 상기 Au볼(23)을 Ag 페이스트(Paste)(25)가 담겨진 용기(24)에 넣었다. 빼내어 Au볼(23)에 Au 페이스트(25)를 묻히는 단계(d), (e)와, 상기 칩(21)을 기판(26)에 페이스 다운 형식으로 본딩시키는 단계(f)로 이루어진 것이다.

상기와 같은 플립 칩 본딩방법은 Au볼(23)이 형성이 조립공정중에 이루어지는 장점은 있으나, Au볼(23)형성간격이 매우 조밀한 것이므로 Au볼(23)에 Ag 페이스트 (25)를 묻힐때 주변 Au볼(23)과 연결되어 Ag 페이스트(25)가 묻을 염려가 있어 주변 Au볼(23)간에 쇼트가 발생하게 되었고, 상기 Ag 페이스트(25)는 고온에서 취약하므로 신뢰성에 문제가 많이 있었다.

이 발명은 상기의 문제점을 감안하여 이루어진 것으로, 이 발명의 목적은 플립 칩 본딩방법에 있어서, 별도의 범프 제조기술이 필요없이 조립공정중에 범프를 형성하여 본딩이 이루어지게 함으로써 칩 본딩 능력을 향상시킬 수 있으며, Ag 페이스트를 사용하지 않아 코스트를 낮출 수 있고 Au볼간의 쇼트를 방지할 수 있으며 Ag 페이스트보다 접착력을 좋게 할 수 있는 장치의 칩 본딩방법을 제공하는데 있다.

상기의 목적을 달성하기 위한 이 발명의 특징은, 칩의 전극상에 와이어 볼 본딩 장비로서 Au 와이어 볼 본딩을 실시하여 제1 Au볼을 형성하는 단계와, 상기 제1 Au볼 상에 Au 와이어 볼 본딩을 재차 실시하여 또다른 제2 Au볼을 적층시키는 단계와, 상기 제2 Au볼 상에 와이어 볼 본딩 장비로서 Pb 와이어 본딩을 실시하여 Pb볼을 형성하는 단계와, 상기 Pb볼에 열을 가해 녹이면서 기판상에 칩을 부착시키는 단계로 이루어진 반도체 장치의 칩 본딩방법에 있다.

이하 이 발명에 따른 실시예를 첨부도면에 의하여 상세하게 설명한다.

제4도는 이 발명에 따른 칩 본딩방법을 나타낸 것으로서, 캐피러리(31)에 와이어를 통과시켜 볼을 형성한 후, 칩의 전극상에 볼을 접촉시키고 클램프(32)를 이용하여 볼을 자르는 와이어 볼 본딩 장비로서 칩(33)의 전극(33a)상에 Au 와이어 볼 본딩을 실시하여 볼을 형성함과 동시에 와이어 커팅하여 제1 Au볼(34)을 형성하는 단계(b), (c)와, 상기 제1 Au볼(34)상에 와이어 볼 본딩 장비로서 재차 Au 와이어 볼 본딩을 실시하여 볼을 형성함과 동시에 와이어 커팅하여 제2 Au볼(35)을 제1 Au볼(34)에 적층되도록 형성하는 단계(d), (e)와, 이번에는 와이어 볼 본딩 장비로서 Pb 와이어 볼 본딩하되 H₂ 또는 Au-H₂ 분위기에서 Pb볼(37)을 제2 Au볼(35)상에 적층되도록 형성하는 단계(f)~(i)와, 상기 제1, 제2 Au볼(34), (35) 및 Pb볼(37)이 완성된 칩(33)을 Input/Output 패턴이 형성된 기판(38)에 페이스 다운 방식으로 부착시키는 단계(j)로 이루어진다.

이때 상기 칩(33)을 기판(38)에 부착시키는 단계에서, Pb볼(37)에 열을 가하여 Pb볼(37)을 녹이면서 기판(38)의 패턴과 부착시키는 것이고, Pb볼(37) 이외에도 Pb볼(37)과 융점이 비슷하며 전도율이 높은 금속이면 가능하다.

이와 같은 이 발명은 통상의 와이어 볼 본딩 장비를 이용하여 조립공정중에 칩 본딩을 위한 제1, 제2 Au볼(34), (35) 및 Pb볼(37)의 형성이 가능해지기 때문에 칩 본딩 능력이 향상되는 것이고, 제1, 제2 Au볼(34), (35) 또는 Pb볼(37)을 형성하는 와이어의 직경을 줄임으로써 칩(33)의 공간을 확보할 수 있게 되어 칩(33)의 전극(33a)수를 늘릴 수 있게 됨에 따라 칩(33)의 설계가 용이하며, 저융점의 Pb 와이어로 형성한 Pb볼(37)을 제2 Au볼(35)상에 적층시킴으로써 저온으로 칩 본딩이 가능해 공정단축 및 코스트를 낮출 수 있는 것이다.

또한, Pb볼을 칩의 전극위가 아닌 적층시킨 제1, 제2 Au볼상에 형성시킴으로써 종래의 Ag 페이스트를 Au볼 상에 묻히는 방식에서 발생하는 쇼트등의 불량률이 일어나지 않게 되는 것이다.

이상에서와 같이 이 발명에 따른 반도체 장치의 칩 본딩방법에 의하면, 조립공정에서 플립 칩 기술을 사용할 수 있는 방법으로 복잡한 볼 제조공정은 생략할 수 있으므로 원가절감 및 공정단축할 수 있고, 칩 본딩시의 불량을 방지하여 수율을 증대시킬 수 있는 것이다.

(57) 청구의 범위

청구항 1

칩의 전극상에 와이어 볼 본딩 장비로서 Au 와이어 볼 본딩을 실시하여 제1 Au볼을 형성하는 단계와, 상기 제1 Au볼 상에 Au 와이어 볼 본딩을 재차 실시하여 또다른 제2 Au볼을 적층시키는 단계와, 상기 제2 Au볼 상에 와이어 볼 본딩 장비로서 Pb 와이어 볼 본딩을 실시하여 Pb볼을 형성하는 단계와, 상기 Pb볼을 열을 가해 Pb볼을 녹이면서 칩을 기판상에 부착시켜 칩 본딩하는 단계로 이루어지는 반도체 장치의 칩 본딩방법.

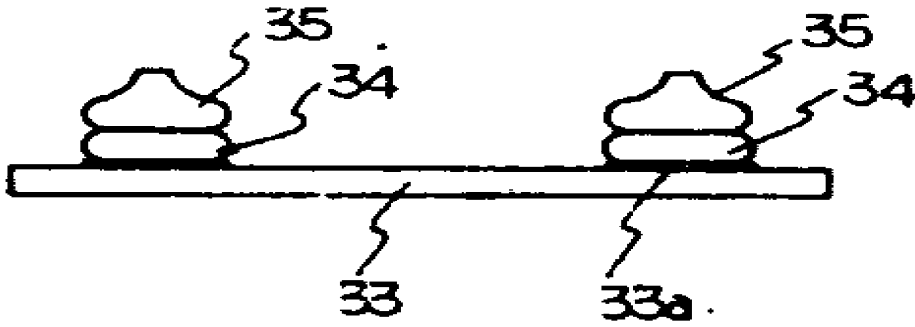
청구항 2

제1항에 있어서, 상기 Pb볼 형성은, H₂ 또는 Ar+H₂ 분위기하에서 형성되는 반도체 장치의 칩 본딩방

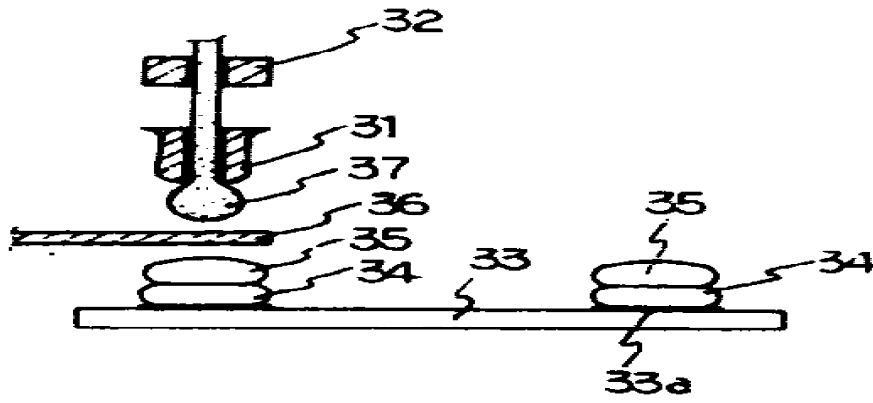
면.

도면

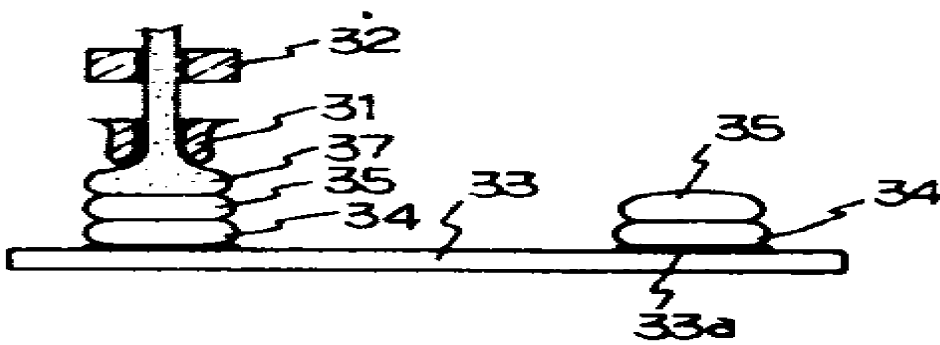
도면1-f



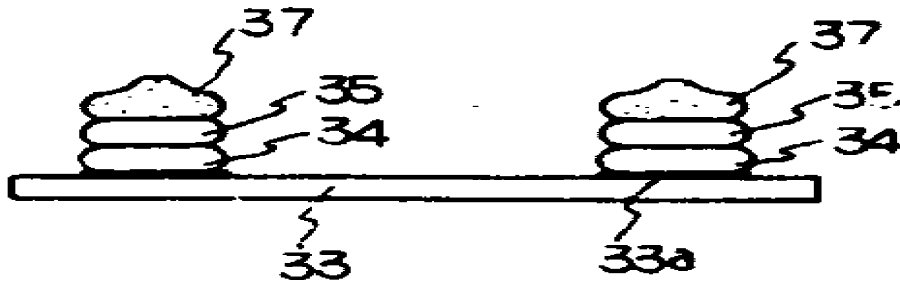
도면1-e



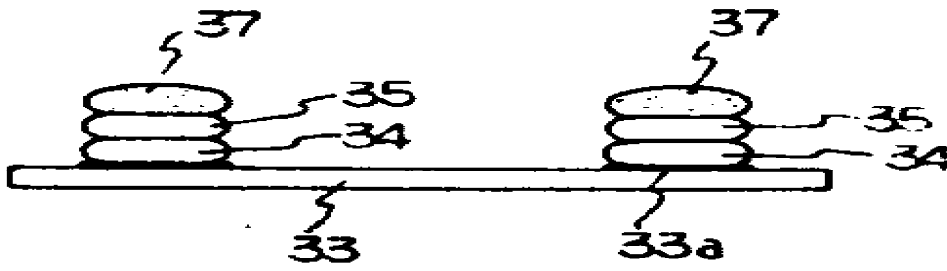
도면1-d



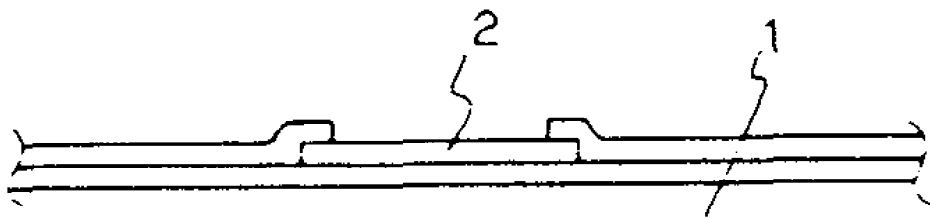
도면1-c



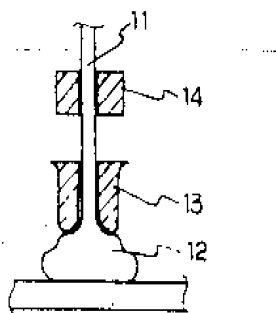
도면1-b



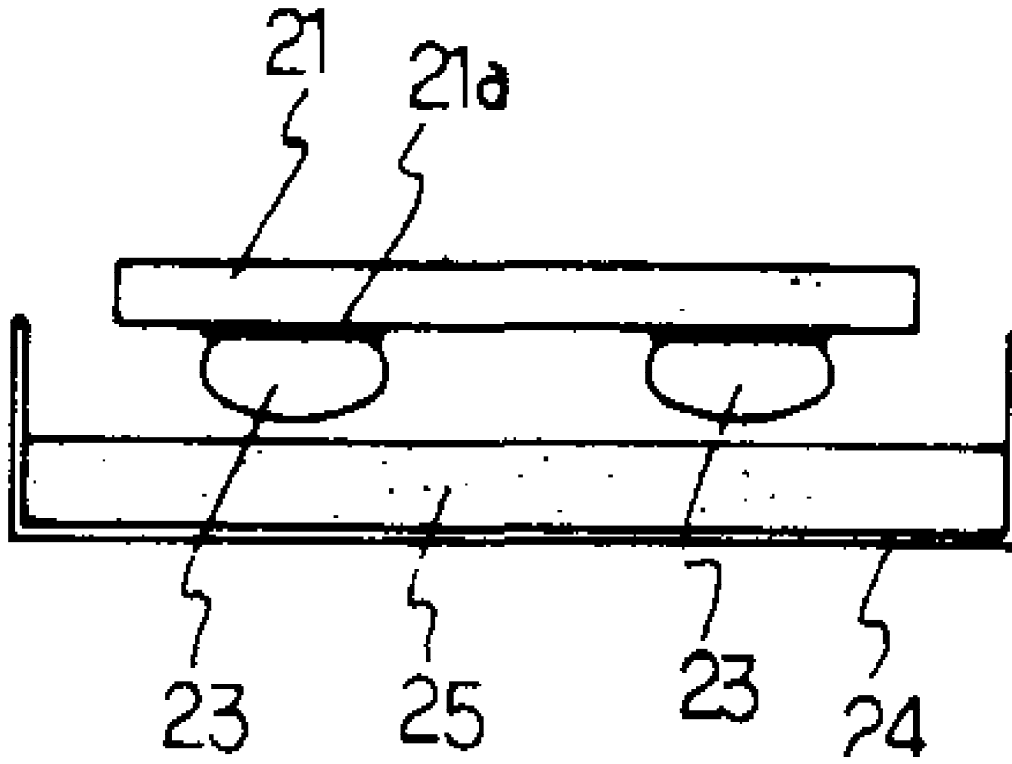
도면1-a



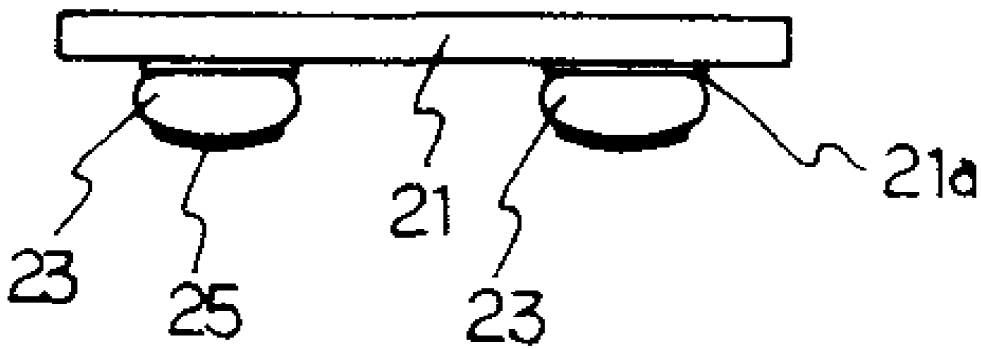
도면2



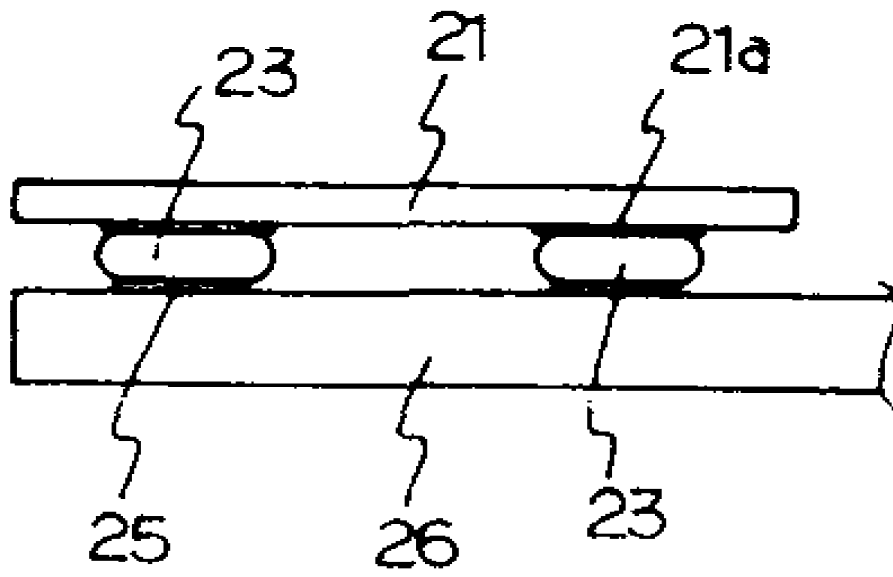
도면3-f



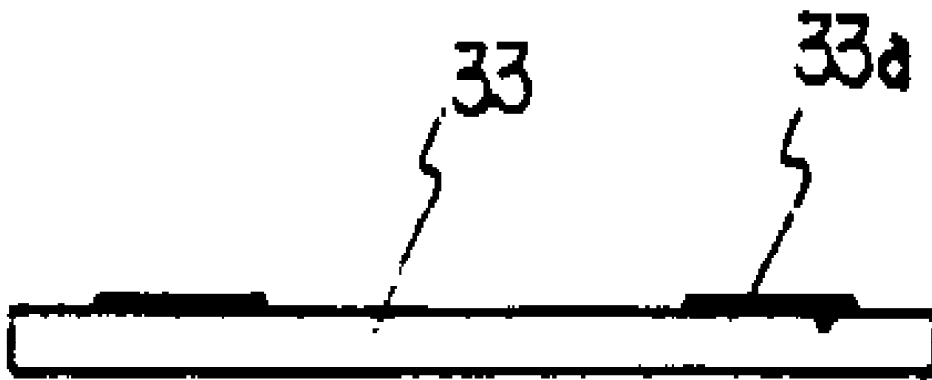
도면3-e



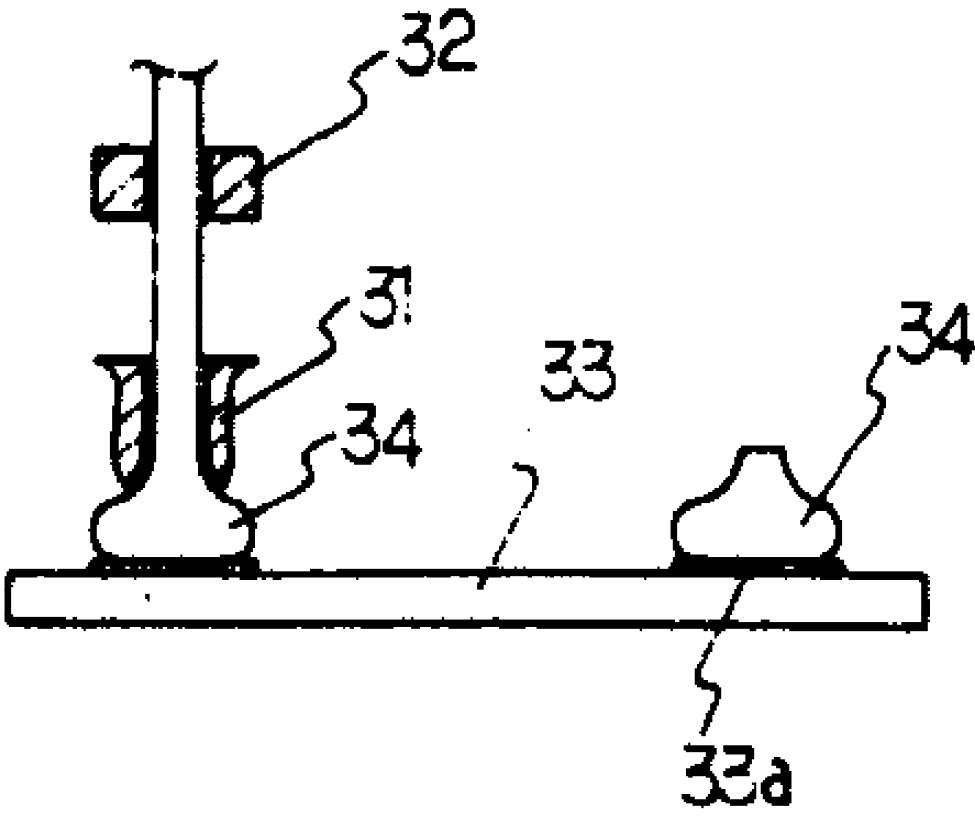
도면3-d



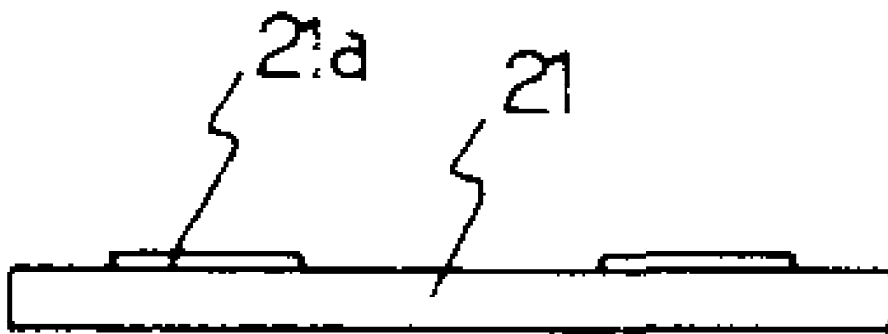
도면3-c



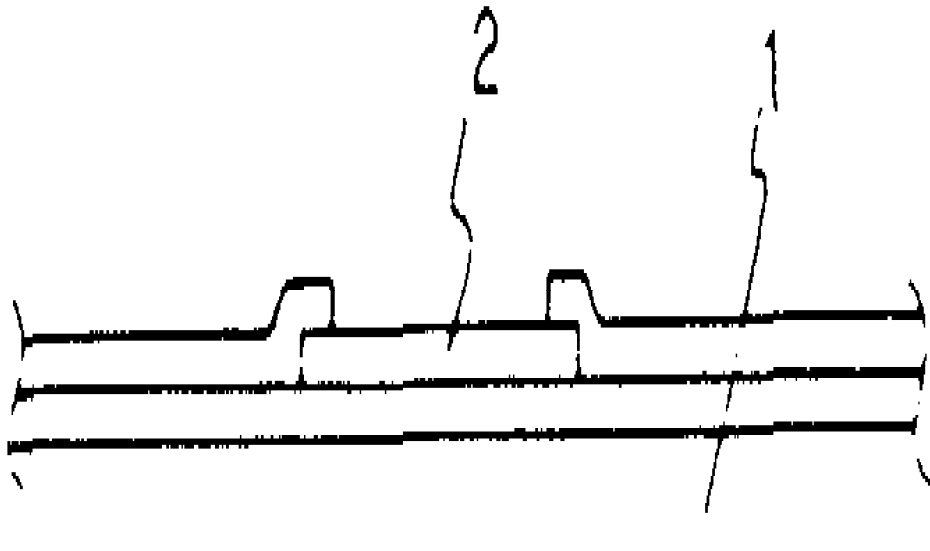
도면3-b



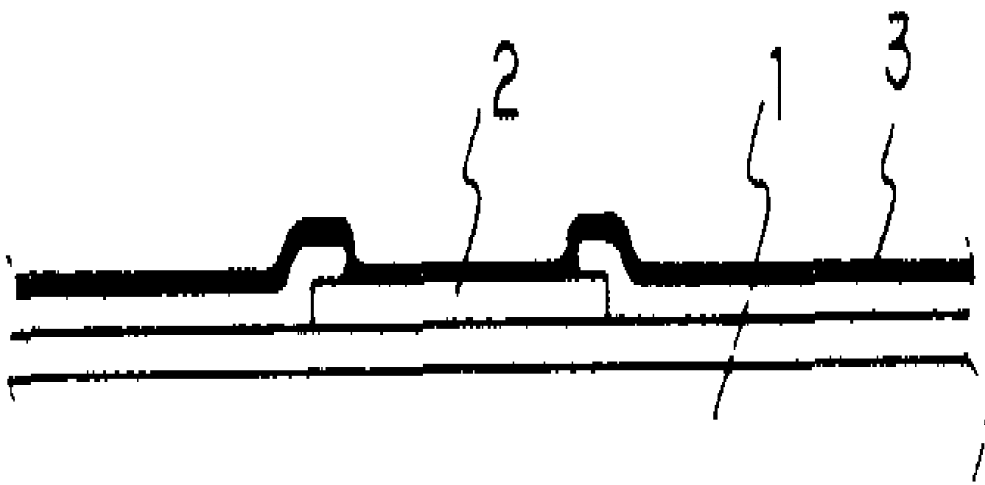
도면3-a



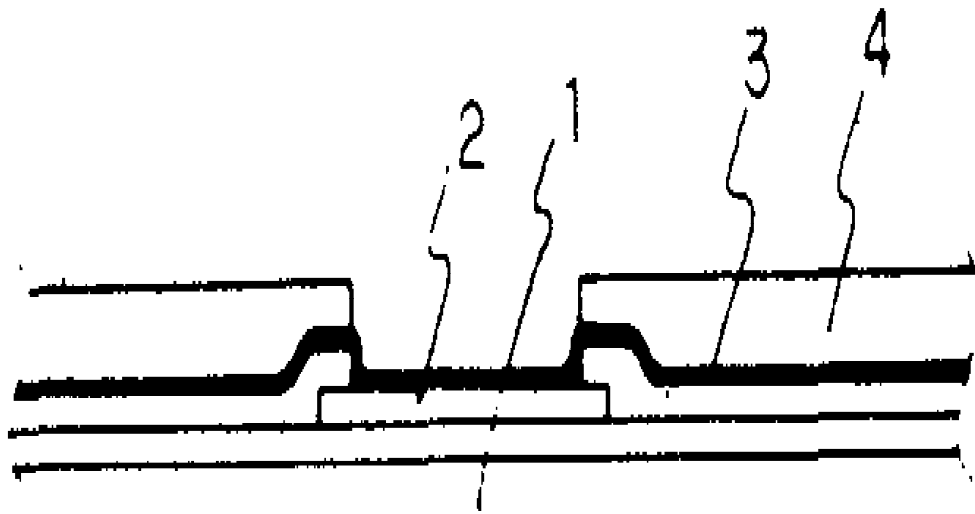
도면4-j



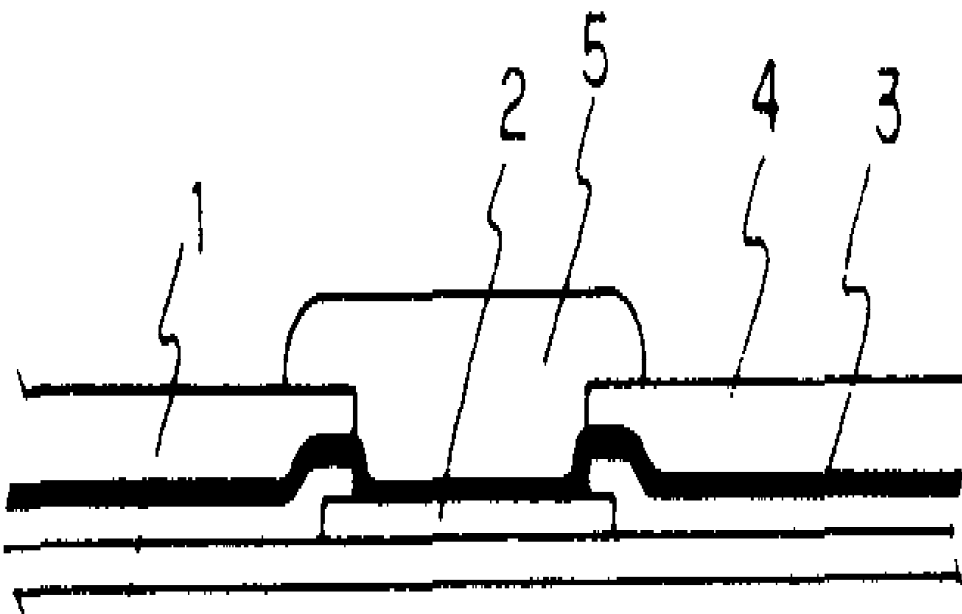
도면4-i



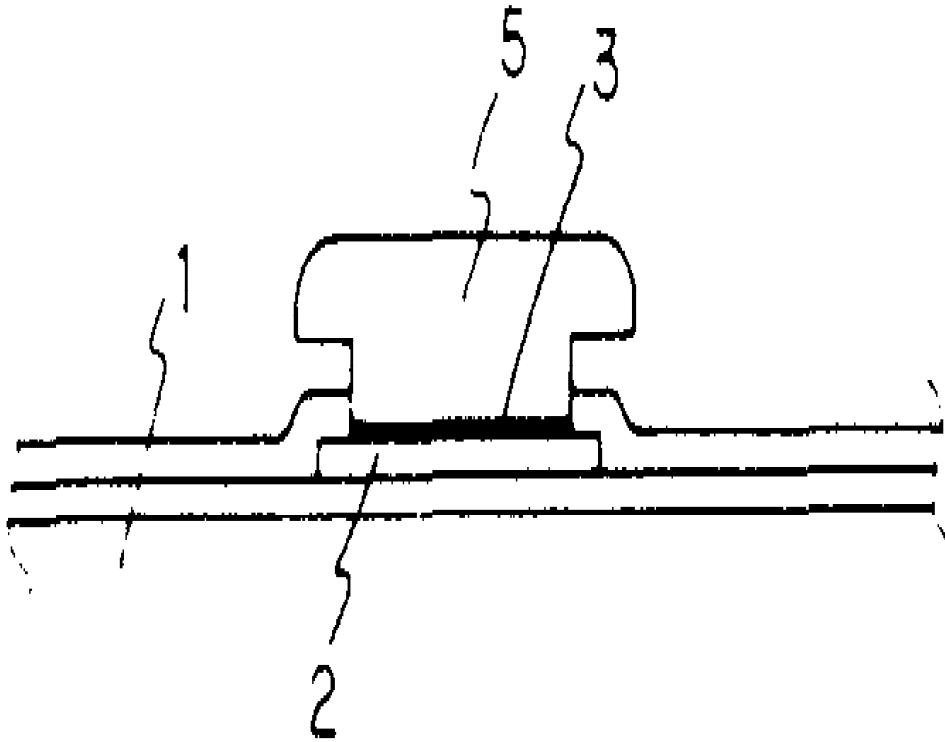
도면4-h



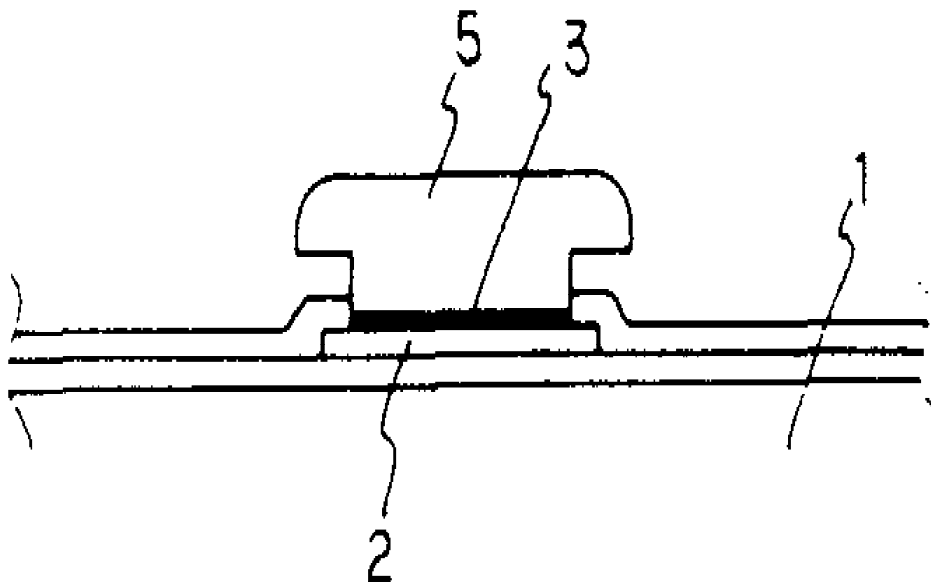
도면4-g



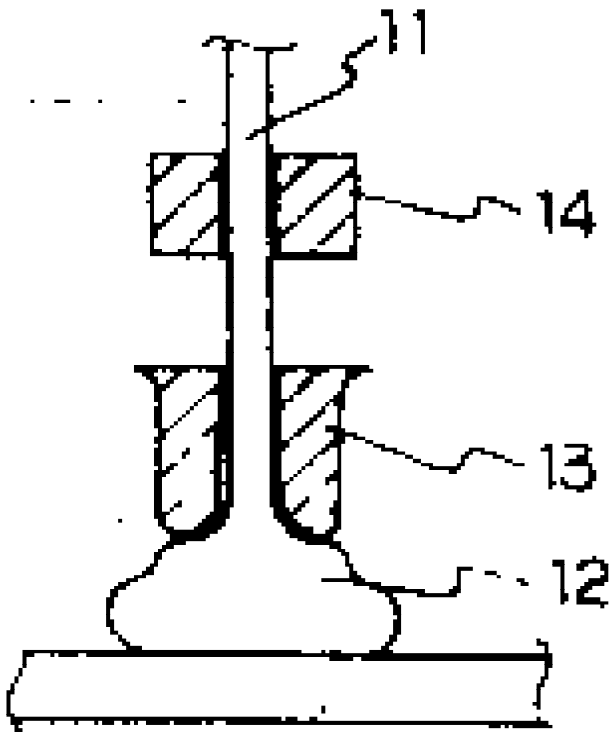
도면4-f



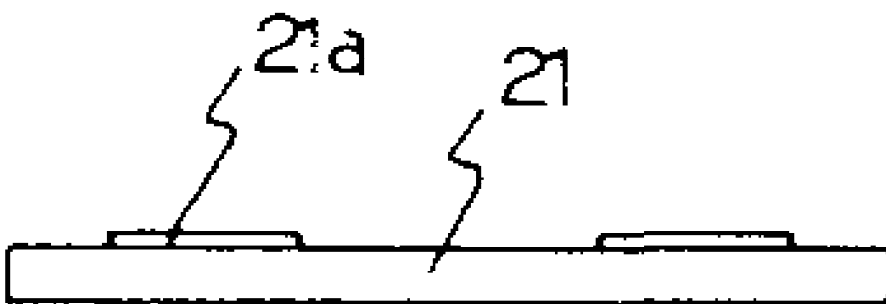
도면4-e



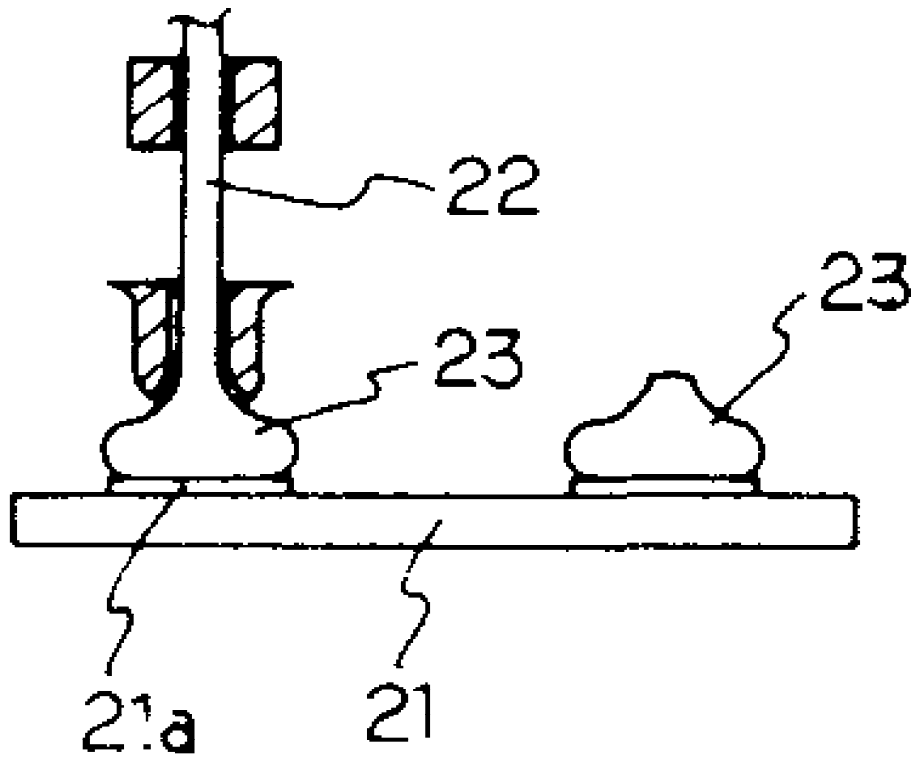
도면4-d



도면4-c



도면4-b



도면4-a

