

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-33836

(P2012-33836A)

(43) 公開日 平成24年2月16日(2012.2.16)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 B	2 H O 9 2
H O 1 L 29/423 (2006.01)	H O 1 L 29/78 6 1 9 A	3 K 1 0 7
H O 1 L 29/49 (2006.01)	H O 1 L 29/78 6 1 6 V	4 M 1 0 4
H O 1 L 21/28 (2006.01)	H O 1 L 29/58 G	5 F 1 1 0
G O 2 F 1/136 (2006.01)	H O 1 L 21/28 3 O 1 R	
審査請求 未請求 請求項の数 4 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2010-174234 (P2010-174234)
 (22) 出願日 平成22年8月3日 (2010.8.3)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100096828
 弁理士 渡辺 敬介
 (74) 代理人 100110870
 弁理士 山口 芳広
 (72) 発明者 佐藤 歩
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 (72) 発明者 雲見 日出也
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

最終頁に続く

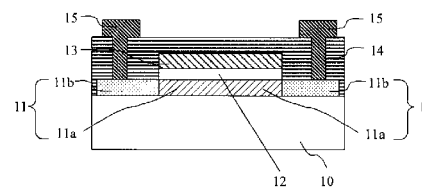
(54) 【発明の名称】 トップゲート型薄膜トランジスタ及びこれを備えた表示装置

(57) 【要約】

【課題】 酸化物半導体層のチャネル領域の、水素拡散による低抵抗化を抑制するトップゲート型酸化物半導体 T F T 及びこれを備えた表示装置を提供する。

【解決手段】 基板の上に、ソース電極層と、ドレイン電極層と、酸化物半導体層と、ゲート絶縁層と、I n、G a、Z n、S nの少なくとも1種類の元素を含むアモルファス酸化物半導体からなるゲート電極層と、水素を含む保護層と、を有し、ゲート絶縁層は酸化物半導体層のチャネル領域の上に形成され、ゲート電極層はゲート絶縁層の上に形成され、保護層はゲート電極層の上に形成されていることを特徴とするトップゲート型薄膜トランジスタ。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板の上に、ソース電極層と、ドレイン電極層と、酸化物半導体層と、ゲート絶縁層と、 In 、 Ga 、 Zn 、 Sn の少なくとも１種類の元素を含むアモルファス酸化物半導体からなるゲート電極層と、水素を含む保護層と、を有し、

前記ゲート絶縁層は前記酸化物半導体層のチャネル領域の上に形成され、

前記ゲート電極層は前記ゲート絶縁層の上に形成され、

前記保護層は前記ゲート電極層の上に形成されていることを特徴とするトップゲート型薄膜トランジスタ。

【請求項 2】

前記ソース電極層と、前記ドレイン電極層と、前記チャネル領域と、が同一の酸化物半導体層で形成されていることを特徴とする請求項 1 に記載のトップゲート型薄膜トランジスタ。

【請求項 3】

前記酸化物半導体層はアモルファス酸化物半導体からなることを特徴とする請求項 1 又は 2 に記載のトップゲート型薄膜トランジスタ。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載のトップゲート型薄膜トランジスタと、表示素子と、を備え、

前記トップゲート型薄膜トランジスタのソース電極層又はドレイン電極層と前記表示素子が電氣的に接続されていることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体を半導体層として用いたトップゲート型薄膜トランジスタ及びこれを備えた表示装置に関する。

【背景技術】

【0002】

アクティブマトリクス型液晶表示素子や有機エレクトロルミネッセンス（ EL ）素子等の表示装置における駆動回路には、アモルファスシリコンや低温ポリシリコンを半導体層として用いた薄膜トランジスタ（ TFT ）が広く使用されている。しかし、これらの TFT の作製には高温プロセスが不可欠であり、プラスチック基板やフィルム基板等の耐熱性が低いとされるフレキシブルな基板の使用は困難である。

【0003】

一方、近年、 ZnO を主成分とする酸化物半導体を半導体層に用いた TFT の開発が活発に行われており、この酸化物半導体は低温での成膜が可能であり、プラスチック基板やフィルム基板等の上に TFT を形成することが可能である。しかし、 ZnO を主成分とする酸化物半導体は雰囲気に対して感受性が高く、 TFT として実際に使用するためには保護層により酸化物半導体層を雰囲気から隔絶する必要がある。

【0004】

この保護層の形成方法としては、一般的には成膜速度が早く、生産性に優れたプラズマ化学気相成長（ PECVD ）法が用いられている。しかし、 PECVD 法により形成された保護層として機能する窒化シリコン等の絶縁層は層中の水素量が大きいため、この保護層から酸化物半導体で形成されたチャネル領域に水素が拡散すると、酸化物半導体が低抵抗化することが知られている（非特許文献 1 参照）。

【0005】

このチャネル領域への水素拡散を防ぐ方法としては、 ZnO を主成分とするトップゲート型多結晶酸化物 TFT において、ゲート絶縁層及びゲート電極層をマスクにして水素を含む保護層を形成する方法が開示されている（特許文献 1 参照）。このとき、半導体層の、マスクされなかった領域の水素濃度が増大することにより、半導体層の前記領域が低抵

10

20

30

40

50

抗化し、自己整合的にソース・ドレイン電極層が形成され、コプラナー構造のＴＦＴが得られる。

【先行技術文献】

【特許文献】

【０００６】

【特許文献１】特開２００７－２２０８１７号公報

【非特許文献】

【０００７】

【非特許文献１】ＳＩＤ' 08 Digest, p.633 (2008)

【発明の概要】

10

【発明が解決しようとする課題】

【０００８】

特許文献１の構成において、水素を含む保護層を形成する際に半導体層のチャネル領域への水素拡散を防ぐためには、マスクとなるゲート絶縁層又はゲート電極層に十分に水素拡散を抑制する機能が必要となる。

【０００９】

ゲート絶縁層として酸化シリコン等を用いた場合、半導体層の低抵抗化を防ぐためにはより厚いゲート絶縁層が好ましいが、ゲート絶縁層が厚くなるとＴＦＴの駆動電圧が増大するか、或いはオン電流の低下やＳ値の劣化を招く。

【００１０】

20

従って、ゲート電極層に水素の拡散を抑制する機能を与えることがより望ましい。しかし、ゲート電極層としてＭｏを用いた場合、２００ｎｍの膜厚でも水素拡散を抑制することができないことが本発明者らによって明らかにされている。また、ゲート電極層に多結晶酸化物半導体であるＩＴＯ（Indium Tin Oxide）やＺｎＯ等を用いた場合でも、多結晶酸化物半導体中の粒界を伝わって水素が拡散してしまうため、半導体層のチャネル領域の低抵抗化を抑制することができない。以上のことから、水素拡散を抑制することが可能なゲート電極層が望まれていた。

【００１１】

そこで、本発明は、酸化物半導体層のチャネル領域の、水素拡散による低抵抗化を抑制するトップゲート型酸化物半導体ＴＦＴ及びこれを備えた表示装置を提供することを目的とする。

30

【課題を解決するための手段】

【００１２】

上記課題を解決するために、本発明は、基板の上に、ソース電極層と、ドレイン電極層と、酸化物半導体層と、ゲート絶縁層と、Ｉｎ、Ｇａ、Ｚｎ、Ｓｎの少なくとも１種類の元素を含むアモルファス酸化物半導体からなるゲート電極層と、水素を含む保護層と、を有し、前記ゲート絶縁層は前記酸化物半導体層のチャネル領域の上に形成され、前記ゲート電極層は前記ゲート絶縁層の上に形成され、前記保護層は前記ゲート電極層の上に形成されていることを特徴とするトップゲート型薄膜トランジスタを提供するものである。

【発明の効果】

40

【００１３】

本発明によれば、水素を含む保護層の堆積や水素プラズマ処理を行った場合でも、酸化物半導体によって形成されたチャネル領域の低抵抗化を抑制できる。また、本発明のゲート電極層を用いることによりゲート絶縁層のリーク電流密度が低減できる。

【図面の簡単な説明】

【００１４】

【図１】トップゲート型コプラナー構造の酸化物半導体ＴＦＴの断面模式図である。

【図２】ボトムコンタクト構造の酸化物半導体ＴＦＴの断面模式図である。

【図３】トップコンタクト構造の酸化物半導体ＴＦＴの断面模式図である。

【図４】アモルファスＩＧＺＯ層の抵抗率の膜厚依存性を示す図である。

50

【図 5】酸化物半導体 T F T の $I_d - V_g$ 特性を示す図である。

【図 6】絶縁層を 2 つの電極層で挟んで形成された蓄積容量の断面模式図である。

【図 7】酸化物半導体層の有無による絶縁膜のリーク特性を比較した図である。

【図 8】ダブルゲート型コプラナー構造の酸化物半導体 T F T の断面模式図である。

【図 9】本発明に係る表示装置の一例の断面図である。

【発明を実施するための形態】

【0015】

以下に、添付図面を参照して本発明のトップゲート型薄膜トランジスタ (T F T) の好適な実施形態について説明する。

【0016】

図 1 は、本発明の好適な実施形態の一例である、トップゲート型コプラナー構造の酸化物半導体 T F T の構成を示す断面図である。10 は基板、11 は酸化物半導体層、11a は酸化物半導体層のチャネル領域、11b は酸化物半導体層のソース・ドレイン領域、12 はゲート絶縁層、13 はゲート電極層、14 は保護層、15 はソース・ドレイン配線層である。

【0017】

基板 10 としてはガラス基板を用いるのが好ましい。ポリエチレン・テレフタレート (P E T)、ポリエチレン・ナフタレート (P E N)、ポリイミド、ポリカーボネート等のプラスチックのフィルム、並びに薄板、絶縁層をコーティングしたステンレス基板等を用いても良い。

【0018】

まず、基板 10 上にスパッタ法、パルスレーザー蒸着法 (P L D 法)、電子ビーム蒸着法等により酸化物半導体層 11 を形成する。その後、フォトリソグラフィ法とエッチング法等により酸化物半導体層 11 をパターンニングする。酸化物半導体層 11 としては In 、 Ga 、 Zn 、 Sn の少なくとも 1 種類の元素を含むアモルファス酸化物半導体を用いるのが好ましい。

【0019】

次に、酸化物半導体層 11 上 (酸化物半導体層のチャネル領域 11a 上) にスパッタ法、パルスレーザー蒸着法 (P L D 法)、電子ビーム蒸着法、プラズマ C V D 法等によりゲート絶縁層 12 を形成する。ゲート絶縁層 12 は酸化物半導体層 11 と直接接するため、ゲート絶縁層 12 形成の際に酸化物半導体層のチャネル領域 11a の低抵抗化を抑制する機能が要求される。具体的には、ゲート絶縁層 12 としては酸化シリコンや酸窒化シリコン等の酸素を含む絶縁層を用いるのが好ましい。これらの絶縁層の組成がストイキオメトリから外れていても何ら問題はない。

【0020】

続いて、ゲート絶縁層 12 上にスパッタ法、P L D 法、電子ビーム蒸着法等よりゲート電極層 13 を形成する。その後、フォトリソグラフィ法とエッチング法等によりゲート絶縁層 12 及びゲート電極層 13 をパターンニングする。ゲート電極層 13 としては In 、 Ga 、 Zn 、 Sn の少なくとも 1 種類の元素を含むアモルファス酸化物半導体を用いるのが好ましい。ゲート電極層 13 は Ti 、 Pt 、 Au 、 Ni 、 Al 、 Mo 等の金属やそれらの合金等の金属電極材料及びそれらの積層膜と、ITO 等の酸化物導電体等の電極材料と、の積層にしても良く、この場合はどちらが上層でも良い。

【0021】

次に、酸化物半導体層 11 上 (酸化物半導体層のソース・ドレイン領域 11b となる領域上) 及びゲート電極層 13 上に保護層 14 を形成する。保護層 14 には、酸化物半導体層 11 の、上部にゲート電極層 13 が形成されていない領域 (酸化物半導体層のソース・ドレイン領域 11b となる領域)、及び酸化物半導体から成るゲート電極層 13 を低抵抗化させる機能が要求される。酸化物半導体は水素を添加することにより低抵抗化させることが可能であるため、保護層 14 としては水素を含む絶縁層を用いるのが好ましい。具体的には水素を含む窒化シリコン膜、酸化シリコン膜、酸窒化シリコン膜、炭化シリコン膜

10

20

30

40

50

及びこれらの積層膜等を用いるのが好ましい。これらの絶縁層の組成がストイキオメトリから外れていても何ら問題はない。形成方法としては水素を含む原料ガスを用いるプラズマCVD法が、プラズマによる酸化物半導体への水素拡散の促進効果もあるため望ましい。このとき、原料中の水素が、酸化物半導体層11の、上部にゲート電極層13が形成されていない領域（酸化物半導体層のソース・ドレイン領域11bとなる領域）及びゲート電極層13に拡散する。この拡散により、酸化物半導体層11の、上部にゲート電極層13が形成されていない領域が低抵抗化すると同時にゲート電極層13も低抵抗化する。また、このとき、酸化物半導体層11の、上部にゲート電極層13が形成されていない領域には、ゲート絶縁層12及びゲート電極層13をマスクとして自己整合的に酸化物半導体層のソース・ドレイン領域11bが形成される。即ち、ソース電極層及びドレイン電極層が形成される。そして、酸化物半導体層のチャネル領域11a及び酸化物半導体層のソース・ドレイン領域11bが同一の酸化物半導体層11で形成されている状態になる。これにより、寄生容量の小さいTFTの作製が可能である。なお、酸化物半導体層のソース・ドレイン領域11bを別の層で別途形成し、ソース・ドレイン電極層としても良い。その際のTFTの構造は、図2に示すボトムコンタクト構造や図3に示すトップコンタクト構造等とするのが好ましい。この際のソース・ドレイン電極層としてはTi、Pt、Au、Ni、Al、Mo等の金属やそれらの合金等の金属電極材料及びそれらの積層膜、ITO等の酸化物導電体等を用いるのが好ましい。

10

【0022】

続いて、フォトリソグラフィ法とエッチング法等により保護層14にコンタクトホールを形成する。その後、スパッタ法、パルスレーザー蒸着法（PLD法）、電子ビーム蒸着法、CVD法等により外部との電氣的接続を行うためにソース・ドレイン配線層15を形成する。ソース・ドレイン配線層15としては良好な電気伝導性を有するものであれば良く、例えばTi、Pt、Au、Ni、Al、Mo等の金属やそれらの合金等の金属電極材料及びそれらの積層膜、ITO等の酸化物導電体等を用いるのが好ましい。なお、酸化物半導体層のソース・ドレイン領域11bをそのままソース・ドレイン配線層15として用いても良い。

20

【0023】

ここで、図4にIn-Ga-Zn-O系アモルファス酸化物半導体（アモルファスIGZO）からなるゲート電極層上に、水素を含む絶縁層である窒化シリコン層を形成した時の抵抗率の膜厚依存性を示す。窒化シリコン層はPECVD法により形成した。アモルファス酸化物半導体の抵抗率は窒化シリコン層を形成する前は測定限界である $10^5 \text{ } \Omega \cdot \text{cm}$ よりも大きい値としたが、窒化シリコン層の形成により、図4に示すように十分に低抵抗化した。図4より、アモルファス酸化物半導体からなるゲート電極層の膜厚が30nmを超えると抵抗率が増加することが分かる。このことは膜厚方向に抵抗率の分布があることを示しており、水素を含む絶縁層の界面から離れるにつれて、アモルファス酸化物半導体膜の抵抗率が増加しているといえる。つまり、アモルファス酸化物半導体には水素拡散による低抵抗化を抑制する機能がある。

30

【0024】

一方、アモルファス酸化物半導体上に酸化シリコン層とMo層を順次形成した積層膜があるボトムゲート型酸化物半導体TFTを作製した。このときの酸化シリコン、Moの膜厚はそれぞれ300nm、200nmとした。酸化シリコン層はPECVD法、Mo層はスパッタ法でそれぞれ形成した。このTFT上に、水素を含む絶縁層である窒化シリコン層を形成する前と形成した後のId-Vg特性を図5に示す。図5より、膜厚300nmの酸化シリコン層及び膜厚200nmのMo層があっても、窒化シリコン層を形成後、TFTはオフできなくなってしまうことが分かる。つまり、これらの膜は、窒化シリコン層からの水素拡散による酸化物半導体層のチャネル領域の低抵抗化を抑制できていないことが分かる。その理由は明らかでないが、Mo層が多結晶膜であることから、粒界における増速拡散がこの結果を招いている可能性がある。これに対して、アモルファス酸化物半導体に粒界は存在しない。これらの結果とゲート絶縁層は薄い方がTFTの特性上の

40

50

望ましいことから、ゲート電極層 13 に水素拡散を抑制する機能がある方が望ましいと言える。

【0025】

さらに、図 6 に示す構造で基板 10 上に下部電極層 24、絶縁層 25、上部電極層 26 からなる蓄積容量を形成した。この上部電極層 26 に低抵抗化したアモルファス酸化物半導体を用いた場合と金属を用いた場合の下部電極層 24 と上部電極層 26 間におけるリーク電流密度の比較を図 7 に示す。このとき、下部電極層 24 には $Ti/Au/Ti$ 層、絶縁層 25 には酸化シリコン層をそれぞれ用いた。図 6 に示すように、蓄積容量の上部電極層 26 の絶縁層と接する側にアモルファス酸化物半導体層を用いた場合の方が、下部電極層 24 と上部電極層 26 間のリーク電流密度が小さいことが分かる。以上のことから、このように低抵抗化したアモルファス酸化物半導体層をトップゲート型 TFT におけるゲート電極層に用いる場合も、ゲート絶縁層のリーク電流密度低減の効果が期待できる。

10

【0026】

こうして、トップゲート型コプラナー構造酸化物半導体 TFT が完成する。本発明においては、このように上記トランジスタを基板上に二次元状に複数配（平面状に縦横に配置）することができる。

【実施例】

【0027】

以下、本発明の実施例について詳細に説明するが、本発明はこれらによって何ら限定されるものではない。

20

【0028】

（実施例 1）

図 1 は本実施例のトップゲート型コプラナー構造の酸化物半導体 TFT である。

【0029】

まず、ガラス基板 10 上に、酸化物半導体層 11 として、膜厚 30 nm のアモルファス IGZO をスパッタ法により形成した。酸化物半導体層 11 は DC スパッタ装置を用いて基板温度は室温（25℃）で形成した。ターゲットとしては $InGaZnO_4$ 組成を有する多結晶焼結体を用い、投入 DC パワーは 300 W とした。成膜時の雰囲気は全圧 0.5 Pa とし、その際のガス流量比は $Ar : O_2 = 98 : 2$ とした。その後、フォトリソグラフィ法とエッチング法により酸化物半導体層 11 をパターンニングした。

30

【0030】

次に、酸化物半導体層 11 上（酸化物半導体層のチャネル領域 11a 上）に、ゲート絶縁層 12 として、膜厚 100 nm の酸化シリコン膜をスパッタ法により形成した。酸化シリコン膜は RF スパッタ装置を用いて室温で形成した。ターゲットとしては 4 インチ SiO_2 を用い、投入 RF パワーは 500 W とした。成膜時の雰囲気は全圧 0.5 Pa とし、その際のガス流量比は $Ar : O_2 = 90 : 10$ とした。

【0031】

続いて、ゲート絶縁層 12 上に、ゲート電極層 13 として、膜厚 200 nm のアモルファス IGZO をスパッタ法により形成した。ゲート電極層 13 は DC スパッタ装置を用いて基板温度は室温（25℃）で形成した。ターゲットとしては $InGaZnO_4$ 組成を有する多結晶焼結体を用い、投入 DC パワーは 150 W とした。成膜時の雰囲気は全圧 0.5 Pa とし、その際のガス流量比は $Ar : O_2 = 80 : 20$ とした。その後、フォトリソグラフィ法とエッチング法によりゲート絶縁層 12 及びゲート電極層 13 をパターンニングした。

40

【0032】

次に、酸化物半導体層 11 上（酸化物半導体層のソース・ドレイン領域 11b となる領域上）及びゲート電極層 13 上に、保護層 14 として、膜厚 300 nm の水素を含む窒化シリコン膜をプラズマ CVD 法により形成した。プラズマ CVD 法による窒化シリコン膜の形成時の基板温度は 150℃ とした。プロセスガスとしては SiH_4 、 NH_3 、 N_2 を用い、ガス流量比は $SiH_4 : NH_3 : N_2 = 1 : 2.5 : 2.5$ とした。投入 RF パワー密度

50

と圧力はそれぞれ 0.9 W/cm^2 、 150 Pa とした。また、保護層 14 の形成と同時に、酸化物半導体層 11 の、上部にゲート電極層 13 が形成されていない領域が低抵抗化し、酸化物半導体層のソース・ドレイン領域 11b となり、更にゲート電極層 13 が低抵抗化した。

【0033】

最後に、フォトリソグラフィ法とエッチング法により保護層 14 にコンタクトホールを形成した後、ソース・ドレイン配線層 15 として膜厚 100 nm の Mo を形成した。その後、フォトリソグラフィ法とエッチング法によりソース・ドレイン配線層 15 をパターンニングした。

【0034】

10

上記工程により、本実施例の酸化物半導体 TFT を完成させた。

【0035】

本実施例では、膜厚 200 nm のアモルファス酸化物半導体をトップゲート型 TFT におけるゲート電極層 13 とし、ゲート電極層 13 上に、保護層 14 として膜厚 300 nm の水素を含む窒化シリコン膜を形成した。よって、前述の図 4 及び図 7 の説明にて述べたように、酸化物半導体層のチャネル領域 11a の、水素拡散による低抵抗化を抑制でき、更にゲート絶縁層 12 のリーク電流密度を低減できた。

【0036】

(実施例 2)

図 2 は本実施例のトップゲート型ボトムコンタクト構造の酸化物半導体 TFT である。

20

【0037】

まず、ガラス基板 10 上に、ソース・ドレイン電極層 11c として、膜厚 200 nm の Mo を形成した後、フォトリソグラフィ法とエッチング法によりソース・ドレイン電極層 11c をパターンニングした。

【0038】

次に、実施例 1 と同様にして酸化物半導体層 11 (酸化物半導体層のチャネル領域)、ゲート絶縁層 12 を順次形成した。

【0039】

続いて、ゲート絶縁層 12 上に、ゲート電極層 13 として、膜厚 200 nm のアモルファス IGZO をスパッタ法により形成した。ゲート電極層 13 は DC スパッタ装置を用いて室温 (25°C) で形成した。ターゲットとしては InGaZnO_4 組成を有する多結晶焼結体を用い、投入 DC パワーは 150 W とした。成膜時の雰囲気は全圧 0.5 Pa とし、その際のガス流量比は $\text{Ar} : \text{O}_2 = 80 : 20$ とした。その後、フォトリソグラフィ法とエッチング法によりゲート電極層 13 をパターンニングした。

30

【0040】

次に、実施例 1 と同様にして保護層 14 を形成した。保護層 14 の形成により、ゲート電極層 13 が低抵抗化した。

【0041】

最後に、フォトリソグラフィ法とエッチング法により保護層 14 にコンタクトホールを形成した後、ソース・ドレイン配線層 15 として、膜厚 100 nm の Mo を形成した。その後、フォトリソグラフィ法とエッチング法によりソース・ドレイン配線層 15 をパターンニングした。

40

【0042】

上記工程により、本実施例の酸化物半導体 TFT を完成させた。

【0043】

本実施例では、膜厚 200 nm のアモルファス酸化物半導体をトップゲート型 TFT におけるゲート電極層 13 とし、ゲート電極層 13 上に、保護層 14 として膜厚 300 nm の水素を含む窒化シリコン膜を形成した。よって、前述の図 4 及び図 7 の説明にて述べたように、実施例 1 と同様に、酸化物半導体層 11 (酸化物半導体層のチャネル領域) の、水素拡散による低抵抗化を抑制でき、更にゲート絶縁層 12 のリーク電流密度を低減でき

50

た。

【0044】

(実施例3)

図8は本実施例のダブルゲート型コプラナー構造の酸化物半導体TFETである。

【0045】

まず、ガラス基板10上に、ボトムゲート電極層20として、膜厚200nmのMoを形成した後、フォトリソグラフィ法とエッチング法によりボトムゲート電極層20をパターンニングした。

【0046】

次に、ガラス基板10上及びボトムゲート電極層20上に、下側ゲート絶縁層21として、膜厚200nmの酸化シリコン膜をプラズマCVD法により形成した。プラズマCVD法による酸化シリコン膜の形成時の基板温度は340℃とした。プロセスガスとしてはSiH₄、N₂Oを用い、ガス流量比はSiH₄:N₂O=1:25とした。投入RFパワー密度と圧力はそれぞれ0.9W/cm²、173Paとした。

【0047】

次に、実施例1と同様にして酸化物半導体層11を形成した。

【0048】

続いて、酸化物半導体層11上(酸化物半導体層のチャネル領域11a上)に、上側ゲート絶縁層22として、膜厚100nmの酸化シリコン膜をスパッタ法により形成した。上側ゲート絶縁層22はRFスパッタ装置を用いて室温(25℃)で形成した。ターゲットとしてはSiO₂を用い、投入RFパワーは500Wとした。成膜時の雰囲気は全圧0.5Paとし、その際のガス流量比はAr:O₂=90:10とした。

【0049】

次に、フォトリソグラフィ法とエッチング法により、下側ゲート絶縁層21及び上側ゲート絶縁層22にコンタクトホール(図8に不図示)を形成した。

【0050】

続いて、上側ゲート絶縁層22上に、トップゲート電極層23として、膜厚200nmのアモルファスIGZOをスパッタ法により形成した。トップゲート電極層23はDCスパッタ装置を用いて基板温度は室温(25℃)で形成した。ターゲットとしてはInGaZnO₄組成を有する多結晶焼結体を用い、投入DCパワーは150Wとした。成膜時の雰囲気は全圧0.5Paとし、その際のガス流量比はAr:O₂=80:20とした。ボトムゲート電極層20とトップゲート電極層23は、前述のコンタクトホールを介して電氣的に接続した。その後、ボトムゲート電極層20をマスクとする裏面露光を用いたフォトリソグラフィ法とエッチング法により上側ゲート絶縁層22及びトップゲート電極層23をパターンニングした。ボトムゲート電極層20をマスクとした裏面露光を用いることにより、トップゲート電極層23がボトムゲート電極層20に対して準自己整合的にパターンニングされた。

【0051】

次に、実施例1と同様にして保護層14を形成した。保護層14の形成と同時に、酸化物半導体層11の、上部にトップゲート電極層23が形成されていない領域の酸化物半導体層11が低抵抗化し、酸化物半導体層のソース・ドレイン領域11bとなり、更にトップゲート電極層23が低抵抗化した。酸化物半導体層のソース・ドレイン領域11bはボトムゲート電極層20に対して準自己整合的、かつトップゲート電極層23に対して自己整合的に形成された。

【0052】

最後に、フォトリソグラフィ法とエッチング法により保護層14にコンタクトホールを形成した後、ソース・ドレイン配線層15として、膜厚100nmのMoを形成した。その後、フォトリソグラフィ法によりソース・ドレイン配線層15をパターンニングした。

【0053】

10

20

30

40

50

上記工程により、本実施例の酸化物半導体 T F T を完成させた。

【 0 0 5 4 】

本実施例では、膜厚 2 0 0 n m のアモルファス酸化物半導体をダブルゲート型 T F T における上側ゲート電極層 2 3 とし、上側ゲート電極層 2 3 上に、保護層 1 4 として膜厚 3 0 0 n m の水素を含む窒化シリコン膜を形成した。よって、前述の図 4 及び図 7 の説明にて述べたように、実施例 1 及び 2 と同様に、酸化物半導体層のチャネル領域 1 1 a の、水素拡散による低抵抗化を抑制でき、更にゲート絶縁層 1 2 のリーク電流密度を低減できた。

【 0 0 5 5 】

(実施例 4)

図 9 は本実施例の表示装置であり、トップゲート型コプラナー構造の酸化物半導体 T F T と、表示素子を備えた表示装置である。酸化物半導体 T F T は実施例 1 と同様にして作製した。なお、図 1 ~ 図 3 及び図 8 のうちのいずれの酸化物半導体 T F T を用いても良い。

【 0 0 5 6 】

まず、本発明の酸化物半導体 T F T 1 2 0 上に、絶縁層 1 2 1 として、シリコン窒化膜をプラズマ C V D 法により形成した後、フォトリソグラフィー法とエッチング法により絶縁層 1 2 1 にコンタクトホールを形成した。次に、絶縁層 1 2 1 上に、電極層 1 2 3 として、ソース配線層 1 2 2 に絶縁層 1 2 1 を介して I T O をスパッタ法により形成した。その後、電極層 1 2 3 上に、正孔輸送層 1 2 4 として、N P D を蒸着法により形成した後、発光層 1 2 5 として、A l q₃ を蒸着法により形成した。最後に、発光層 1 2 5 上に、電極層 1 2 6 として、M g A g を蒸着法により形成した。

【 0 0 5 7 】

上記工程により、本発明の酸化物半導体 T F T と、有機エレクトロルミネッセンス素子を表示素子として備え、T F T のソース電極層又はドレイン電極層と前記表示素子が電氣的に接続された、本実施例の表示装置を完成させた。

【 符号の説明 】

【 0 0 5 8 】

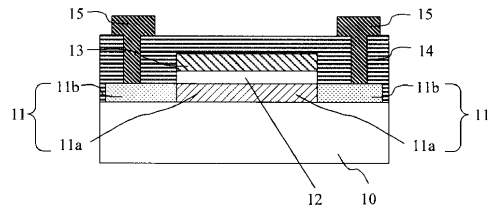
1 0 : 基板、1 1 : 酸化物半導体層、1 1 a : 酸化物半導体層のチャネル領域、1 1 b : 酸化物半導体層のソース・ドレイン領域、1 1 c : ソース・ドレイン電極層、1 2 : ゲート絶縁層、1 3 : ゲート電極層、1 4 : 保護層、1 5 : ソース・ドレイン配線層

10

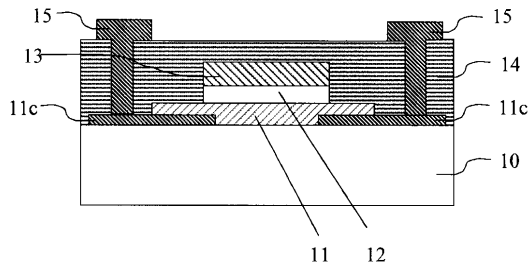
20

30

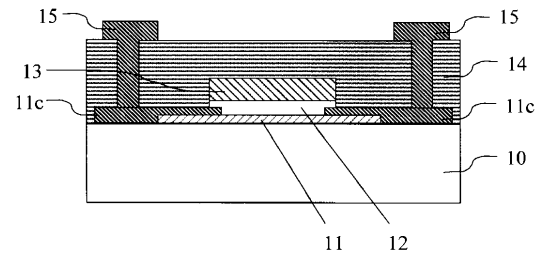
【図 1】



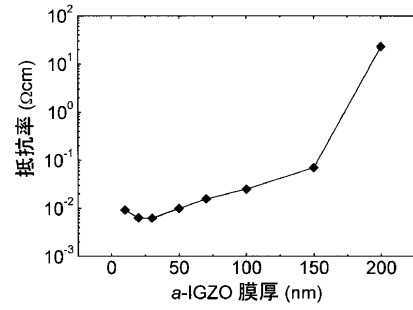
【図 2】



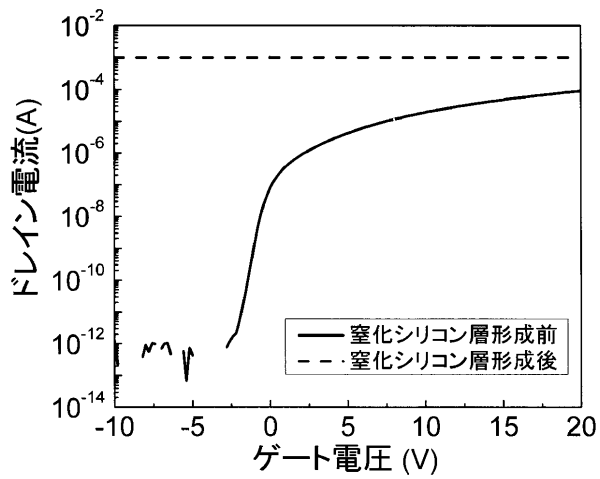
【図 3】



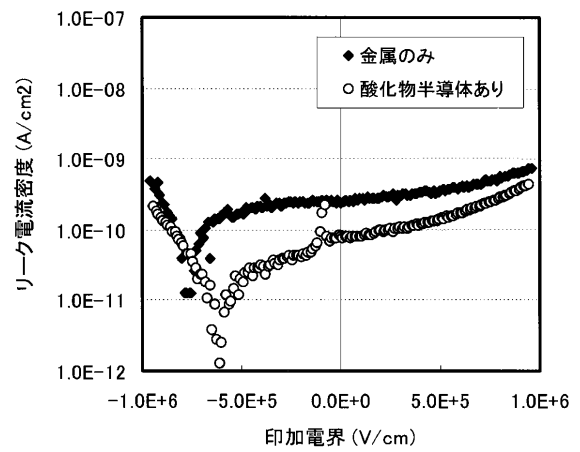
【図 4】



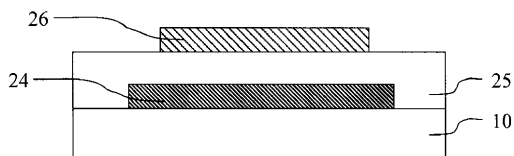
【図 5】



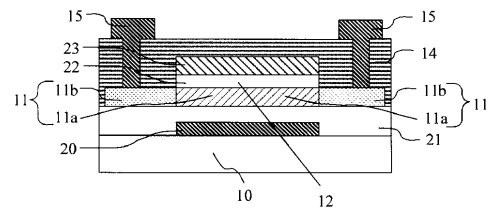
【図 7】



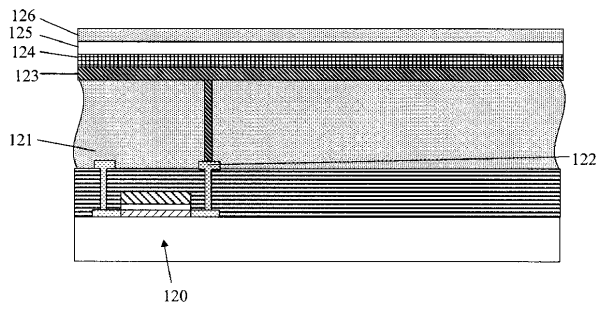
【図 6】



【図 8】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 51/50 (2006.01) H 0 1 L 21/28 3 0 1 B
 G 0 2 F 1/136
 H 0 5 B 33/14 A

(72)発明者 薮田 久人
 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社内

(72)発明者 林 享
 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社内

(72)発明者 高井 康好
 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社内

F ターム(参考) 2H092 JA25 JA28 JA36 JA40 JA44 JA47 JB57 KA05 KA08 KA10
 KA12 KA18 KB24 MA04 MA05 MA08 MA18 MA27 NA11 NA21
 PA01
 3K107 AA01 BB01 CC21 DD17 EE03 EE04
 4M104 AA03 AA09 BB02 BB05 BB06 BB09 BB14 BB16 BB36 BB37
 BB39 CC01 CC05 DD07 DD15 DD16 DD17 DD18 DD34 DD35
 DD37 DD40 DD63 FF13 FF21 GG09 GG14
 5F110 AA06 BB01 CC01 CC05 DD01 DD02 EE02 EE03 EE04 EE07
 EE08 EE14 EE30 EE43 EE44 FF02 FF04 FF27 FF28 FF30
 GG01 GG15 GG25 GG42 GG43 HK02 HK03 HK04 HK06 HK07
 HK21 HL02 HL03 HL04 HL06 HL07 HL22 HL23 HL24 NN02
 NN03 NN04 NN15 NN22 NN23 NN24 NN28 NN35 NN71 NN72
 QQ11 QQ12