

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4579979号
(P4579979)

(45) 発行日 平成22年11月10日 (2010.11.10)

(24) 登録日 平成22年9月3日 (2010.9.3)

(51) Int. Cl. F I
G 0 6 F 1/04 (2006.01) G 0 6 F 1/04 3 0 1 C
G 0 6 F 15/80 (2006.01) G 0 6 F 15/80

請求項の数 15 (全 12 頁)

(21) 出願番号	特願2007-517577 (P2007-517577)	(73) 特許権者	590000248
(86) (22) 出願日	平成17年6月8日 (2005.6.8)		コーニンクレッカ フィリップス エレク
(65) 公表番号	特表2008-503822 (P2008-503822A)		トロニクス エヌ ヴィ
(43) 公表日	平成20年2月7日 (2008.2.7)		オランダ国 5 6 2 1 ベーアー アイン
(86) 国際出願番号	PCT/IB2005/051875		ドーフエン フルーネヴァウツウェッハ
(87) 国際公開番号	W02006/000929		1
(87) 国際公開日	平成18年1月5日 (2006.1.5)	(74) 代理人	100070150
審査請求日	平成20年6月5日 (2008.6.5)		弁理士 伊東 忠彦
(31) 優先権主張番号	04102845.7	(74) 代理人	100091214
(32) 優先日	平成16年6月21日 (2004.6.21)		弁理士 大貫 進介
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100107766
			弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 電力管理

(57) 【特許請求の範囲】

【請求項 1】

データベクトルのストリームを処理するための S I M D プロセッサアーキテクチャであって：

夫々のベクトルでデータ成分を処理するよう各々構成された複数のプロセッサを有し、その動作を第 1 の周波数を有する局部クロック信号により制御されるプロセッサ配列；

当該 S I M D プロセッサアーキテクチャの動作を制御し、且つ前記プロセッサ配列の動作を前記データベクトルのストリームと同期させる同期信号を発生させるよう構成され、その動作を第 2 の周波数を有する局部クロック信号により制御される制御プロセッサ；及び

該制御プロセッサにより発生した前記同期信号に応答して前記局部クロック信号の周波数を調整し、それにより当該 S I M D プロセッサアーキテクチャの電力消費を最小限とする電力管理手段；

を有し、

データベクトルが当該 S I M D プロセッサアーキテクチャに到着するレートは、時間とともに変化し、

前記クロック信号の周波数は、前記プロセッサ配列が遊休状態である時間を低減するよう調整され、

前記電力管理手段は、前記同期信号から、前記プロセッサ配列が夫々の処理周期の間に遊休状態である時間の平均長を計算するよう構成される、ことを特徴とする S I M D プロ

セッサアーキテクチャ。

【請求項 2】

前記プロセッサ配列及び前記制御プロセッサにより必要とされる電圧は、それらの夫々の局部クロック信号の周波数に依存する、ことを特徴とする請求項 1 記載の SIMD プロセッサアーキテクチャ。

【請求項 3】

前記電力管理手段は、前記局部クロック信号の前記第 1 及び第 2 の周波数を別々に調整するよう構成される、ことを特徴とする請求項 1 または 2 記載の SIMD プロセッサアーキテクチャ。

【請求項 4】

複数の電子部品を更に有し、

該複数の電子部品の少なくとも 1 つは、該少なくとも 1 つの部品の動作が、それが集められた前記プロセッサ配列又は前記制御プロセッサの夫々の局部クロック周波数により制御されるように、前記プロセッサ配列又は前記制御プロセッサとともに集められる、ことを特徴とする請求項 1 乃至 3 のうちいずれか一項記載の SIMD プロセッサアーキテクチャ。

【請求項 5】

前記複数の電子部品のうちの 1 つは、作業ベクトルメモリであり、

該作業ベクトルメモリは、前記プロセッサ配列とともに集められる、ことを特徴とする請求項 4 記載の SIMD プロセッサアーキテクチャ。

【請求項 6】

前記複数の電子部品のうちの 1 つは、プログラムメモリであり、

該プログラムメモリは、前記制御プロセッサとともに集められる、ことを特徴とする請求項 4 又は 5 記載の SIMD プロセッサアーキテクチャ。

【請求項 7】

前記複数の電子部品のうちの少なくとも 1 つの他の電子部品は、第 3 の周波数を有するクロック信号により制御される、ことを特徴とする請求項 4 乃至 6 のうちいずれか一項記載の SIMD プロセッサアーキテクチャ。

【請求項 8】

前記第 3 の周波数は、当該 SIMD プロセッサアーキテクチャが接続されている環境でのクロック信号の周波数に等しい、ことを特徴とする請求項 7 記載の SIMD プロセッサアーキテクチャ。

【請求項 9】

前記少なくとも 1 つの他の電子部品は、前記データベクトルを前記環境から受信する入力プリプロセッサ、又は前記出力データベクトルを前記環境へ供給する出力ポストプロセッサである、ことを特徴とする請求項 8 記載の SIMD プロセッサアーキテクチャ。

【請求項 10】

前記第 3 の周波数は、前記制御プロセッサにより発生した前記同期信号に応答して調整される、ことを特徴とする請求項 7 記載の SIMD プロセッサアーキテクチャ。

【請求項 11】

前記少なくとも 1 つの他の電子部品は、更なる少なくとも 1 つの他の電子部品とともに集められる、ことを特徴とする請求項 10 記載の SIMD プロセッサアーキテクチャ。

【請求項 12】

前記電力管理手段は、更に、前記同期信号から、データベクトルが前記環境から受信されているレートの変化を検出するよう構成される、ことを特徴とする請求項 11 記載の SIMD プロセッサアーキテクチャ。

【請求項 13】

前記電力管理手段は、更に、前記プロセッサ配列が夫々の処理周期の間に遊休状態である時間の計算された平均長、及び／又はデータベクトルが前記環境から受信されているレートにおける検出された変化を用いて、前記クロック信号の周波数の値を計算するよう構

10

20

30

40

50

成される、ことを特徴とする請求項12記載のSIMDプロセッサアーキテクチャ。

【請求項14】

データベクトルのストリームを処理するために適しており、且つ

夫々のデータベクトルでデータ成分を処理するよう各々構成された複数のプロセッサを有し、その動作を第1の周波数を有する局部クロック信号により制御されるプロセッサ配列；及び

当該SIMDプロセッサアーキテクチャの動作を制御し、且つ前記プロセッサ配列の動作を前記データベクトルのストリームと同期させる同期信号を発生させるよう構成され、その動作を第2の周波数を有する局部クロック信号により制御される制御プロセッサ；

を有するSIMDプロセッサアーキテクチャの電力消費を最小限とする方法であって：

前記制御プロセッサにより発生した前記同期信号に応答して前記局部クロック信号の周波数を調整するステップと、

前記プロセッサ配列が夫々の処理周期の間に遊休状態である時間の平均長を前記同期信号から計算するステップとを有する方法。

【請求項15】

前記SIMDプロセッサアーキテクチャが接続された環境からデータベクトルが受信されているレートの変化を前記同期信号から検出するステップを更に有する、請求項14記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子回路の分野、具体的には、電子回路において電力消費を管理する方法及び装置に関する。

【背景技術】

【0002】

携帯型のバッテリー駆動式電子装置におけるエネルギー効率システム設計は、エネルギー消費が携帯用システムのバッテリー寿命に影響し、更には、このことが消費市場における如何なる製品の成功にとっても重大な性能測定基準であるのでますます重要となっている。従って、電力管理は、システムの構造基盤の不可欠な部分となりつつある。

【0003】

動的電力管理（DPM）は、エネルギー又は電力の効率計算のためのシステムの動的設定又は再設定を可能にする設計手順である。L. Benini、A. Bogliolo及びG. de Micheliによる2000年6月のVLSIシステムに関するIEEE報告書、Vol. 8、No. 3に掲載された「システムレベルの動的電力管理のための設計技術の調査（A Survey of Design Techniques for System-Level Dynamic Power Management）」では、幾つかのDPM技術について論じられている。これらの技術は、システムのスイッチングオフ又は「減速（slowing down）」といった遊休部分と、エネルギー効率の動的取引システム性能とを含む。DPM技術は、可変な仕事量へと個々のシステム構成要素の性能を調整することによりシステム電力を最適化して、制御する方法を提供する。

【0004】

動的に変化する仕事量を伴うシステムでは、即ち、常に最高又は最大の性能を実現させる必要のないシステムでは、電圧及びクロック周波数は、システムの電力消費を最適化するよう制御可能である。これは、動的な電圧及び周波数の調整（DVFS）として知られる。

【0005】

多数の技術が、主に性能要求に依存して電圧及び周波数を調整するこのようなシステムに関する文献において提案されてきた。例えば、D. Son、C. Yu及びH. Kimによる「MPEG復号化における動的電圧調整（Dynamic Voltage Sca

10

20

30

40

50

ling on MPEG Decoding)」では、電圧及び周波数がアプリケーションの復号化性能に依存して調整されるところの、アプリケーションに基づく技術が提案される。

【非特許文献1】「システムレベルの動的電力管理のための設計技術の調査 (A Survey of Design Techniques for System-Level Dynamic Power Management)」、VLSIシステムに関するIEEE報告書、Vol. 8、No. 3、2000年6月、L. Benini、A. Bogliolo及びG. de Micheli

【非特許文献2】「MPEG復号化における動的電圧調整 (Dynamic Voltage Scaling on MPEG Decoding)」、D. Son、C. Yu 10
及びH. Kim

【発明の開示】

【発明が解決しようとする課題】

【0006】

システムが、例えば画像データのストリームのような、高度な並列処理を伴うデータストリームを処理するために使用される場合に、単一命令／複数データ (SIMD) プロセッサが使用されうる。SIMDプロセッサは、より低い動作周波数及びメモリローカライゼーションを可能にするようデータストリームでの並列処理を利用し、同じデータストリームで動作する単一命令／単一データプロセッサと比較してより低い電力損失をもたらす。

20

【0007】

SIMDプロセッサは、単一命令／単一データプロセッサよりも電力損失が少ないが、更なる電力節約が望ましい。

【0008】

従って、本発明は、更なる電力消費の低減が可能な単一命令／複数データ (SIMD) プロセッサのための電力管理技術を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の第1の態様に従って、データベクトルのストリームを処理するためのSIMDプロセッサアーキテクチャであって、夫々のベクトルでデータ成分を処理するよう各々構成された複数のプロセッサを有し、その動作を第1の周波数を有する局部クロック信号により制御されるプロセッサ配列と、当該SIMDプロセッサアーキテクチャの動作を制御し、且つ前記プロセッサ配列の動作を前記データベクトルのストリームと同期させる同期信号を発生させるよう構成され、その動作を第2の周波数を有する局部クロック信号により制御される制御プロセッサと、該制御プロセッサにより発生した前記同期信号に応答して前記局部クロック信号の周波数を調整し、それにより当該SIMDプロセッサアーキテクチャの電力消費を最小限とする電力管理手段とを有するSIMDプロセッサアーキテクチャが提供される。

30

【0010】

本発明の第2の態様に従って、データベクトルのストリームを処理するために適しており、且つ、夫々のデータベクトルでデータ成分を処理するよう各々構成された複数のプロセッサを有し、その動作を第1の周波数を有する局部クロック信号により制御されるプロセッサ配列と、当該SIMDプロセッサアーキテクチャの動作を制御し、且つ前記プロセッサ配列の動作を前記データベクトルのストリームと同期させる同期信号を発生させるよう構成され、その動作を第2の周波数を有する局部クロック信号により制御される制御プロセッサとを有するSIMDプロセッサアーキテクチャの電力消費を最小限とする方法であって、前記制御プロセッサにより発生した前記同期信号に応答して前記局部クロック信号の周波数を調整するステップを有する方法が提供される。

40

【発明を実施するための最良の形態】

【0011】

50

本発明のより良い理解のために、且つどのように本発明が実行されるかを更に明らかとするよう、以下、一例として添付の図面を参照する。

【0012】

上述されたように、SIMDプロセッサの一使用は、（例えばビデオストリームを処理する際に）ベクトルに基づく信号処理アプリケーションにある。SIMDプロセッサアーキテクチャは、低レベルの画素処理に関して効率的であることが知られる。SIMDプロセッサは、クロック開閉に起因して、且つ並列処理の特有の長所から、良好な電力損失を有するが、相当な電力節約が、更に、プロセッサアーキテクチャでの電圧及び周波数のインテリジェント制御により達成される。

【0013】

図1は、本発明に従うSIMDプロセッサアーキテクチャを示す。プロセッサアーキテクチャ2は、N+1個の処理要素（PE）を有する線形プロセッサ配列4を有する。プロセッサアーキテクチャ2に入力されるデータストリームは、データを集めて、適切なベクトル形式に前処理し、これを入力ベクトルバッファ8に読み込む入力プリプロセッサ6を通る。バッファ8に格納されたベクトルは、並列にプロセッサ配列4へ読み出される。

【0014】

ベクトルがプロセッサ配列4により処理されると、ベクトルは作業ベクトルメモリ10へ送られる。処理アルゴリズムにより要求される場合に、作業ベクトルメモリ10は、更なる処理のために配列4にベクトルデータを戻しうる。

【0015】

ベクトルが配列4により十分に処理されると、ベクトルは、並列に、出力ベクトルバッファ12に読み込まれる。出力ポストプロセッサ14は、処理されたベクトルデータを読み込んで、アーキテクチャ2からの送出的のために適切なデータストリームにベクトルデータを処理する。

【0016】

通常、SIMDプロセッサでの計算は、ベクトル(ライン)レベルでパイプライン化される。即ち、入力プリプロセッサ6が‘次’のベクトルのデータ要素を集めて、前処理する間に、線形プロセッサ配列4は‘現在’のベクトルに作用する。その間にも、出力ポストプロセッサ14は、送出的のために‘前’のベクトルのデータ要素を処理する。

【0017】

包括的制御プロセッサ16は、プロセッサアーキテクチャ2内のブロック間の同期を制御するよう設けられている。入力プリプロセッサ6は、新しいベクトルの到着に関して包括的制御プロセッサ16に通知するよう要求され、包括的制御プロセッサ16は、ベクトルの処理の完了に関して出力ポストプロセッサ14に通知する。

【0018】

図2は、典型的な信号処理タスクのタイミングを示すタイミング図である。入力ベクトルの到着（in_ready/new_vector）は、アルゴリズム実行の開始を示す。処理の完了（out_ready）は、出力ストリーミングを再開するよう出力ポストプロセッサ14に命じる。待機信号は、線形プロセッサ配列4が遊休状態である期間を示す。

【0019】

従来のSIMDプロセッサと同様に、包括的制御プロセッサ16は、プログラムメモリ18からの命令又はプログラムのフェッチと、線形プロセッサ配列4への命令の復号化及び発送とに関与する。包括的制御プロセッサ16は、線形プロセッサ配列4でのタスクの処理を同期させる働きをする同期ブロック（SYNC）20を有する。

【0020】

説明を簡単にするために、包括的制御プロセッサ16と、入力プリプロセッサ6、線形プロセッサ配列4及び出力ポストプロセッサ14との間の接続は省略されていることが知られる。

【0021】

本発明に従って、電力節約は、プロセッサアーキテクチャ 2 の構成要素をクラスタにまとめて、プロセッサアーキテクチャ内で発生した同期信号に応答して別々に夫々のクラスタの電圧及びクロック周波数を制御することにより達成される。

【0022】

4つのクラスタが図1には示されている。明らかなように、プロセッサアーキテクチャ 2 は 4 よりも多い又は少ないクラスタに集められても良く、アーキテクチャ 2 の異なる構成要素は夫々のクラスタに含まれても良い。

【0023】

第1のクラスタ 22 は、入力プリプロセッサ 6 及び入力ベクトルバッファ 8 を有する。このクラスタがプロセッサアーキテクチャ 2 の外側の環境へ接続される場合に、その環境は、クラスタのクロック周波数、ひいては電圧に影響する。

10

【0024】

第2のクラスタ 24 は、出力ポストプロセッサ 14 及び出力ベクトルバッファ 12 を有する。先と同じく、このクラスタがプロセッサアーキテクチャ 2 の外側の環境へ接続される場合に、その環境は、そのクロック周波数、ひいては電圧に影響する。

【0025】

第3のクラスタ 26 は、線形プロセッサ配列 4 及び作業ベクトルメモリ 10 を有し、第4のクラスタ 28 は、包括的制御プロセッサ 16 及びプログラムメモリ 18 を有する。

【0026】

代替的に、線形プロセッサ配列 4、作業ベクトルメモリ 10、包括的制御プロセッサ 16 及びプログラムメモリ 18 は、別々のクラスタに置かれても良い。

20

【0027】

SIMDプロセッサ本体（線形プロセッサ配列 4）が目下プロセッサアーキテクチャ 2 の外側の環境から分離されているので、線形プロセッサ配列 4 は、電力管理を容易にするよう制御されうる。特に、第3及び第4のクラスタ 26、28 の構成要素は、電力最適実行を達成するために、環境とは異なるクロック周波数で動作可能であり、更に、互いに異なるクロック周波数で動作可能である。

【0028】

電力管理回路（PMGT）30 は、制御可能なクラスタ（即ち、表されている例では第3及び第4のクラスタ 26、28）の夫々に対して適切なクロック周波数を決定して、それらの夫々のクロック周波数及び電圧を然るべく調整するために、包括的制御プロセッサ 16 に設けられている。

30

【0029】

本発明の好ましい実施例に従って、SIMDプロセッサアーキテクチャに電力管理方式を実施するために必要とされる更なるハードウェアを減らすよう、包括的制御プロセッサ 16 に内在するタスク同期は、電力管理回路 30 により必要とされる情報を発生させるために使用される。

【0030】

同期回路 20 は、ベクトル移動に関するアプリケーションコードのダイナミクスが確認されることを可能にすることにより 4つのクラスタ 22、24、26 及び 28 の独立動作を容易にし、それによって、動的な電圧及び周波数の調整（DVFS）の評価指標が導出されることを可能にする。

40

【0031】

本発明に従う動的な電圧及び周波数の調整（DVFS）方式は、基本的には、プロセッサアーキテクチャ 2 の性能に影響を及ぼすことなく、電力損失を低減しながら、時間に亘るアプリケーション負荷の分布を可能にする。

【0032】

例えば、本発明に従う DVFS 方式は、図2に示される処理周期における遊休時間を低減することができる。

【0033】

50

図 3 は、本発明に従うプロセッサ電力管理回路 30 の機能図を示す。

【0034】

電力管理ブロック 30 は、処理周期の遊休部分の平均長を計算する計算ブロック 32 と、ベクトルがプロセッサアーキテクチャ 2 へ供給されるレートの変化を検出する検出ブロック 34 と、特定のクラスタに対する新しい電圧及び周波数の設定を計算する第 2 の計算ブロック 36 とを有する。

【0035】

第 1 の計算ブロック 32 は、(図 2 に示される) 待機信号 w_t と、プロセッサアーキテクチャ 2 への新しいベクトルの入力を示す信号 r_{st} とを受信する。次に、ブロック 32 は、N 個のベクトル期間に亘って遊休部分の平均長を計算する。数学的に、これは、以下

10

【0036】

【数 1】

$$t_{av_idle} = \sum t_{idle} / N$$

のように表すことができる。ブロック 32 の出力、即ち、N 個のベクトル期間に亘る遊休部分の平均長 t_{av_idle} は、第 2 の計算ブロック 36 へ供給される。

【0037】

検出ブロック 34 は、また、プロセッサアーキテクチャ 2 への新しいベクトルの入力を示す信号 new_vector を受信して、ベクトルレートが増大又は減少したかどうかを判断する。検出ブロック 34 の出力は、ベクトルレートの増大又は減少の量を示す信号 $rate_change$ であり、これは、第 2 の計算ブロック 36 へ供給される。

20

【0038】

第 2 の計算ブロック 36 は、第 1 の計算ブロック 32 の出力と、検出ブロック 34 の出力と、プロセッサアーキテクチャ 2 により実行されるタスクの変化を示す信号 $task_change$ と、クラスタのデフォルト設定 DS とを受信する。

【0039】

この表される例で、電圧は、クロック周波数の関数として考えられる。明らかなように、実際のシステムでは、電圧を決定する他の要素があっても良い。

30

【0040】

ここで、クラスタのデフォルト設定は、クロック周波数とその最大値：

$$f_0 = f_{max} ; V_0 = g(f_0) = g(f_{max})$$

にある場合である。なお、 $g()$ は関数である。

【0041】

次に、第 2 の計算ブロック 36 は、以下：

$$f_i = h(t_{av_idle}, t_{vector_period}) ; V_i = g(f_i)$$

で示されるように、 t_{av_idle} から、及びベクトル期間の長さ t_{vector_period} から新しい動作条件を計算する。なお、 $h()$ は関数である。

【0042】

40

新しい動作周波数及び電圧は、ブロック 36 により出力される。

【0043】

$task_change$ 信号が、プロセッサアーキテクチャ 2 により実行されるタスクに変化があることを示す場合に、第 2 の計算ブロック 36 は、動作条件をデフォルト値：

$$f_i = f_{max} ; V_i = g(f_{max})$$

へ再設定すべきである。

【0044】

検出ブロック 34 の出力が、ベクトルがシステムにより処理されるレートが変化したことを示す場合には、クラスタのクロック周波数は：

$$f_i = f_{i-1} + \Delta ; V_i = g(f_i) \quad \text{ベクトルレートが増大した場合}$$

50

$f_i = f_{i-1} - \Delta$; $V_i = g(f_i)$ ベクトルレートが減少した場合のように、然るべく調整されるべきである。なお、 Δ は、ベクトルレートの変化の大きさを示す。

【0045】

図4は、ベクトルレート変化検出ブロック34の機能図を示す。ブロック34は、連続した `in_ready/new_vector` イベントの間の間隔であって、Bで表される間隔を測定するユニット38と、遅延ユニット40と、Aで表される、前のベクトル間隔を記憶するラッチ42と、ベクトルレートに変化があったかどうかを判断するようA及びBを比較するユニット44とを有する。

【0046】

$B < A$ である場合に、ベクトルレートは増大しており、`rate_change` 信号のフラグCはこのことを示す。 $B > A$ である場合に、ベクトルレートは減少しており、`rate_change` 信号のフラグDはこのことを示す。

【0047】

タスク変化は、連続した `in_ready/new_vector` と待機ベクトルイベントとの間の周期カウントが直接的にアルゴリズムの複雑性に関連するので、ベクトルごとのアルゴリズムの完了の時に監視することにより自動的に検出可能である。前の平均値と周期カウントを比較することにより、タスク変化が生じたかどうか分かる。

【0048】

図5は、タスク変化検出ブロックの機能図を示す。ブロックは、タスクを完了するために要した周期の数又は時間を測定するユニット46を有する。タスクを完了するために要した周期の数又は時間は、`wait_vector` 及び次の `new_vector` を受信する間の周期の数又は時間に等しい。この時間はFで表される。ブロックは、Eで表される前のタスク時間を記憶するラッチ48を更に有する。ユニット50は、EとFとの間の（Gで表される）差の大きさを閾値Tと比較する。EとFとの間の差の大きさが閾値Tを超える場合には、即ち、タスクの1つが他のタスクよりも完了するために十分に長い時間を要する場合には、タスク変化は生じたと判断されて、信号G (`task_change`) がこのことを示す。

【0049】

上記例外（即ち、タスク及びベクトルレートの変化）は、通常、例えば、半遊休モードの間により低いデータレートで簡単なタスクを実行するカメラが、関心ある対象が視野に入ると、より高いデータレートでの複雑なタスクへと切り替わる場合のように、アプリケーションがイベントに応答する場合に起こる。タスクの複雑性は、対象の種類及び数により変化しうる。

【0050】

ここで提案される電力管理技術は、例えば、携帯型の映像、音声又は画像の処理プラットフォームのような、電力が重要となる用途で使用される。携帯型装置における同様のSIMDプロセッサは、例えば、フロントエンドのセンサデータ処理及び表示に関連する処理のようなテレビ電話機能、又は例えばグラフィック処理のようなゲーム機能を提供することができる。

【0051】

テレビ電話機能及びゲーム機能のために実行される実際のアルゴリズムは、環境条件及び選択された機能に依存して動的に変化しうる。プロセッサの動作条件（即ち、電圧及びクロック周波数）をアプリケーション要求に整合するよう適合させることにより、更に効率的なバッテリー利用が達成可能となる。

【0052】

図6は、本発明に従う、クラスタの夫々で電圧及び周波数を調整するための回路のブロック図である。

【0053】

回路は、基準クロック信号 $[f_r]$ と、周波数設定 N 、 M と、供給電圧 V_s とを受ける

10

20

30

40

50

周波数合成器 52 を有する。周波数設定 N 、 M を用いて、周波数合成器 52 は、基準クロック信号 $[f_r]$ からクラスタのクロック信号 $[f_c]$ を発生させる。

【0054】

回路は、また、供給電圧 V_s 及び電圧設定 $VSET$ を受ける電圧レギュレータ 54 を有する。(DC/DC 変換器である) 電圧レギュレータ 54 は、許容範囲で電圧を発生させ、その下限は許容範囲の雑音余裕により設定され、その上限は選択された IC プロセスにより設定される。電圧レギュレータ 54 の出力は、クラスタの電圧 V_c である。

【0055】

図 7 は、本発明に従うプロセッサアーキテクチャでの使用のための制御可能な周波数合成器の一実施を示す。この制御可能な周波数合成器は、従来の位相/周波数ロックループ (PLL/FLL) に基づく。合成器は、第 1 及び第 2 の周波数分割器 56 及び 58 と、位相/周波数検出器 60 と、低域通過フィルタ 62 と、電圧制御発振器 (VCO) 64 とを有する。

10

【0056】

第 1 の周波数分割器 56 は、周波数設定 M によりクロック基準信号 $[f_r]$ を分割し、その出力を位相/周波数検出器 60 へ供給する。第 2 の周波数分割器 58 は、周波数設定 N によりクラスタクロック信号 $[f_c]$ を分割し、その出力を位相/周波数検出器 60 へ供給する。

【0057】

位相/周波数検出器 60、低域通過フィルタ 62 及び電圧制御発振器 64 は、例えば従来の位相ロックループと同様に、共に接続されている。電圧制御発振器 64 の出力は、クラスタクロック信号 $[f_c]$ である。

20

【0058】

原理上は、クラスタクロック信号 $[f_c]$ を発生させるこのアプローチは、低域通過フィルタ 62 及び電圧制御発振器 64 がアナログ回路を用いて実現される場合に、良好な周波数分解能を提供することができる。しかし、外部の構成要素及び PLL ダイナミクスの必要性により、それは魅力的なアプローチには見えない。

【0059】

図 8 は、本発明に従うプロセッサアーキテクチャでの使用のための周波数合成器の代わりの実施を示す。この合成器は、開ループ周波数合成 (OLFS) 技術を用いる。この技術は、図 7 で示された周波数合成器に関連する欠点の多くを解決する。

30

【0060】

この合成器は、周期カウンタ 68 及びパルス発生器 70 へ接続されたリング発振器 66 を有する。周期カウンタ 68 は、クロック基準信号 $[f_r]$ と、リング発振器 66 により発生した周波数 $[f_o]$ とを受信して、周期信号 P を発生させる。パルス発生器 70 は、 $[f_o]$ 、 P 並びに周波数設定 M 及び N を受信して、所望のクラスタ周波数 $[f_c]$ の 2 倍の周波数で信号を発生させる。デューティサイクル補正器 72 は、パルス発生器 70 により生成された信号を補正して、クラスタ周波数 $[f_c]$ を供給する。

【0061】

この周波数合成器は、プロセッサアーキテクチャ 2 の動作に関して以下の過程を用いる。第 1 に、動的電力管理のための周波数適合は高い分解能を有する必要がある。タスクが時間内に完了されることを可能にするクロック信号を得るよう処理エンジンが制御されれば十分である。最下位の MHz/kHz 範囲へと最適化することにより実現される電力の更なる節約は必要とされない。第 2 に、処理エンジンは既知の最大性能により設計されるので、リング発振器の周波数はこの最大に設定可能であり、電力管理の間に必要とされるのは、より低い周波数クラスタクロックを発生させる周波数分割器のみで良い。

40

【0062】

周期カウンタ 68 は、基準クロック信号 $[f_r]$ と、クラスタクロック信号 $[f_c]$ との間の関係を作ることに寄与する。SIMD アーキテクチャでは、基準クロック信号 $[f_r]$ は、外部環境へ連結される入出力信号でありうる。

50

【0063】

従って、従来のプロセッサアーキテクチャと比較して電力消費を低減することが可能な単一命令／多数データ（SIMD）プロセッサアーキテクチャのための電力管理技術が提供される。

【0064】

留意すべきは、上記実施例は、本発明を限定するものではなく説明するものであって、且つ、当業者には添付の特許請求の範囲により定義される本発明の適用範囲を損なわない範囲で多数の代わりの実施例を設計することが可能である点である。特許請求の範囲で、括弧内の如何なる参照符号も、特許請求の範囲を限定するよう解釈されるべきではない。語「有する」及びそれと同様の語は、全体としていずれかの請求項又は明細書で挙げられている以外の要素又はステップの存在を除外しているわけではない。要素の単数参照は、このような要素の複数参照を除外しているわけではなく、逆もまた同様である。本発明は、幾つかの個別要素を有するハードウェアを用いて、且つ適切にプログラムされたコンピュータを用いて実施されても良い。幾つかの手段を列挙する請求項において、それらの手段の幾つかは、ハードウェアの同一の物品により具体化されても良い。ある手段が複数の従属請求項に挙げられているという単なる事実は、それらの手段の組み合わせが有利に用いられないということを示しているわけではない。

10

【図面の簡単な説明】

【0065】

【図1】本発明に従うSIMDプロセッサアーキテクチャのブロック図である。

20

【図2】作動状態処理期間と遊休状態処理期間との間の関係を表すタイミング図である。

【図3】本発明に従うプロセッサ電力管理ブロックの機能図である。

【図4】ベクトルレート変化検出ブロックの機能図である。

【図5】タスク変化検出ブロックの機能図である。

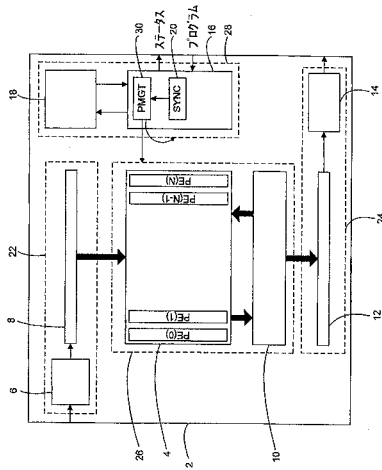
【図6】本発明に従う、クラスタの夫々で電圧及び周波数を調整するための回路のブロック図である。

【図7】本発明に従うプロセッサアーキテクチャでの使用のための周波数合成器の一実施を示す。

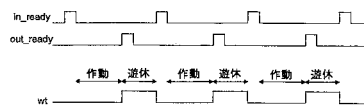
【図8】本発明に従うプロセッサアーキテクチャでの使用のための周波数合成器の代わりの実施を示す。

30

【図 1】



【図 2】



【図 3】

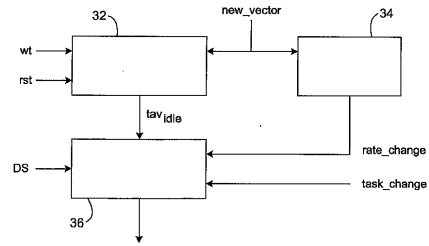


FIG.3

【図 4】

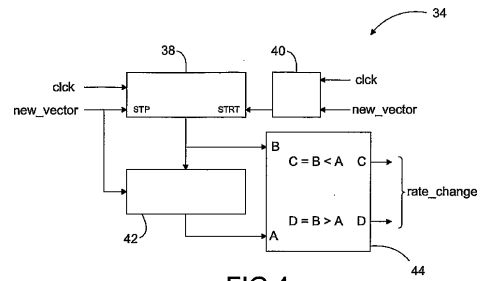


FIG.4

【図 5】

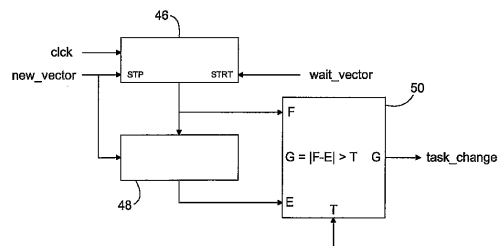


FIG.5

【図 8】

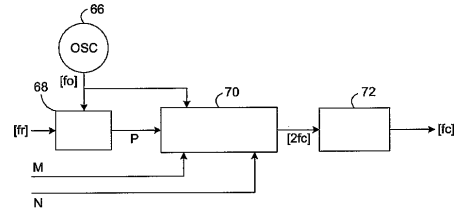


FIG.8

【図 6】

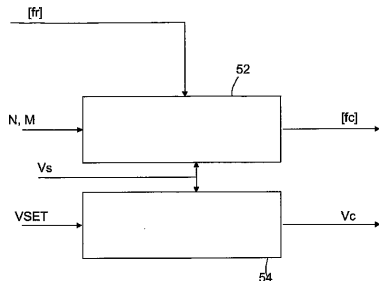


FIG.6

【図 7】

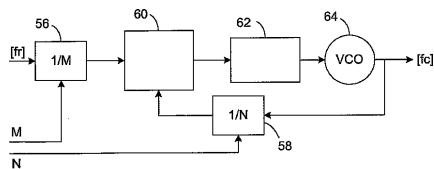


FIG.7

フロントページの続き

- (72)発明者 アッポ, アンテネー アー
イギリス国, サリー アールエイチ1 5エイチエイ, レッドヒル, クロス・オーク・レーン, フ
ィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)
- (72)発明者 チャーダーリー, ヴィシャル
イギリス国, サリー アールエイチ1 5エイチエイ, レッドヒル, クロス・オーク・レーン, フ
ィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

審査官 小林 正明

- (56)参考文献 特開2001-184495 (JP, A)
特開2003-233434 (JP, A)
特開2001-256199 (JP, A)
特開2002-108833 (JP, A)
特開2003-099148 (JP, A)
特開2000-047872 (JP, A)
特開2000-122747 (JP, A)
特表2005-524903 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 1/04
G06F 15/80