

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5284401号
(P5284401)

(45) 発行日 平成25年9月11日(2013.9.11)

(24) 登録日 平成25年6月7日(2013.6.7)

(51) Int.Cl.

G06F 1/32 (2006.01)

F I

G06F 1/00 332Z

請求項の数 8 (全 22 頁)

(21) 出願番号	特願2011-65704 (P2011-65704)	(73) 特許権者	000003078
(22) 出願日	平成23年3月24日(2011.3.24)		株式会社東芝
(65) 公開番号	特開2012-203518 (P2012-203518A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成24年10月22日(2012.10.22)	(74) 代理人	100089118
審査請求日	平成23年9月16日(2011.9.16)		弁理士 酒井 宏明
		(74) 代理人	100112656
			弁理士 宮田 英毅
		(72) 発明者	春木 洋美
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	藤崎 浩一
			東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

(54) 【発明の名称】 動作切替装置およびプログラム

(57) 【特許請求の範囲】

【請求項 1】

1 または複数の処理を実行可能な処理装置が前記処理を実行していないアイドル状態を検出する状態検出部と、

割り込み処理の種別を示す割り込み種別と、当該割り込み種別の割り込み待ちが発生した時刻とを記憶する第4記憶部と、

前記割り込み種別と、当該割り込み種別に対応する割り込み待ち時間とを記憶する第5記憶部と、

前記状態検出部で前記アイドル状態が検出されたとき、前記第4記憶部に記憶された情報と、前記第5記憶部に記憶された情報に基づいて、現在時刻から、次の前記割り込み処理が開始されるまでの時間長を示す待ち時間を算出する算出部と、

前記算出部で算出された前記待ち時間に応じて、前記処理装置の動作モードを決定する決定部と、を備える、

ことを特徴とする動作切替装置。

【請求項 2】

前記決定部は、前記算出部で算出された前記待ち時間が所定の時間長を超える場合は、前記動作モードを、前記処理装置の動作が一時的に停止して節電状態となる第1モードに決定する一方、前記待ち時間が前記所定の時間長以下の場合は、前記動作モードを、前記処理装置が前記アイドル状態を維持する第2モードに決定する、

ことを特徴とする請求項1に記載の動作切替装置。

【請求項 3】

前記決定部が、前記動作モードを前記第 1 モードに決定したときに、前記処理装置の動作を一時的に停止して節電状態にする一時停止部と、

前記割り込み処理が開始されるときに、前記一時停止部により節電状態にされた前記処理装置の動作を再開させて前記第 1 モードを解除する再開部と、

割り込み待ちが発生したときに、当該割り込み待ちになった前記割り込み種別と、当該割り込み待ちが発生した時刻とを前記第 4 記憶部に登録する一方、割り込み処理が開始されるときに、割り込み待ちが解除される前記割り込み種別と、当該割り込み種別の割り込み待ちが発生した時刻とを、前記第 4 記憶部から削除する登録削除部と、を備える、

ことを特徴とする請求項 1 または 2 に記載の動作切替装置。

10

【請求項 4】

前記割り込み種別で特定される割り込み処理が開始される時刻と、当該割り込み処理の割り込み待ちが発生した時刻とから、割り込み待ち時間を求め、その求めた割り込み待ち時間を用いて、前記第 5 記憶部に記憶された前記割り込み待ち時間を更新する更新部をさらに備える、

ことを特徴とする請求項 1 乃至 3 のうちの何れか 1 項に記載の動作切替装置。

【請求項 5】

前記決定部が、前記動作モードを前記第 2 モードに決定したときに、前記処理装置の前記アイドル状態を維持する維持部をさらに備える、

ことを特徴とする請求項 1 に記載の動作切替装置。

20

【請求項 6】

前記処理装置の動作が一時的に停止して節電状態になったときから動作を再開するまでの間における前記処理装置の特性を示す特性情報に応じて、前記所定の時間長を変更する変更部をさらに備える、

ことを特徴とする請求項 2 に記載の動作切替装置。

【請求項 7】

前記特性情報は前記処理装置の消費電力である、

ことを特徴とする請求項 6 に記載の動作切替装置。

【請求項 8】

1 または複数の処理を実行可能な処理装置が前記処理を実行していないアイドル状態を検出する手順と、

30

前記アイドル状態検出部で前記アイドル状態が検出されたとき、割り込み処理の種別を示す割り込み種別と、当該割り込み種別の割り込み待ちが発生した時刻とを記憶する第 4 記憶部に記憶された情報と、前記割り込み種別と、当該割り込み種別に対応する割り込み待ち時間とを記憶する第 5 記憶部に記憶された情報に基づいて、次の前記割り込み処理が開始されるまでの時間長を示す待ち時間を算出する手順と、

前記算出部で算出された前記待ち時間に応じて、前記処理装置の動作モードを決定する手順と、をコンピュータに実行させるためのプログラム。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明の実施形態は、動作切替装置およびプログラムに関する。

【背景技術】

【0002】

従来、1 または複数の処理を実行可能な処理装置（例えばマイクロプロセッサ）の消費電力を低減する技術が知られている。例えば、電源電圧や周波数を下げて消費電力を低減する D V F S（Dynamic Voltage Frequency Scalling）と呼ばれる技術や、電力を必要としている部分にだけ電力を供給するパワーゲーティング技術などが挙げられる。

【0003】

パワーゲーティング技術の例として、プロセッサ内を複数のクロックドメインに分割し

50

、各クロックドメイン内で電力を供給するか否かを決定する技術がある。また、プロセッサ内の演算器単位で電力を供給するか否かを決定する細粒度パワーゲーティング技術がある。

【 0 0 0 4 】

また、マイクロプロセッサの消費電力を低減する別の手法として、プロセッサ全体を一時的に停止させて節電状態（スリープ状態）にする技術がある。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 0 9 - 6 4 4 5 6 号 公 報

10

【 非特許文献 】

【 0 0 0 6 】

【 非特許文献 1 】 砂田 徹也ら著 “ 細粒度パワーゲーティングを制御する O S の 資源管理方式 ”、情報処理学会研究報告、Vol.2010-OS-114 No.8, 2010

【 非特許文献 2 】 Intel: Intel Core2 Duo Processors and Intel Core2 Extreme Processors for Platforms Based on Mobile Intel 965 Express Chipset Family Datasheet, In Proceedings of the 40th Annual IEEE/ACM International Symposium on Microarchitecture Pages: 183-196 Year of Publication:2007

【 発明の概要 】

【 発明が解決しようとする課題 】

20

【 0 0 0 7 】

しかしながら、従来の技術では、マイクロプロセッサなどの処理装置の消費電力を効率的に低減することは困難であるという問題がある。本発明が解決しようとする課題は、処理装置の消費電力を効率的に低減可能な動作切替装置およびプログラムを提供することである。

【 課題を解決するための手段 】

【 0 0 0 8 】

実施形態の動作切替装置は、1または複数の処理を実行可能な処理装置が前記処理を実行していないアイドル状態を検出する状態検出部と、割り込み処理の種別を示す割り込み種別と、当該割り込み種別の割り込み待ちが発生した時刻とを記憶する第4記憶部と、前記割り込み種別と、当該割り込み種別に対応する割り込み待ち時間とを記憶する第5記憶部と、前記状態検出部で前記アイドル状態が検出されたとき、前記第4記憶部に記憶された情報と、前記第5記憶部に記憶された情報に基づいて、現在時刻から、次の前記割り込み処理が開始されるまでの時間長を示す待ち時間を算出する算出部と、前記算出部で算出された前記待ち時間に応じて、前記処理装置の動作モードを決定する決定部と、を備えることを特徴とする。

30

【 0 0 0 9 】

また、実施形態のプログラムは、1または複数の処理を実行可能な処理装置が前記処理を実行していないアイドル状態を検出する手順と、前記アイドル状態検出部で前記アイドル状態が検出されたとき、割り込み処理の種別を示す割り込み種別と、当該割り込み種別の割り込み待ちが発生した時刻とを記憶する第4記憶部に記憶された情報と、前記割り込み種別と、当該割り込み種別に対応する割り込み待ち時間とを記憶する第5記憶部に記憶された情報に基づいて、次の前記割り込み処理が開始されるまでの時間長を示す待ち時間を算出する手順と、前記算出部で算出された前記待ち時間に応じて、前記処理装置の動作モードを決定する手順と、をコンピュータに実行させるためのプログラムである。

40

【 図面の簡単な説明 】

【 0 0 1 0 】

【 図 1 】 第 1 実施形態のターゲットシステムのブロック図。

【 図 2 】 第 1 実施形態のプロセッサのブロック図。

【 図 3 】 動作モード記憶部に記憶される情報の一例を示す図。

50

【図４】第１実施形態のターゲットシステムの動作手順を示すシーケンス図。

【図５】第１実施形態のターゲットシステムの動作手順を示すシーケンス図。

【図６】第１実施形態のターゲットシステムの動作手順を示すシーケンス図。

【図７】第２実施形態のターゲットシステムのブロック図。

【図８】第２実施形態のプロセッサのブロック図。

【図９】第４記憶部に記憶される情報の一例を示す図。

【図１０】第５記憶部に記憶される情報の一例を示す図。

【図１１】第２実施形態のターゲットシステムの動作手順を示すシーケンス図。

【図１２】第２実施形態のターゲットシステムの動作手順を示すシーケンス図。

【図１３】第２実施形態のターゲットシステムの動作手順を示すシーケンス図。

【図１４】第２実施形態のターゲットシステムの動作手順を示すシーケンス図。

【図１５】第２実施形態のターゲットシステムの動作手順を示すシーケンス図。

【図１６】第３実施形態のターゲットシステムのブロック図。

【図１７】第３実施形態のターゲットシステムの動作手順を示すシーケンス図。

【図１８】第４実施形態のターゲットシステムのブロック図。

【図１９】第４実施形態のターゲットシステムの動作手順を示すシーケンス図。

【図２０】第５実施形態のターゲットシステムのブロック図。

【図２１】第４実施形態のターゲットシステムの動作手順を示すシーケンス図。

【図２２】動作モード記憶部に記憶される情報の変形例を示す図。

【図２３】変形例のターゲットシステムのブロック図。

【図２４】変形例のターゲットシステムのブロック図。

【発明を実施するための形態】

【００１１】

（第１実施形態）

図１は、本実施形態のターゲットシステムの概略構成の一例を示すブロック図である。図１に示すように、ターゲットシステムは、プロセッサ１００と、再開制御部７００と、記憶領域９００と、を備え、それぞれがバス９５０で相互に接続されている。プロセッサ１００は、１または複数の処理を実行可能な処理装置である。図１に示すように、プロセッサ１００は、ＣＰＵ２０と第３記憶部１１０とを有する。より具体的には、第３記憶部１１０は、各種のデータが記憶されるレジスタ１２０と、使用頻度の高いデータなどが記憶されるキャッシュメモリ１４０とを含む。本実施形態では、レジスタ１２０およびキャッシュメモリ１４０の各々は揮発性のメモリで構成される。

【００１２】

再開制御部７００は、後述の節電状態（スリープ状態）にされたプロセッサ１００の動作を再開させるための手段である。図１に示すように、再開制御部７００は、第２記憶部７１０と、再開時間設定部７２０と、再開部７３０とを有する。第２記憶部７１０は、後述の待ち時間を記憶する。再開時間設定部７２０は、プロセッサ１００から通知された待ち時間を第２記憶部７１０に設定する。再開部７３０は、第２記憶部７１０に記憶された待ち時間に到達したことを検出すると、プロセッサ１００の動作を再開させる。これらの詳細な動作については後述する。

【００１３】

記憶領域９００は、電源Ｏｆｆした後で再度電源ＯＮした場合に、その内部データを復元できる。これを実現する記憶領域として、例えば不揮発性メモリと呼ばれるものがあり、ＭＲＡＭ（Magnetic Random Access Memory）やＦｅＲＡＭ（Ferroelectric Random Access Memory）で構成することができる。また、不揮発性メモリに限らず、通常のＤＲＡＭ（Dynamic Random Access Memory）であっても電源ＯＮ時に内部データを復元させる機構を持つものもこれに該当する。

【００１４】

図２は、プロセッサ１００に搭載されたＣＰＵ２０が、基本ソフトウェアであるＯＳ（operating system）２００を実行することにより実現される機能の構成と、プロセッサ１

10

20

30

40

50

00が備えるハードウェアとを示すブロック図である。ここでは、プロセッサ100上で単一のOS200が動作し、OS200上で1または複数のプロセス(500-1~500-n)が動作すると捉えることができる。また、図2においては、プロセッサ100が備えるハードウェアとプロセッサ100上で動作するOS200、OS200上で動作する1または複数のプロセスをプロセッサ100が含む表現としている。

【0015】

図2に示すように、プロセッサ100が備えるハードウェアには、CPU20と、第1記憶部210と、動作モード記憶部220とが含まれる。第1記憶部210は、タイマー情報を記憶する。タイマー情報には、設定時刻と、当該設定時刻に実行する処理とが含まれる。動作モード記憶部220は、後述の待ち時間と、設定すべき動作モードとの関係を記憶する。この詳細な内容については後述する。

10

【0016】

図2に示すように、OS200は、状態検出部230と、算出部240と、決定部250と、維持部260と、一時停止部270と、復帰部280とを有する。状態検出部230は、アイドル状態を検出可能である。アイドル状態とは、プロセッサ100が何れの処理も実行していない状態を指す。

【0017】

算出部240は、状態検出部230によってアイドル状態が検出されたとき、第1記憶部210に記憶されたタイマー情報を用いて、次の処理が開始されるまでの時間長を示す待ち時間を求める。より具体的には、算出部240は、第1記憶部210に記憶されたタイマー情報から、次の処理が開始される時刻を求め、その求めた時刻と現在時刻との差分の時間長を、待ち時間として求める。

20

【0018】

決定部250は、算出部240から上述の待ち時間を取得し、その取得した待ち時間に応じて、プロセッサ100の動作モードを決定する。より具体的には、決定部250は、算出部240から取得した待ち時間と、動作モード記憶部220に記憶されたデータとから、プロセッサ100の動作モードを決定する。さらに詳述すると以下のとおりである。図3は、動作モード記憶部220に記憶される情報の一例を示す図である。図3に示すように、動作モード記憶部220は、待ち時間と、設定すべき動作モードとの関係を記憶する。決定部250は、待ち時間が t_1 を越える場合は、プロセッサ100の動作モードを、プロセッサの動作が一時的に停止して節電状態(スリープ状態)となる第1モードに決定する。一方、待ち時間が t_1 以下の場合は、決定部250は、プロセッサ100がアイドル状態を維持する第2モードに決定する。

30

【0019】

維持部260は、プロセッサ100の動作モードが第2モードのときに、アイドル状態を維持するためのタスク(アイドルタスクと呼ぶ)を実行する。一時停止部270は、決定部250によって、プロセッサ100の動作モードが第1モードに決定されたときに、レジスタ120およびキャッシュメモリ140に記憶されたデータを記憶領域900に退避させ、プロセッサ100の動作を一時的に停止して節電状態(スリープ状態)にする。復帰部280は、スリープ状態にされていたプロセッサ100が動作を再開するときに、記憶領域900に退避されていたデータを、レジスタ120へ復帰させる。詳細な内容については後述する。

40

【0020】

図4は、プロセッサ100のアイドル状態が検出されてから、プロセッサ100の動作モードが決定されるまでの手順の一例を示すシーケンス図である。図4に示すように、まず状態検出部230が、プロセッサ100のアイドル状態を検出し(S400)、決定部250に対して動作モードの決定を要求する(S401)。次に、決定部250は、算出部240に対して、待ち時間の算出を要求する(S402)。

【0021】

次に、算出部240は、第1記憶部210に記憶されたタイマー情報を読み出す(ステ

50

ップ S 4 0 3)。次に、算出部 2 4 0 は、読み出したタイマー情報から、次の処理が実行される時刻を抽出し、その抽出した時刻と現在時刻との差分の時間長を待ち時間として算出する (S 4 0 4)。そして、算出部 2 4 0 は、その算出した待ち時間を決定部 2 5 0 へ通知する (S 4 0 5)。

【 0 0 2 2 】

次に、決定部 2 5 0 は、算出部 2 4 0 から取得した待ち時間と、動作モード記憶部 2 2 0 に記憶されたデータとから、動作モードを決定する (S 4 0 6)。

【 0 0 2 3 】

図 5 は、プロセッサ 1 0 0 の動作モードが第 1 モードに決定されてから、プロセッサ 1 0 0 がスリープ状態にされるまでの手順の一例を示すシーケンス図である。図 5 に示すように、決定部 2 5 0 は、プロセッサ 1 0 0 の動作モードを第 1 モードに決定したとき (S 5 0 0)、一時停止部 2 7 0 に対して、プロセッサ 1 0 0 の動作の一時停止を要求する (S 5 0 1)。本実施形態では、決定部 2 5 0 は、プロセッサ 1 0 0 の一時停止の要求と併せて、算出部 2 4 0 から取得した待ち時間を、一時停止部 2 7 0 へ通知する。

【 0 0 2 4 】

次に、一時停止部 2 7 0 は、決定部 2 5 0 から通知された待ち時間を再開時間設定部 7 2 0 へ通知する (S 5 0 2)。次に、再開時間設定部 7 2 0 は、一時停止部 2 7 0 から通知された待ち時間を第 2 記憶部 7 1 0 に登録する (S 5 0 3)。次に、再開時間設定部 7 2 0 は、待ち時間の登録が完了したことを一時停止部 2 7 0 へ通知する (S 5 0 4)。

【 0 0 2 5 】

次に、一時停止部 2 7 0 は、キャッシュメモリ 1 4 0 に格納されたデータを記憶領域 9 0 0 へフラッシュする (S 5 0 5)。フラッシュされた (送り出された) データは記憶領域 9 0 0 に書き込まれる。次に、一時停止部 2 7 0 は、レジスタ 1 2 0 に格納されたデータを記憶領域 9 0 0 へ退避する (S 5 0 6)。次に、一時停止部 2 7 0 は、プロセッサ 1 0 0 の動作を一時的に停止して節電状態 (スリープ状態) に移行させる (S 5 0 7)。

【 0 0 2 6 】

図 6 は、再開時間に到達してプロセッサ 1 0 0 の動作が再開されるまでの手順の一例を示すシーケンス図である。図 6 に示すように、再開部 7 3 0 は、再開時間に到達したことを検出したときに (S 6 0 0)、プロセッサ 1 0 0 の動作を再開させて第 1 モードを解除する (S 6 0 1)。

【 0 0 2 7 】

次に、復帰部 2 8 0 は、一時停止部 2 7 0 によって記憶領域 9 0 0 に退避されていたデータを、レジスタ 1 2 0 へ復帰させる (スップ S 6 0 2)。そして、再開時間において実行すべき処理に移行する (S 6 0 3)。

【 0 0 2 8 】

以上に説明したように、本実施形態では、タイマー情報から求められた待ち時間に応じて、プロセッサ 1 0 0 の動作モードを決定する。より具体的には、待ち時間が所定の時間長 (t_1) を超える場合は、プロセッサ 1 0 0 をスリープ状態にする一方、待ち時間が所定の時間長以下の場合は、アイドル状態を維持するので、プロセッサ 1 0 0 の消費電力を効率的に低減できる。

【 0 0 2 9 】

ここで、プロセッサ 1 0 0 をスリープ状態に移行させて消費電力を低減する方法は、プロセッサ 1 0 0 の消費電力を低減できる一方で、プロセッサ 1 0 0 を一時的に停止させるための処理等によるオーバーヘッドが大きい。当該処理 (例えばレジスタの退避および復帰やキャッシュメモリのフラッシュなどの処理) やそれによる影響 (キャッシュメモリのフラッシュによるメモリアクセス増加等) で発生する消費電力も無視できない。このため、プロセッサ 1 0 0 がアイドル状態に移行してから、次の処理が実行されるまでの時間長 (待ち時間) の値によっては、プロセッサ 1 0 0 をスリープ状態に移行させるときに発生する消費電力の方が、プロセッサ 1 0 0 をスリープ状態に移行させることによって低減できる消費電力よりも大きい場合がある。

10

20

30

40

50

【 0 0 3 0 】

本実施形態では、上述の待ち時間が所定の時間長を超えると時のみに、プロセッサ 1 0 0 をスリープ状態に移行させるので、効率的に消費電力を低減できるという利点がある。なお、本実施形態では、プロセッサ 1 0 0 のみを、プロセッサ 1 0 0 の動作モードを切り替え可能な動作切替装置として捉えることができるし、プロセッサ 1 0 0 と再開制御部 7 0 0 とを動作切替装置として捉えることもできる。

【 0 0 3 1 】

(第2実施形態)

本実施形態では、プロセッサ 1 0 0 がアイドル状態になってから、最も早い割り込み処理が開始されるまでの時間長を待ち時間として算出する点で第1実施形態と異なる。以下、具体的な内容を説明する。なお、第1実施形態と共通する部分については、同一の符号を付して適宜に説明を省略する。

【 0 0 3 2 】

図7は、本実施形態のターゲットシステムの概略構成の一例を示すブロック図である。図7に示すように、ターゲットシステムは、プロセッサ 1 0 0 と、割り込み管理部 8 0 0 と、記憶領域 9 0 0 と、を備え、それぞれがバス 9 5 0 で相互に接続されている。割り込み管理部 8 0 0 は、プロセッサ 1 0 0 が節電状態(スリープ状態)になっている場合に、プロセッサ 1 0 0 の代わりに割り込みを管理する手段である。図7に示すように、割り込み管理部 8 0 0 は、割り込み管理設定部 8 1 0 と、割り込み検出部 8 2 0 と、再開部 8 3 0 とを有する。

【 0 0 3 3 】

割り込み管理設定部 8 1 0 は、決定部 2 5 0 によってプロセッサ 1 0 0 の動作モードが第1モードに決定されたときに、割り込み検出部 8 2 0 に対して、プロセッサ 1 0 0 がスリープ状態に移行することを通知する。割り込み検出部 8 2 0 は、割り込み処理の発生を検出する。再開部 8 3 0 は、割り込み検出部 8 2 0 で割り込み処理の発生が検出されたときに、スリープ状態のプロセッサ 1 0 0 の動作を再開させる。割り込み検出部 8 2 0 は、割り込みを検出すると、プロセッサ 1 0 0 がスリープ状態のときには、再開部 8 3 0 に対して後述の再開要求を通知する。再開部 8 3 0 は、割り込み検出部 8 2 0 から再開要求が通知されたときに、スリープ状態のプロセッサ 1 0 0 の動作を再開させる。

【 0 0 3 4 】

図8は、プロセッサ 1 0 0 に搭載されたCPU 2 0 が、OS 3 0 0 を実行することにより実現される機能の構成と、プロセッサ 1 0 0 が備えるハードウェアとを示すブロック図である。図8に示すように、プロセッサ 1 0 0 が備えるハードウェアには、CPU 2 0 と、第4記憶部 3 1 0 と、第5記憶部 3 2 0 と、動作モード記憶部 2 2 0 とが含まれる。また、図8においては、プロセッサ 1 0 0 が備えるハードウェアとプロセッサ 1 0 0 上で動作するOS 3 0 0、OS 3 0 0 上で動作する1または複数のプロセスをプロセッサ 1 0 0 が含む表現としている。

【 0 0 3 5 】

第4記憶部 3 1 0 は、割り込み待ち情報を記憶する。割り込み待ち情報には、割り込み処理の種別を示す割り込み種別と、当該割り込み種別の割り込み待ちが発生した時刻とが含まれる。図9は、第4記憶部 3 1 0 に記憶された割り込み待ち情報の一例を示す図である。図9の例では、割り込み種別は、デバイス読み出しとキーボード入力の2種類である。また、デバイス読み出しの割り込み待ちが発生した時刻はT_aであり、キーボード入力の割り込み待ちが発生した時刻はT_bである。

【 0 0 3 6 】

図8に示す第5記憶部 3 2 0 は、割り込み種別と、当該割り込み種別に対応する割り込み待ち時間とを記憶する。各割り込み種別に対応する割り込み待ち時間は、予め計算等によって求められた予測値である。図10は、第5記憶部 3 2 0 に記憶された情報の一例を示す図である。図10の例では、デバイス読み出しに対応する割り込み待ち時間はT₃に設定される。また、キーボード入力に対応する割り込み待ち時間はT₄に設定される。さ

10

20

30

40

50

らに、マウス入力に対応する割り込み待ち時間はT5に設定される。

【0037】

再び図8に戻って説明を続ける。図8に示すように、OS300は、割り込み待ち通知部311と、登録削除部313と、算出部325と、決定部250と、維持部260と、状態検出部230と、一時停止部365と、復帰部370と、割り込み処理部380と、割り込み待ち解除部390とを有する。割り込み待ち通知部311は、割り込み待ちが発生したときに、当該割り込み待ちとなった割り込み種別を、登録削除部313へ通知する。登録削除部313は、割り込み待ち通知部311から通知された割り込み種別と、当該割り込み種別の割り込み待ちが発生した時刻とを第4記憶部310に登録する。一方、登録削除部313は、割り込み処理が開始されるときに、割り込み待ちが解除された割り込み種別と、当該割り込み種別の割り込み待ちが発生した時刻とを第4記憶部310から削除する。詳細な内容については後述する。

10

【0038】

算出部325は、状態検出部230によってアイドル状態が検出されたとき、第4記憶部310に記憶された割り込み待ち情報と、第5記憶部320に記憶された情報とに基づいて、現在時刻から、次の割り込み処理が開始されるまでの時間長を待ち時間として算出する。詳細な内容については後述する。

【0039】

一時停止部365は、決定部250によって、プロセッサ100の動作モードが第1モードに決定されたときに、レジスタ120およびキャッシュメモリ140に記憶されたデータを記憶領域900に退避させ、プロセッサ100の動作を一時的に停止して節電状態(スリープ状態)にする。復帰部370は、スリープ状態にされていたプロセッサ100が動作を再開するときに、記憶領域900に退避されていたデータを、レジスタ120へ復帰させる。

20

【0040】

割り込み処理部380は、割り込み管理部800から、割り込み処理の発生を通知する割り込み通知を受信したときに、割り込み処理を開始する。また、割り込み処理部380は、割り込み管理部800からの割り込み通知を受信したときに、当該割り込み通知で特定される割り込み種別を、割り込み待ち解除部390へ通知する。割り込み待ち解除部390は、割り込み処理部380から通知された割り込み種別の割り込み待ちを解除する要求を、登録削除部313へ通知する。

30

【0041】

図11は、割り込み待ちが発生したときのプロセッサ100の動作手順の一例を示すシーケンス図である。本実施形態では、デバイスが割り込み待ちの状態になると、当該デバイスの割り込み待ちが発生したことを示す情報が、デバイスドライバ等から割り込み待ち通知部311へ通知される。図11に示すように、割り込み待ちが発生すると、割り込み待ち通知部311は、当該割り込み待ちとなった割り込み種別を登録削除部313へ通知する(ステップS1200)。登録削除部313は、割り込み待ち通知部311から通知された割り込み種別を受信したときに(S1201)、その受信した割り込み種別と、当該割り込み種別の割り込み待ちが発生した時刻とを第4記憶部310に登録する(S1202)。

40

【0042】

図12は、割り込み処理が発生したときのプロセッサ100の動作手順の一例を示すシーケンス図である。図12に示すように、割り込み処理部380は、割り込み管理部800からの割り込み通知を受信したときに(S1300)、当該割り込み通知で特定される割り込み種別を、割り込み待ち解除部390へ送信する(S1301)とともに、当該割り込み通知で特定される割り込み処理を開始する(S1304)。

【0043】

割り込み待ち解除部390は、割り込み処理部380から通知された割り込み種別の割り込み待ちを解除することを要求する割り込み待ち解除要求を、登録削除部313へ通知

50

する（Ｓ１３０２）。登録削除部３１３は、割り込み待ち解除部３９０から割り込み待ちの解除を要求された割り込み種別と、当該割り込み種別の割り込み待ちが発生した時刻とを、第４記憶部３１０から削除する（Ｓ１３０３）。このように、第４記憶部３１０には、割り込み待ちが発生したときには、当該割り込み待ちとなった割り込み種別と、当該割り込み待ちが発生した時刻とが登録される一方、割り込み待ちが解除されたときには、割り込み待ちが解除される割り込み種別と、当該割り込み待ちが発生した時刻とが削除される。これにより、現在の割り込み待ちの状況を適切に管理することができる。

【００４４】

図１３は、プロセッサ１００のアイドル状態が検出されてから、プロセッサ１００の動作モードが決定されるまでの手順の一例を示すシーケンス図である。図１３に示すように、まず状態検出部２３０が、プロセッサ１００のアイドル状態を検出し（ステップＳ１４００）、決定部２５０に対して、動作モードの決定を要求する（Ｓ１４０１）。次に、決定部２５０は、算出部３２５に対して、次の割り込み処理が発生するまでの時間長を示す待ち時間の算出を要求する（Ｓ１４０２）。

【００４５】

次に、算出部３２５は、第４記憶部３１０に記憶された割り込み待ち情報を取得する（Ｓ１４０３）。次に、算出部３２５は、現在割り込み待ちになっている割り込み種別に対応する割り込み待ち時間を第５記憶部３２０から取得する（Ｓ１４０４）。次に、算出部３２５は、第４記憶部３１０から取得した割り込み待ち情報と、第５記憶部３２０から取得した割り込み待ち時間とから、待ち時間を算出する（Ｓ１４０５）。

【００４６】

ここで、算出部３２５による待ち時間の算出方法の具体例を説明する。例えば、現在、デバイス読み出しとキーボード入力の割り込み待ちであって、キーボード入力の割り込み待ちの発生時刻Ｔ_bの方が、デバイス読み出しの割り込み待ちの発生時刻Ｔ_aよりも先であり、かつ、キーボード入力に対応する割り込み待ち時間Ｔ_４の方が、デバイス読み出しに対応する割り込み待ち時間Ｔ_３よりも短い場合を想定する。この場合、キーボード入力の方がデバイス読み出しよりも先に実行されるので、次の割り込み処理は、キーボード入力となり、上述の時刻Ｔ_bから時間長Ｔ_４が経過した時点で、当該キーボード入力を実行される。このようにして、次の割り込み処理であるキーボード入力が始まる時刻を特定することができるので、算出部３２５は、現在時刻から、キーボード入力が始まる時刻までの時間長を待ち時間として算出する。そして、算出部３２５は、算出した待ち時間を決定部２５０へ通知する（Ｓ１４０６）。

【００４７】

次に、決定部２５０は、算出部３２５から取得した待ち時間と、動作モード記憶部２２０に記憶されたデータとから、動作モードを決定する（Ｓ１４０７）。動作モードの決定方法は、上述の第１実施形態と同じである。

【００４８】

図１４は、プロセッサ１００の動作モードが第１モードに決定されてから、プロセッサ１００がスリープ状態にされるまでの手順の一例を示すシーケンス図である。図１４に示すように、決定部２５０は、プロセッサ１００の動作モードを第１モードに決定したとき（ステップＳ１５００）、一時停止部３６５に対して、プロセッサ１００の動作の一時停止を要求する（Ｓ１５０１）。

【００４９】

次に、一時停止部３６５は、割り込み管理設定部８１０に対して、割り込み管理を要求する（Ｓ１５０２）。割り込み管理を要求された割り込み管理設定部８１０は、割り込み検出部８２０に対して、プロセッサ１００がスリープ状態に移行することを通知する（Ｓ１５０３）。次に、割り込み管理設定部８１０は、一時停止部３６５に対して、設定完了を通知する（Ｓ１５０４）。

【００５０】

次に、一時停止部３６５は、キャッシュメモリ１４０に格納されたデータを記憶領域９

10

20

30

40

50

00へフラッシュする(S1505)。フラッシュされたデータは記憶領域900に書き込まれる。次に、一時停止部365は、レジスタ120に格納されたデータを記憶領域900へ退避する(ステップS1506)。次に、一時停止部365は、プロセッサ100をスリープ状態に移行させる(S1507)。

【0051】

図15は、割り込みが検出されてから、当該割り込み処理が開始されるまでの手順の一例を示すシーケンス図である。図15に示すように、割り込み検出部820は、割り込みを検出したときに(S1600)、プロセッサ100がスリープ状態であるか否かを判断する(S1601)。例えば割り込み管理設定部810からプロセッサ100がスリープ状態に移行することを通知されていた場合は、割り込み検出部820は、プロセッサ100がスリープ状態であると判断し、プロセッサ100の動作の再開を要求する再開要求を再開部830に対して通知する(S1602)。一方、割り込み検出部820は、プロセッサ100がスリープ状態でないと判断した場合は、割り込み処理部380に対して割り込み通知を送信する(S1608)。

【0052】

図15に示すように、再開部830は、割り込み検出部820から、プロセッサ100の再開要求が通知されたときに、プロセッサ100の動作を再開させて第1モードを解除する(S1603)。そして、再開部830は、割り込み検出部820に対して、プロセッサ100の動作を再開させたことを通知する(S1604)。当該通知を受けた割り込み検出部820は、割り込み処理部380に対して割り込み通知を送信する(S1608)。

【0053】

プロセッサ100の動作が再開されると、復帰部370は、一時停止部365によって記憶領域900に退避されていたデータを、レジスタ120へ復帰させる(ステップS1605)。そして、復帰部370は、割り込み処理部380に対して、割り込みの実行を要求する割り込み要求を通知する(S1606)。当該割り込み要求が通知された割り込み処理部380は、割り込み検出部820から割り込み通知を受信したときに、当該割り込み通知で特定される割り込み処理を開始する(S1607)。

【0054】

以上に説明したように、本実施形態では、プロセッサ100がアイドル状態になってから、最も早い割り込み処理(次の割り込み処理)が開始されるまでの時間長を待ち時間として算出し、その算出した待ち時間に応じて、プロセッサ100の動作モードを決定する。この構成であっても、上述の第1実施形態と同様に、プロセッサ100の消費電力を効率的に低減できる。なお、上述の実施形態では、プロセッサ100のみを動作切替装置として捉えることができるし、プロセッサ100と割り込み管理部800とを動作切替装置として捉えることもできる。

【0055】

(第3実施形態)

上述の第2実施形態では、第5記憶部320に記憶された割り込み待ち時間の値は固定値であったが、第3実施形態では、第5記憶部320に記憶された割り込み待ち時間の値が可変に設定される。以下、具体的な内容を説明する。なお、第2実施形態と共通する部分については、同一の符号を付して適宜に説明を省略する。

【0056】

図16は、プロセッサ100に搭載されたCPU20が、OS400を実行することにより実現される機能の構成と、プロセッサ100が備えるハードウェアとを示すブロック図である。図16に示すように、OS400は、割り込み待ち通知部311と、更新部417と、登録削除部415と、算出部325と、決定部250と、維持部260と、状態検出部230と、一時停止部365と、復帰部370と、割り込み処理部380と、割り込み待ち解除部390とを有する。また、図16においては、プロセッサ100が備えるハードウェアとプロセッサ100上で動作するOS400、OS400上で動作する1ま

たは複数のプロセスをプロセッサ 1 0 0 が含む表現としている。

【 0 0 5 7 】

登録削除部 4 1 5 は、上述の第 2 実施形態で説明した機能に加えて、割り込み待ち解除部 3 9 0 から割り込み待ち解除要求が通知されたときに、割り込み待ち解除が要求された割り込み種別の割り込み待ちが発生した時刻を、第 4 記憶部 3 1 0 から読み出す。そして、登録削除部 4 1 5 は、その読み出した時刻と、割り込み待ち解除が要求された割り込み種別とを更新部 4 1 7 へ通知する。

【 0 0 5 8 】

更新部 4 1 7 は、登録削除部 4 1 5 から通知された時刻（登録削除部 4 1 5 から通知された割り込み種別で特定される割り込みの割り込み待ちが発生した時刻）と、現在時刻（割り込み処理が開始される時刻に相当）とから、割り込み待ちが継続した時間（割り込み待ち時間）を算出する。より具体的には、更新部 4 1 7 は、登録削除部 4 1 5 から通知された時刻と、現在時刻との差分の時間長を割り込み待ち時間として算出する。そして、更新部 4 1 7 は、算出した割り込み待ち時間を用いて第 5 記憶部 3 2 0 に記憶された割り込み待ち時間を更新する。より具体的には、更新部 4 1 7 は、第 5 記憶部 3 2 0 に記憶された割り込み待ち時間のうち、登録削除部 4 1 5 から通知された割り込み種別に対応する割り込み待ち時間の値を、算出した割り込み待ち時間の値に更新する。

【 0 0 5 9 】

図 1 7 は、割り込み処理部 3 8 0 が上述の割り込み通知を受信してから、更新部 4 1 7 による更新が行われるまでの手順の一例を示すシーケンス図である。図 1 7 に示すように、割り込み処理部 3 8 0 は、割り込み管理部 8 0 0 からの割り込み通知を受信したときに（S 1 9 0 0）、割り込み待ちが解除される割り込み種別を、割り込み待ち解除部 3 9 0 へ通知する（S 1 9 0 1）とともに、当該割り込み通知で特定される割り込み処理を開始する（S 1 9 0 4）。

【 0 0 6 0 】

割り込み待ち解除部 3 9 0 は、割り込み処理部 3 8 0 から通知された割り込み種別の割り込み待ちの解除を要求する割り込み待ち解除要求を、登録削除部 4 1 5 へ通知する（S 1 9 0 2）。次に、登録削除部 4 1 5 は、割り込み待ち解除部 3 9 0 から割り込み待ちの解除を要求された割り込み種別と、当該割り込み種別の割り込み待ちが発生した時刻とを、第 4 記憶部 3 1 0 から削除する（S 1 9 0 3）とともに、割り込み待ちの解除が要求された割り込み種別と、当該割り込み種別の割り込み待ちが発生した時刻とを、割り込み待ち時間の算出に用いられる割り込み待ち時間算出情報として更新部 4 1 7 へ通知する（S 1 9 0 4）。

【 0 0 6 1 】

更新部 4 1 7 は、登録削除部 4 1 5 から通知された割り込み待ち時間情報に基づいて、割り込み待ち時間を算出する（S 1 9 0 5）。割り込み待ち時間の算出方法については上述したとおりであるので、詳細な説明は省略する。次に、更新部 4 1 7 は、算出した割り込み待ち時間を用いて、第 5 記憶部 3 2 0 に記憶された割り込み待ち時間を更新する（S 1 9 0 6）。更新方法は、上述したとおりであるので、詳細な説明は省略する。

【 0 0 6 2 】

以上に説明したように、本実施形態では、更新部 4 1 7 によって最新の割り込み待ち時間が算出されるたびに、第 5 記憶部 3 2 0 に記憶された割り込み待ち時間の値が更新されるので、第 5 記憶部 3 2 0 に記憶された割り込み待ち時間の値を、現在のターゲットシステムにとって最適な値に近づけることができる。

【 0 0 6 3 】

（第 4 実施形態）

上述の第 1 実施形態では、動作モード記憶部 2 2 0 に記憶された、動作モードの移行条件を示す待ち時間の値は固定値であったが、第 4 実施形態では、動作モード記憶部 2 2 0 に記憶された待ち時間の値が可変に設定される。以下、具体的な内容を説明する。なお、第 1 実施形態と共通する部分については、同一の符号を付して適宜に説明を省略する。

【 0 0 6 4 】

図 1 8 は、プロセッサ 1 0 0 に搭載された CPU 2 0 が、OS 5 0 0 を実行することにより実現される機能の構成と、プロセッサ 1 0 0 が備えるハードウェアとを示すブロック図である。図 1 8 に示すように、OS 5 0 0 は、変更部 5 8 0 と、状態検出部 2 3 0 と、算出部 2 4 0 と、決定部 2 5 0 と、維持部 2 6 0 と、一時停止部 5 6 5 と、復帰部 5 7 0 とを有する。また、図 1 8 においては、プロセッサ 1 0 0 が備えるハードウェアとプロセッサ 1 0 0 上で動作する OS 5 0 0、OS 5 0 0 上で動作する 1 または複数のプロセスをプロセッサ 1 0 0 が含む表現としている。

【 0 0 6 5 】

一時停止部 5 6 5 は、上述の第 1 実施形態で説明した機能に加えて、決定部 2 5 0 から、プロセッサ 1 0 0 の動作の一時停止を要求されたときに、プロセッサ 1 0 0 がスリープ状態に移行することを変更部 5 8 0 に通知する。復帰部 5 7 0 は、上述の第 1 実施形態で説明した機能に加えて、一時停止部 5 6 5 によって記憶領域 9 0 0 に退避されていたデータを、レジスタ 1 2 0 へ復帰させたときに、プロセッサ 1 0 0 の動作の再開を変更部 5 8 0 へ通知する。

10

【 0 0 6 6 】

変更部 5 8 0 は、プロセッサ 1 0 0 がスリープ状態になったときから動作を再開するまでの間におけるプロセッサ 1 0 0 の特性を示す特性情報に応じて、動作モード記憶部 2 2 0 に記憶された待ち時間の値を変更する。ここでは、特性情報としてプロセッサ 1 0 0 の消費電力が採用されている。ただし、これに限らず、特性情報の種類は任意である。例えばプロセッサ 1 0 0 の温度情報やキャッシュのヒット率などを特性情報として採用することもできる。要するに、特性情報は、動作モード記憶部 2 2 0 に記憶された待ち時間の変更に必要な情報であればよい。

20

【 0 0 6 7 】

図 1 9 は、プロセッサ 1 0 0 の一時停止が要求されてから、動作モード記憶部 2 2 0 に記憶された待ち時間が変更されるまでの手順の一例を示すシーケンス図である。図 1 9 に示すように、一時停止部 5 6 5 は、決定部 2 5 0 から、プロセッサ 1 0 0 の動作の一時停止要求を受信したときに (S 2 0 0 0)、プロセッサ 1 0 0 がスリープ状態に移行することを変更部 5 8 0 へ通知する (S 2 0 0 1)。

【 0 0 6 8 】

次に、変更部 5 8 0 は、動作モード記憶部 2 2 0 に記憶された待ち時間の変更に必要な各種設定や特性情報の収集を行う (S 2 0 0 2)。例えば変更部 5 8 0 は、特定期間におけるプロセッサ 1 0 0 の消費電力を計測可能な計測装置をリセットし、その計測装置に対して、プロセッサ 1 0 0 がスリープ状態に移行した時点からの消費電力を計算させる。そして、変更部 5 8 0 は、一時停止部 5 6 5 に対して、各種設定および特性情報の収集の実行が完了したことを通知する (S 2 0 0 3)。一時停止部 5 6 5 は、変更部 5 8 0 からの完了通知を受けたときに、プロセッサ 1 0 0 の動作を一時的に停止して節電状態 (スリープ状態) に移行させる (S 2 0 0 4)。

30

【 0 0 6 9 】

その後、上述したように、再開時間に到達して、再開部 7 3 0 がプロセッサ 1 0 0 の動作を再開させたとき、復帰部 5 7 0 は、一時停止部 5 6 5 によって記憶領域 9 0 0 に退避されていたデータを、レジスタ 1 2 0 へ復帰させる (ステップ S 2 0 1 0)。次に、復帰部 5 7 0 は、変更部 5 8 0 に対して、プロセッサ 1 0 0 の動作が再開されたことを通知する (S 2 0 1 1)。

40

【 0 0 7 0 】

変更部 5 8 0 は、復帰部 5 7 0 から、プロセッサ 1 0 0 の動作の再開を通知されたときに、特性情報の収集を実行する (S 2 0 1 2)。例えば変更部 5 8 0 は、上述の計測装置から、プロセッサ 1 0 0 がスリープ状態に移行した時点から現在に至るまでの消費電力を取得することができる。

【 0 0 7 1 】

50

次に、変更部 580 は、これまでに収集した特性情報に基づいて、動作モード記憶部 220 に記憶された待ち時間を変更する (S2013)。例えば待ち時間が $t_y (> t_1)$ の場合に、当該 t_y にわたってプロセッサ 100 がスリープ状態に維持されたときの消費電力 W_2 が、待ち時間 t_1 にわたってプロセッサ 100 がアイドル状態に維持されていたときの消費電力 W_1 を大きく下回った場合には、動作モードの移行条件を示す待ち時間の値を t_1 より小さくすることが好ましい。

【0072】

動作モード記憶部 220 に記憶された待ち時間の変更が完了すると、変更部 580 は、待ち時間の変更が完了したことを復帰部 570 へ通知する (S2014)。復帰部 570 は、変更部 580 から当該完了通知を受けたときに、再開時間において実行すべき処理に移行する (S2015)。

10

【0073】

以上に説明したように、本実施形態では、プロセッサ 100 がスリープ状態になったときから動作を再開するまでの間におけるプロセッサ 100 の消費電力 (特性情報の一例) に応じて、動作モード記憶部 220 に記憶された待ち時間の値が可変に設定されるので、動作モード記憶部 220 に記憶された待ち時間の値を、現在のターゲットシステムにとって最適な値に近づけることができる。

【0074】

(第5実施形態)

上述の第2実施形態では、動作モード記憶部 220 に記憶された、動作モードの移行条件を示す待ち時間の値は固定値であったが、第5実施形態では、第4実施形態と同様に、動作モード記憶部 220 に記憶された待ち時間の値が可変に設定される。以下、具体的な内容を説明する。なお、第2実施形態および第4実施形態と共通する部分については、同一の符号を付して適宜に説明を省略する。

20

【0075】

図20は、プロセッサ100に搭載されたCPU20が、OS600を実行することにより実現される機能の構成と、プロセッサ100が備えるハードウェアとを示すブロック図である。図20に示すように、OS600は、変更部680と、割り込み待ち通知部311と、登録削除部313と、算出部325と、決定部250と、維持部260と、状態検出部230と、一時停止部665と、復帰部670と、割り込み処理部380と、割り込み待ち解除部390とを有する。また、図20においては、プロセッサ100が備えるハードウェアとプロセッサ100上で動作するOS600、OS600上で動作する1または複数のプロセスをプロセッサ100が含む表現としている。

30

【0076】

一時停止部665は、上述の第2実施形態で説明した機能に加えて、決定部250から、プロセッサ100の動作の一時停止を要求されたときに、プロセッサ100がスリープ状態に移行することを変更部680に通知する。復帰部670は、上述の第2実施形態で説明した機能に加えて、一時停止部665によって記憶領域900に退避されていたデータを、レジスタ120へ復帰させたときに、プロセッサ100の動作の再開を変更部680へ通知する。

40

【0077】

変更部680は、プロセッサ100がスリープ状態になったときから動作を再開するまでの間におけるプロセッサ100の特性を示す特性情報に応じて、動作モード記憶部220に記憶された待ち時間の値を変更する。ここでは、第4実施形態と同様、特性情報としてプロセッサ100の消費電力が採用されている。

【0078】

図21は、プロセッサ100の一時停止が要求されてから、動作モード記憶部220に記憶された待ち時間が変更されるまでの手順の一例を示すシーケンス図である。図21に示すように、一時停止部665は、決定部250から、プロセッサ100の動作の一時停止要求を受信したときに (S2100)、プロセッサ100がスリープ状態に移行するこ

50

とを変更部 680 へ通知する (S2101)。

【0079】

次に、変更部 680 は、動作モード記憶部 220 に記憶された待ち時間の変更に必要な各種設定や特性情報の収集を行う (S2102)。この内容は上述の第 4 実施形態と同じである。次に、変更部 580 は、一時停止部 665 に対して、各種設定および特性情報の収集の実行が完了したことを通知する (S2103)。一時停止部 665 は、変更部 680 からの完了通知を受けたときに、プロセッサ 100 の動作を一時的に停止して節電状態 (スリープ状態) に移行させる (S2104)。

【0080】

その後、上述したように、割り込み検出部 820 が割り込みを検出して、再開部 830 がプロセッサ 100 の動作を再開させたとき、復帰部 670 は、一時停止部 665 によって記憶領域 900 に退避されていたデータを、レジスタ 120 へ復帰させる (ステップ S2110)。次に、復帰部 670 は、変更部 680 に対して、プロセッサ 100 の動作が再開されたことを通知する (S2111)。

【0081】

変更部 680 は、復帰部 670 から、プロセッサ 100 の動作の再開を通知されたときに、特性情報の収集を実行する (S2112)。この内容は上述の第 4 実施形態と同じである。

【0082】

次に、変更部 680 は、これまでに収集した特性情報に基づいて、動作モード記憶部 220 に記憶された待ち時間を変更する (S2113)。この内容は上述の第 4 実施形態と同じである。動作モード記憶部 220 に記憶された待ち時間の変更が完了すると、変更部 680 は、待ち時間の変更が完了したことを復帰部 670 へ通知する (S2114)。復帰部 670 は、変更部 680 から当該通知を受けたときに、割り込み処理部 380 に対して割り込み要求を通知する (S2115)。

【0083】

本実施形態においても、上述の第 4 実施形態と同様に、プロセッサ 100 がスリープ状態になったときから動作を再開するまでの間におけるプロセッサ 100 の消費電力に応じて、動作モード記憶部 220 に記憶された待ち時間の値が可変に設定されるので、動作モード記憶部 220 に記憶された待ち時間の値を、現在のターゲットシステムにとって最適な値に近づけることができる。

【0084】

(変形例)

以上、本発明の実施形態を説明したが、上述の各実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。例えば上述の各実施形態では、タイマー情報や割り込み予測から待ち時間を算出しているが、本発明はこれに限定されるものではない。要するに、本発明は、プロセッサ 100 のアイドル状態が検出されたとき、次の処理が開始されるまでの時間長を示す待ち時間を算出し、その算出した待ち時間に応じて動作モードを決定するものであればよい。

【0085】

また、例えば上述の動作モード記憶部 220 に記憶される動作モードの移行条件は任意である。例えば図 22 に示すように、決定部 250 は、待ち時間が t_2 以下の場合には、プロセッサ 100 の動作モードを上記の第 2 モードに決定し、待ち時間が t_2 を超えて t_3 未満の場合には、プロセッサ 100 の動作モードを、DVS による周波数制御が行われる第 3 モードに決定し、待ち時間が t_3 以上の場合には、プロセッサ 100 の動作モードを上記の第 1 モードに決定することもできる。図 22 の例も、決定部 250 は、待ち時間が所定の時間長 (ここでは t_2) を越える場合は、プロセッサ 100 の動作モードを第 1 モー

10

20

30

40

50

ドに決定する一方、待ち時間が所定の時間長以下の場合は、プロセッサ１００の動作モードを第２モードに決定するという概念に含まれる。

【００８６】

また、上述の各実施形態では、プロセッサ１００は、それぞれが揮発性のメモリで構成されるレジスタ１２０およびキャッシュメモリ１４０を有しているが、これに限らず、例えばプロセッサ１００が、キャッシュメモリ１４０を有しない構成であってもよい。この構成であれば、キャッシュメモリ１４０に記憶されたデータのフラッシュ処理を省略できる。また、レジスタ１２０やキャッシュメモリ１４０が不揮発性のメモリで構成されてもよい。この構成であれば、レジスタ１２０やキャッシュメモリ１４０に記憶されたデータの退避処理および復帰処理を省略できる。

10

【００８７】

さらに、上述したＯＳ（２００，３００，４００，５００，６００）の機能の少なくとも一部が、プロセッサ１００以外のハードウェアで実現される構成であってもよい。例えば図２３に示すように、第１実施形態のＯＳ２００の機能が、プロセッサ１００とは別のハードウェアであるタイマー管理部２０１で実現することもできる。

【００８８】

図２４は、タイマー管理部２０１のＣＰＵ３０が、プログラムを実行することにより実現される機能の構成と、タイマー管理部２０１が備えるハードウェアとを示すブロック図である。図２４に示すように、タイマー管理部２０１が備えるハードウェアには、ＣＰＵ３０と、第１記憶部２１０と、動作モード記憶部２２０とが含まれる。また、図２４に示すように、ＣＰＵ３０がプログラムを実行することにより実現される機能は、状態検出部２３０、算出部２４０、決定部２５０、維持部２６０、一時停止部２７０および復帰部２８０である。図２３および図２４の例では、タイマー管理部２０１を動作切替装置として捉えることができる。また、図２４においては、タイマー管理部２０１が備えるハードウェアとタイマー管理部２０１上で動作するＯＳ、ＯＳ上で動作する１または複数のプロセスをタイマー管理部２０１が含む表現としている。

20

【００８９】

なお、図２３および図２４の例に限らず、例えばＯＳ２００の一部の機能のみがプロセッサ１００とは別のハードウェアで実現され、他の機能はＯＳ２００上で実現されてもよい。他の実施形態（第２実施形態～第５実施形態）についても同様である。

30

【符号の説明】

【００９０】

１００ プロセッサ
 １１０ 第３記憶部
 １２０ レジスタ
 １４０ キャッシュメモリ
 ２０１ タイマー管理部
 ２１０ 第１記憶部
 ２２０ 動作モード記憶部
 ２３０ 状態検出部
 ２４０ 算出部
 ２５０ 決定部
 ２６０ 維持部
 ２７０ 一時停止部
 ２８０ 復帰部
 ３１０ 第４記憶部
 ３１１ 割り込み待ち通知部
 ３１３ 登録削除部
 ３２０ 第５記憶部
 ３２５ 算出部

40

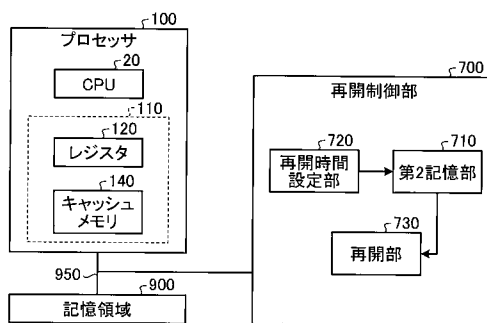
50

3 6 5 一時停止部
 3 7 0 復帰部
 3 8 0 割り込み処理部
 3 9 0 割り込み待ち解除部
 4 1 5 登録削除部
 4 1 7 更新部
 5 0 0 バス
 5 6 5 一時停止部
 5 7 0 復帰部
 5 8 0 変更部
 6 6 5 一時停止部
 6 7 0 復帰部
 6 8 0 変更部
 7 0 0 再開制御部
 7 1 0 第2記憶部
 7 2 0 再開時間設定部
 7 3 0 再開部
 8 0 0 割り込み管理部
 8 1 0 割り込み管理設定部
 8 2 0 割り込み検出部
 8 3 0 再開部
 9 0 0 記憶領域

10

20

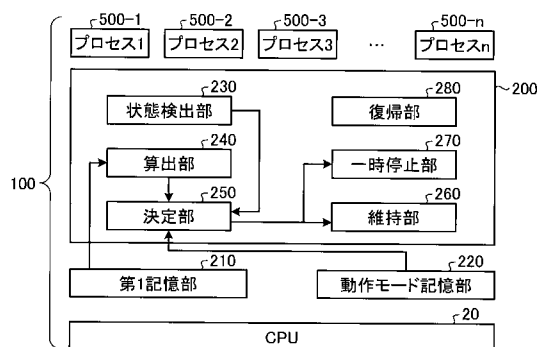
【図1】



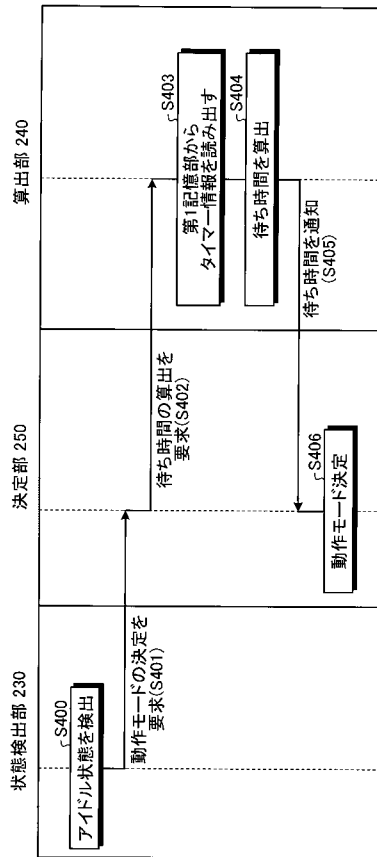
【図3】

220	
待ち時間	動作モード
0~t1	第2モード
t1~	第1モード

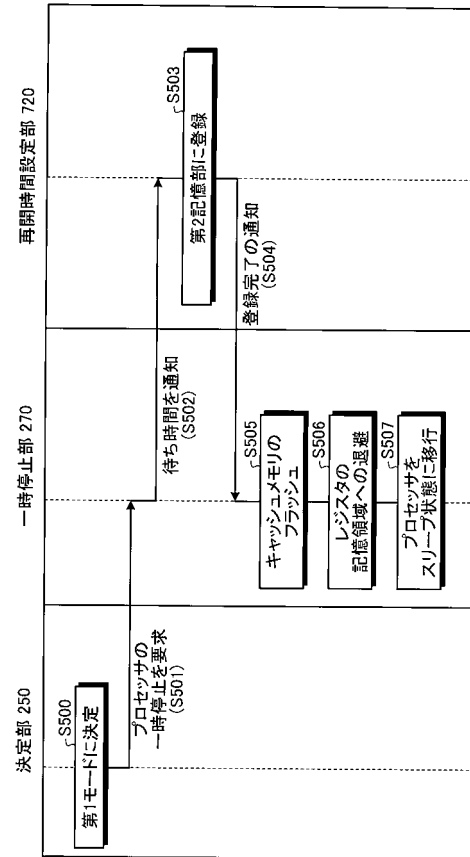
【図2】



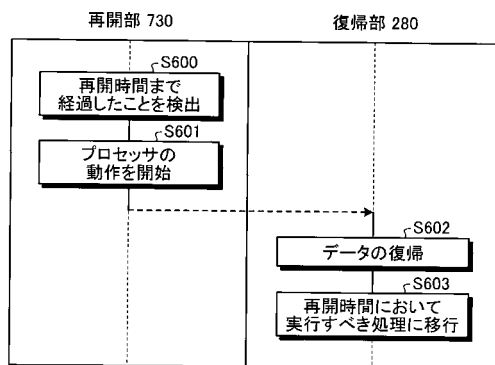
【図 4】



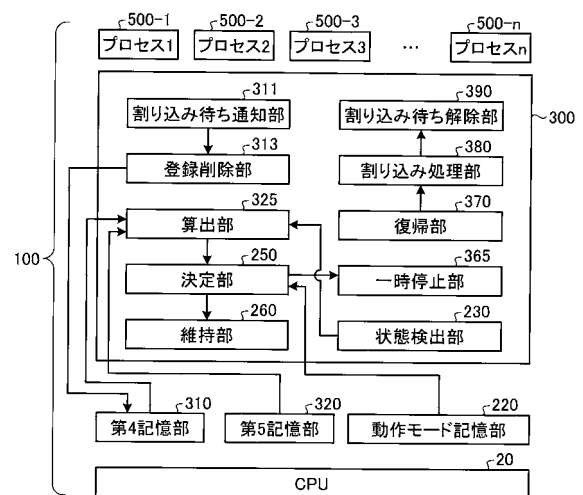
【図 5】



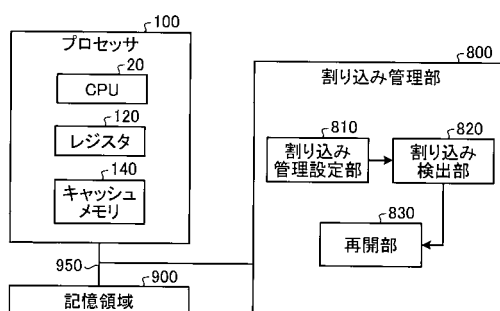
【図 6】



【図 8】



【図 7】



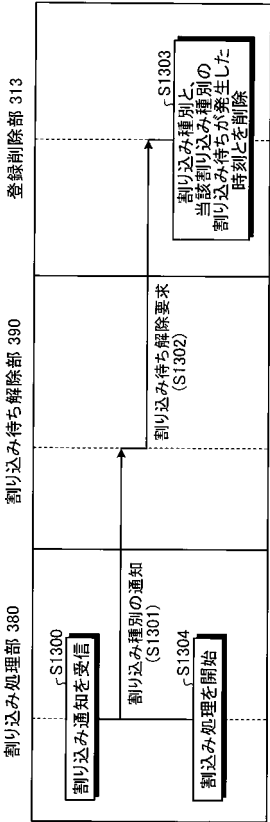
【図 9】

割り込み種別		発生時間
デバイス読み出し		T_a
キーボード入力		T_b

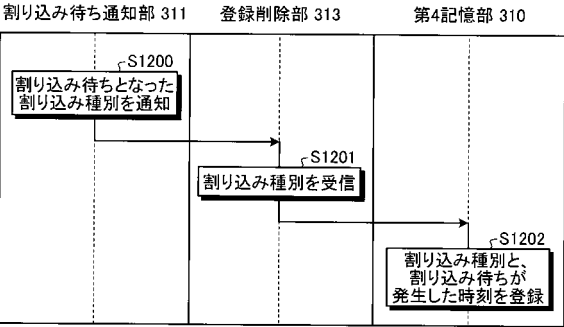
【図 1 0】

320	
割り込み種別	割り込み待ち時間
デバイス読み出し	T3
キーボード入力	T4
マウス入力	T5

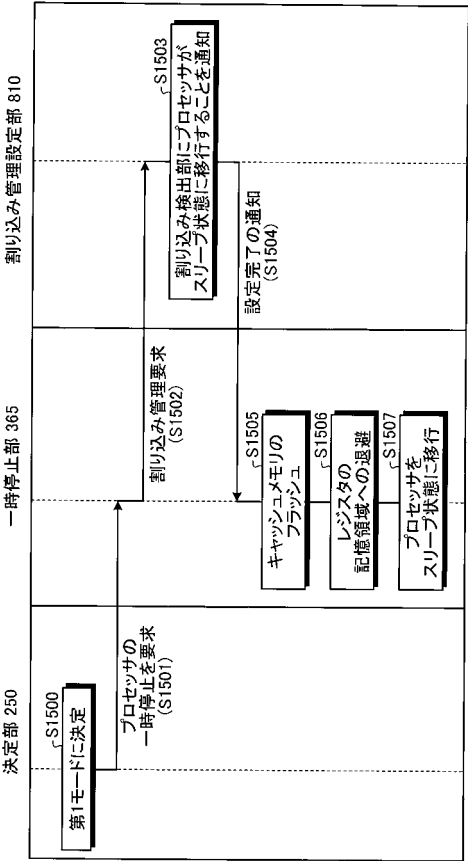
【図 1 2】



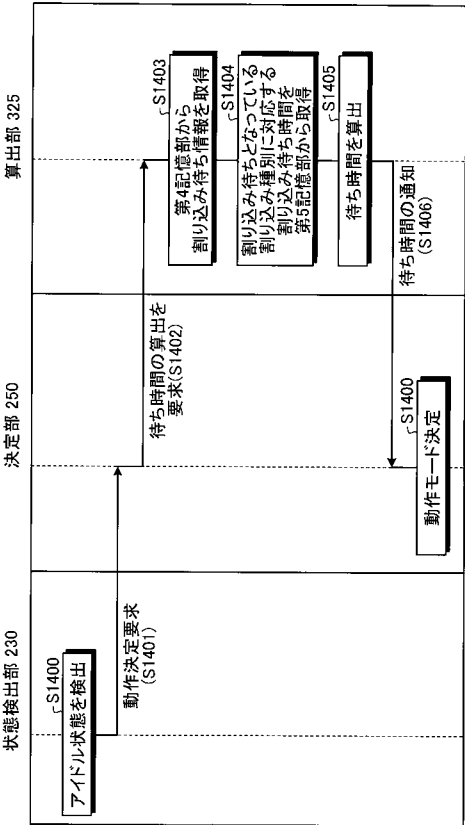
【図 1 1】



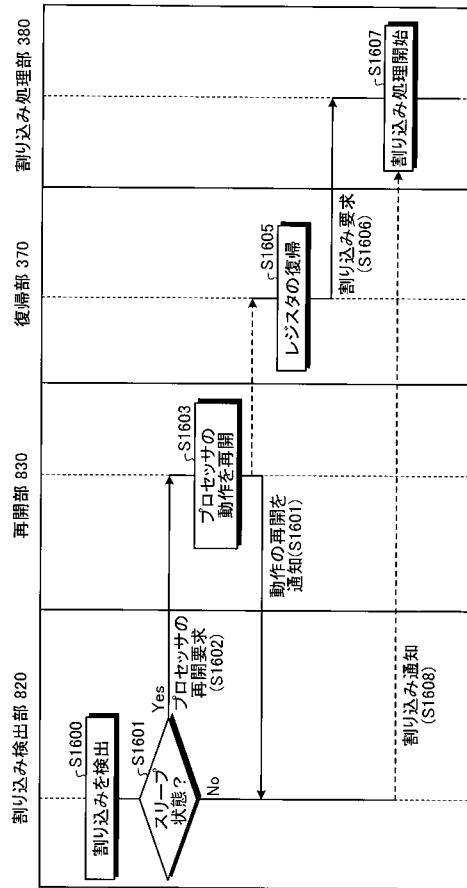
【図 1 4】



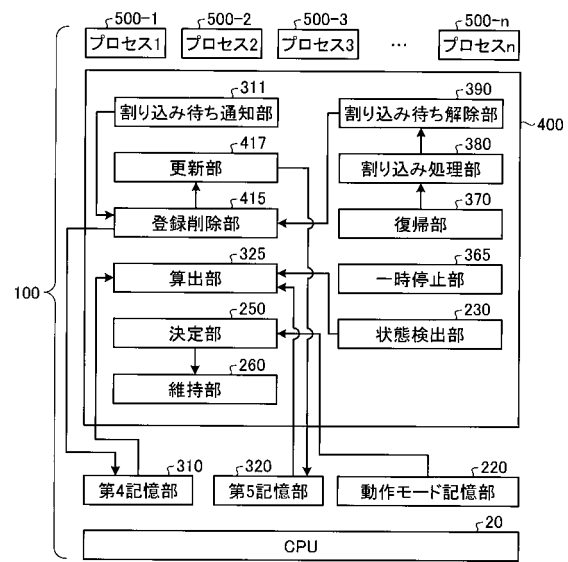
【図 1 3】



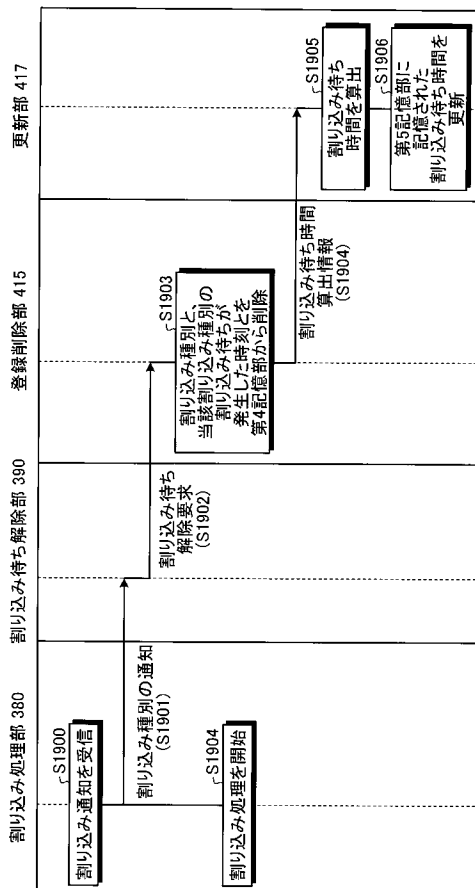
【図 15】



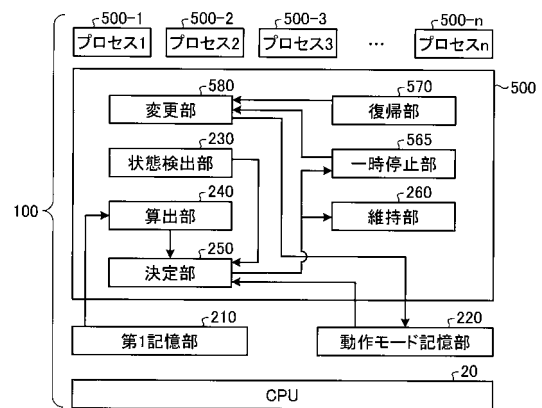
【図 16】



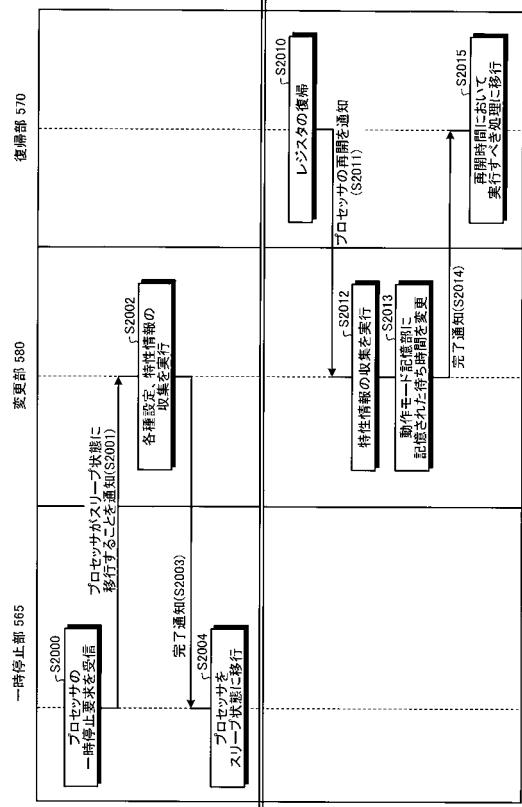
【図 17】



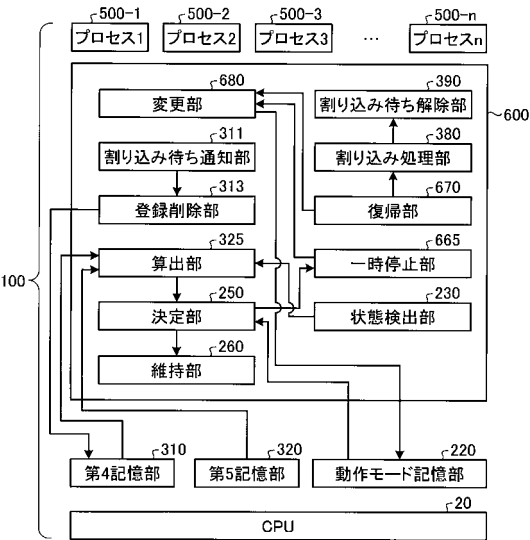
【図 18】



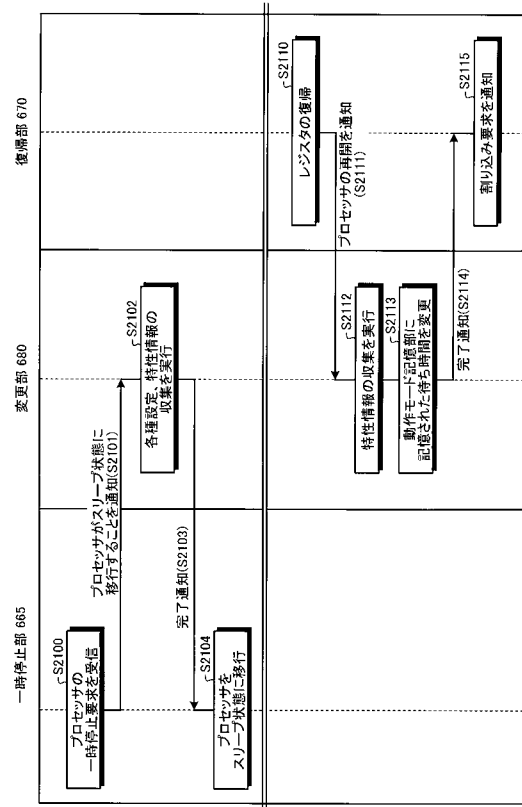
【図 19】



【図 20】



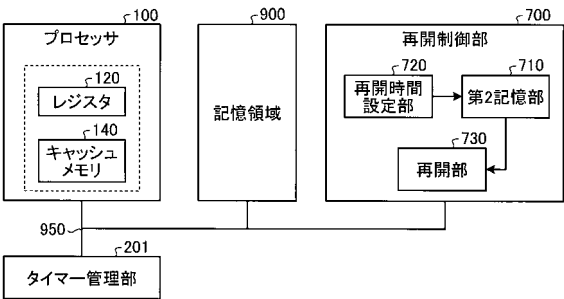
【図 21】



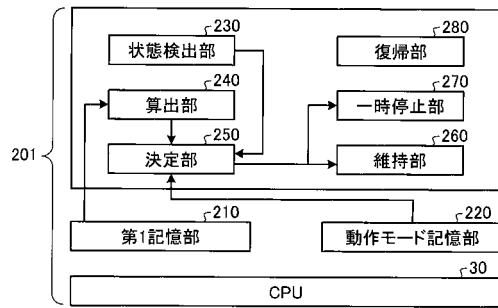
【図 22】

待ち時間	動作モード
0~t2	第2モード
t2~t3	第3モード
t3~	第1モード

【図 23】



【図 24】



フロントページの続き

- (72)発明者 白井 智
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 樽家 昌也
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 柴田 章博
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 木村 哲郎
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 金井 達徳
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 外山 春彦
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 猪瀬 隆広

- (56)参考文献 特開2010-113641(JP, A)
特許第4644747(JP, B2)
特開2003-029886(JP, A)
特開平03-171217(JP, A)
特開2008-243220(JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 1/26 - 1/32,
G06F 9/46, 9/48, 9/50 - 9/52, 9/54