(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 2 月 29 日 (29.02.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/040644 A1

(51) 国际专利分类号:
H01L 27/146 (2006.01)

(21) 国际申请号: PCT/CN2022/118570

(22) 国际申请日: 2022 年 9 月 13 日 (13.09.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211013671.2 2022年8月23日 (23.08.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 刘志拯 (**LIU, Chih-cheng**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 上海晨皓知识产权代理事务所（普通合伙） (**SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP**); 中国上海市黄浦区制造局路787号二幢202B室, Shanghai 200011 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,

(54) **Title:** SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体结构及其制造方法

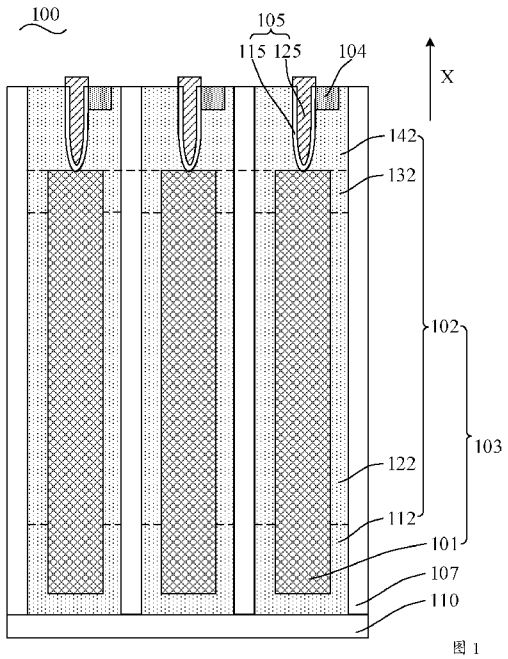

图 1

(57) **Abstract:** The embodiments of the present disclosure relate to the technical field of semiconductors, and provide a semiconductor structure and a manufacturing method therefor. The semiconductor structure comprises: a substrate; the substrate comprising a first doped region, and a second doped region surrounding the first doped region; the doping type of the first doped region is different from the doping type of the second doped region; and the first doped region and the second doped region jointly form a photodiode; wherein the second doped region comprises a bottom part, a middle part and a top part, the doping concentration of the middle part being smaller than the doping concentration of the bottom part and the doping concentration of the top part. The embodiments of the present

WO 2024/040644 A1

[见续页]

PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

disclosure at least help improve the problem of photon-generated carrier retention when a photodiode performs photon-generated carrier transmission, and the use of the second doped region surrounding the first doped region reduces the leakage current of the photodiode, thereby helping to improve the performance of the photodiode, and optimize the low-light imaging performance of the semiconductor structure.

(57) 摘要: 本公开实施例涉及半导体技术领域，提供一种半导体结构及其制造方法，半导体结构包括：基底，所述基底中包括第一掺杂区和包围所述第一掺杂区的第二掺杂区，所述第一掺杂区的掺杂类型和所述第二掺杂区的掺杂类型不同，所述第一掺杂区和所述第二掺杂区共同构成光电二极管；其中，所述第二掺杂区包括底部、中部和顶部，所述中部的掺杂浓度小于所述底部的掺杂浓度和所述顶部的掺杂浓度。本公开实施例至少有利于改善光电二极管进行光生载流子传输时的光生载流子滞留的问题，以及利用包围第一掺杂区的第二掺杂区降低光电二极管的漏电电流，从而有利于提高光电二极管的性能，以及优化半导体结构的微光成像性能。

半导体结构及其制造方法

交叉引用

[0001] 本申请要求于 2022 年 08 月 23 日递交的名称为“半导体结构及其制造方法”、申请号为 202211013671.2 的中国专利申请的优先权，其通过引用被全部并入本申请。

技术领域

[0002] 本公开实施例涉及半导体领域，特别涉及一种半导体结构及其制造方法。

背景技术

[0003] CMOS 图像传感器的低功耗、低成本、高集成以及高灵活度等特点，使得 CMOS 图像传感器的市场份额已经超越 CCD 图像传感器，尤其是在中低端的消费类电子行业。

[0004] 在消费类电子产品中，便携性是产品不断升级的目标之一，故为了缩小产品的体积，同时保证产品的性能，图像传感器的像素尺寸越来越小，但是大感光面积的像素在特定领域也有着尤为重要的应用。在微弱光照下的夜晚、深海区域，为了增加图像传感器的感光量，则多采用具有大像素的图像传感器，可以增加满阱容量，从而提高灵敏度和信噪比。但是随着感光面积的增加，会导致光生载流子的滞留问题以及降低光生载流子的传输速度，容易导致最终形成的图像出现滞后。

发明内容

[0005] 本公开实施例提供一种半导体结构及其制造方法，至少有利于改善光电二极管进行光生载流子传输时的光生载流子滞留的问题，以及利用包围第一掺杂区的第二掺杂区降低光电二极管的漏电电流，从而有利于提高光电二极管的性能，以及优化半导体结构的微光成像性能。

[0006] 根据本公开一些实施例，本公开实施例一方面提供一种半导体结构，包括：基底，所述基底中包括第一掺杂区和包围所述第一掺杂区的第二掺杂区，所述第一掺杂区的掺杂类型和所述第二掺杂区的掺杂类型不同，所述第一掺杂区和所述第二掺杂区共同构成光电二极管；其中，所述第二掺杂区包括底部、中部和顶部，所述中部的掺杂浓度小于所述底部的掺杂浓度和所述顶部的掺杂浓度。

[0007] 在一些实施例中，所述底部的掺杂浓度大于所述顶部的掺杂浓度。

[0008] 在一些实施例中，所述第一掺杂区中的掺杂浓度为 5×10^{16}atom/cm^3~$3 \times$

10^{17}atom/cm^3。

[0009] 在一些实施例中，所述底部的掺杂浓度为 1×10^{16}atom/cm^3~5×10^{16}atom/cm^3；所述中部的掺杂浓度为 5×10^{15}atom/cm^3~1×10^{16}atom/cm^3；所述顶部的掺杂浓度为 8×10^{15}atom/cm^3~2×10^{16}atom/cm^3。

[0010] 在一些实施例中，沿所述底部指向所述顶部的方向上，所述中部的厚度大于所述底部和所述顶部的厚度。

[0011] 在一些实施例中，沿所述底部指向所述顶部的方向上，所述顶部的厚度小于所述底部的厚度。

[0012] 在一些实施例中，沿所述底部指向所述顶部的方向上，所述第一掺杂区的厚度为3.9μm~4.1μm，所述底部的厚度为0.45μm~0.55μm，所述中部的厚度为3.2μm~3.4μm，所述顶部的厚度为0.15μm ~0.25μm。

[0013] 在一些实施例中，所述半导体结构还包括：第三掺杂区和传输门结构，所述第三掺杂区间隔设置在所述第一掺杂区上方，所述传输门结构与所述第一掺杂区和所述第三掺杂区均相邻。

[0014] 在一些实施例中，所述第三掺杂区的掺杂类型与所述第一掺杂区的掺杂类型相同，所述第三掺杂区的掺杂浓度大于或等于所述第一掺杂区的掺杂浓度。

[0015] 根据本公开一些实施例，本公开实施例另一方面还提供一种半导体结构的制造方法，包括：形成基底，所述基底中包括第一掺杂区和包围所述第一掺杂区的第二掺杂区，所述第一掺杂区的掺杂类型与所述第二掺杂区的掺杂类型不同，所述第一掺杂区和所述第二掺杂区共同构成光电二极管；其中，所述第二掺杂区包括底部、中部和顶部，所述中部的掺杂浓度小于所述底部的掺杂浓度和所述顶部的掺杂浓度。

[0016] 在一些实施例中，形成所述基底的步骤包括：提供衬底；采用外延生长工艺分别在所述衬底上形成第一外延层、第二外延层和第三外延层，对所述第一外延层、所述第二外延层和所述第三外延层分别进行不同浓度的第二类型的掺杂，以形成初始第二掺杂区；对所述初始第二掺杂区的中心区域进行第一类型的掺杂，以形成所述第一掺杂区，剩余所述初始第二掺杂区作为所述第二掺杂区。

[0017] 在一些实施例中，在对所述第一外延层、所述第二外延层和所述第三外延层分别进行不同浓度的第二类型的掺杂的步骤中，所述第二外延层的掺杂浓度低于所述第一外延层和所

述第三外延层的掺杂浓度，所述第三外延层的掺杂浓度低于所述第一外延层的掺杂浓度。

[0018] 在一些实施例中，在形成所述初始第二掺杂区的步骤中，沿所述第一外延层指向所述第三外延层的方向上，所述第二外延层的厚度大于所述第一外延层的厚度以及所述第三外延层的厚度。

[0019] 在一些实施例中，所述半导体结构的制造方法还包括：形成第三掺杂区，所述第三掺杂区位于所述第二掺杂区中且与所述第一掺杂区相间隔；形成传输门结构，所述传输门结构与所述第一掺杂区和所述第三掺杂区均相邻。

[0020] 在一些实施例中，形成所述第三掺杂区的步骤包括：对远离所述第一掺杂区的所述第三外延层的部分表面进行所述第一类型的掺杂，以将部分所述第二掺杂区转化为所述第三掺杂区。

[0021] 在一些实施例中，形成所述传输门结构的步骤包括：在所述第三外延层远离所述第二外延层的一侧形成通孔，所述通孔的底部暴露出所述第一掺杂区，所述通孔的顶部侧壁暴露出所述第三掺杂区，依次在所述通孔的内壁形成介质层和导电层。

[0022] 本公开实施例提供的技术方案至少具有以下优点：

[0023] 光电二极管中，第一掺杂区的掺杂类型和第二掺杂区的掺杂类型不同，从而形成 PN 结，用于收集光生载流子，而且，第二掺杂区中不同区域的掺杂浓度不同，对 PN 结的禁带宽度的影响不同，一方面，底部的掺杂浓度较大，引入的杂质能级越多，导致禁带宽度越小，价带中的电子更容易跃迁进入导带，更容易产生光生载流子；另一方面，中部的掺杂浓度最小，有利于存储收集的光生载流子；而且，在进行光生载流子传输时，利用底部的掺杂浓度与中部的掺杂浓度的差，即利用底部处的电势与中部处的电势之差，提高光生载流子的转移速度，降低光生载流子滞留在第一掺杂区中的概率，以改善半导体结构中的图像滞后问题。此外，利用第二掺杂区包围第一掺杂区，有利于利用第二掺杂区和第一掺杂区之间的势能差，降低光生载流子从第二掺杂区中泄露的概率，从而有利于降低光电二极管的漏电电流。

[0024] 由上述分析可知，本公开实施例中的第一掺杂区和第二掺杂区有利于提高光电二极管的性能，以及优化半导体结构的微光成像性能。

附图说明

[0025] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制。一个或多个实施例

通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0026] 图 1 为本公开一实施例提供的半导体结构的一种结构示意图；

[0027] 图 2 为本公开一实施例提供的半导体结构中光电二极管进行光生载流子传输时的一种简要示意图；

[0028] 图 3 为本公开一实施例提供的半导体结构中光电二极管存储光生载流子时的一种简要示意图；

[0029] 图 4 至图 7 为本公开另一实施例提供的半导体结构的制造方法各步骤对应的结构示意图。

具体实施方式

[0030] 经分析发现，CMOS 图像传感器的像素部分通常由光电二极管、传输管、浮空扩散节点、复位管、源级跟随器以及选择管等组成。当光入射到半导体表面时，其中一部分入射光被反射，而其余则被半导体吸收。当进入半导体内部的光子能量不低于半导体材料禁带宽度时，那么半导体材料便有一定概率吸收这份能量，从而产生电子-空穴对，即光生载流子。光照积分完成后，传输管传输导通，光生载流子在电场的作用下由光电二极管区域转移至浮空扩散节点，即完成电荷-电压信息的转换过程，最后通过行选通管以及列级读出电路，逐行读出存储在浮空扩散节点的光信号。

[0031] 然而，随着图像传感器的像素尺寸越来越小，在微弱光照下的夜晚、深海区域，为了增加图像传感器的感光量，多采用具有大像素的图像传感器，可以增加满阱容量，但是随着感光面积的增加，会降低光生载流子的传输速度以及导致光生载流子的滞留问题，容易导致最终形成的图像出现滞后，降低形成的图像的质量。

[0032] 本公开实施提供一种半导体结构及其制造方法，半导体结构可以应用于 CMOS 图像传感器中，半导体结构中，第一掺杂区的掺杂类型和第二掺杂区的掺杂类型不同，有利于形成收集光生载流子的 PN 结，而且，第二掺杂区中，底部的掺杂浓度较大，引入的杂质能级越多，导致 PN 结的禁带宽度越小，价带中的电子更容易跃迁进入导带，更容易产生光生载流子，中部的掺杂浓度最小，有利于存储收集的光生载流子；而且，在进行光生载流子传输

时，利用底部的掺杂浓度与中部的掺杂浓度的差，即利用底部处的电势与中部处的电势之差，提高光生载流子的转移速度，从而有利于降低光生载流子滞留在光电二极管中的概率，即改善光生载流子的滞留问题，从而改善半导体结构中的图像滞后问题。此外，利用第二掺杂区包围第一掺杂区，有利于利用第二掺杂区和第一掺杂区之间的势能差，降低光生载流子从第二掺杂区中泄露的概率，从而有利于降低光电二极管的漏电电流。

[0033] 由上述分析可知，本公开实施例中的第一掺杂区和第二掺杂区有利于提高光电二极管的性能，以及优化半导体结构的微光成像性能。

[0034] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开实施例而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开实施例所要求保护的技术方案。

[0035] 本公开一实施例提供一种半导体结构，以下将结合附图对本公开一实施例提供的半导体结构进行详细说明。图 1 为本公开一实施例提供的半导体结构的一种结构示意图；图 2 为本公开一实施例提供的半导体结构中光电二极管进行光生载流子传输时的一种简要示意图；图 3 为本公开一实施例提供的半导体结构中光电二极管存储光生载流子时的一种简要示意图。

[0036] 参考图 1 和图 2，半导体结构包括：基底 100，基底 100 中包括第一掺杂区 101 和包围第一掺杂区 101 的第二掺杂区 102，第一掺杂区 101 的掺杂类型和第二掺杂区 102 的掺杂类型不同，第一掺杂区 101 和第二掺杂区 102 共同构成光电二极管 103；其中，第二掺杂区 102 包括底部 112、中部 122 和顶部 132，中部 122 的掺杂浓度小于底部 112 的掺杂浓度和顶部 132 的掺杂浓度。

[0037] 可以理解的是，第二掺杂区 102 中不同区域的掺杂浓度不同，光生载流子的产生能力也不同。

[0038] 具体的，由于底部 112 的掺杂浓度较大，引入的杂质能级越多，导致 PN 结的禁带宽度越小，价带中的电子更容易跃迁进入导带，更容易产生光生载流子，中部 122 的掺杂浓度最小，有利于中部 122 包围的第一掺杂区 101 存储收集的光生载流子；而且，在进行光生载流子传输时，利用底部 112 的掺杂浓度与中部 122 的掺杂浓度的差，即利用底部 112 处的电势与中部 122 处的电势之差，提高光生载流子的转移速度，降低光生载流子滞留在光电二极管 103 中的概率，以改善半导体结构中的图像滞后问题。

[0039] 可以理解的是，参考图 2，在进行光生载流子传输时，由于底部 112 的掺杂浓度与中部 122 的掺杂浓度之差较大，则底部 112 处的电势与中部 122 处的电势之差较大，有利于形成如图 2 所示的势能梯度，促使光生载流子如水流一般从势能高之处向势能低之处转移，且势能的高度差有利于提高光生载流子的转移速度，即提高光生载流子从第一掺杂区 101 中冲出去的概率，使得光生载流子更容易从第一掺杂区 101 中传输出去，有利于降低光生载流子滞留在第一掺杂区 101 中的概率，以改善半导体结构中的图像滞后问题，以及优化半导体结构的微光成像性能。

[0040] 此外，利用第二掺杂区 102 包围第一掺杂区 101，利用第二掺杂区 102 和第一掺杂区 101 之间的势能差，降低光生载流子从第二掺杂区 102 中泄露的概率，从而有利于降低光电二极管 103 的漏电电流，以提高光电二极管 103 的光电转换性能。

[0041] 在一些实施例中，第一掺杂区 101 的掺杂类型和第二掺杂区 102 的掺杂类型不同指的是：第一掺杂区 101 中掺杂有第一类型离子，第二掺杂区 102 中掺杂有第二类型离子，其中，第一类型离子为 N 型离子和 P 型离子中的一者，第二类型离子为 N 型离子和 P 型离子中的另一者。具体地，N 型离子可以包括砷离子、磷离子或者锑离子中的至少一种；P 型离子可以包括硼离子、铟离子或者镓离子中的至少一种。

[0042] 需要说明的是，后续以第一掺杂区 101 为 N 型掺杂，即第一掺杂区 101 中掺杂有 N 型离子，第二掺杂区 102 为 P 型掺杂，即，第二掺杂区 102 中掺杂有 P 型离子为示例。在实际应用中，第一掺杂区可以为 P 型掺杂，第二掺杂区可以为 N 型掺杂。

[0043] 在一些实施例中，中部 122 的掺杂浓度小于底部 112 的掺杂浓度和顶部 132 的掺杂浓度指的是：第一类型离子在中部 122 中的掺杂浓度小于在底部 112 中的掺杂浓度，且第一类型离子在中部 122 中的掺杂浓度小于在顶部 132 中的掺杂浓度。

[0044] 以下将结合附图对本公开一实施例提供的半导体结构进行更为详细的说明。

[0045] 在一些实施例中，底部 112 的掺杂浓度大于顶部 132 的掺杂浓度。

[0046] 可以理解的是，参考图 2 和图 3，在底部 112、中部 122 以及顶部 132 中，底部的掺杂浓度最高，一方面，有利于使得底部 112 处具有足够的电荷来产生较高的电势，从而在进行光生载流子传输时，有利于形成如图 2 所示的势能梯度，以提高光生载流子的转移速度，从而降低光生载流子滞留在第一掺杂区 101 中的概率，以改善半导体结构中的图像滞后问题；另一方面，参考图 3，在需要第一掺杂区 101 存储光生载流子时，有利于使得底部 112 处的电势与中部 122 处的电势之差较大，从而有利于提高中部 122 包围的第一掺杂区 101 的电荷

存储能力，即提高光电二极管 103 的全阱容量。

[0047] 此外，在底部 112、中部 122 以及顶部 132 中，顶部 132 的掺杂浓度居中，有利于降低由于掺杂工艺造成的顶部 132 中的缺陷密度，则有利于降低光生载流子在经过顶部 132 时被顶部 132 中的缺陷捕获消耗的概率，如此，有利于进一步提高光生载流子的收集效率，从而有利于提高光电二极管的光电转换效率。

[0048] 在一些实施例中，底部 112 的掺杂浓度大于顶部 132 的掺杂浓度指的是：第二类型离子在底部 112 中的掺杂浓度大于在顶部 132 中的掺杂浓度。

[0049] 在一些实施例中，底部 112 的掺杂浓度可以为 $1\times10^{16}atom/cm^3$~$5\times10^{16}atom/cm^3$；中部 122 的掺杂浓度可以为 $5\times10^{15}atom/cm^3$~$1\times10^{16}atom/cm^3$；顶部 132 的掺杂浓度可以为 $8\times10^{15}atom/cm^3$~$2\times10^{16}atom/cm^3$。

[0050] 可以理解的是，底部 112 的掺杂浓度指的是第二类型离子在底部 112 中的掺杂浓度；中部 122 的掺杂浓度指的是第二类型离子在中部 122 中的掺杂浓度；顶部 132 的掺杂浓度指的是第二类型离子在顶部 132 中的掺杂浓度。在一个例子中，底部 112 的掺杂浓度，即 P 型离子在底部 112 中的掺杂浓度可以为 $1\times10^{16}atom/cm^3$~$5\times10^{16}atom/cm^3$；中部 122 的掺杂浓度，即 P 型离子在中部 122 中的掺杂浓度可以为 $5\times10^{15}atom/cm^3$~$1\times10^{16}atom/cm^3$；顶部 132 的掺杂浓度，即 P 型离子在顶部 132 中的掺杂浓度可以为 $8\times10^{15}atom/cm^3$~$2\times10^{16}atom/cm^3$。

[0051] 需要说明的是，在实际应用中，由于半导体结构的制造方法，第一掺杂区 101 除了掺杂第一类型离子，还掺杂有第二类型离子，且第二类型离子在第一掺杂区 101 中的掺杂浓度小于或等于在第二掺杂区 102 中的掺杂浓度。

[0052] 在一些实施例中，第一掺杂区 101 中的掺杂浓度可以为 $5\times10^{16}atom/cm^3$~$3\times10^{17}atom/cm^3$。如此，有利于使得第一掺杂区 101 与第二掺杂区 102 整体之间形成符合要求的 PN 结，促进光生载流子的产生。在实际应用中，可根据光电二极管 103 所需产生的光生载流子的数量，合理设置第一掺杂区 101 的掺杂浓度。

[0053] 可以理解的是，第一掺杂区 101 中的掺杂浓度指的是第一类型离子在第一掺杂区 101 中的掺杂浓度。在一个例子中，第一掺杂区 101 中的掺杂浓度，即 N 型离子在第一掺杂区 101 中的掺杂浓度可以为 $5\times10^{16}atom/cm^3$~$3\times10^{17}atom/cm^3$。

[0054] 在一些实施例中，沿底部 112 指向顶部 132 的方向 X 上，中部 122 的厚度大于底部 112 和顶部 132 的厚度。

[0055] 可以理解的是，中部 122 包围的第一掺杂区 101 主要用于存储光生载流子，即大部分有效的电荷均存储在中部 122 包围的第一掺杂区 101 中，因此，在底部 112、中部 122 以及顶部 132 中，参考图 3，中部 122 的厚度最大，有利于增大中部 122 包围的第一掺杂区 101 在光电二极管 103 中所占的空间，即增大有效的电荷存储空间，以提高中部 122 包围的第一掺杂区 101 的电荷存储能力，从而有利于提高光电二极管 103 的全阱容量。此外，底部 112 和顶部 132 主要是用于形成较高的电势，与中部 122 之间形成较大的电势差，有助于中部 122 包围的第一掺杂区 101 存储光生载流子。

[0056] 在一些实施例中，沿底部 112 指向顶部 132 的方向 X 上，顶部 132 的厚度小于底部 112 的厚度。

[0057] 可以理解的是，底部 112 和顶部 132 主要是用于形成较高的电势，中部 122 包围的第一掺杂区 101 主要用于存储光生载流子，则底部 112 的厚度和顶部 132 的厚度无需过高，只需掺杂浓度较高即可，如此，有利于避免底部 112 包围的第一掺杂区 101 和顶部 132 包围的第一掺杂区 101 占用光电二极管 103 中过多的区域，降低光电二极管 103 的全阱容量。而且，使得顶部 132 的厚度小于底部 112 的厚度，有利于实现底部 112 的掺杂浓度高于顶部 132 的掺杂浓度，且在需要进行光生载流子传输时，即传输门结构 105 导通时，中部 122 包围的第一掺杂区 101 中存储的光生载流子更容易通过顶部 132 包围的第一掺杂区 101。

[0058] 在一些实施例中，沿底部 112 指向顶部 132 的方向 X 上，第一掺杂区 101 的厚度可以为 3.9μm~4.1μm，底部 112 的厚度可以为 0.45μm~0.55μm，中部 122 的厚度可以为 3.2μm~3.4μm，顶部 132 的厚度可以为 0.15μm ~0.25μm。

[0059] 在一个例子中，沿底部 112 指向顶部 132 的方向 X 上，第一掺杂区 101 的厚度可以为 4.0μm，底部 112 的厚度可以为 0.5μm，中部 122 的厚度可以为 3.3μm，顶部 132 的厚度可以为 0.2μm。

[0060] 在一些实施例中，参考图 1，半导体结构可以还包括：第三掺杂区 104 和传输门结构 105，第三掺杂区 104 间隔设置在第一掺杂区 101 上方，传输门结构 105 与第一掺杂区 101 和第三掺杂区 104 均相邻。

[0061] 需要说明的是，在一些实施例中，第二掺杂区 102 还可以包括：容纳区 142，容纳区 142 位于顶部 132 之上，第三掺杂区 104 和传输门结构 105 位于容纳区 142 中。在一个例子中，第二类型离子在容纳区 142 中的掺杂浓度可以与在顶部 132 中的掺杂浓度一样。

[0062] 在一些实施例中，继续参考图 1，传输门结构 105 与第一掺杂区 101 沿方向 X 排布，

传输门结构 105 与第三掺杂区 104 沿垂直于方向 X 的方向排布。

[0063] 可以理解的是，第三掺杂区 104、传输门结构 105、第一掺杂区 101 的顶部以及部分第二掺杂区 102 构成晶体管结构，第三掺杂区 104 和第一掺杂区 101 的顶部两者相当于晶体管结构的源区和漏区。其中，传输门结构 105 被配置为：参考图 2，在需要进行光生载流子传输时，导通第三掺杂区 104 和顶部 132 之间电荷的传输路径；参考图 3，在需要第一掺杂区 101 存储光生载流子时，关断第三掺杂区 104 和顶部 132 之间电荷的传输路径。

[0064] 在一些实施例中，第三掺杂区 104 的掺杂类型与第一掺杂区 101 的掺杂类型相同，第三掺杂区 104 的掺杂浓度大于或等于第一掺杂区 101 的掺杂浓度。

[0065] 在一个例子中，第三掺杂区 104 的掺杂类型与第一掺杂区 101 的掺杂类型均为 N 型掺杂。

[0066] 在一些实施例中，参考图 1，传输门结构 105 包括介质层 115 和导电层 125，介质层 115 位于第一掺杂区 101 和导电层 125 之间。

[0067] 在一个例子中，继续参考图 1，介质层 115 可以和顶部 132 接触连接，且介质层 115 可以和第三掺杂区 104 接触连接。在实际应用中，介质层 115 可以和顶部 132 之间可以具有一部分的间隔，该间隔由第二掺杂区 102 填充；介质层 115 可以和第三掺杂区 104 之间可以具有一部分的间隔，该间隔由第二掺杂区 102 填充。

[0068] 在一些实施例中，参考图 1，光电二极管 103 的数量可以为多个，传输门结构 105 与光电二极管 103 一一对应，且第三掺杂区 104 与光电二极管 103 一一对应；半导体结构还可以包括：深沟槽隔离结构 107，位于相邻光电二极管 103 之间，且位于相邻传输门结构 105 之间，以及位于相邻第三掺杂区 104 之间。

[0069] 可以理解的是，光电二极管 103、传输门结构 105 以及第三掺杂区 104 构成一个像素单元，可以利用深沟槽隔离结构 107 实现相邻像素单元之间的隔离，以降低相邻像素单元之间的光学串扰和电学串扰，从而有利于进一步提高半导体结构的光电性能。

[0070] 在一些实施例中，半导体结构还可以包括：衬底 110，用于对前述多个像素单元以及深沟槽隔离结构 107 起支撑作用。

[0071] 综上所述，本公开一实施例提供的半导体结构可以应用于 CMOS 图像传感器，其中，第一掺杂区 101 的掺杂类型和第二掺杂区 102 的掺杂类型不同，有利于形成收集光生载流子的 PN 结，而且，第二掺杂区 102 中，底部 112 的掺杂浓度较大，则底部 112 与第二掺杂区

102 之间的势能差较大，有利于利用较大的势能差收集光生载流子，中部 122 的掺杂浓度最小，有利于中部 122 包围的第一掺杂区 101 存储收集的光生载流子；而且，在进行光生载流子传输时，利用底部 112 的掺杂浓度与中部 122 的掺杂浓度的差，即利用底部 112 处的电势与中部 122 处的电势之差，提高光生载流子的转移速度，从而有利于降低光生载流子滞留在光电二极管 103 中的概率，即改善光生载流子的滞留问题，从而改善半导体结构中的图像滞后问题。此外，利用第二掺杂区 102 包围第一掺杂区 101，有利于利用第二掺杂区 102 和第一掺杂区 101 之间的势能差，降低光生载流子从第二掺杂区 102 中泄露的概率，从而有利于降低光电二极管的漏电电流。

[0072] 本公开另一实施例还提供一种半导体结构的制造方法，用于制备前述实施例提供的半导体结构。以下将结合图 1 至图 7 对本公开另一实施例提供的半导体结构的制造方法进行详细说明。图 4 至图 7 为本公开另一实施例提供的半导体结构的制造方法各步骤对应的结构示意图。需要说明的是，与前述实施例相同或相应的部分在此不再赘述。

[0073] 参考图 4 至图 7，半导体结构的制造方法包括：形成基底 100，基底 100 中包括第一掺杂区 101 和包围第一掺杂区 101 的第二掺杂区 102，第一掺杂区 101 的掺杂类型与第二掺杂区 102 的掺杂类型不同，第一掺杂区 101 和第二掺杂区 102 共同构成光电二极管 103；其中，第二掺杂区 102 包括底部 112、中部 122 和顶部 132，中部 122 的掺杂浓度小于底部 112 的掺杂浓度和顶部 132 的掺杂浓度。

[0074] 可以理解的是，中部 122 的掺杂浓度小于底部 112 的掺杂浓度和顶部 132 的掺杂浓度，在进行光生载流子传输时，有利于利用底部 112 的掺杂浓度与中部 122 的掺杂浓度的差，即利用底部 112 处的电势与中部 122 处的电势之差，提高光生载流子的转移速度，降低光生载流子滞留在光电二极管 103 中的概率，以改善半导体结构中的图像滞后问题。此外，第一掺杂区 101 的掺杂类型与第二掺杂区 102 的掺杂类型不同，利用第二掺杂区 102 包围第一掺杂区 101，有利于利用第二掺杂区 102 和第一掺杂区 101 之间的势能差，降低光生载流子从第二掺杂区 102 中泄露的概率，从而有利于降低光电二极管 103 的漏电电流。

[0075] 在一些实施例中，形成基底 100 可以包括如下步骤：

[0076] 参考图 4，提供衬底 110；采用外延生长工艺分别在衬底 110 上形成第一外延层 120、第二外延层 130 和第三外延层 140。

[0077] 在一些实施例中，继续参考图 4，沿第一外延层 120 指向第三外延层 140 的方向 X 上，第三外延层 140 包括第一部分 141 和容纳区 142。其中，第一部分 141 用于后续形成第二掺

杂区的顶部，容纳区 142 用于后续形成第三掺杂区，第三外延层 140 整体用于后续形成传输门结构。

[0078] 在一些实施例中，继续参考图 1，最终形成的光电二极管 103 的数量可以为多个，传输门结构 105 与光电二极管 103 一一对应，且第三掺杂区 104 与光电二极管 103 一一对应；半导体结构的制造方法还可以包括如下步骤：

[0079] 参考图 5，对第一外延层 120、第二外延层 130 和第三外延层 140 进行图形化处理，以形成沟槽；继续参考图 5，形成填充满沟槽的深沟槽隔离结构 107。如此，有利于厚度基于第一外延层 120、第二外延层 130 和第三外延层 140 形成多个光电二极管、传输门结构 105 以及第三掺杂区 104。在实际应用中，也可以在形成多个光电二极管、传输门结构 105 以及第三掺杂区 104 之后，再形成隔离多个光电二极管、传输门结构 105 以及第三掺杂区 104 的深沟槽隔离结构 107。

[0080] 继续参考图 5，对第一外延层 120、第二外延层 130 和第三外延层 140 分别进行不同浓度的第二类型的掺杂，以形成初始第二掺杂区 152。

[0081] 在一些实施例中，在对第一外延层 120、第二外延层 130 和第三外延层 140 分别进行不同浓度的第二类型的掺杂的步骤中，第二外延层 130 的掺杂浓度低于第一外延层 120 和第三外延层 140 的掺杂浓度，第三外延层 140 的掺杂浓度低于第一外延层 120 的掺杂浓度。如此，后续基于第一外延层 120 形成第二掺杂区 102（参考图 6）的底部 112（参考图 6），基于第二外延层 130 形成第二掺杂区 102 的中部 122（参考图 6），以及基于第三外延层 140 形成第二掺杂区 102 的顶部 132（参考图 6）时，有利于形成使得中部 122 的掺杂浓度小于底部 112 的掺杂浓度和顶部 132 的掺杂浓度，且使得底部 112 的掺杂浓度大于顶部 132 的掺杂浓度。

[0082] 在一些实施例中，对第一外延层 120、第二外延层 130 和第三外延层 140 分别进行不同浓度的第二类型的掺杂指的是：在第一外延层 120、第二外延层 130 和第三外延层 140 分别掺杂不同浓度的 P 型离子。

[0083] 在一些实施例中，在形成初始第二掺杂区 152 的步骤中，沿第一外延层 120 指向第三外延层 140 的方向 X 上，第二外延层 130 的厚度大于第一外延层 120 的厚度以及第三外延层 140 的厚度。如此，有利于后续形成厚度大于底部 112 的厚度和顶部 132 的厚度的中部 122，从而有利于增大中部 122 包围的第一掺杂区 101 在光电二极管 103 中所占的空间，即增大有效的电荷存储空间，以提高中部 122 包围的第一掺杂区 101 的电荷存储能力，从而有利于提

高光电二极管 103 的全阱容量。

[0084] 在一些实施例中，沿第一外延层 120 指向第三外延层 140 的方向 X 上用于后续形成第二掺杂区 102 的顶部 132 的第一部分 141 的厚度小于第一外延层 120 的厚度，如此，有利于后续形成厚度小于底部 112 的顶部 132。

[0085] 参考图 6，对初始第二掺杂区 152 的中心区域进行第一类型的掺杂，以形成第一掺杂区 101，剩余初始第二掺杂区 152 作为第二掺杂区 102。

[0086] 可以理解的是，形成的第二掺杂区 102 包括底部 112、中部 122 和顶部 132，中部 122 的掺杂浓度小于底部 112 的掺杂浓度和顶部 132 的掺杂浓度，且底部 112 的掺杂浓度大于顶部 132 的掺杂浓度。如此，在进行光生载流子传输时，由于底部 112 的掺杂浓度与中部 122 的掺杂浓度之差较大，则底部 112 处的电势与中部 122 处的电势之差较大，有利于形成促使光生载流子如水流一般从势能高之处向势能低之处转移，且势能的高度差有利于提高光生载流子的转移速度，即提高光生载流子从第一掺杂区 101 中冲出去的概率，使得光生载流子更容易从第一掺杂区 101 中传输出去，有利于降低光生载流子滞留在第一掺杂区 101 中的概率，以改善半导体结构中的图像滞后问题，以及优化半导体结构的微光成像性能。此外，顶部 132 的掺杂浓度居中，有利于降低由于掺杂工艺造成的顶部 132 中的缺陷密度，则有利于降低光生载流子在经过顶部 132 时被顶部 132 中的缺陷捕获消耗的概率，如此，有利于进一步提高光生载流子的收集效率，从而有利于提高光电二极管的光电转换效率。

[0087] 在一些实施例中，对初始第二掺杂区 152 的中心区域进行第一类型的掺杂指的是：在初始第二掺杂区 152 的中心区域掺杂 N 型离子。

[0088] 在一些实施例中，结合参考图 7 和图 1，半导体结构的制造方法还可以包括：形成第三掺杂区 104，第三掺杂区 104 位于第二掺杂区 102 中且与第一掺杂区 101 相间隔；形成传输门结构 105，传输门结构 105 与第一掺杂区 101 和第三掺杂区 104 均相邻。

[0089] 在一些实施例中，第三掺杂区 104 位于第二掺杂区 102 中指的是第三掺杂区 104 位于容纳区 142 中；传输门结构 105 也位于容纳区 142 中。

[0090] 可以理解的是，第三掺杂区 104、传输门结构 105、第一掺杂区 101 的顶部以及部分第二掺杂区 102 构成晶体管结构，第三掺杂区 104 和第一掺杂区 101 的顶部两者相当于晶体管结构的源区和漏区。

[0091] 在一些实施例中，形成第三掺杂区 104 的步骤可以包括：参考图 7，对远离第一掺杂

区 101 的第三外延层 140 的部分表面进行第一类型的掺杂，以将部分第一掺杂区 101 转化为第三掺杂区 104。

[0092] 在一些实施例中，对远离第一掺杂区 101 的第三外延层 140 的部分表面进行第一类型的掺杂指的是，对容纳区 142 的部分区域进行第一类型的掺杂以形成第三掺杂区 104。其中，第三掺杂区 104 的掺杂浓度大于或等于第一掺杂区 101 的掺杂浓度。

[0093] 在一些实施例中，形成传输门结构 105 的步骤可以包括：参考图 7，在第三外延层 140 远离第二外延层 130 的一侧形成通孔 106，通孔 106 的底部暴露出第一掺杂区 101，通孔 106 的顶部侧壁暴露出第三掺杂区 104；参考图 1，依次在通孔 106 的内壁形成介质层 115 和导电层 125。

[0094] 需要说明的是，再实际应用中，通孔 106 的底部可以不暴露出第一掺杂区 101，通孔 106 的顶部侧壁可以不暴露出第三掺杂区 104，即介质层 115 可以和顶部 132 之间可以具有一部分的间隔，该间隔由第二掺杂区 102 填充；介质层 115 可以和第三掺杂区 104 之间可以具有一部分的间隔，该间隔由第二掺杂区 102 填充。

[0095] 综上所述，本公开另一实施例提供的半导体结构的制造方法中，形成的半导体结构可以应用于 CMOS 图像传感器，在进行光生载流子传输时，利用底部 112 的掺杂浓度与中部 122 的掺杂浓度的差，即利用底部 112 处的电势与中部 122 处的电势之差，提高光生载流子的转移速度，从而有利于降低光生载流子滞留在光电二极管 103 中的概率，即改善光生载流子的滞留问题，从而改善半导体结构中的图像滞后问题。此外，利用第二掺杂区 102 包围第一掺杂区 101，有利于利用第二掺杂区 102 和第一掺杂区 101 之间的势能差，降低光生载流子从第二掺杂区 102 中泄露的概率，从而有利于降低光电二极管的漏电电流。

[0096] 本领域的普通技术人员可以理解，上述各实施方式是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开实施例的精神和范围。任何本领域技术人员，在不脱离本公开实施例的精神和范围内，均可作各自更动与修改，因此本公开实施例的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种半导体结构，包括：

基底，所述基底中包括第一掺杂区和包围所述第一掺杂区的第二掺杂区，所述第一掺杂区的掺杂类型和所述第二掺杂区的掺杂类型不同，所述第一掺杂区和所述第二掺杂区共同构成光电二极管；

其中，所述第二掺杂区包括底部、中部和顶部，所述中部的掺杂浓度小于所述底部的掺杂浓度和所述顶部的掺杂浓度。

2. 如权利要求 1 所述的半导体结构，其中，所述底部的掺杂浓度大于所述顶部的掺杂浓度。

3. 如权利要求 1 或 2 所述的半导体结构，其中，所述第一掺杂区的掺杂浓度为 $5\times10^{16}atom/cm^3$~$3\times10^{17}atom/cm^3$。

4. 如权利要求 1 或 2 所述的半导体结构，其中，所述底部的掺杂浓度为 $1\times10^{16}atom/cm^3$~$5\times10^{16}atom/cm^3$；所述中部的掺杂浓度为 $5\times10^{15}atom/cm^3$~$1\times10^{16}atom/cm^3$；所述顶部的掺杂浓度为 $8\times10^{15}atom/cm^3$~$2\times10^{16}atom/cm^3$。

5. 如权利要求 2 所述的半导体结构，其中，沿所述底部指向所述顶部的方向上，所述中部的厚度大于所述底部和所述顶部的厚度。

6. 如权利要求 5 所述的半导体结构，其中，沿所述底部指向所述顶部的方向上，所述顶部的厚度小于所述底部的厚度。

7. 如权利要求 6 所述的半导体结构，其中，沿所述底部指向所述顶部的方向上，所述第一掺杂区的厚度为 3.9μm~4.1μm，所述底部的厚度为 0.45μm~0.55μm，所述中部的厚度为 3.2μm ~3.4μm，所述顶部的厚度为 0.15μm ~0.25μm。

8. 如权利要求 1 或 2 所述的半导体结构，其中，所述半导体结构还包括：第三掺杂区和传输门结构，所述第三掺杂区间隔设置在所述第一掺杂区上方，所述传输门结构与所述第一掺杂区和所述第三掺杂区均相邻。

9. 如权利要求 8 所述的半导体结构，其中，所述第三掺杂区的掺杂类型与所述第一掺杂区的掺杂类型相同，所述第三掺杂区的掺杂浓度大于或等于所述第一掺杂区的掺杂浓度。

10. 一种半导体结构的制造方法，包括：

形成基底，所述基底中包括第一掺杂区和包围所述第一掺杂区的第二掺杂区，所述第一掺杂区的掺杂类型与所述第二掺杂区的掺杂类型不同，所述第一掺杂区和所述第二掺杂区共同构成光电二极管；

其中，所述第一掺杂区包括底部、中部和顶部，所述中部的掺杂浓度小于所述底部的掺杂浓度和所述顶部的掺杂浓度。

11. 如权利要求 10 所述的制造方法，其中，形成所述基底的步骤包括：

提供衬底；

采用外延生长工艺分别在所述衬底上形成第一外延层、第二外延层和第三外延层；

对所述第一外延层、所述第二外延层和所述第三外延层分别进行不同浓度的第二类型的掺杂，以形成初始第二掺杂区；

对所述初始第二掺杂区的中心区域进行第一类型的掺杂，以形成所述第一掺杂区，剩余所述初始第二掺杂区作为所述第二掺杂区。

12. 如权利要求 11 所述的制造方法，其中，在对所述第一外延层、所述第二外延层和所述第三外延层分别进行不同浓度的第二类型的掺杂的步骤中，所述第二外延层的掺杂浓度低于所述第一外延层和所述第三外延层的掺杂浓度，所述第三外延层的掺杂浓度低于所述第一外延层的掺杂浓度。

13. 如权利要求 11 所述的制造方法，其中，在形成所述初始第二掺杂区的步骤中，沿所述第一外延层指向所述第三外延层的方向上，所述第二外延层的厚度大于所述第一外延层的厚度以及所述第三外延层的厚度。

14. 如权利要求 11 所述的制造方法，还包括：

形成第三掺杂区，所述第三掺杂区位于所述第二掺杂区中且与所述第一掺杂区相间隔；

形成传输门结构，所述传输门结构与所述第一掺杂区和所述第三掺杂区均相邻。

15. 如权利要求 14 所述的制造方法，其中，形成所述第三掺杂区的步骤包括：对远离所述第一掺杂区的所述第三外延层的部分表面进行所述第一类型的掺杂，以将部分所述第二掺杂区转化为所述第三掺杂区。

16. 如权利要求 14 所述的制造方法，其中，形成所述传输门结构的步骤包括：在所述第三外延层远离所述第二外延层的一侧形成通孔，所述通孔的底部暴露出所述第一掺杂区，所述通孔的顶部侧壁暴露出所述第三掺杂区，依次在所述通孔的内壁形成介质层和导电层。

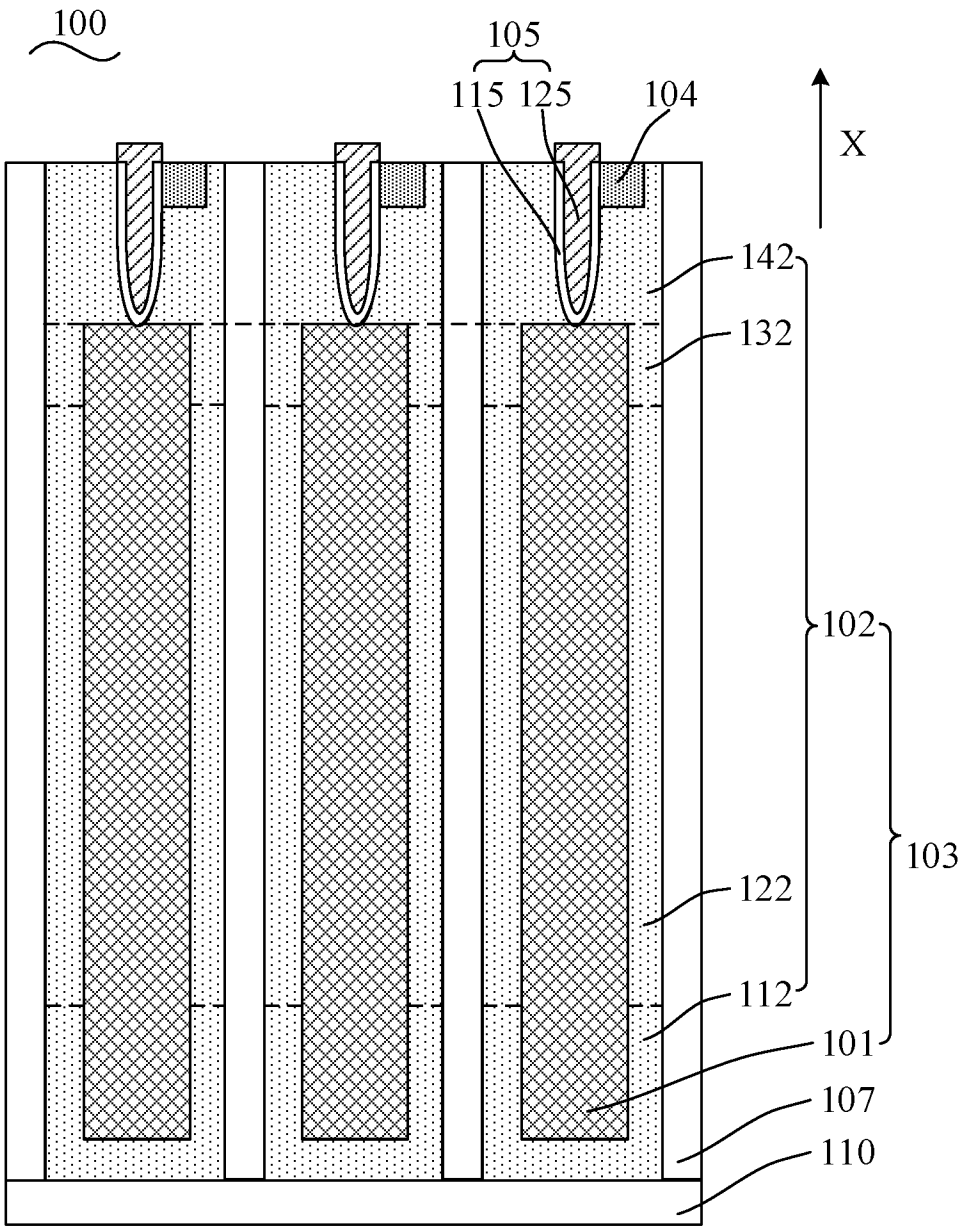

图 1

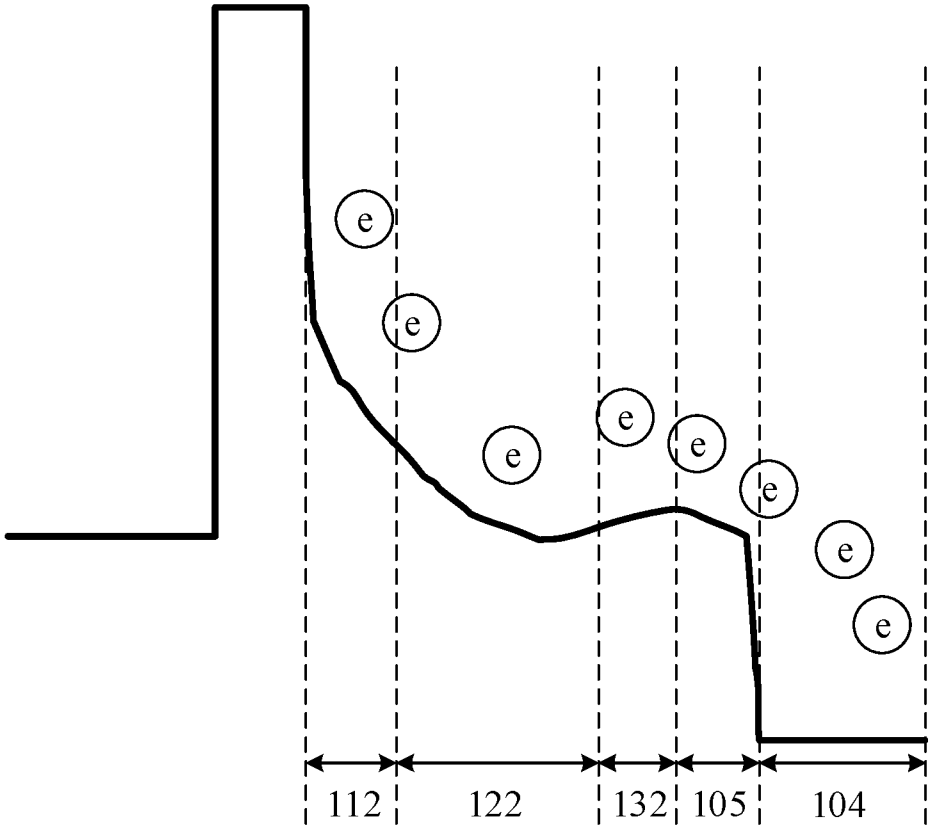

图 2

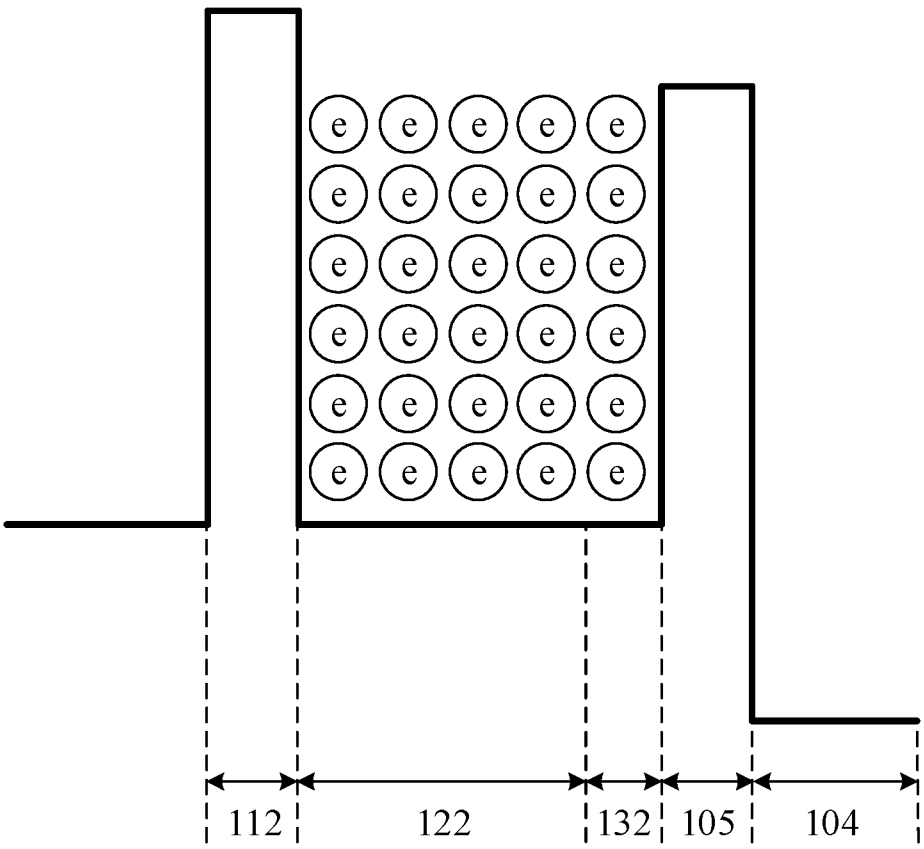

图 3

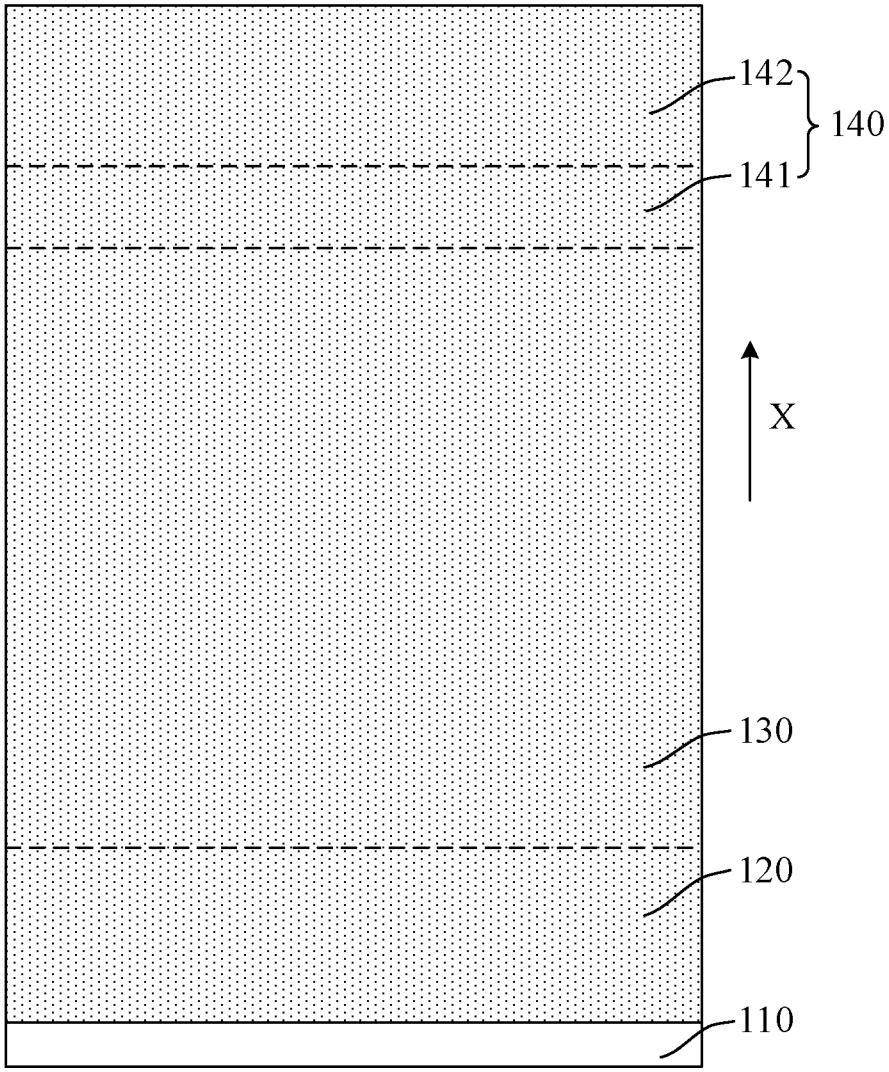

图 4

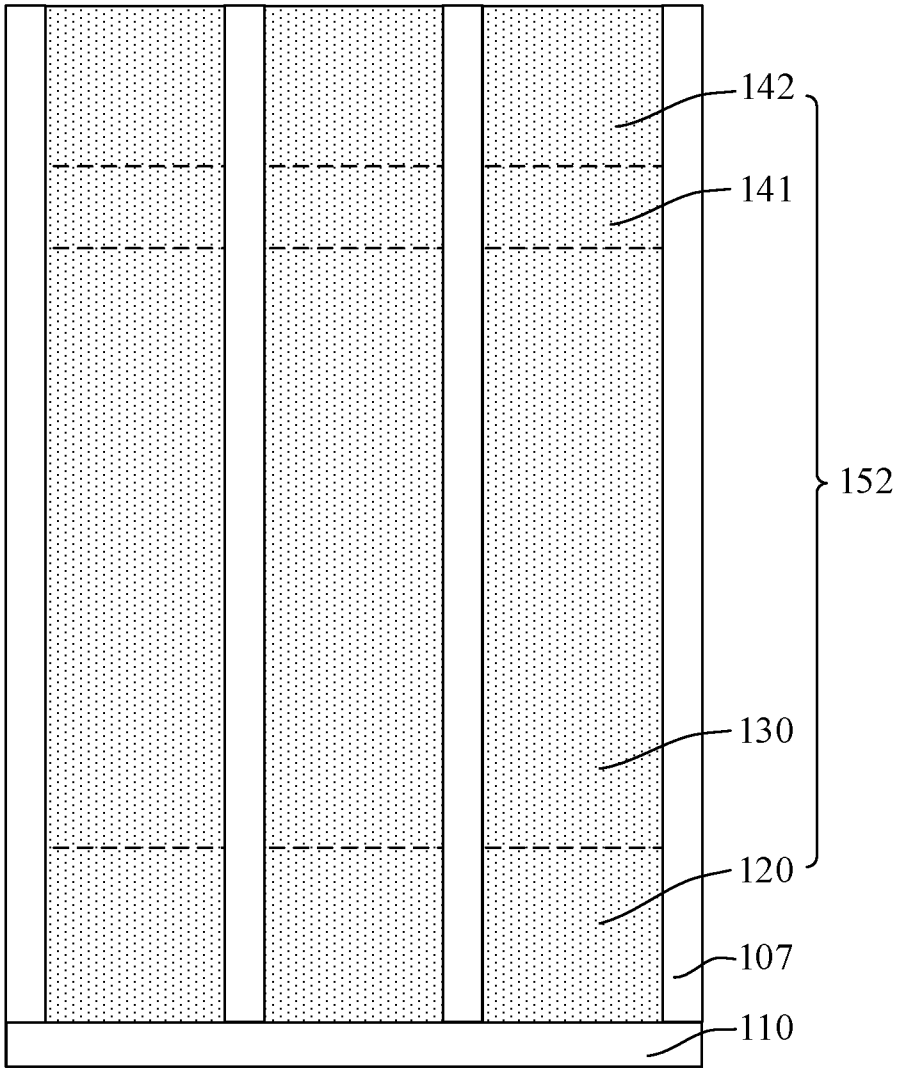

图 5

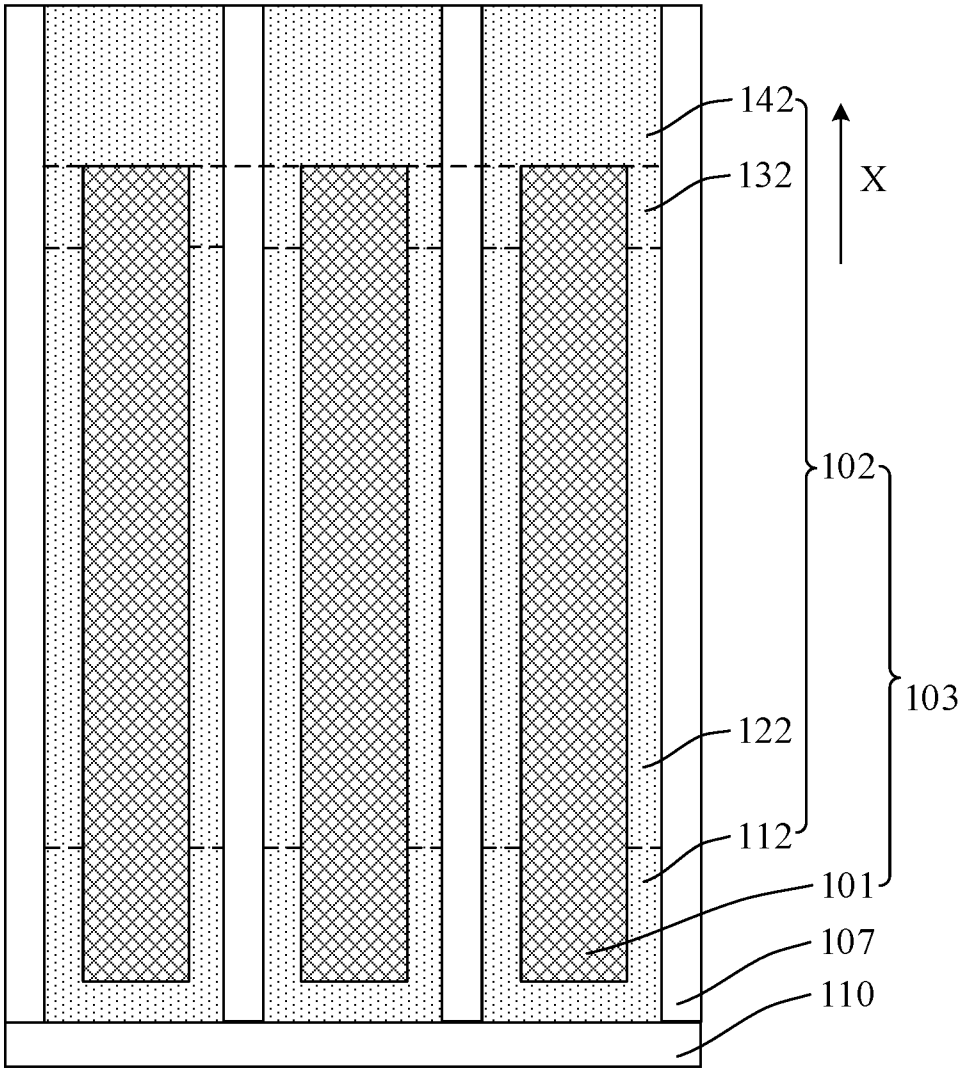

图 6

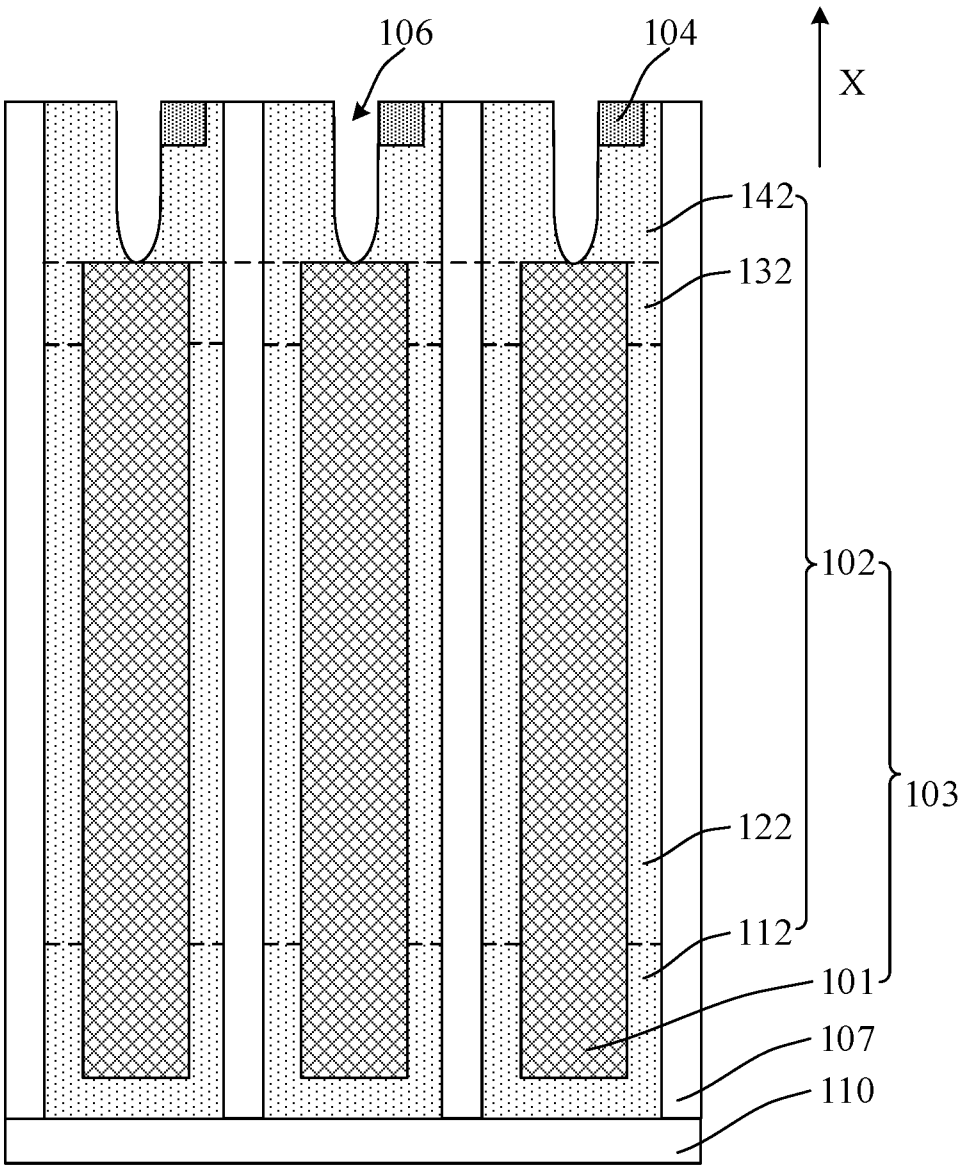

图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/118570

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 掺杂, 浓度, 中部, 底部, 顶部, 包围, 光电, doping, concentration, middle, bottom, top, surround, photoelectric

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 204391115 U (GALAXYCORE SHANGHAI LIMITED CORPORATION) 10 June 2015 (2015-06-10) description, paragraphs 31-66, and figures 1-3	1-16
A	CN 103022069 A (SHANGHAI ADVANCED RESEARCH INSTITUTE, CHINESE ACADEMY OF SCIENCES) 03 April 2013 (2013-04-03) entire document	1-16
A	US 2021098524 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 01 April 2021 (2021-04-01) entire document	1-16
A	CN 103000645 A (INFINEON TECHNOLOGIES AG) 27 March 2013 (2013-03-27) entire document	1-16
A	CN 101720510 A (SANDISK 3D LLC) 02 June 2010 (2010-06-02) entire document	1-16
A	CN 111509074 A (WUHAN XINXIN SEMICONDUCTOR MANUFACTURING CO., LTD.) 07 August 2020 (2020-08-07) entire document	1-16

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 December 2022	**22 December 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 107004709 A (INTEL CORP.) 01 August 2017 (2017-08-01) entire document	1-16
A	CN 108110039 A (SHENZHEN SANRISE TECHNOLOGY CO., LTD.) 01 June 2018 (2018-06-01) entire document	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2022/118570

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	204391115	U	10 June 2015	None			
CN	103022069	A	03 April 2013	CN	103022069	B	29 July 2015
US	2021098524	A1	01 April 2021	KR	20210038829	A	08 April 2021
				TW	202115892	A	16 April 2021
				US	11393866	B2	19 July 2022
				KR	102461559	B1	31 October 2022
CN	103000645	A	27 March 2013	US	2013062604	A1	14 March 2013
				US	2015103349	A1	16 April 2015
				DE	102012216095	A1	14 March 2013
				US	8916873	B2	23 December 2014
				CN	103000645	B	16 December 2015
				US	9318633	B2	19 April 2016
CN	101720510	A	02 June 2010	WO	2008156754	A1	24 December 2008
				KR	20100032898	A	26 March 2010
				JP	2010530642	A	09 September 2010
				EP	2162921	A1	17 March 2010
				US	2008318397	A1	25 December 2008
				TW	200913231	A	16 March 2009
				US	7537968	B2	26 May 2009
				JP	5363474	B2	11 December 2013
				KR	101438420	B1	05 September 2014
				EP	2162921	B1	01 April 2015
CN	111509074	A	07 August 2020	CN	111509074	B	25 March 2022
CN	107004709	A	01 August 2017	TW	201631769	A	01 September 2016
				US	2017330966	A1	16 November 2017
				KR	20170095828	A	23 August 2017
				EP	3238262	A1	01 November 2017
				WO	2016105336	A1	30 June 2016
				US	10403752	B2	03 September 2019
				KR	102309324	B1	07 October 2021
				CN	107004709	B	15 October 2021
CN	108110039	A	01 June 2018	CN	108110039	B	24 April 2020

国际检索报告

国际申请号
PCT/CN2022/118570

A. 主题的分类

H01L 27/146(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 掺杂, 浓度, 中部, 底部, 顶部, 包围, 光电, doping, concentration, middle, bottom, top, surround, photoelectric

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 204391115 U (格科微电子上海有限公司) 2015年6月10日 (2015-06-10) 说明书第31-66段，附图1-3	1-16
A	CN 103022069 A (上海中科高等研究院) 2013年4月3日 (2013-04-03) 全文	1-16
A	US 2021098524 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 2021年4月1日 (2021-04-01) 全文	1-16
A	CN 103000645 A (英飞凌科技股份有限公司) 2013年3月27日 (2013-03-27) 全文	1-16
A	CN 101720510 A (桑迪士克3D公司) 2010年6月2日 (2010-06-02) 全文	1-16
A	CN 111509074 A (武汉新芯集成电路制造有限公司) 2020年8月7日 (2020-08-07) 全文	1-16
A	CN 107004709 A (英特尔公司) 2017年8月1日 (2017-08-01) 全文	1-16

☑ 其余文件在C栏的续页中列出。　　☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年12月7日	2022年12月22日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 赵佳 电话号码 010-53961213

国际检索报告

国际申请号
PCT/CN2022/118570

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 108110039 A (深圳尚阳通科技有限公司) 2018年6月1日 (2018 - 06 - 01) 全文	1-16

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/118570

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	204391115	U	2015年6月10日	无			
CN	103022069	A	2013年4月3日	CN	103022069	B	2015年7月29日
US	2021098524	A1	2021年4月1日	KR	20210038829	A	2021年4月8日
				TW	202115892	A	2021年4月16日
				US	11393866	B2	2022年7月19日
				KR	102461559	B1	2022年10月31日
CN	103000645	A	2013年3月27日	US	2013062604	A1	2013年3月14日
				US	2015103349	A1	2015年4月16日
				DE	102012216095	A1	2013年3月14日
				US	8916873	B2	2014年12月23日
				CN	103000645	B	2015年12月16日
				US	9318633	B2	2016年4月19日
CN	101720510	A	2010年6月2日	WO	2008156754	A1	2008年12月24日
				KR	20100032898	A	2010年3月26日
				JP	2010530642	A	2010年9月9日
				EP	2162921	A1	2010年3月17日
				US	2008318397	A1	2008年12月25日
				TW	200913231	A	2009年3月16日
				US	7537968	B2	2009年5月26日
				JP	5363474	B2	2013年12月11日
				KR	101438420	B1	2014年9月5日
				EP	2162921	B1	2015年4月1日
CN	111509074	A	2020年8月7日	CN	111509074	B	2022年3月25日
CN	107004709	A	2017年8月1日	TW	201631769	A	2016年9月1日
				US	2017330966	A1	2017年11月16日
				KR	20170095828	A	2017年8月23日
				EP	3238262	A1	2017年11月1日
				WO	2016105336	A1	2016年6月30日
				US	10403752	B2	2019年9月3日
				KR	102309324	B1	2021年10月7日
				CN	107004709	B	2021年10月15日
CN	108110039	A	2018年6月1日	CN	108110039	B	2020年4月24日