

(12) 发明专利

(10) 授权公告号 CN 101373635 B

(45) 授权公告日 2013.01.16

(21) 申请号 200810166448.5

(51) Int. Cl.

(22) 申请日 2002.07.22

G11C 16/04 (2006.01)

(30) 优先权数据

2001-227203 2001.07.27 JP

(56) 对比文件

2001-228870 2001.07.30 JP

US 5703388 A, 1997.12.30, 说明书第2栏第
25-54行、附图1.

(62) 分案原申请数据

02813295.5 2002.07.22

US 6057575 A, 2000.05.02, 说明书第8栏第
13行-第9栏第66行、附图7,8.

审查员 李元

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川

(72) 发明人 田中利广 梅本由纪子 平木充

品川裕 藤户正道 铃川一文

古川博之 山木贵志 神垣良昭

南真一 片山弘造 松崎望

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 王永刚

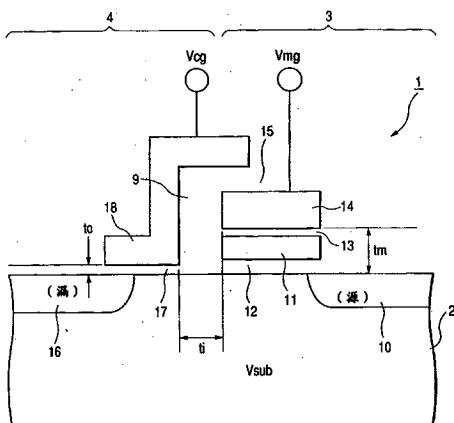
权利要求书 3 页 说明书 24 页 附图 42 页

(54) 发明名称

非易失存储器件

(57) 摘要

一种半导体器件包括多个非易失存储单元(1)，各个非易失存储单元包含用于信息储存的MOS型第一晶体管区(3)以及对第一晶体管区进行选择的MOS型第二晶体管区(4)。第二晶体管区具有连接到位线的位线电极(16)以及连接到控制栅控制线的控制栅电极(18)。第一晶体管区具有连接到源线的源线电极(10)、连接到存储器栅控制线的存储器栅电极(14)、以及设置在存储器栅电极正下方的电荷储存区(11)。第二晶体管区的栅承受电压低于第一晶体管区的栅承受电压。假设第二晶体管区的栅绝缘膜的厚度被定义为 t_c ，且第一晶体管区的栅绝缘膜的厚度被定义为 t_m 时，则它们具有 $t_c < t_m$ 的关系。



1. 一种非易失存储器件,包括:

电压发生器,其产生用于对非易失存储单元读出、擦除和写入所需的工作电压,所述非易失性存储单元具有用于信息存储的 MOS 型第一晶体管部分以及用于选择该 MOS 型第一晶体管部分的 MOS 型第二晶体管部分,所述 MOS 型第二晶体管部分具有与位线连接的位线电极;

开关 MOS 晶体管,其能够将所述位线连接到全局位线;

第一驱动器,其用于驱动所述非易失存储单元的所述 MOS 型第二晶体管部分的控制栅;

第二驱动器,其耦接以接收所述工作电压,并驱动所述非易失存储单元的所述 MOS 型第一晶体管部分的存储器栅;

所述非易失存储单元,其具有耦接到所述第一驱动器的所述控制栅和耦接到所述第二驱动器的所述存储器栅,所述非易失存储单元具有位于所述存储器栅与沟道区之间和在所述存储器栅和所述控制栅之间的电荷存储区;和

具有 MOS 晶体管的逻辑电路,

其中,所述第一驱动器被配置在所述非易失存储单元的第一侧上;

其中,所述第二驱动器被配置在所述非易失存储单元的与所述第一侧相对置的第二侧上;

其中,所述第一驱动器的栅承受电压低于所述第二驱动器的栅承受电压;

其中,所述开关 MOS 晶体管的栅承受电压低于所述第二驱动器的栅承受电压;并且

其中,所述逻辑电路中的所述 MOS 晶体管的栅承受电压低于所述第二驱动器的栅承受电压。

2. 如权利要求 1 所述的非易失存储器件,其中,

所述存储器栅被形成为侧壁栅。

3. 一种微计算机,包括:

总线;

被耦接到所述总线上的中央处理器;

被耦接到所述总线上的非易失存储器,包括:

多个非易失存储单元,所述多个非易失存储单元的每个具有用于信息存储的 MOS 型第一晶体管部分以及用于选择该 MOS 型第一晶体管部分的 MOS 型第二晶体管部分,所述 MOS 型第二晶体管部分具有与位线连接的位线电极;

开关 MOS 晶体管,其能够将所述位线连接到全局位线;

被包括在所述 MOS 型第一晶体管部分中的存储器栅和电荷存储区;

被包括在所述 MOS 型第二晶体管部分中的控制栅;

第一驱动器,其与各个所述多个非易失存储单元的控制栅耦接;

第二驱动器,其与各个所述多个非易失存储单元的存储器栅耦接;

电压发生电路,其向所述第二驱动器提供用于对非易失存储单元读出、擦除和写入所需的工作电压;

其中,所述第一驱动器的栅承受电压低于所述第二驱动器的栅承受电压,并且

其中,所述开关 MOS 晶体管的栅承受电压低于所述第二驱动器的栅承受电压。

4. 如权利要求 3 所述的微计算机,其中,
所述存储器栅被形成为侧壁栅。
5. 如权利要求 3 所述的微计算机,其中,
所述第一驱动器被配置在所述多个非易失存储单元的第一侧上。
6. 如权利要求 5 所述的微计算机,其中,
所述第二驱动器被配置在所述多个非易失存储单元的与所述第一侧相对置的第二侧上。
7. 如权利要求 3 所述的微计算机,其中,
所述中央处理器具有 MOS 晶体管,
所述中央处理器中的所述 MOS 晶体管的栅承受电压低于所述第二驱动器的栅承受电压。
8. 一种半导体芯片上的微计算机,包括 :
总线 ;
被耦接到所述总线上的中央处理器,所述中央处理器具有 MOS 晶体管 ;
被耦接到所述总线上的快速存储器,包括 :
多个非易失存储单元,所述多个非易失存储单元的每个具有用于信息存储的 MOS 型第一晶体管部分以及用于选择该 MOS 型第一晶体管部分的 MOS 型第二晶体管部分,所述 MOS 型第二晶体管部分具有与位线连接的位线电极 ;
开关 MOS 晶体管,其能够将所述位线连接到全局位线 ;
被包括在所述 MOS 型第一晶体管部分中的存储器栅和电荷存储区 ;
被包括在所述 MOS 型第二晶体管部分中的控制栅 ;
第一驱动器,即字线驱动器,其与各个所述多个非易失存储单元的控制栅耦接 ;
第二驱动器,即存储器栅线驱动器,其与各个所述多个非易失存储单元的存储器栅耦接 ;以及
电压发生器,其向所述第二驱动器提供用于对非易失存储单元读出、擦除和写入所需的工作电压 ;
其中,所述第一驱动器的栅承受电压以及所述中央处理器中的所述 MOS 晶体管的栅承受电压低于所述第二驱动器的栅承受电压,
其中,所述开关 MOS 晶体管的栅承受电压低于所述第二驱动器的栅承受电压。
9. 如权利要求 8 所述的微计算机,其中,
所述存储器栅被形成为侧壁栅。
10. 如权利要求 8 所述的微计算机,其中,
所述第一驱动器被配置在所述多个非易失存储单元的第一侧上。
11. 如权利要求 10 所述的微计算机,其中,
所述第二驱动器被配置在所述多个非易失存储单元的与所述第一侧相对置的第二侧上。
12. 一种半导体芯片上的数据处理器,包括 :
总线 ;
被耦接到所述总线上的中央处理器,所述中央处理器具有 MOS 晶体管 ;

被耦接到所述总线上的快速存储器,包括:

多个非易失存储单元,所述多个非易失存储单元的每个具有用于信息存储的 MOS 型第一晶体管部分以及用于选择该 MOS 型第一晶体管部分的 MOS 型第二晶体管部分;

被包括在所述 MOS 型第一晶体管部分中的存储器栅和电荷存储区;

被包括在所述 MOS 型第二晶体管部分中的控制栅;

与所述多个非易失存储单元耦接的多个字线、多个位线、多个控制线、以及多个源线,使得一个字线、一个位线、一个控制线、以及一个源线耦接到一个非易失存储单元;

开关 MOS 晶体管,每一个能够将所述位线连接到全局位线;

第一驱动器,即字线驱动器,其通过相应的字线与相应的非易失存储单元的控制栅耦接;

第二驱动器,即存储器栅线驱动器,通过相应的控制线与相应的非易失存储单元的存储器栅耦接;以及

电压发生器,其向所述第二驱动器提供用于对非易失存储单元读出、擦除和写入所需的工作电压;以及

其中,所述第一驱动器的栅承受电压低于所述第二驱动器的栅承受电压,并且

其中,所述开关 MOS 晶体管的栅承受电压低于所述第二驱动器的栅承受电压。

13. 如权利要求 12 所述的数据处理器,其中,

所述存储器栅被形成为侧壁栅。

14. 如权利要求 12 所述的数据处理器,其中,

所述中央处理器具有 MOS 晶体管,

所述中央处理器中的所述 MOS 晶体管的栅承受电压低于所述第二驱动器的栅承受电压。

15. 如权利要求 12 所述的数据处理器,其中,

所述第一驱动器被配置在所述多个非易失存储单元的第一侧上。

16. 如权利要求 15 所述的数据处理器,其中,

所述第二驱动器被配置在所述多个非易失存储单元的与所述第一侧相对置的第二侧上。

非易失存储器件

[0001] 本申请是于 2003 年 12 月 30 日提交的、申请号为 02813295.5 的专利申请的分案申请。

技术领域

[0002] 本发明涉及到具有非易失存储器的半导体器件，确切地说是涉及到用来高速读取存储器信息的技术，例如能够应用于快速存储器或包括芯片上提供的快速存储器的微计算机等的技术。

背景技术

[0003] 作为非易失存储单元，可以指出分离栅型存储单元和叠层栅型存储单元。分离栅型存储单元包含构成存储区的存储器 MOS 型晶体管的二个晶体管以及用来选择其存储区从而从中获取信息的选择 MOS 型晶体管。已知的文献 1994-Proceedings of IEEE, VLSI, Technology Symposium, pp71-72 描述了一种熟知的技术。下面简要解释一下其中所述的存储单元的结构和工作。此分离栅型存储单元包含源、漏、浮棚、以及控制棚。作为电荷进入浮棚中的注入，可以提及利用热电子的产生的源侧注入系统。储存在浮棚中的电荷从浮棚的尖端被注入到控制棚。此时，需要对控制棚施加 12V 的高电压。用作电荷注入电极的控制棚，甚至用作读出选择 MOS 型晶体管的棚电极。选择 MOS 型晶体管区的棚氧化膜是一种淀积的氧化膜，它甚至起电隔离选择 MOS 型晶体管的浮棚与棚电极的作用。作为其它已知的与分离栅型存储单元有关的技术，已知有例如美国专利 No. 4659828 和 5408115 以及日本未经审查的专利公开 No. Hei5(1993)-136422 等。

[0004] 叠层栅型存储单元包含源、漏、浮棚、以及层叠在沟道形成区上的控制棚。热电子的产生被用来将电荷注入到浮棚中。储存在浮棚中的电荷向衬底释放。此时，需要对控制棚施加 -10V 的负高电压。借助于将例如 3.3V 的读出电压施加到控制棚而执行读出。在日本未经审查的专利公开 No. Hei11(1999)-232886 等中，已经描述了叠层栅型存储单元。

[0005] 就提高数据处理速度而言，即使对非易失存储器件，非易失存储器件读出操作的提速也变得重要。在分离栅型存储器单元中，选择 MOS 晶体管的棚电极被构造成甚至用作擦除电极。因此，棚绝缘膜的厚度不得不被设定为相当于写入 / 擦除电压控制高压 MOS 晶体管的棚绝缘膜的厚度，以便确保承受得了其电压。于是，选择 MOS 晶体管的 G_m （定义为电流供应能力的跨导）变小，故分离栅型存储单元不太可能成为能够充分得到读出电流的结构。若什么也不做，则分离栅型存储单元不适合于低压下的高速运行。由于为了实现高的承受电压而对写入 / 擦除时施加有高电压的控制棚采用厚的棚氧化物膜，这降低了读出操作时的 G_m ，故叠层栅型单元不太可能成为能够充分确保读出电流的结构。

[0006] 已知文献的美国专利 No. 4659828 和 5408115 分别描述了与写入 / 擦除操作有关的发明，但未曾涉及到读出操作性能的改善。而且，虽然已知文献的日本未经审查的专利公开 No. Hei5(1993)-136422 描述了最相似于本发明的一种情况，但它所提出的是涉及到对两个彼此相邻的棚电极进行绝缘的方法，而没有公开读出性能。用来使逻辑操作器件具有

高性能的现有技术未提供的非易失存储器件是需要的。

[0007] 已经采用了一种结构,其中,位线被分成主位线和子位线,只有连接到待要工作和选择的存储单元的子位线才被选择和连接到其相应的主位线,且存储单元附近的位线的寄生电容被明显地减小,从而实现高速读出操作。但本发明人已经发现,如在叠层栅型存储单元中那样,即使对于位线,在写入时恐怕也必须施加高电压,必然使用来将子位线选择性地连接到其相应的主位线的 MOS 晶体管承受高电压,从而进一步降低读出路径的 G_m ,致使基于主位线 / 子位线的分层位线结构的提速将无法充分起作用。

[0008] 本发明的目的是从存储器信息读出路径中消除妨碍提速的厚膜高电压 MOS 晶体管。

[0009] 本发明的另一目的是提供一种半导体器件,它能够从非易失存储单元高速读出存储器信息。

[0010] 从本说明书和附图的描述中,本发明的上述和其它的目的以及新颖特点将变得明显。

发明内容

[0011] 下面简要地解释本申请所公开的有代表性的本发明的概述:

[0012] [1] 半导体器件包括多个非易失存储单元(1)。各个非易失存储单元包含用于信息储存的 MOS 型第一晶体管区(3)以及对第一晶体管区进行选择的 MOS 型第二晶体管区(4)。第二晶体管区具有连接到位线(BL)的位线电极(16)和连接到控制栅控制线(CL)的控制栅电极(18)。第一晶体管区具有连接到源线的源线电极(10)、连接到存储器栅控制线(ML)的存储器栅电极(14)、以及设置在存储器栅电极正下方的电荷储存区(11)。第二晶体管区的栅承受电压低于第一晶体管区的栅承受电压。换言之,假设第二晶体管区的控制栅电极的栅绝缘膜(17)的厚度被定义为 t_c ,且第一晶体管区的存储器栅电极的栅绝缘膜(11, 12, 13)的厚度被定义为 t_m ,则它们之间的关系为 $t_c < t_m$ 。此处,MOS 是绝缘栅场效应晶体管结构的通称。

[0013] 根据上面所述,当在数据读出操作时使非易失存储单元的第二晶体管区处于开通状态时,根据电流是否按照第一晶体管区的阈值电压状态而流动,存储器的信息被读出到相应的位线。第二晶体管区的栅氧化物膜厚度比第一晶体管区的栅氧化物膜厚度更薄,其栅承受电压也比第一晶体管区更低。因此,与存储器保持 MOS 晶体管区和选择 MOS 晶体管区二者都被制作成高承受电压的情况相比,在关于选择 MOS 晶体管区的比较低的栅电压下,能够容易地得到比较大的 G_m ,且能够相对提高整个非易失存储单元的电流供应能力亦即 G_m ,从而有助于读出速度的提高。

[0014] 在对第一晶体管区设定比较高的阈值电压的操作时,例如高电压被施加到其存储器栅电极,以开通第二晶体管区,从而使电流能够从源线流到位线,控制栅侧上电荷储存区附近产生的热电子因而可以被保持在电荷储存区中。在对第一晶体管区设定比较低的阈值电压的操作时,例如高电压被施加到其存储器栅电极,以开通第二晶体管区,从而将位线电极和源线电极设定到电路的接地电位,电荷储存区中保持的电子从而可以排向存储器栅电极。于是,能够实现对第一晶体管区设定比较低的阈值电压或比较高的阈值电压的操作,而无须对控制栅的控制线和位线施加高电压。这保证了第二晶体管区的栅承受电压可以比较

低。

[0015] 为了使储存在电荷储存区中的电荷不容易泄漏到控制栅电极中,例如假设控制栅电极与电荷储存区之间的绝缘膜(9)的厚度被定义为 t_i ,建立 $t_m \leq t_i$ 的关系是可取的。

[0016] 为了按器件结构来确保第二晶体管区的低的承受电压,例如可以防止在形成于阱区中的位线电极与源线电极之间形成高密度的杂质区(30)。此高密度杂质区是杂质的扩散区。在非易失存储单元包含存储器保持MONOS区和选择MOS晶体管区的串联电路的情况下,二个晶体管区的串联连接的节点被构造成二者共用的扩散区(源-漏区)。当二个晶体管区共用的公共扩散区被插入在其间时,写入时高电压被施加到MONOS区以形成沟道,致使MONOS侧上的高电压经由二个晶体管区公共的扩散区从沟道被施加到选择MOS晶体管区。在MONOS型存储单元的情况下,选择MOS晶体管区处于高承受电压状态因而是至关重要的。

[0017] 电荷储存区可以采用覆盖有绝缘膜的导电浮棚电极,或可以采用覆盖有绝缘膜的电荷捕获绝缘膜、覆盖有绝缘膜的导电微细颗粒层等。

[0018] 提供了开关MOS晶体管(19),它能够将位线连接到其相应的全局位线(GL),并可以采用分割的位线结构(分层的位线结构)。分割的位线结构有助于在读出操作时仅仅某些非易失存储单元被连接到相应的全局位线,从而明显地减小位线的寄生电容并进一步提高读出操作速度。此时,由于在擦除/写入操作时高电压可以不施加到位线,故开关MOS晶体管的栅氧化物膜厚度可以被形成得比第一晶体管区的更薄。总之,容易对开关MOS晶体管提供比较大的电流供应能力。而且,有可能利用分割的位线结构来确保读出操作的提速。

[0019] [2]作为另一种详细的情况,半导体器件包括对控制栅控制线进行驱动的第一驱动器(21)、对存储器栅控制线进行驱动的第二驱动器(22)、将开关MOS晶体管驱动到开通状态的第三驱动器(23)、以及对源线进行驱动的第四驱动器(24)。第一驱动器和第三驱动器采用第一电压作为工作电源,而第二驱动器和第四驱动器采用高于第一电压的电压作为工作电源。

[0020] 此半导体器件具有控制电路(76),当第一晶体管区的阈值电压取高时,此控制电路将第一驱动器的工作电源设定为第一电压,,将第四驱动器的工作电源设定为比第一电压高的第二电压,并将第二驱动器的工作电源设定为比第二电压高的第三电压,从而使热电子能够从位线电极侧排出到相应的电荷储存区中。

[0021] 当第一晶体管区的阈值电压取低时,此控制电路将第二驱动器的工作电源设定为比第三电压高的第四电压,从而将电子从电荷储存区排出到相应的存储器栅电极。

[0022] 其阈值电压已经被降低了的第一晶体管区,可以被设定为例如耗尽型。其阈值电压已经被提高了的第一晶体管区,可以被设定为例如增强型。存储器栅电极在读出操作时可以被设定为电路的接地电压。由于对第一晶体管区配备了对其进行选择的第二晶体管区,故还能够进行关于写入和擦除的没有严格验证操作的选择。

[0023] 当储存在非易失存储单元中的信息被读取时,控制电路可以将第一驱动器的工作电源设定为第一电压,并将存储器栅电极和源线电极设定为电路的接地电位。读出操作中电流的方向导致其方向从位线到源线。

[0024] 当储存在非易失存储单元中的信息被读取时,控制电路可以将第一驱动器的工作电源设定为第一电压,并将存储器栅电极和位线电极设定为电路的接地电位。与上述相反,

读出操作中电流的方向导致其方向从源线到位线。

[0025] 上述的半导体器件可以不仅仅是分立的非易失存储器，也可以是诸如具有提供在芯片上的非易失存储器的微计算机、数据处理器之类的半导体器件。例如，半导体器件还具有逻辑工作单元 (61)，它以第一电压作为工作电源来执行逻辑操作。

[0026] 当从布局的观点看时，各个第一驱动器和第三驱动器可以接收地址译码信号 (51)，致使其操作被选择，且各个第二驱动器和第四驱动器可以接收第一驱动器的输出 (52)，致使其操作被选择。

[0027] 第一驱动器和第三驱动器可以被排列在一侧上，且第二驱动器和第四驱动器可以被排列在另一侧上，其中至少一个非易失存储单元阵列 (50) 被插入在其间。有可能将各自以高电压作为工作电源而工作的各个驱动器与各自以比较低的电压作为工作电源而工作的各个电路彼此分隔开。

[0028] 在存储器阵列中，各个存储器栅控制线 (ML) 被与各个存储器栅电极集成制作，并可以构造低电阻金属层 (MGmt)，以便分别层叠在多晶硅层 (MGps) 上。控制栅控制线 (CL) 还可以与其相应的控制栅电极集成构造。而且，可以构造低电阻金属层 (CGmt)，以便层叠在其相应的多晶硅层 (CGps) 上。这样，就能够减小布线电阻。

[0029] 用来分别使各存储器栅控制线响应于读出操作导通到电路的接地电位的放电 MOS 晶体管 53，可以被提供在存储器栅控制线的不同位置处。这样有可能形成迅速的过渡到读出操作启动状态。

[0030] 作为位于分割位线结构下方的开关 MOS 晶体管，可以采用 p 沟道 MOS 晶体管 (19p)。因而有可能防止信号电平被开关 MOS 晶体管的阈值电压降低，并满意地克服相应位线读出信号电平的电压降低。然而，当使相应的非易失存储单元的阈值电压高时，即使试图过将位线设定为电路的接地电位，位线的电位也不会达到低于 p 沟道开关 MOS 晶体管阈值电压的电平。为了解决这一问题，可以由 CMOS 传送栅 (19p, 19n) 来构成开关 MOS 晶体管。

[0031] 各互补于开关 MOS 晶体管进行开关操作的 n 沟道放电 MOS 晶体管 (20n)，可以被提供在其相应的位线处。这样，当相应的位线经由开关 MOS 晶体管被选择时，位线被其相应的放电 MOS 晶体管完全放电，致使能够防止开始读出之前被预充电的全局位线的电平发生不希望的变化，从而有助于稳定读出信号的读出和读出操作的提速。

[0032] [3] 下面从稍许不同于上述的观点来理解本发明。半导体器件具有以矩阵形式排列在半导体衬底 (2) 中的非易失存储单元 (1)。各个非易失存储单元在半导体衬底中包括连接到源线 (SL) 的源线电极 (10)、连接到位线 (BL) 的位线电极 (16)、以及插入在源线电极与位线电极之间的沟道区。而且，非易失存储单元还包括沟道区上经由第一绝缘膜 (17) 排列在位线电极附近且连接到控制栅控制线 (CL) 的控制栅电极 (18) 以及经由第二绝缘膜 (12, 13) 和电荷储存区 (11) 排列的电隔离于控制栅电极 (18) 且连接到存储器栅控制线 (ML) 的存储器栅电极 (14)。第一绝缘膜的承受电压低于第二绝缘膜的承受电压。

[0033] 在关于具有控制栅电极的选择 MOS 晶体管比较低的栅电压下，就容易得到比较大的 Gm。能够使整个非易失存储单元的电流供应能力亦即 Gm 比较大，从而有助于读出速度的提高。

[0034] 为了从其存储器栅看时相对地将非易失存储单元的阈值电压设定为高，例如，高电压被施加到其存储器栅电极以开通控制栅电极侧，从而使电流能够从源线流到位线，控

制棚电极侧上电荷储存区附近产生的电子因而可以被保持在电荷储存区中。相反,为了设定比较低的阈值电压,例如,高电压被施加到其存储器栅电极以开通控制棚电极侧,从而将位线电极和源线电极设定为电路的接地电位,保持在电荷储存区中的电子因而可以被排出到存储器栅电极。这样,就能够实现对非易失存储单元设定比较低的阈值电压或比较高的阈值电压的操作,而无须将高电压施加到控制棚的控制线和位线。这就保证了控制棚电极侧上的栅承受电压可以比较低。

[0035] 根据另一个具体情况的具有非易失存储单元的半导体器件包括各驱动控制棚控制线的控制棚驱动器、各驱动存储器栅控制线的存储器栅驱动器、以及各驱动源线的源驱动器。此时,控制棚驱动器可以采用第一电压作为工作电源,且各个存储器栅驱动器和源驱动器可以采用高于第一电压的电压作为工作电源。

[0036] 此半导体器件具有控制电路,当使从存储器栅电极看的非易失存储单元的阈值电压高时,此控制电路将控制棚驱动器工作电源设定为第一电压,将源驱动器的工作电源设定为高于第一电压的第二电压,并将存储器栅驱动器的工作电源设定为高于或等于第二电压的第三电压,电子从而能够从位线电极侧注入到相应的电荷储存区中。

[0037] 当使从存储器栅电极看的非易失存储单元的阈值电压低时,此控制电路将存储器栅驱动器的工作电源设定为大于或等于第三电压的第四电压,电子从而从电荷储存区排出到相应的存储器栅电极。

[0038] 当储存在非易失存储单元中的信息被读取时,控制电路将控制棚驱动器的工作电源设定为第一电压,并将存储器栅电极和源线电极设定为电路的接地电位。此读出操作中的电流方向导致其方向从位线到源线。顺便说一下,此时,存储器栅电极的电压可以高于接地电位。

[0039] 当储存在非易失存储单元中的信息被读取时,控制电路将控制棚驱动器的工作电源设定为第一电压,并将存储器栅电极和位线电极设定为电路的接地电位。与上述相反,此读出操作中的电流方向导致其方向从源线到位线。此时,以相似于上述的方式,存储器栅电极的电压可以高于接地电位。

[0040] 此半导体器件不仅可以是分立的非易失存储器,还可以是具有提供在芯片上的非易失存储器的微计算机、数据处理器之类。例如,此半导体器件具有逻辑工作单元,它以第一电压作为工作电源来执行逻辑操作。

[0041] 控制棚驱动器可以是输入有地址译码信号的驱动器,致使其操作被选择,且各个存储器栅驱动器和源驱动器可以是基于控制棚驱动器输出的驱动器,致使其操作被选择。

[0042] 控制棚驱动器可以被排列在一侧上,且存储器栅驱动器和源驱动器可以被排列在另一侧上,其间至少插入一个非易失存储单元阵列。这就容易将各自以高电压作为工作电源而工作的各个驱动器与各自以比较低的电压作为工作电源而工作的各个电路彼此分隔开。

[0043] 在非易失存储单元阵列中,存储器栅控制线可以与存储器栅电极集成制作,且利用层叠在多晶硅层上,可以分别形成低电阻金属层。这样就能够降低布线电阻。

[0044] 来关注由存储器栅驱动器和源驱动器形成的芯片占据面积的减小。在非易失存储单元阵列中,存储器栅驱动器(22A)最好被共用于存储器栅控制线与控制棚控制线成对的多个单元中,且源驱动器(24A)最好被共用于源线与控制棚控制线成对的多个单元中。此

时,被相应存储器栅驱动器共用的存储器栅控制线的数目最好少于或等于被相应源驱动器共用的源线的数目。例如,当使电流在源与漏之间流动,从而将高电压施加到存储器栅作为相对于非易失存储单元的写入格式时,与写入被选择的存储单元共用存储器栅控制线的写入非选择的非易失存储单元的源和存储器栅之间的电场不增强,特别是若用来使电流在写入被选择的存储单元的源与漏之间流动的源电位经由相应的源线被馈送。若源电位是写入非选择的低的源电位,则与擦除时可比拟的大电场有可能会作用在与写入被选择的存储单元共用存储器栅控制线的写入非选择的存储单元的源和存储器栅之间。出现一种干扰,如此大的电场不希望有地改变处于写入状态的存储单元的阈值电压。被存储器栅驱动器共用的存储器栅控制线的数目和被源驱动器共用的源线的数目之间的上述关系,在预先防止这种干扰方面是有用的。

[0045] 可以基于构成关于其相应的多个控制栅控制线的选择状态的 OR 的 OR 电路的输出,来驱动存储器栅驱动器和源驱动器。此时,OR 电路的输入级可以用采用控制栅控制线延长部分作为其栅电极的晶体管,以便减小 OR 电路布局面积。

[0046] 就读出操作的提速而言,用来分别响应于读出操作而使存储器栅控制线连接到第一电源电压的多个充电 MOS 晶体管可以被提供在存储器栅控制线的不同位置处。就读出操作而言,能够缩短使各个存储器栅控制线过渡到所希望电平所需的时间。

[0047] 而且,为了控制相应存储单元的阈值电压,使之处于预定的电压分布内,在写入操作之后可以执行写入验证操作,并在擦除操作之后可以进行擦除验证操作。

[0048] [4] 此处按各个存储单元的器件结构来列出本发明的要点。不一定要提供所有的要点,也可以单独或以各种组合的形式出现。顺便说一下,本发明的先决条件在于,写入 / 擦除时施加有高电压的栅电极以及选择 MOS 晶体管的栅电极,被构造成彼此分隔开。(1) 各个选择 MOS 晶体管的栅绝缘膜的厚度被设定为薄于处置写入 / 擦除电压的高电压 MOS 晶体管的栅绝缘膜厚度,从而提高选择 MOS 晶体管的 G_m 。在栅绝缘膜的厚度最薄的情况下,选择 MOS 晶体管的栅绝缘膜的厚度被设定成等于具有逻辑操作单元(核心逻辑)电荷的 MOS 晶体管即处置往返外界的信号的输入 / 输出的 I/O MOS 晶体管的栅氧化物膜厚度。而且,选择 MOS 晶体管的栅电极被其相应的核心逻辑 MOS 晶体管驱动。(2) 构成单元的各个选择 MOS 晶体管的扩散层,与具有其栅氧化物膜的核心逻辑即 I/O MOS 晶体管的扩散层共用,从而抑制短沟道效应。而且,使存储器保持 MOS 晶体管的扩散层的结承受电压高于选择 MOS 晶体管扩散层的结承受电压。(3) 用来确定选择 MOS 晶体管的阈值电压的 p 型沟道杂质的密度,被设定成使晶体管的阈值电压为正,并被设定为厚于存储器保持 MOS 晶体管的。在存储器保持 MOS 晶体管中,使其中性阈值为负,致使擦除时的阈值变得足够低,从而在大范围内得到读出电流。p 型沟道杂质的密度被设定为低于选择 MOS 晶体管的密度。作为变通,为了将存储器保持 MOS 晶体管的中性阈值设定为负,使其沟道的 n 型杂质密度高于其阈值为正的选择 MOS 晶体管的沟道 n 型杂质密度。

[0049] 这样,就能够得到半导体非易失存储器件读出速度的改善。因此,此半导体非易失存储器件能够被用于高速程序读出。若采用本发明技术的半导体集成电路器件被使用,则能够以低的成本实现高性能的信息装置。本发明能够用于便携式装置等,在这些便携式装置中没有建立能够高速读出的暂时储存存储器件的空间。

附图说明

- [0050] 图 1 是剖面图,示出了用于本发明的非易失存储单元的一个例子;
- [0051] 图 2 是解释图,典型地说明了关于图 1 所示非易失存储单元的特性;
- [0052] 图 3 是解释图,举例说明了非易失存储单元的擦除和写入状态被设定为耗尽型和增强型的阈值电压状态;
- [0053] 图 4 是解释图,举例说明了非易失存储单元的擦除和写入状态都被设定为增强型的阈值电压状态;
- [0054] 图 5 是解释图,作为比较例子示出了有关图 2 所示非易失存储单元在其优化之前的几种连接形式;
- [0055] 图 6 是解释图,举例说明了有关具有浮栅的叠层栅型快速存储单元的器件区、工作电压、以及分层位线结构;
- [0056] 图 7 是解释图,举例说明了有关分割栅型快速存储单元的器件区、工作电压、以及分层位线结构;
- [0057] 图 8 是解释图,举例说明了有关一晶体管 / 一存储单元的 MONOS 叠层栅型存储单元的器件区、工作电压、以及分层位线结构;
- [0058] 图 9 是解释图,举例说明了有关 2 晶体管 /1 存储单元的 MONOS 型存储单元的器件区、工作电压、以及分层位线结构;
- [0059] 图 10 是剖面图,示出了器件区,其中注意了图 2 所示非易失存储单元的写入操作;
- [0060] 图 11 是剖面图,示出了相似于图 10 写入电压状态的电压施加状态被提供给由存储器保持 MONOS 和选择 MOS 晶体管的串联电路组成的非易失存储单元结构的方式;
- [0061] 图 12 是平面图,举例说明了图 1 所示非易失存储单元的平面结构;
- [0062] 图 13 是平面图,举例说明了图 6 和 8 所示各个非易失存储单元的平面结构;
- [0063] 图 14 是平面图,举例说明了图 7 所示非易失存储单元的平面结构;
- [0064] 图 15 是平面图,举例说明了图 9 所示非易失存储单元的平面结构;
- [0065] 图 16 是电路图,示出了采用图 1 所示非易失存储单元的存储单元阵列的一个例子;
- [0066] 图 17 是电路图,示出了其中 ZMOS 由 CMOS 传送门构成的存储单元阵列的一个例子;
- [0067] 图 18 是电路图,示出了采用子位线放电晶体管的存储单元阵列的一个例子;
- [0068] 图 19 是电路图,举例说明了关于采用图 1 所示非易失存储单元的存储单元阵列的驱动器布局;
- [0069] 图 20 是电路图,示出了存储单元阵列的一个例子;
- [0070] 图 21 是电路图,示出了存储单元阵列的另一个例子;
- [0071] 图 22 是电路图,示出了存储单元阵列的又一个例子;
- [0072] 图 23 是时间图,举例说明了在非易失存储单元的读出操作中电流的方向从源线延伸到位线时的操作时刻;
- [0073] 图 24 是微计算机的方框图,其中,非易失存储器已经采用了非易失存储单元被提供在芯片上;

- [0074] 图 25 是方框图,示出了快速存储器模块的详细例子;
- [0075] 图 26 是电路图,举例说明了关于非易失存储单元的正向读出操作形式;
- [0076] 图 27 是时间图,举例说明了图 26 的正向读出操作的主要信号波形;
- [0077] 图 28 是电路图,举例说明了关于非易失存储单元的反向读出操作形式;
- [0078] 图 29 是时间图,举例说明了在读出放大器输入侧上的主位线已经被预充电之后,当图 28 的反向读出操作开始时的主要信号波形;
- [0079] 图 30 是时间图,举例说明了在读出放大器输入侧上的主位线未被预充电的图 28 的反向读出操作开始时的主要信号波形;
- [0080] 图 31 是解释图,举例说明了关于非易失存储单元的其它写入电压条件等;
- [0081] 图 32 是电路图,示出了另一个例子,说明了已经采用非易失存储单元的存储单元阵列以及驱动器的布局;
- [0082] 图 33 是电路图,举例说明了一种电路格式,其中,存储器栅控制线被其相应的驱动器根据图 19 所示控制栅控制线的选择而分别驱动;
- [0083] 图 34 是电路图,原则上示出了相应于图 32 的存储器栅控制线的驱动格式;
- [0084] 图 35 是解释图,详细示出了电压以可允许的干扰状态被施加到存储单元的状态;
- [0085] 图 36 是电路图,举例说明了一种结构,此结构需要选定控制栅控制线的路线作为存储器栅控制线的驱动形式;
- [0086] 图 37 是电路图,举例说明了逻辑电路的一种具体结构;
- [0087] 图 38 是平面图,举例说明了 NOR 门的一种布局结构;
- [0088] 图 39 是解释图,举例说明了根据是否采用源线耦合的 MOS 晶体管而得到的效果之间的差别;
- [0089] 图 40 是根据本发明第一实施方案的存储单元的剖面图;
- [0090] 图 41 是用来描述根据本发明第一实施方案的存储单元的工作以及施加到其上的电压的曲线;
- [0091] 图 42 是剖面图,示出了根据本发明第一实施方案的存储单元与其它 MOS 晶体管混合的情况;
- [0092] 图 43 是根据本发明第二实施方案的存储单元的剖面图;
- [0093] 图 44 是用来描述根据本发明第二实施方案的存储单元的工作以及施加到其上的电压的曲线;
- [0094] 图 45 是根据本发明第二实施方案的存储单元的一种修正的剖面图;
- [0095] 图 46 是剖面图,示出了根据本发明第二实施方案的存储单元中沟道密度的差别;
- [0096] 图 47 是根据本发明第三实施方案的存储单元的剖面图;
- [0097] 图 48 是根据本发明第四实施方案的存储单元的剖面图;
- [0098] 图 49 是根据本发明第五实施方案的存储单元的剖面图;
- [0099] 图 50 是有关半导体集成电路制造工艺的第一剖面图,在此半导体集成电路中,根据本发明的存储单元与其它 MOS 晶体管混合;
- [0100] 图 51 是有关半导体集成电路制造工艺的第二剖面图,在此半导体集成电路中,根据本发明的存储单元与其它 MOS 晶体管混合;
- [0101] 图 52 是有关半导体集成电路制造工艺的第三剖面图,在此半导体集成电路中,根

据本发明的存储单元与其它 MOS 晶体管混合；

[0102] 图 53 是有关半导体集成电路制造工艺的第四剖面图，在此半导体集成电路中，根据本发明的存储单元与其它 MOS 晶体管混合；

[0103] 图 54 是有关半导体集成电路制造工艺的第五剖面图，在此半导体集成电路中，根据本发明的存储单元与其它 MOS 晶体管混合；

[0104] 图 55 是有关半导体集成电路制造工艺的第六剖面图，在此半导体集成电路中，根据本发明的存储单元与其它 MOS 晶体管混合；

[0105] 图 56 是有关半导体集成电路制造工艺的第七剖面图，在此半导体集成电路中，根据本发明的存储单元与其它 MOS 晶体管混合；

[0106] 图 57 是有关半导体集成电路制造工艺的第八剖面图，在此半导体集成电路中，根据本发明的存储单元与其它 MOS 晶体管混合；

[0107] 图 58 是电路图，举例说明了根据本发明的各个存储单元被应用于其中的存储器阵列的构造；

[0108] 图 59 是根据本发明第六实施方案的存储单元的剖面图；

[0109] 图 60 是有关根据本发明第六实施方案的存储单元的制造工艺的第一剖面图；

[0110] 图 61 是有关根据本发明第六实施方案的存储单元的制造工艺的第二剖面图；

[0111] 图 62 是有关根据本发明第六实施方案的存储单元的制造工艺的第三剖面图；

[0112] 图 63 是根据本发明第七实施方案的存储单元的剖面图。

具体实施方式

[0113] 图 1 示出了非易失存储单元（以下也简称为存储单元）的一个例子。非易失存储单元 1 包括其中提供在硅衬底上的 p 型阱区 2、用于信息储存的 MOS 型第一晶体管区 3、以及对第一晶体管区 3 进行选择的 MOS 型第二晶体管区 4（选择 MOS 晶体管区）。第一晶体管区 3 包括用作连接到源线的源线电极的 n 型扩散层（n 型杂质区）、电荷储存区（例如氮化硅膜）11、排列在电荷储存区 11 正面和背面上的绝缘膜（例如氧化硅膜）12 和 13、在写入和擦除时用来施加高电压的存储器栅电极（例如 n 型多晶硅层）14、以及用来保护存储器栅电极的氧化物膜（例如氧化硅膜）15。绝缘膜 12 被形成为 5nm 厚，电荷储存区 11 被形成为 10nm 厚（氧化硅膜转换），而氧化物膜 13 被形成为 3nm 厚。第二晶体管区 4 具有用作连接到位线的位线电极的 n 型扩散层（n 型杂质区）16、栅绝缘膜（例如氧化硅膜）17、控制栅电极（例如 n 型多晶硅层）18、以及使控制栅电极 18 与存储器栅电极 14 彼此隔离的绝缘膜（例如氧化硅膜）9。

[0114] 假设第一晶体管区 3 的电荷储存区 11 的厚度和排列在其正面和背面上的绝缘膜 12 和绝缘膜 13 的厚度的总和（总称为存储器栅绝缘膜 11、12、13）被示为 t_m ，控制栅电极 18 的栅绝缘膜 17 的厚度被示为 t_c ，且控制栅电极 18 与电荷储存区 11 之间的绝缘膜的厚度被示为 t_i ，则有关系 $t_c < t_m \leq t_i$ 。第二晶体管区 4 的栅承受电压被设定为比第一晶体管区 3 的栅承受电压低了栅绝缘膜 17 与存储器栅绝缘膜 11、12、13 之间尺寸的差值。图 12 举例说明了图 1 所示非易失存储单元 1 的平面结构。

[0115] 顺便说一下，扩散层 16 部分中所述的术语漏，意味着扩散层 16 在数据读出操作时用作晶体管的漏电极，而扩散层 10 部分中所述的术语源，意味着扩散层 10 在数据读出时用

作晶体管的源电极。在擦除 / 写入操作中,漏电极和源电极的功能相对于漏和源的标注可能互换。

[0116] 图 2 典型地示出了有关图 1 所示非易失存储单元的特性。图 2 举例说明了分层位线结构中非易失存储单元 1 的一种连接形式。扩散层 16 被连接到子位线 BL(以下也简称为位线 BL),扩散层 10 被连接到源线 SL,存储器栅电极 14 被连接到存储器栅控制线 ML,而控制栅电极 18 被连接到控制栅控制线 CL。子位线 BL 经由 n 沟道开关 MOS 晶体管 (ZMOS) 19,被连接到主位线 (也称为全局位线) GL。虽然图中未特别示出,但多个非易失存储单元 1 被连接到子位线 BL,且多个位线 BL 经由 ZMOS19 被连接到一个主位线 GL。

[0117] 对控制栅控制线 CL 进行驱动的第一驱动器 (字驱动器) 21、对存储器栅控制线 ML 进行驱动的第二驱动器 22、对 ZMOS19 进行开关驱动的第三驱动器 (Z 驱动器) 23、以及对源线 SL 进行驱动的第四驱动器 24,被典型地示于图 2 中。驱动器 22 和 24 由采用其栅承受电压为高电压的 MOS 晶体管的高电压 MOS 驱动器构成。驱动器 21 和 23 由采用其栅承受电压比较低的 MOS 晶体管的驱动器构成。

[0118] 例如,在对非易失存储单元 1 的第一晶体管区 3 设定比较高的阈值电压的写入操作时,存储器栅电压 Vmg 和源线电压 Vs 分别被设定为高电压,1.8V 被馈送作为控制栅电压 Vcg,写入选择位线被设定为 0V(电路的接地电位),而写入非选择位线被设定为 1.8V。在此状态下,写入选择位线的第二晶体管区 4 被开通,从而使电流从扩散层 10 流到扩散层 16。此电流在控制栅电极 18 侧上电荷储存区 11 附近引起的热电子,可以被保持在电荷储存区 11 中。当用大约几微安到大约几十微安范围内的恒定电流作为写入电流进行写入时,写入选择位线的电位不局限于接地电位。例如,可以对其施加大约 0.8V,以便提供沟道电流。在写入操作时,扩散层 10 用作 n 沟道存储单元中的漏,而扩散层 16 用作源。这种写入格式导致热电子的源侧注入。

[0119] 例如,在对第一晶体管区 3 设定比较低的阈值电压的擦除操作中,施加高电压作为存储器栅电压 Vmg,以便使保持在电荷储存区 11 中的电子放电到存储器栅电极 14 中。此时,扩散层 10 被设定为电路的接地电位。此时可以使第二晶体管区 4 成为开通状态。

[0120] 如从上述作用于第一晶体管区 3 的写入 / 擦除操作可见,上述的操作能够实现而无须对控制栅控制线 CL 和位线 BL 施加高电压。这保证了第二晶体管区 4 的栅承受电压可以比较低。ZMOS19 也无须具有高承受电压。

[0121] 如图 3 举例说明的那样,虽然没有特别的限制,但保持在其阈值电压被降低了的擦除状态中的第一晶体管区 3,被设定为耗尽型,而保持在其阈值电压被提高了的写入状态中的第一晶体管区 3,被设定为增强型。在图 3 的擦除和写入状态中,存储器栅电极 4 在读出操作时可以被设定为电路的接地电位。而且,例如当读出操作被提速时,电源电压 Vdd 可以被加到存储器栅电极 14。另一方面,例如当如图 4 所示擦除和写入状态二者都被设定为增强型时,电源电压 Vdd 在读出操作时被加到存储器栅电极 14。在图 3 和 4 二者的阈值状态下,对第一晶体管区 3 进行选择的 MOS 型第二晶体管区 4,在本发明的情况下,与用于信息储存的 MOS 型第一晶体管区 3 相关地被提供。因此,没有必要对写入和擦除执行验证操作。当必须对存储单元减轻写入和擦除操作例如写入次数增加所造成的应力时,可以进行验证操作。

[0122] 在图 2 的非易失存储单元 1 于图 3 的阈值状态下的读出操作中,源线电压 Vs 和存

储器栅电压 V_{mg} 可以被设定为 0V, 而各个被读取和选择的存储单元的控制栅电压 V_{cg} 可以被设定为 1.8V 的选择电平。当使第二晶体管区 4 开通时, 根据电流是否按照第一晶体管区 3 的阈值电压状态流动, 存储器信息被读入到相应的位线 BL。由于第二晶体管区 4 的棚氧化物膜比第一晶体管区 4 的棚氧化物膜更薄, 且棚承受电压也更低, 故与存储器保持 MOS 晶体管和选择晶体管都被制作成高承受电压的情况相比, 能够相对增大非易失存储单元 1 的整个电流供应能力, 于是有可能提高数据读出的速度。

[0123] 在非易失存储单元 1 的读出操作时, 电流的方向可以被设定为与正向相反的方向(反向)。如图 23 举例说明的那样, 源线电压 V_s 被设定为 1.8V 而位线电压 V_d 设定为 0V。在关于各个读出和被选择存储单元的图 23 的时刻 t_0 , 控制栅电压 V_{cg} 被设定为选择电平(1.8V)。由于在本例子情况下存储单元处于擦除状态而降低了阈值电压, 故位线电压 V_d 升高。此电压的变化由未示出的读出放大器探测。

[0124] 图 26 以电路图的形式举例说明了有关非易失存储单元 1 的正向读出操作的形式。 I_{read} 表示读出电流的方向。图 27 举例说明了馈送 I_{read} 时的主信号波形。图 28 以电路图的形式举例说明了有关非易失存储单元 1 的反向读出操作的形式。图 29 和 30 举例说明了此时的主信号波形。图 29 示出了读出放大器输入侧上的 GL 被预充电然后开始读出操作的情况, 而图 30 示出了不预充电读出放大器输入侧上的 GL 而开始读出操作的情况。图 26 和 28 所示的读出放大器可以是微分输入型。在此情况下, 各个读出放大器的参考输入是图 27、29、30 中数据输入侧上的存储器 V_{th} 的高电压侧与低电压侧之间的电压。

[0125] 作为比较例, 图 5 示出了图 2 所示非易失存储单元 2 在其优化之前的几种连接状态。有关本发明的比较例 1 示出了一种模式, 其中使写入电流的方向(I_{prog})与本发明相反。在此情况下, 由于写入高电压 6V 必须施加到子位线 BL, 故需要将 ZMOS 设定为高电压 MOS 晶体管且将 Z 驱动器设定为高电压 MOS 驱动器。在分层位线结构中, 与本发明的形式相比, 存储器信息的读出操作变慢。

[0126] 比较例 2 示出了一种结构, 其中第一晶体管区 3 被连接到子位线 BL, 而第二晶体管区 4 被连接到源线 SL, 从而使写入电流从源线 SL 侧流到子位线 BL 侧。由于此情况下写入高电压被施加到源线 SL 侧, 故需要将第二晶体管区 4 构造成高承受电压结构, 并将字驱动器构造成高电压 MOS 驱动器。在此方面, 本例子是不适合于读出操作提速的。

[0127] 比较例 3 示出了一种构造, 其中第一晶体管区 3 被连接到子位线 BL, 而第二晶体管区 4 被连接到源线 SL, 从而使写入电流从位线 BL 侧流到源线 SL 侧。即使在此情况下, 也需要以相似于比较例 1 的方式将 ZMOS 和 Z 驱动器构造成高电压 MOS 晶体管。在此方面, 本例子是不适合于读出操作提速的。

[0128] 如从图 5 可见, 为了提高非易失存储单元 1 的读出操作的速度, 第一晶体管区 3 被连接到源线 SL, 第二晶体管区 4 被连接到位线 BL, 且写入电流的方向被设定为从源线 SL 侧延伸到位线 BL 侧。这导致最佳的条件。

[0129] 作为比较例子, 图 6-9 示出了不同于图 2 所示非易失存储单元的非易失存储单元。图 6 举例说明了有关具有浮栅的叠层栅型快速存储单元的器件区、工作电压、以及分层位线结构。图 7 举例说明了有关分割栅型快速存储单元的器件区、工作电压、以及分层位线结构。图 8 举例说明了有关 1Tr(晶体管)/1MC(存储单元)型 MONOS(金属-氧化物-氮化物-氧化物-半导体)叠层栅型快速存储单元的器件区、工作电压、以及分层位线结构。图

9 举例说明了有关 2Tr/1MC 型 MONOS 型存储单元的器件区、工作电压、以及分层位线结构。图 13 举例说明了图 6 和 8 所示各种非易失存储单元的平面结构, 图 14 举例说明了图 7 所示非易失存储单元的平面结构, 而图 15 举例说明了图 9 所示非易失存储单元的平面结构。

[0130] 在写入和擦除操作时, 叠层栅型、分割栅型、以及 MONOS 型分别需要施加高电压作为位线电压 V_d 或控制栅电压 V_{cg} 。于是, 由于高电压如所需被施加到构成用来驱动控制栅电极的字驱动器的 MOS 晶体管、存储单元控制栅电极正下方的 MOS 晶体管区、连接到其漏的 ZMOS、以及构成用来驱动 ZMOS 的 Z 驱动器的 MOS 晶体管, 故它们由厚膜高电压 MOS 晶体管构成。这些厚膜高电压 MOS 晶体管被包含在读取路径中对读出速度进行速率控制。因此, 这些非易失存储单元的使用使得难以执行高速读出操作。

[0131] 图 6 所示的叠层栅型非易失存储单元的擦除操作导致从浮棚 FG 抽出电子, 这些电子被 F-N 隧穿作用储存到衬底的操作。其写入操作导致这些电子被热电子储存在浮棚 FG 中的操作。图 7 所示分割栅型非易失存储单元的擦除操作导致从浮棚 FG 抽出电子, 这些电子被 F-N 隧穿作用储存到控制栅的操作。其写入操作导致这些电子由于控制栅末端处产生的热电子注入到源侧而储存在浮棚 FG 中的操作。图 8 所示的 1Tr/1 单元型 MONOS 型非易失存储单元的擦除操作导致从电荷储存层 ONO 的氮化物膜 N 抽出电子, 这些电子被 F-N 隧穿作用储存到控制栅的操作。其写入操作导致将电压施加到源端子(在晶体管层面上, 源和漏互换), 并将热电子储存在电荷储存区 ONO 的氮化物膜中的操作。2Tr/1 单元型 MONOS 型非易失存储单元的擦除操作导致将负电压施加到存储器栅, 从而从电荷储存层 ONO 的氮化物膜 N 抽出 F-N 隧穿电子, 将这些电子储存到衬底的操作。其写入操作利用隧穿作用由存储器栅正下方的沟道的电位导致将电子储存在电荷储存层 ONO 的氮化物膜 N 中。

[0132] 显然, 图 6~9 所示各个比较例所述的叠层栅型、分割栅型、以及 MONOS 型中的任何一种, 都在存储器信息读取路径中插入了高电压 MOS 晶体管, 并限制读出操作提速。

[0133] 图 10 示出了注意图 2 所示非易失存储单元的写入操作时的器件区。在图中所示的写入电压状态中, 在电荷储存区 11 正下方的控制栅电极 18 附近形成了 6V 的沟道。另一方面, 控制栅电极 18 正下方的沟道为 0V。于是, 在电荷储存区 11 的存储器栅电极 18 正下方形成了陡峭的电场(突变电场), 从而有可能控制流过源-漏沟道的电流。热电子由于突变电场而产生, 并被储存在电荷储存区 11 中。由于控制栅电极 18 正下方的沟道为 0V, 故控制栅电极 18 的绝缘膜 17 有保证被减薄到与例如无高承受电压的逻辑电路等那样的大多数 MOS 晶体管完全相同或基本上相等的程度。当电流减小时, 控制栅电极 18 正下方的沟道约为 0.8V。

[0134] 控制栅电极 18 正下方的沟道在写入操作时不被设定为 6V 的理由是, 没有高密度杂质区例如扩散层被形成在制作于阱区 2 中的位线电极 16 与源线电极 10 之间。假设由存储器保持 MONOS 和选择 MOS 晶体管的串联电路组成的非易失存储单元(等效于图 9 的 MONOS)的结构被构造成如图 11 举例所述的例子那样, 则二种晶体管的串联连接节点被构造成二者共用的扩散区(源-漏区)30。当被二者晶体管共用的公共扩散区 30 被插入在其间时, 高电压在写入时被施加到 MONOS 以形成沟道, 致使 MONOS 侧上的高电压经由二种晶体管共用的扩散区 30 从沟道被施加到选择 MOS 晶体管。在图 11 中示出了相似于图 10 的写入电压状态的电压施加状态, 接近 5V 的电压被施加到位于控制栅电极 31 与存储器栅电极 32 之间的扩散层 30, 且在漏末端产生热电子, 并被引入电荷储存层 33 中。由于控制栅电

极 31 与存储器栅电极 32 之间的扩散层 30 导致 5V, 故控制栅电极 31 的绝缘膜需要达到各个高电压 MOS 的绝缘膜的厚度。因此, 无法执行高速读出操作。如在图 9 的情况中那样, 在 MONOS 型存储单元的情况下, 重要的是选择 MOS 晶体管是高承受电压型的。

[0135] 图 16 示出了采用非易失存储单元 1 的存储单元阵列的一个例子。非易失存储单元 1 被排列成具有 1024 行 × 2048 列并以 16 行 × 2048 列为单位共用源线 SL。对应于 1 列的 64 个非易失存储单元, 被连接到子位线 BL, 并经由 p 沟道 ZMOS19p 分别被连接到主位线 GL。当 p 沟道型 MOS 晶体管被采用作为 ZMOS19p 时, 在 ZMOS 之前和之后, 传播信号电平未被降低一个阈值电压。从而有可能克服相应位线 BL 读出信号电平的电压降低。

[0136] 然而, 当执行非易失存储单元 1 的写入或擦除时, 即使已经试图将位线 BL 设定为电路的接地电位 (0V), 位线的电位也不达到低于 p 沟道型 ZMOS19p 的阈值电压的电平。为了解决这一问题, 可以采用 CMOS 传送门, 其中, p 沟道型 ZMOS19p 与 n 沟道型 ZMOS19n 被并联连接, 如图 17 举例说明的那样。构成 CMOS 传送门的 ZMOS19p 和 19n, 分别由地址译码器的译码信号开关控制。参考号 40 所指的逻辑意味着地址译码器的译码输出末级。

[0137] 图 18 示出了采用非易失存储单元 1 的存储单元阵列的另一个例子。在此图所示的例子中, 与 p 沟道型 ZMOS19p 互补开关工作的 n 沟道型放电 MOS 晶体管 20n, 被提供在其相应的子位线 BL 处。于是, 当子位线 BL 经由 ZMOS19p 被选择时, 子位线 BL 就被相应的放电 MOS 晶体管 20n 完全放电。因此有可能防止在开始读出之前预充电了的主位线 GL 的电平发生不希望有的变化, 有可能利用微分读出放大器等来稳定读出信号的读出操作, 并有可能有助于读出操作的提速。ZMOS19p 和放电 MOS 晶体管 20n 受地址译码器的译码信号开关控制。参考号 41 所指的逻辑意味着地址译码器的译码输出末级。

[0138] 图 19 举例说明了与采用非易失存储单元 1 的存储单元阵列相关的驱动器的布局。各个存储单元阵列 50 和 50 具有例如图 16 所解释的那种结构。第一驱动器 21 和第三驱动器 23 被排列在一侧上, 而第二驱动器 22 和第四驱动器 24 被排列在另一侧上, 以二个存储单元阵列 50 和 50 插入在其间。第一驱动器 21 和第三驱动器 23 分别接收地址译码信号 51, 致使其操作被选择。第二驱动器 22 和第四驱动器 24 分别接收第一驱动器 21 的输出信号 52, 致使其操作被选择。于是有可能将各以高电压作为工作电源而工作的驱动器与各以比较低的电压作为工作电源而工作的电路彼此分隔开。

[0139] 顺便说一下, 在图 19 所示结构中的控制栅或存储器栅部件中, 能够执行写入操作。此时, 源线被对应于 16 行作为单位的存储单元共用。而且, 用 16 个控制栅控制线 52 上的 OR 信号来驱动控制源线。Prog 是写入操作控制信号。

[0140] 在存储单元阵列 50 和 50 中, 存储器栅控制线 ML 分别与存储器栅电极集成制作, 并借助于将低电阻金属层 MGmt 层叠在多晶硅层 MGps 上而构成。使多晶硅层 MGps 和低电阻金属层 MGmt 在适当地点相接触。控制栅控制线 CL 也与控制栅电极集成制作, 并借助于将低电阻金属层 CGmt 层叠在多晶硅层 CGps 上而构成。也使多晶硅层 CGps 和低电阻金属层 CGmt 在适当位置相接触。借助于采用其中多晶硅布线被形成在低电阻金属层背面的短路结构, 能够减小布线电阻。

[0141] 用来响应于读出操作而使存储器栅控制线 ML 导通到电路的接地电位 Vss (0V) 的放电 MOS 晶体管 53, 被提供在存储器栅控制线 ML 的不同位置处。即使存在着由各个存储器栅控制线 ML 的寄生电容和布线电阻等产生的比较大的延迟组成部分, 存储器栅控制线 ML

也能够为了读出操作而被迅速放电,故能够得到向读出操作启动状态的迅速过渡。

[0142] 在图 16-19 所述的存储单元阵列 50 的构造中,位(8位)写入被启动为写入单位。而且,由于与正常热电子相比,因为如上所述源侧注入而写入电流小,在控制栅控制线(字线)部件中的诸如 128 位的写入也被启动。虽然擦除部件基本上被用作字线部件,但擦除部件可以是共用图 16 举例说明的源线 SL 的部件。或者,多个源线 SL 的部件可以被成批收集。

[0143] 顺便说一下,当考虑到沿字线方向的缺陷释放时,缺陷释放的部件导致采用共用至少源线 SL 的部件。为了进行缺陷释放,虽然在图中未特别示出,但提供了用缺陷部分代替的释放存储器阵列、储存要通过非易失存储器等释放的地址的释放地址程序电路、对释放地址程序电路中储存的地址和存取地址进行比较的地址比较器、以及释放选择电路。当地址比较器的比较结果表示它们彼此符合时,释放选择电路就根据存取地址而禁止访问,并利用与此符合有关的释放地址作为其变通而操作释放存储器阵列。

[0144] 图 20-22 示出了根据本发明的非易失存储单元 1 的其它剖面结构。如图 20 举例说明的那样,电荷储存区 11 和存储器栅电极 14 可以被排列在控制栅电极 18 上。如图 21 所示,电荷储存区 11 和存储器栅电极 14 被排列在控制栅电极 18 附近,且存储器栅电极 14 可以被制作成侧壁栅。或者,如图 22 所示,控制栅电极 18 可以被制作成侧壁栅。

[0145] 虽然在图中未特别示出,但电荷储存区 11 不局限于采用覆盖有如上所述的氮化硅膜那样的绝缘膜的电荷捕获绝缘膜。作为变通,可以采用覆盖有绝缘膜的导电浮棚电极(例如多晶硅电极)或覆盖有绝缘膜的导电颗粒层等。导电颗粒层可以由例如纳米点构成,其中多晶硅被形成为点状。

[0146] 图 24 示出了半导体器件例如微计算机的整个构造,其中,采用了上述非易失存储单元的非易失存储器被提供在芯片上。虽然没有特别的限制,但利用 CMOS 集成电路制造技术,此微计算机 60 被制作在如单晶硅的一个半导体衬底(半导体芯片)上。微计算机 60 包括 CPU(中央处理器)61、用作易失存储器的 RAM62、用作非易失存储器的快速存储器模块 63、快速存储器控制器 64、总线状态控制器 65、诸如输入/输出端口电路之类的输入/输出电路(I/O)66、以及其它的外围电路 67。这些电路模块被连接到内部总线 68。内部总线 68 包括分别用于地址、数据、以及控制信号的信号线。CPU61 包括指令控制器和执行装置,并对获取的指令进行译码,且根据译码结果而执行算术处理。快速存储器模块 63 中储存 CPU61 的操作程序和数据。RAM62 用作 CPU 的工作区或数据暂存区。快速存储器模块 63 的工作根据 CPU61 设定到快速控制器 64 的控制数据而被控制。总线状态控制器 65 经由内部总线 68 控制着关于存取和外部总线存取的存取周期的数目、中间状态插入、总线宽度等。

[0147] 图 24 中用双虚线围绕的区域 69 所示的电路意味着由栅氧化物膜比较薄的 MOS 晶体管构成的电路部分。区域 69 之外的电路导致由栅氧化物膜比较厚的高电压 MOS 晶体管构成的电路部分。作为此电路部分,指出了例如快速存储器模块 63 中的制作有高电压驱动器 22 和 24 的区域。

[0148] 图 25 示出了快速存储器模块的详细例子。存储器阵列 70 具有图 16 和 19 等所示的构造。驱动器电路 71 是配备有驱动器 23 和 21 等的电路区。待要根据编码信号进行输出工作的驱动器被馈自 X 地址译码器(XDCR)73 的相应地址选择。驱动器电路 72 包括驱动器 22 和 24 等。待要进行输出工作的驱动器根据控制栅控制线 CL 的状态等被选择。读出

放大器电路和写入控制器 78 被连接到全局位线 GL。读出放大器电路 78 对读出到相应全局位线 GL 的读出数据进行放大和锁存。写入控制器 78 对写入操作时要施加到相应全局位线的写入控制信息进行锁存。读出放大器电路和写入控制器 78 经由 Y 选择电路 (YG) 79 被连接到数据输入 / 输出缓冲器 (DTB) 80, 因而能够与包括在内部总线 68 中的数据总线 68D 形成界面。在读出操作时, Y 选择电路 78 根据从 Y 地址译码器 (YDCR) 74 输出的地址译码信号, 对锁存在读出放大器电路 78 中的读出数据进行选择。被选择的读出数据能够经由数据输入 / 输出缓冲器 80 被输出到外部。在写入操作中, Y 选择电路 78 控制着使来自数据输入 / 输出缓冲器 80 的写入数据相应于哪个全局位线以及写入数据是否锁存在写入控制器 78 中。

[0149] 地址信号从地址总线 68A 馈送到地址缓冲器 75, 从地址缓冲器被馈送到 X 地址译码器 73 和 Y 地址译码器 74。电压发生器 (VS) 77 根据外部电源 Vdd 和 Vss 而产生读出、擦除、以及写入所需的工作电源。例如, 考虑到图 2 所示的写入工作电压, 它们导致 Vdd = 1.8V, VCCE = 12V, VCCP = 8V, 以及 VCCD = 6V。

[0150] 控制器 (CONT) 76 执行快速存储器模块 63 的读出操作、擦除操作、以及写入操作的控制程序以及根据对快速存储器控制器 64 设定的控制信息而对其工作电源的开关控制。对工作电源的转换控制相当于根据图 2 工作模式按照读出操作、擦除操作、以及写入操作来控制为转换驱动器 21-24 的工作电源。

[0151] 图 31 举例说明了关于非易失存储单元的其它写入电压条件等。图 31 与图 2 的基本差别在于, 电源电压 Vdd 从 1.8V 改变到了 1.5V, 且读出时的存储器栅电压 Vmg 从 0V 改变到了 Vdd = 1.5V。

[0152] 而且, 写入 (编程) 和擦除时的源电压 Vs 和存储器栅电压 Vmg 也被改变了。采用 ZMOS19 的分层结构未被用于图 31 中的各个位线 BL。图 2 所示的这种位线分层结构是可以采用的。即使在图 31 中, 也能够得到相似于图 2 的效果。

[0153] 图 32 示出了有关采用非易失存储单元 1 的存储单元阵列以及驱动器的布局的另一个例子。在图 32 的例子中, 以相似于图 19 的方式, 各个控制栅驱动器 21 分别接收地址译码信号, 以便其操作被选择, 同时分别提供存储器栅驱动器 22A 和源驱动器 24, 以便根据控制栅驱动器 21 的输出而选择它们的操作。控制栅驱动器 21 被排列在一侧上, 而存储器栅驱动器 22A 和源驱动器 24 被排列在另一侧上, 以存储器阵列 50 插入在其间。于是, 各以高电压作为工作电源而工作的各个驱动器与各以比较低的电压作为工作电源而工作的各个电路被彼此分隔开。至此所述的构造与图 19 所示的完全相同, 且下面将解释图 32 与图 19 之间的各种差异。顺便说一下, 由于存储器栅驱动器 22A 相对于存储器栅驱动器 22 提高了驱动负载, 故可以具有比存储器栅驱动器 22 更大的驱动能力, 其中存储器栅驱动器 22A 缺乏这种能力。

[0154] 第一不同点是存储器栅控制线 ML 被公共连接在多个部件中。亦即, 与控制栅控制线 CL 成对的存储器栅控制线 ML 例如在 16 个部件中共用存储器栅驱动器 22A。源线 SL 也例如在 16 个部件中共用源驱动器 24。此时, 被存储器栅驱动器 22A 共用的存储器栅控制线 ML 的数目 Nm1 满足被设定为小于或等于被源驱动器 24 共用的源线 SL 的数目 Ns1 的条件 ($Nm1 \leq Ns1$)。

[0155] 上述条件来自下列理由。当使电流在源和漏之间流动, 从而将高电压施加到存储

器棚电极 14 作为关于非易失存储单元的写入格式时,若使电流在写入被选择的存储单元的源与漏之间流动的源电位 Vs 被施加到其相应的源线 SL,则共用写入非选择的非易失存储单元与写入被选择的存储单元之间的存储器棚控制线 ML 的写入非选择的非易失存储单元的源与存储器棚之间的电场不特别增强。在图 31 和 32 所示的例子中,源与存储器棚之间的电位差约为 6V。若源电位是用于写入非选择的低源电位,则在共用写入非选择的存储单元与写入被选择的存储单元之间的存储器棚控制线的写入非选择的存储单元的源与存储器棚之间形成如 12V 的大电位差。这有可能会引起可与擦除比拟的大电场的作用。出现一种干扰,致使大电场不希望有地改变处于写入状态的存储单元的阈值电压。在预先防止这种干扰方面,被存储器棚驱动器 22A 共用的存储器棚控制线 ML 的数目与被源驱动器 24 共用的源线 SL 的数目之间的上述关系是有用的。

[0156] 其理由将进一步详细描述。图 33 举例说明了一种电路格式,其中,如图 19 所示,存储器棚控制线 ML 被其相应的驱动器 22 以存储器棚控制线与控制栅控制线之间的一对一的对应关系驱动。被干扰的存储单元仅仅是 A 所示的位于存储器棚控制线 ML 与写入被选择的存储单元共用的同一行中的存储单元。由于即使在 A 所示的存储单元的情况下,6V 也以相似于写入被选择的存储单元的方式被施加到源线 SL,故仅仅大约 6V 的电位差出现在其源与存储器棚之间。因此,诸如擦除时产生的这种大电场不出现,故导致可允许的干扰。若即使源线被公共连接到图 33 中的各个写入被选择的存储单元,其它的存储单元也不同于存储器棚控制线 ML 中的写入被选择的存储单元,则在源与存储器棚之间仅仅出现方向与擦除时相反的电场,致使写入时不出现干扰。若详细描述的话,上述可允许干扰状态中的存储单元的电压施加状态被表示为图 35 所示。在对应于图 32 的图 34 的情况下,大约 6V 的电位差以相似于 A 所示的存储单元的方式出现在 B 和 C 所示的各个存储单元中的源与存储器棚之间。但这是与图 33 中 A 所示的存储单元相同的,因此,仅仅出现可允许的干扰。这是因为当图 34 中写入选择的存储器棚控制线 ML 的数目大于写入选择的源线的数目时,在根据 OV 被施加到写入非选择的源线而 12V 被施加到写入选择的存储器棚线而连接到写入非选择的源线和写入选择的存储器棚控制线之间,沿与擦除时相同的电场方向形成了 12V 的电位差,存储单元从而被置于与擦除状态可比拟的状态。

[0157] 在上述条件 $N_{M1} \leq N_{S1}$ 下,存储器棚驱动器 22A 在存储器棚控制线 ML 之间被共用,而源驱动器 24 在源线 SL 之间被共用,从而如图 34 举例说明的那样,能够明显地减小由驱动器 22A 和 24 形成的芯片占据面积。在图 33 中,存储器棚驱动器 22 相对于 1024 个控制栅控制线 CL 被排列 1024 个,而在图 34 中,它们可以被提供 64 个,等于 1024 个存储器棚驱动器的 16 分之一。

[0158] 第二个不同点在于用来产生用于存储器棚驱动器 22A 和源驱动器 24 的驱动控制信号的逻辑结构。亦即,如图 32 所示,存储器棚驱动器 22A 和源驱动器 24 被构造成根据用来形成对应于其相应的 16 个控制栅控制线 CL0-CL15 的选择状态的 OR 操作的 OR 电路的输出而被驱动。此时,为了缩短控制栅控制线 CL0-CL15 的路径,OR 电路 90 被排列成靠近存储器阵列 50,且其 OR 结果信号 Clout0 被馈送到驱动器 22A 和 24。于是,诸如图 36 举例说明的布线路径就成为不是必须的。而且,无须使控制栅控制线 CL0-CL15 延伸在驱动器 22A 附近以及将它们输入到 OR 电路 100。

[0159] 图 37 示出了 OR 电路 90 的一种具体构造。此 OR 电路 90 包含 NOR 门。在图中,NOR

门 91 被插入在其相继的级中。NOR 门 91 不被信号 Read 用于读操作的指令, 电压 Vdd 被施加到所有的存储器栅。换言之, NOR 门 91 被用于读出操作之外的擦除和写入操作。

[0160] 确切地说, 为了减小 NOR 门 90 的布局面积, 用晶体管 Q0-Q15 构成了控制栅控制线 CL0-CL15 的延伸部分用作栅电极。图 38 举例说明了 NOR 门 90 的布局结构。

[0161] 第三个不同点在于从读出操作提速观点作出的改善。亦即, 如图 32 举例说明的那样, 用来使存储器栅控制线 ML0,... 响应于读出操作而导通到电源电压 Vdd 的多个充电 MOS 晶体管 92, 分别被提供在存储器栅控制线 ML 的不同位置处。从读出操作的观点看, 能够缩短使相应的存储器栅控制线 ML 过渡到所希望的电平所需的时间。响应于用来由信号 SWE 指令禁止重写的状态而使充电 MOS 晶体管 92 处于开通状态。

[0162] 而且, 如图 32 举例说明的那样, 提供了 MOS 晶体管 95, 用来使在 16 个部件中共用源驱动器 24 的源线 SL0,... 响应于读出操作而导通到电路的接地电位。而且, 提供了耦合 MOS 晶体管 94, 用来选择性地使设置在 16 个部件中的源线 SL 组进入导电。如图 39 举例说明的那样, 此耦合 MOS 晶体管 94 和 MOS 晶体管 95 在读出操作时被开通, 从而有可能使源线 SL 中的电阻明显地减小。响应于由图 32 中的信号 P 提供非写入指令的状态, 分别使 MOS 晶体管 94 和 95 处于开通状态。

[0163] 图 40 是剖面图, 示出了本发明的第一实施方案, 这是采用浮栅的存储单元的情况。此存储单元包含提供在硅衬底上的 p 型阱区 PWEL、用作源区的 n 型扩散层 MS、用作漏区的 n 型扩散层 MD、浮栅 FLG、隧穿氧化物膜 FT0、层间绝缘膜 INTP、用来在写入 / 擦除时施加高电压的存储器栅电极 MG (材料为 n 型多晶硅)、用来保护存储器栅电极 MG 的氧化物膜 CAP、选择 MOS 型晶体管的栅氧化物膜 STOX、由 n 型多晶硅组成的选择栅电极 SG、以及用来隔离选择栅电极 SG 与存储器栅电极 MG 的绝缘膜 GAPOX。栅氧化物膜 STOX 的特征在于栅氧化物膜 STOX 的厚度被制作得薄于绝缘膜 GAPOX 的厚度和用于写入 / 擦除的高电压 MOS 型晶体管的厚度。栅氧化物膜 STOX 和绝缘膜 GAPOX 分别由其它的层形成。层间绝缘膜 INTP 可以是浮栅型的硅的氧化物膜 / 氮化物膜 / 氧化物膜的通常使用的叠层结构。图 41 示出了图 40 所示的单元的工作以及如何对其施加电压。此处, 电荷注入到浮栅 FLG 中被定义为写入 (编程)。写入系统表示采用源侧注入的热电子写入。施加到源区 MS 的电压 Vs 为 5V。施加到存储器栅电极 MG 的电压 Vmg 为 10V。施加到选择 MOS 型晶体管的栅电极 SG 的电压 Vsg 被规定为基本上等于 MOS 型晶体管的阈值电压。热电子的产生区是 GAPOX 区下方的沟道部分, 以相似于图 40 的方式, 二个栅电极被 GAPOX 区彼此隔离。

[0164] 在用作擦除操作的电荷从浮栅 FLG 排出的情况下, 产生了诸如使储存的电荷 (电子) 放电即排出到 p 型阱区 PWEL 的电场。例如当电位差被设定为 20V 时, 施加到存储器栅电极 MG 的电压 Vmg 被设定为 -20V, 而施加到 p 型阱区 PWEL 的电压 Vwell1 被设定为 0。作为变通, 施加到存储器栅电极 MG 的电压 Vmg 被设定为 -10V, 施加到 p 型阱区 PWEL 的电压 Vwell1 被设定为 10V, 而施加到栅电极 SG 的电压 Vsg 被设定为 10V。施加到栅电极 SG 的电压 Vsg 是为消除栅电极 SG 与 p 型阱区 PWEL 之间的电位差以及避免栅氧化物膜 STOX 受到损伤所需的电压。

[0165] 若读出时施加到源 / 漏的电压的方向与混合核心逻辑的工作电压为 1.8V 的写入时施加的电压方向相反, 则施加到源区 MS 的电压 Vs 被设定为 0V, 施加到漏区 MD 的电压 Vd 被设定为 1.8V, 而施加到栅电极 SG 的电压 Vsg 被设定为 1.8V。若此时擦除状态中的存储

器的阈值电压被设定得足够低于 0，则施加到存储器栅电极 MG 的电压 Vmg 能够在 0V 下被读出。在正向读出的情况下，施加到漏区 MD 的电压 Vd 可以被设定为 1.8V，而施加到源区 MS 的电压 Vs 可以被设定为 0。作为除了核心逻辑之外还混合有高电位的晶体管，指出了各处置从外部输入的信号以及输出到外部的信号的 I/O 的 MOS 型晶体管。它们克服了高于核心逻辑处置的，例如 3.3V, 2.5V 等的电压。各个这种为 I/O 的 MOS 型晶体管的栅绝缘膜的厚度薄于绝缘膜 GAPOX 的厚度。在 3.3V 的情况下，其厚度约为 8nm，而在 2.5V 的情况下，其厚度约为 6nm。由于其厚度薄于需要高承受电压的绝缘膜 GAPOX 的厚度，故可以被用作栅氧化物膜 STOX 的厚度。可以采用上述的 1.8V，或为 I/O 的 3.3V 或 2.5V 作为待要施加的读出电压。

[0166] 图 42 示出了图 40 所示第一实施方案所示的存储单元以及其中混合的其他 MOS 型晶体管二者的剖面结构。新加入到图 42 剖面结构中作为标记的是器件隔离区 SGI、核心逻辑 n MOS 型晶体管（核心逻辑 MOS）的 p 型阱 LPWEL、其栅氧化物膜 LVGOX、其栅电极 LVG、其源 / 漏区 LVSD、写入 / 擦除高电压 MOS 型晶体管的 p 型阱 HPWEL、其栅氧化物膜 HVGOX、其栅电极 HVG、其源 / 漏区 HVSD、布线层间绝缘膜 INSMI、用来将核心逻辑 MOS 型晶体管的低输出电压馈送到第一布线层中的选择栅电极 SG 的布线 M1a、以及用来将写入 / 擦除 MOS 型晶体管的高输出电压馈送到存储器栅电极 MG 的布线 M1b。虽然实际上还存在着上部布线，但在此图中被省略了。

[0167] 若栅氧化物膜 STOX、LVGOX、HVGOX、以及隧穿氧化物膜 FTO 都被确定为氧化硅膜，且它们的物理厚度分别被定义为 tS、tL、tH、tF，则在根据本发明的非易失存储器件中有关系 $tL \leq tS < tF < tH$ 。虽然省略了为 I/O 的 MOS 型晶体管剖面图的描述，但若其栅绝缘膜的厚度被定义为 tIO，则有关系 $tL < tIO < tF$ 。即使与厚度 tIO 相同的厚度被用作厚度 tS，关系 $tL \leq tS < tF < tH$ 也仍然保持，且能够在本发明的范围内。若这些膜不单独由氧化硅膜构成，例如在其部分中采用了氮化物膜，则本发明特有的厚度关系能够从物理厚度被概括为电学厚度。由于栅绝缘膜的结构和厚度相应于各个施加的电压而被设定，故符合本发明的特征，其中基于其上的厚度组成被应用于甚至单元结构。

[0168] 说到有关 MOS 型晶体管与存储单元之间的连接关系方面的本发明的其它特点，核心逻辑的 MOS 型晶体管的选择栅电极 SG 与源 / 漏区 LVSD 彼此被布线层 M1a 直接连接，而写入 / 擦除 MOS 型晶体管的存储器栅电极 MG 与源 / 漏区 HVSD 彼此被布线层 M1b 直接连接。

[0169] 图 43 是剖面图，示出了第二实施方案，其中，本发明被应用于执行分立电荷储存的 MONOS 型存储单元。图 43 与图 40 不同之处在于构造了其中电荷储存区导致硅的氮化物膜 SIN 的叠层结构，氧化物膜 BOTOX 被形成在氮化物膜 SIN 的正下方，而氧化物膜 TOPOX 被形成在氧化物膜 BOTOX 的正上方。氮化物膜 SIN 的厚度被设定为小于或等于 50nm。假设氧化物膜 TOPOX 的厚度被定义为 tT，且氧化物膜 BOTOX 的厚度被定义为 tB，则 tT 和 tB 者被设定为达到关系 $tB > tT$ ，其中，储存的电荷经由氧化物 TOPOX 被抽出，而 tT 和 tB 二者被设定为达到关系 $tB < tT$ ，其中，储存的电荷经由氧化物 BOTOX 被抽出。图 42 中所述的膜厚度关系，亦即 $tL \leq tS < tF < tH$ ，在两种情况下是相似的。虽然氮化硅膜已经被举例描述为本实施方案中的电荷存储层，但即使在其它绝缘捕获膜例如铝之类的情况下，也能够应用本发明。

[0170] 图 44 示出了图 43 所公开的单元的工作以及如何将电压施加于其上。图 44 基本上与图 41 相同，但施加到存储器栅电极 MG 的电压 Vmg 被设定为 12V，其中电荷被排向存储

器栅电极 MG 并被擦除。这是一种电压施加方法,其中氧化物膜 BOTOX 的厚度厚于氧化物膜 TOPOX 的厚度。施加到存储器栅电极 MG 的电压 V_{mg} 被设定为 -12V, 其中电荷被放电到 p 型阱区 PWEL 中并被擦除。这是一种电压施加方法,其中氧化物膜 BOTOX 的厚度薄于氧化物膜 TOPOX 的厚度。顺便说一下,擦除电压的绝对值 12V 被示出作为例子。本发明不局限于这一数值。

[0171] 图 45 举例说明了用于图 43 所示存储单元的源 / 漏结构。作为前提,各个工作电压对应于图 44 所示的写入、擦除、反向读出。在此情况下,漏的结承受电压可以完全相同于 1.8V 工作的 CMOS(核心逻辑的 MOS 型晶体管)的。因此,漏区可以采用与核心逻辑相同的结构。亦即,漏区被构造成 LDD 结构,它包含低密度区 MDM 和高密度区 MD,并能够与核心逻辑的 MOS 型晶体管的源 / 漏区共用。于是,由于能够抑制选择 MOS 型晶体管的短沟道效应,故其栅长度能够被缩短。这适合于在低电压下获得大的读出电流。另一方面,在写入时被施加高电压的漏区不能采用与核心逻辑晶体管源 / 漏区相同的结构,因而导致一种双漏结构,它包含高密度区 MS 和扩散层 MSM,用来改善承受电压。其源区也能够与用于写入 / 擦除电压控制的高电压 MOS 型晶体管的源 / 漏区共用,并可以按需要被构造成存储单元专用的结构。

[0172] 图 46 示出了图 43 所示存储单元中选择 MOS 型晶体管与存储器 MOS 型晶体管之间沟道密度的差异。为了确保低电压下的大读出电流,MOS 型晶体管的阈值越低越好。但当选择 MOS 型晶体管的阈值变得非常低时,则即使其栅电压为 0,选择 MOS 型晶体管也不完全关断。这导致泄漏电流使正常的读出操作不能进行。因此,选择 MOS 型晶体管的阈值最好在正的范围内低。另一方面,为了将读出电流设定得高,需要充分地降低存储器 MOS 型晶体管的阈值。为了能够长时间储存电荷,存储器栅电极 MG 的电压在读出时最好可以被设定为 0V。这样,若假设在选择 MOS 型晶体管中不出现泄漏,则需要使擦除状态下的存储器 MOS 型晶体管的阈值为负。

[0173] 借助于提高擦除电压或长时间施加擦除电压,常规的浮棚型能够获得足够低的阈值。但如本实施方案中那样采用捕获作用膜的存储单元的特征是阈值不被降低到恒定数值或以下。因此,为了降低存储器 MOS 型晶体管的阈值,应该需要调整沟道密度和将原来的阈值设定得低。若沟道杂质密度被设定成中性阈值变负,则也能够使擦除之后的阈值成为负。若进行了这种设定,则当选择 MOS 型晶体管被开通以读取信号时,能够得到大的读出电流值。因此,在 MOS 型晶体管的沟道区 SE 的杂质密度与存储器 MOS 型晶体管的沟道区 ME 的杂质密度之间必然不可避免地出现差异。若在图 46 所示的制作在 p 型阱区 PWEL 上的存储单元的情况下在沟道区 SE 的 p 型杂质密度 N_{se} 与沟道区 ME 的 p 型杂质密度 N_{me} 之间进行比较,则各个杂质密度被设定成使关系 $N_{se} > N_{me}$ 成立。或者,各个 p 型杂质密度被设定为完全相同,但 ME 区的 n 型杂质密度被设定为高于 SE 区的 n 型杂质密度。密度的差别是本发明的重点之一,它有助于在低电压下获得大的读出电流。

[0174] 顺便说一下,由于在采用常规浮棚型时存储器 MOS 型晶体管的阈值被设定为负的未被控制的状态下,阈值的变化量被抑制为小,故需要将存储器 MOS 型晶体管的中性阈值抑制小。当存储器栅电极 MG 的电压在读出时被设定为 0 时,其中性阈值也最好可以被设定为负。因此,不管存储器 MOS 型晶体管的电荷储存方法如何,上述重点都成立。

[0175] 图 47 是剖面图,示出了第三实施方案,其中,本发明被应用于采用精细颗粒作为

电荷储存部分的存储单元。精细颗粒 DOTS 被提供在底座氧化物膜 BOTOX 上。作为各个精细颗粒 DOTS 的材料,可以指出多晶硅。可以采用其它的材料。颗粒的直径最好是 10nm 或以下。层间绝缘膜 INTOX 被淀积,以便覆盖精细颗粒 DOTS,且存储器栅电极 MG 被安装在其正上方。此电荷储存部分可以被认为等于具有变为分立的捕获性质的电荷储存膜。因此,迄今所述的本发明的内容能够被用于其任何组合或其所有组合。

[0176] 上面已经描述了对应于本发明主旨的关系 $tL \leq tS < tH$ 以及单元结构。下面参照图 48 的示出了第四实施方案的剖面图来解释具体的制造方法。此处公开的是剖面结构,其中,用各向异性干法腐蚀方法形成的侧壁间隔 GAPSW 被用作绝缘膜 GAPOX,用来隔离用于第二实施方案的选择栅电极 SG 和存储器栅电极 MG。用相似于形成正常 MOS 型晶体管的扩散层的 LDD(轻掺杂漏)结构所用侧壁间隔的方法的技术来形成侧壁间隔 GAPSW。然而,干法腐蚀之后立即形成的氧化物膜的承受电压由于腐蚀损伤而降低了。由于在正常 CMOS 情况下施加的电压低,且未提供邻近侧壁间隔的电极,故承受电压的降低变得几乎无足轻重。但当侧壁间隔被用作绝缘膜 GAPOX,用来彼此隔离选择栅电极 SG 与存储器栅电极 MG 时,就必须确保大约 15V 的承受电压。因而重要的是在氧气氛中进行退火工艺,以便淀积在整个表面上的氧化硅膜被各向异性干法腐蚀方法回腐蚀以形成侧壁间隔 GAPSW 之后,在淀积用作选择栅电极 SG 的多晶硅之前改善承受电压。这是实现根据本实施方案的存储单元结构的不可缺少的一个工艺。

[0177] 图 49 是第五实施方案的剖面图,其中,图 48 所示的各个选择 MOS 型晶体管的栅电极被构造成自对准于一个储存区。此结构是借助于在整个表面上淀积栅电极材料(例如多晶硅)并对其进行各向异性干法腐蚀工艺而形成的结构。用这种技术形成的选择 MOS 型晶体管的栅电极,对应于图中的 SGR1 和 SGR2。它们的形状不同于图 48 的具有相同功能的栅电极 SG,但其间的不同之处仅仅在于这一点。亦即,对应于本发明主旨的关系 $tL \leq tS < tH$ 保持不变。

[0178] 图 50-56 公开了根据本发明的上述存储单元与其它 MOS 型晶体管被混合时,有关制造工艺的剖面图。

[0179] 首先来解释图 50。器件隔离氧化物膜区 SG1 被形成在 p 型硅衬底 PSUB 上,以便形成核心逻辑的 n 型 MOS 型晶体管(nMOS)的 p 型阱 PWL、核心逻辑的 p 型 MOS 型晶体管(pMOS)的 n 型阱 NWL、写入 / 擦除的高电压控制 n 型 MOS 型晶体管(nHVMOS)的 p 型阱 HPWL、高电压控制 p 型 MOS 型晶体管(pHVMOS)的 n 型阱 HNWL、以及存储单元区的 n 型阱 NWL。接着,用来控制各个 MOS 型晶体管的阈值的杂质被引入到用作沟道表面的区域中。结果形成 nMOS 杂质层 NE、pMOS 杂质层 PE、nHVMOS 杂质层 HNE、pHVMOS 杂质层 HPE、以及存储器 MOS 型晶体管的杂质层 ME。

[0180] 接着来解释图 51。硅衬底的表面被清洁处理。然后,用热氧化方法形成存储器 MOS 型晶体管的下部氧化物膜 BOTOX(5nm),并用化学气相淀积方法在其正上方淀积氮化硅膜 SIN(15nm)。然后,对氮化硅膜 SIN 的表面进行热氧化处理,从而形成上部氧化物膜 TOPOX(2nm)。随后,相继淀积稍后用作存储器栅电极的 n 型多晶硅层 NMG(100nm)以及用来保护存储器栅电极 MG 的氧化硅膜 CAP(100nm)。

[0181] 接着来解释图 52。利用光刻技术和干法腐蚀技术,对应于图 51 中硅衬底上形成的 5 个层的层叠的膜 BOTOX、SIN、TOPOX、NMG、以及 CAP 被加工成存储器 MOS 型晶体管的栅

电极 MG1 和 MG2 的形状。如图中所见,它们被表示为沿深度方向的直线形状。它们的数目与字线的数目相同。但在图中仅仅示出了二个线条。在加工时,干法腐蚀被停止于下部氧化物膜 BOTOX 表面暴露层处,其余的下部氧化物膜 BOTOX 被氢氟酸清除。这是用来防止对衬底表面不希望有的腐蚀损伤的方法。由于这一氢氟酸处理,衬底表面被暴露。随后,形成热氧化物膜 BOX(5nm),并在其上淀积氧化硅膜 HVGOX(15nm)。然后,提供对应于此二个层的氧化物膜作为高电压控制 MOS 型晶体管的棚氧化物膜。由于单独淀积的膜的可靠性降低,故采用叠层结构。

[0182] 接着来解释图 53。用光刻技术对得到的结构进行加工,以便形成光抗蚀剂膜 RES1,此光抗蚀剂膜覆盖用来形成核心逻辑的 MOS 型晶体管的区域以及用来形成高电压控制 MOS 型晶体管的区域。然后,用对氧化硅膜 HVGOX 有作用的各向异性干法腐蚀技术,清除各个选择 MOS 型晶体管沟道区中的氧化物膜,从而暴露衬底表面。根据此工艺,借助于加工氧化硅膜 HVGOX 而得到的侧壁间隔 GAPSW 也同时被形成在存储器 MOS 型晶体管的各个选择 MOS 型晶体管侧上。随后,在各个选择 MOS 型晶体管的沟道区中形成用于阈值控制的杂质层 SE,同时留下光抗蚀剂膜 RES1。杂质层 SE 和杂质层 ME 的杂质密度满足图 46 所公开的关系。

[0183] 接着来解释图 54。用光刻技术对光抗蚀剂膜 RES2 进行加工,以便仅仅对用来形成核心逻辑 MOS 型晶体管的区域开窗口。然后,利用氢氟酸处理方法,完全清除包含热氧化物膜 BOX 以及氧化硅膜 HVGOX 的叠层结构的氧化物膜。

[0184] 接着来描述图 55。在已经清除上图所述的光抗蚀剂膜 RES2 以及完成清洁工艺之后,在暴露的硅衬底表面(核心逻辑 MOS 型晶体管区和选择 MOS 型晶体管区)上形成热氧化物膜(4nm)。此热氧化物膜导致核心逻辑 MOS 型晶体管的棚氧化物膜 LVGOX 和各个选择 MOS 型晶体管的棚氧化物膜 STOX。虽然在此图中为方便起见,核心逻辑 MOS 型晶体管和选择 MOS 型晶体管的各个棚氧化物膜被表示为分立的符号 LVGOX 和 STOX,但若采用本制造方法,则二者的厚度变得完全相同。随后,不掺杂的多晶硅膜(150nm)被淀积在整个表面上。然后,杂质被引如到多晶硅膜中,其引入方式使 n 型被形成在各个用来形成 nMOS 和 nHVMOS 的区域上,而 p 型被形成在各个用来形成 pMOS 和 pHVMOS 的区域上。杂质的密度典型被设定为 $1 \times 10^{20}/\text{cm}^3$ 或以上。随后,氧化硅膜(20nm)被淀积在整个表面上。然后,用光刻技术和干法腐蚀技术对多晶硅膜和氧化硅膜的叠层膜进行加工,从而形成 nMOS 的栅电极 LVGn、pMOS 的栅电极 LVGp、nHVMOS 的栅电极 HVGn、以及 pHVMOS 的栅电极 HVGp。此时,在存储器区中,仅仅各个选择 MOS 型晶体管源侧上的栅电极末端被加工。0.18 微米级中的栅长度在核心逻辑 MOS 型晶体管中导致例如 0.15 微米以及高电压控制 MOS 型晶体管 HVMOS 中的 1.0 微米。但这是待要处置的各个电压彼此不同所造成的必然结果。随后,利用光刻技术和使用杂质离子的离子注入技术,恰当地形成 nMOS 的具有浅结的 n 型源 / 漏 LLDDn、pMOS 的具有浅结的 p 型源 / 漏 LLDDp、nHVMOS 的具有高承受电压结的 n 型源 / 漏 HLDDn、以及 pHVMOS 的具有高承受电压结的 p 型源 / 漏 HLDDp。这些源 / 漏应该根据确保足以被使用的结承受电压来设计。在此处引入的各个源 / 漏杂质的密度方面,核心逻辑 MOS 型晶体管的高于高电压控制 MOS 型晶体管 HVMOS 的。虽然 n 型扩散层 MDM 被形成在各个选择 MOS 型晶体管的漏处,但根据此处公开的制造方法,能够使 n 型扩散层 MDM 和 n 型源 / 漏 LLDDn 的密度彼此完全相同。

[0185] 接着来解释图 56。在此图中,形成存储器 MOS 型晶体管的漏区。用光刻工艺来形成具有用作存储器 MOS 型晶体管的漏的窗口的、且其窗口末端被提供在存储器栅电极 MG1 和 MG2 上的光抗蚀剂膜 RES3。然后,用各向异性干法腐蚀方法,对多晶硅膜和氧化硅膜的叠层膜进行加工,从而形成二个选择 MOS 型晶体管的栅电极 SG1 和 SG2。随后,进行 n 型杂质的离子注入,从而形成存储器 MOS 型晶体管的源区 MSM。

[0186] 接着来描述图 57。氧化硅膜 (100nm) 被淀积在整个表面上,随后对整个表面进行各向异性干法腐蚀。由于这一加工,间隔 SW SPLDD 就被形成在其所有栅电极的相应侧壁上。利用离子注入和热处理,高密度 n 型扩散层 NSD 和 MS 以及高密度 p 型扩散层 PSD 分别被形成在所有 n 型晶体管的源 / 漏中以及 p 型晶体管的源 / 漏中。随后,从所有源 / 漏 NSD、MS、PSD、以及栅电极 LVGn、LVGp、HVGn、HVGp、SG1、SG2 清除氧化物膜,从而暴露硅。金属钴 (10nm) 被淀积在整个表面上,并在 700°C 下对其进行热处理,从而形成自对准的硅化钴。用清洗方法清除未反应的不必要的钴,随之以再次在 750°C 下执行加工,从而形成低电阻的硅化钴层 COSI。然后,在整个表面上淀积绝缘氧化物膜 INSM1。后续的布线工艺可以采用常规的技术。

[0187] 图 58 示出了用本发明的存储单元技术构成的存储器阵列的一个实施方案。其基本构造是 NOR 型的,并采用了分层位线结构。在本实施方案中,为了简化而典型地示出了二个全局位线。全局位线 BLP 被连接到读出放大器 SAP。全局位线 BLP 具有到局部位线的分支。ZAP 表示用来选择局部位线 LBAP 的选择 MOS 型晶体管。多个存储单元 MPA1-MPA4 被连接到局部位线 LBAP。虽然图中典型地示出了 4 个存储单元,但要连接的存储单元的数目也可以是 16、32、或 64。存储单元的选择 MOS 型晶体管被连接到局部位线 LBAP。选择 MOS 型晶体管 ZAP 和存储单元 MPA1-MPA4 被统称为块 BLCPA。在与块 BLCPA 对称排列的块 BLQA 中,存储单元 MQA1-MQA4 被连接到局部位线 LBAQ,且 ZAQ 表示用来选择它们的 MOS 型晶体管。对应于块 BLQA 的全局位线被示于 BLQ,并被连接到读出放大器 SAQ。选择 MOS 型晶体管 ZAP 和 ZAQ 是各具有与各个核心逻辑 MOS 型晶体管相同的栅氧化物膜厚度的 MOS 型晶体管。用来将信号传输到选择 MOS 型晶体管 ZAP 和 ZAQ 的栅电极的驱动器被示于 ZSLA。驱动器 ZSLA 也由核心逻辑 MOS 型晶体管构成。单元选择 MOS 型晶体管的栅电极被连接到其沿水平方向延伸跨越彼此相邻的各个块的相应字线。例如,属于块 BLCP 的存储单元 MPA1 的单元选择 MOS 型晶体管的栅电极被连接到字线 WAP1,而属于块 BLCP 的存储单元 MPA2 的单元选择 MOS 型晶体管的栅电极被连接到字线 WAP2。用来选择字线 WAP1 的是驱动器 WSLA1。这也采用了核心逻辑 MOS 型晶体管。驱动器 WSLA2-WSLA4 以一对一的关系与字线 WAP2-WAP4 相关。驱动器 WSLA1-WSLA4 以及驱动器 ZSLA 被统称为驱动器组 DECA。存储器栅也沿水平方向跨越。MWAP1 是存储单元 MPA1 和存储单元 MQA1 的各个存储器栅共用的布线。为了在写入 / 擦除时施加高电压,用来将电压馈送到布线 MWAP1 的驱动器 MGSLA1 由高电压 MOS 型晶体管组成。驱动器 MGSLA2-MGSLA4 以一对一的关系与布线 MWAP2-MWAP4 相关。在写入时,需要将 5V 的电压馈送到块 BLCPA 与块 BLQA 之间共用的布线 COMSL。利用由高电压 MOS 型晶体管构成的驱动器 PRVS 来完成这一工作。各包含高电压 MOS 型晶体管的驱动器 MSGLA1-MSGLA4 以及驱动器 PRVSA 被统称为驱动器组 HVDRVA。如此图所示,其它块 BLPB 和 BLQB 分别被进一步连接到全局位线 BLP 和 BLQ。存在着对应于它们的驱动器组 DECB 和 HVDRVB。同样,存在着块 BLPC 和 BLQC 以及驱动器组 DECC 和 HVDRVC。在读出时,包含在驱动器组 DECA-DECC

中的各个驱动器根据地址分别选择字线。但由于这些具有等效于核心逻辑的性能，故被选择的字线能够被高速驱动。因此，能够高速执行信息读出。这是一种构成对应于本发明存储单元结构的存储器阵列构成的方法。

[0188] 图 59 示出了一种用来在写入时减少电子捕获到本发明存储单元中陷阱膜之外区域中的结构。虽然本发明的存储单元基本上与迄今所述的存储单元相同，但此存储单元的特征在于彼此隔离选择栅电极 SG 和存储器栅电极 MG 的绝缘膜的形状及其制作方法。如图所示，彼此隔离 SG 和 MG 的 MG 侧壁部分处的绝缘膜的形状在 MG 的侧壁处被做得厚，而在陷阱膜 SIN 的侧壁部分处被做得薄。源侧电子注入发生在靠近 SG 的 MG 末端附近。但某些电子被储存在用来彼此分隔 SG 与 MG 的绝缘膜中是不可避免的。由于其储存区域不对应于原来的电子储存部分，在擦除时无法施加必须的电场，故难以对储存的电子进行放电即排出。因此，有可能会禁止所需的写入和擦除操作。因此，这一区域对应于 SG 和 MG 承受电压的允许范围，并最好被设定为尽可能窄。仅仅加厚 SG 和 MG 的侧面彼此相对的区域中的绝缘膜的厚度，使得有可能确保 SG 和 MG 的承受电压而不损害原来的写入和擦除操作。

[0189] 下面用图 60–62 来解释存储单元的制造方法。在图 60 中，用各向异性干法腐蚀方法来加工 MG，然后用所谓 ISSG 氧化的方法，将大约 10nm 的氧化物膜 ISSGOX 附着或键合到整个表面上。在文献 IEEE Electron Device Letters, Vol. 21, No. 9, Sept. 2000, pp430–432 中，已经描述了此氧化方法。这是一种能够形成高承受电压和高质量的薄氧化物膜的技术。此技术导致一种特征，即厚度相等的各个氧化物膜不仅能够形成在硅表面上，而且能够形成在氮化物膜表面上。甚至在储存缺陷膜的暴露侧壁上能够附着耐压优良的氧化膜。

[0190] 图 61 是图 60 之后的工艺。虽然在已经附着 ISSGOX 之后加入了热氧化，但 SIN 侧壁几乎不被氧化，且对应于多晶硅的 MG 侧壁被氧化得厚。根据此工艺，能够使 SG 与储存陷阱膜之间的绝缘膜薄，且能够使 SG 与 MG 之间的绝缘膜厚。

[0191] 图 62 是图 61 之后的工艺。在形成图 61 的形状之后，硅衬底的表面也立即被热氧化。当氧化物膜现在被各向异性腐蚀时，仅仅形成在衬底表面上的氧化物膜被清除，致使 MG 侧壁的厚氧化物膜 GAPOX-TH 能够留下作为必需的绝缘膜形状。硅衬底的表面被清除的热氧化物膜重新处理。然后，在清洗工艺之后，可以热形成选择 MOS 型晶体管的薄棚氧化物膜 STOXR。随后，可以相继形成 SG、源 (MSM 和 MS)、以及漏 (MDM 和 MD)。它们相似于本发明的其它执行项目。顺便说一下，即使当采用浮栅、陷阱膜、以及导电精细颗粒中任何一种时，也能够使用参照图 59–62 所述的结构。

[0192] 图 63 示出了采取的一种处置方法，其中，淀积的氧化物膜被用于选择 MOS 型晶体管的棚绝缘膜。大量的缺陷通常存在于淀积的氧化物膜中，并导致不希望有的电荷储存和泄漏电流。产生的缺点是，当淀积的氧化物膜被用作棚绝缘膜时，可靠性变得明显地低。”Journal of Applied Physics in 1996”, No. 80, pp3430 中发表的 Kamigaki 等人的文章描述了用氧气气中的热处理能够减少氧化物膜中的缺陷 (E' 中心)，且用氢气气中的高温热处理能够减少界面态 (Pb 中心)。若此方法被采用，其中利用淀积的氧化物膜来形成构成本发明的存储单元的各个选择 MOS 型晶体管的棚绝缘膜，则选择 MOS 型晶体管能够被用作高可靠的 MOS 型晶体管。用图 48 所述的回腐蚀系统可以形成 GAPOX。然后，将淀积的氧化物膜 STOXCV 附着到整个表面上。此淀积的氧化物膜 STOXCV 被用来隔离选择栅电极 SG 与存储器电极 MG，且同时存在于 SG 的正下方。而且，淀积的氧化物膜 STOXCV 用作选择 MOS

型晶体管的棚绝缘膜。在附着 STOXCV 之后立即在氧气氛中进行热处理以及随后附着和形成 SG 的过程被执行。在本发明中,影响到 STOXCV 的氧气氛中的热处理被确定为 800–850 °C 下 10–20 分钟的热解氧化。然后,形成诸如源 MS、漏 MD 之类的扩散层。氢气氛中的高温热处理可以在 700–750 °C 下进行。利用氢气氛中的热处理,能够明显地降低氮化硅膜中的电子电导率。这样,用于本发明的用来将热电子局部注入到诸如氮化物膜之类的陷阱膜中并将它们储存在其中的系统,就导致对防止电子由于自感应电场而沿水平方向的扩散来说很重要的一种工艺。利用在其中已经全部完成了其它 700 °C 热处理的布线工艺之前立即进行氢气氛中的热处理,能够达到最满意的效果。虽然 STOXCV 已经被描述为对应于一个层的淀积氧化物膜,但也可以采用叠层结构,其中,在形成热氧化物膜即 ISSG 氧化物膜之后,淀积的氧化物膜被附着。

[0193] 虽然根据所述的各个实施方案已经具体描述了本发明人上面提出的本发明,但本发明不局限于此。不言自明,可以在不偏离其主旨的范围内对其进行各种改变。

[0194] 例如,有关非易失存储单元的阈值电压状态与写入 / 擦除状态之间的对应关系是一种相对的概念,也可以进行与上述相反的定义。

[0195] 不言自明,非易失存储单元的低阈值电压状态不局限于耗尽型,也可以被设定为增强型。

[0196] 而且,写入、擦除、以及读出工作电压可以被适当地改变而不局限于图 2 所述的电压。在擦除操作时,对电荷储存区 11 中的电子被排向存储器栅 14 的形式没有限制。擦除时的电场方向被反转,电荷储存区 11 中的电子就可以被排向阱区 2。

[0197] 位线可以不采用相对于全局位线被分层的构造或结构。各个位线可以被连接到读出放大器电路或写入电路。读出放大器电路和写入电路中的仅仅任何一个可以被设定为上述的分层结构。而且,电源电压、写入和擦除高电压等可以被适当地改变为其它的电压。

[0198] 非易失存储单元的 ONO 结构中的膜厚度可以取沟道区附近之外的接近 3nm、26.5nm、以及 0nm 的厚度的组合,或 5nm、10nm、以及 3nm 的组合。

[0199] 工业应用

[0200] 根据本发明的半导体器件不局限于其中易失存储器被提供在芯片上的微计算机。此半导体器件能够广泛地应用于诸如单一快速存储器、逻辑规模比较大的芯片上系统 LSI 系统之类的非易失存储 LSI。此外,根据本发明的半导体器件可应用于基于 IDE(集成器件电子学)的采用非易失存储器、ATA(AT 附件)等的存储卡。

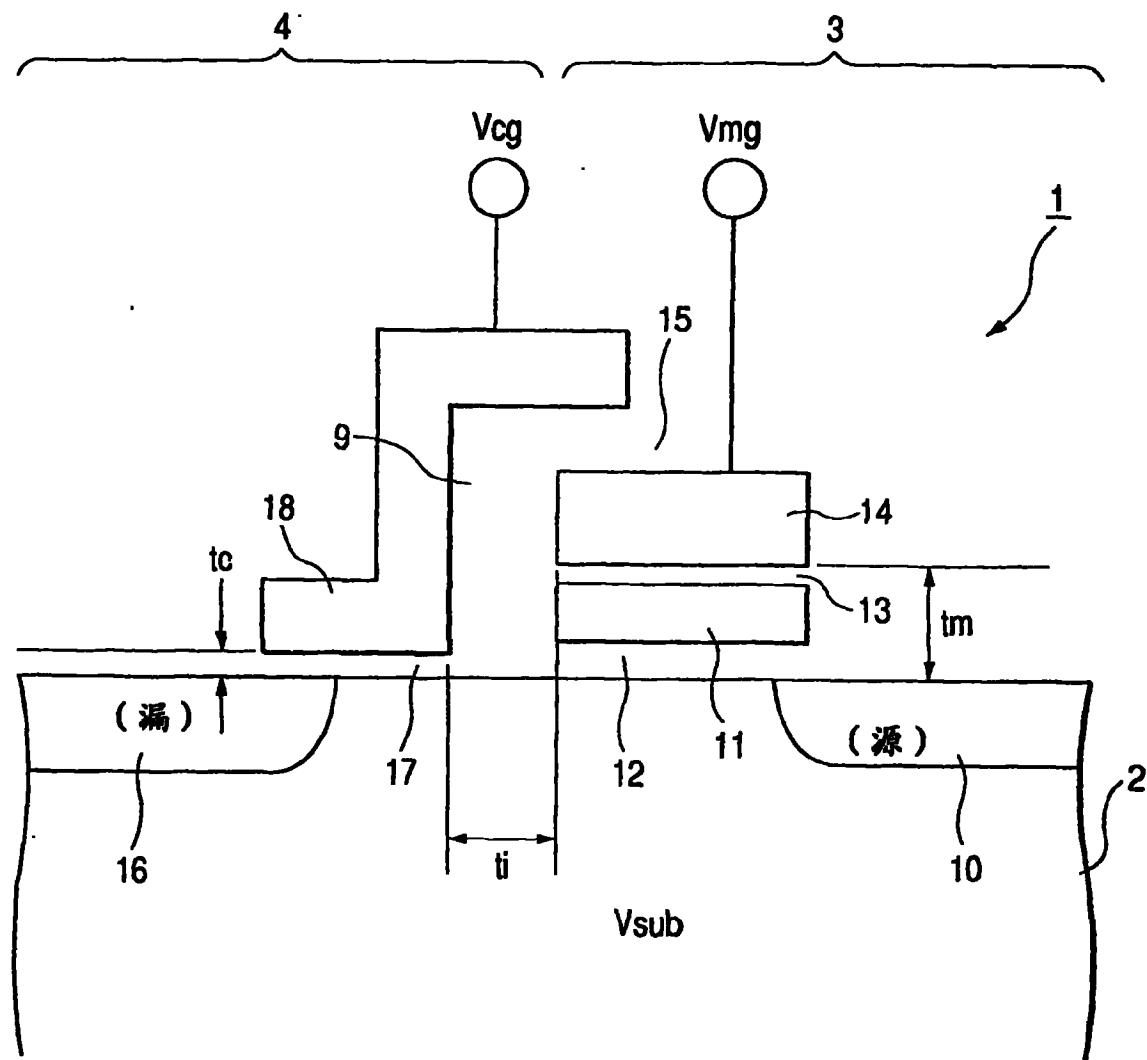


图 1

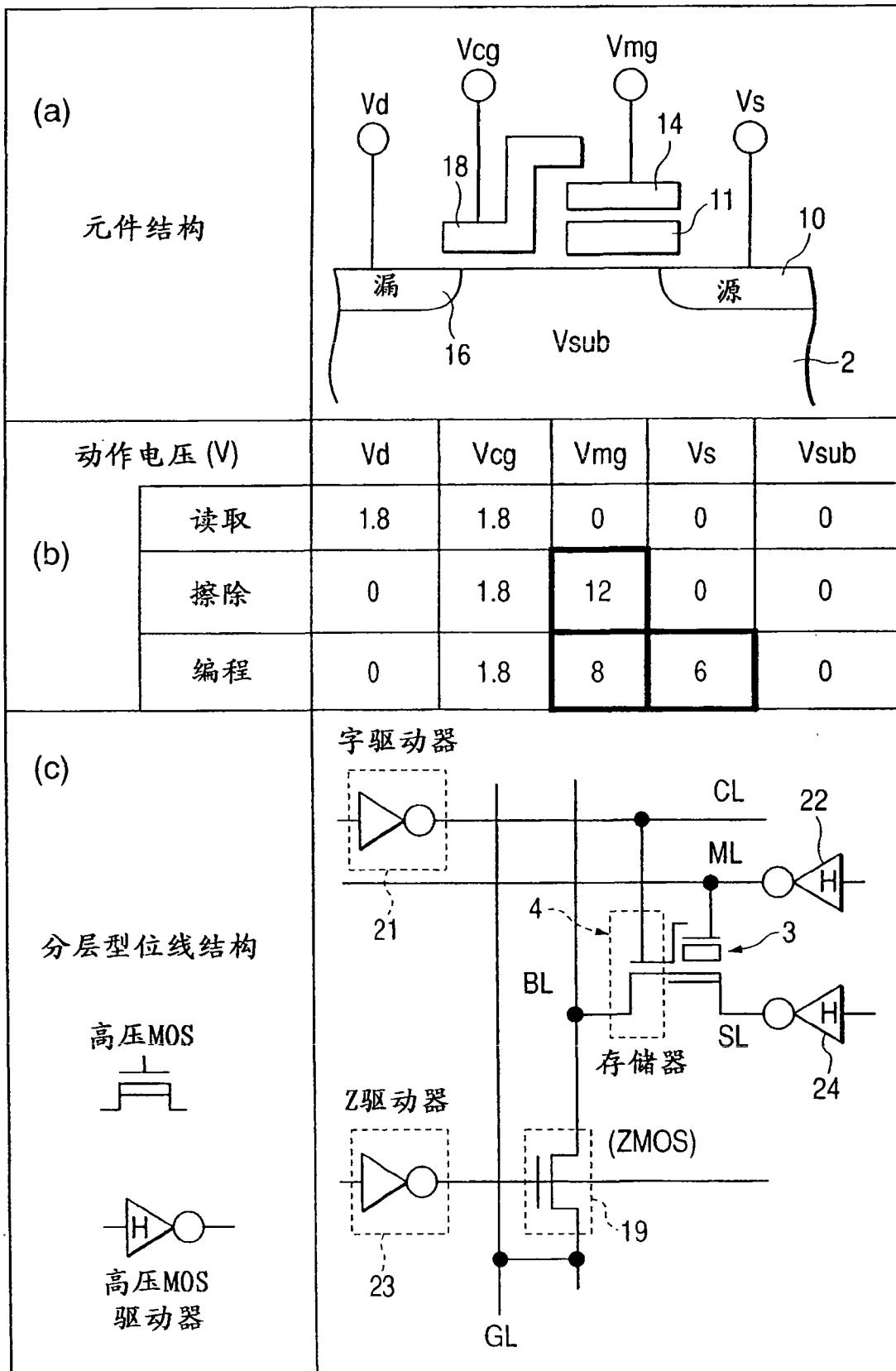


图 2

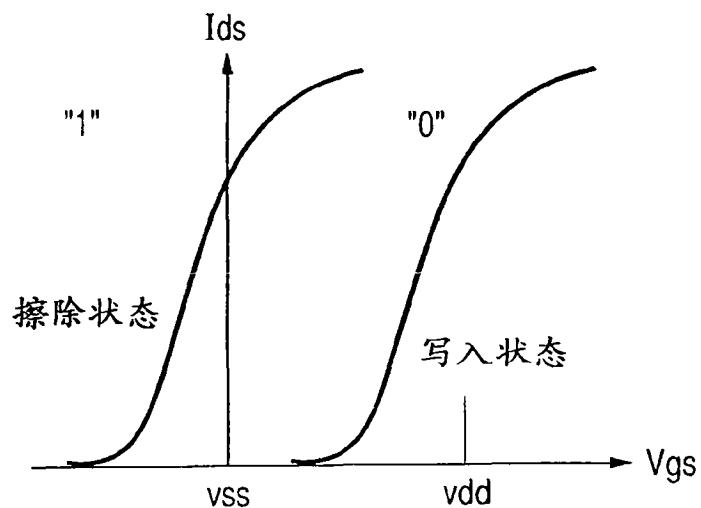


图 3

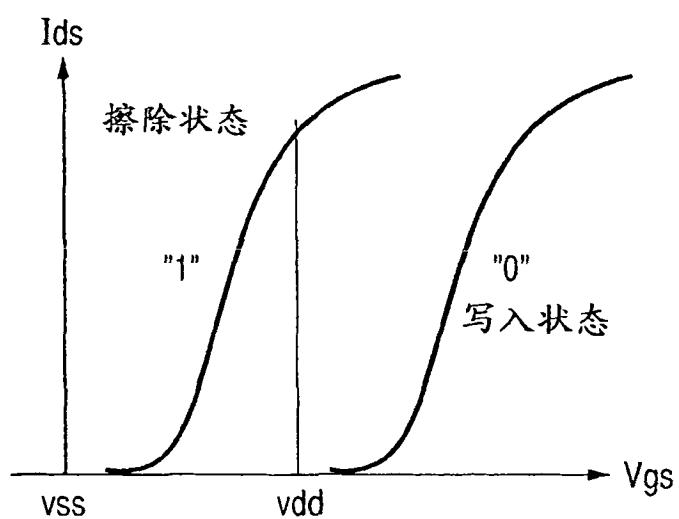
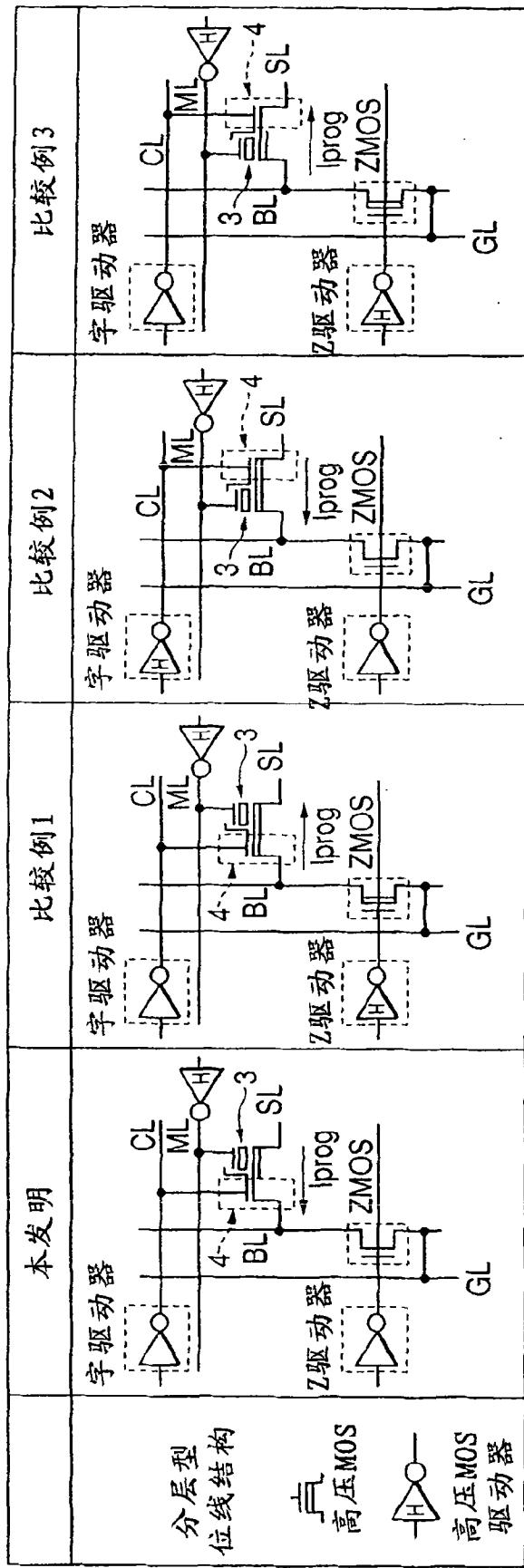


图 4

图 5



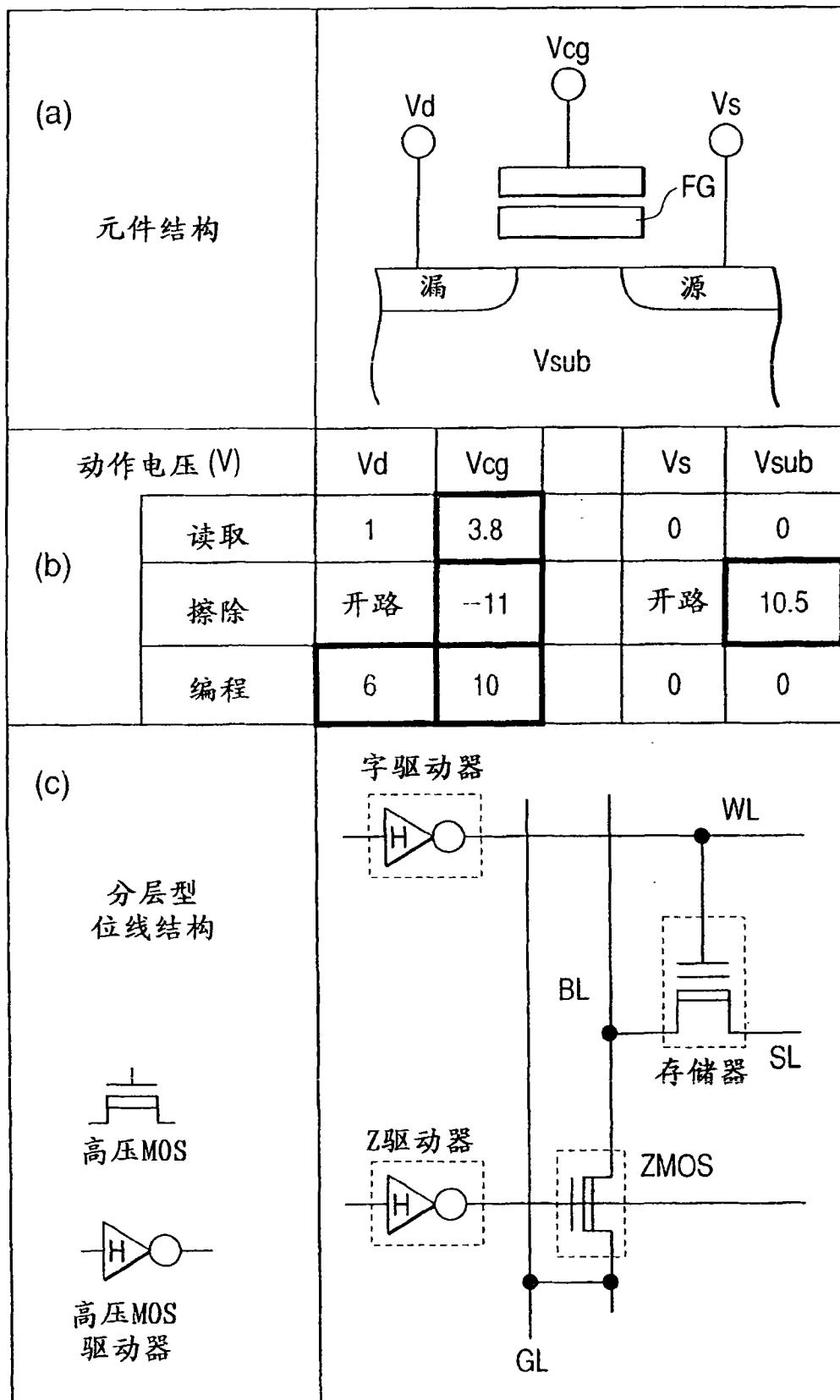


图 6

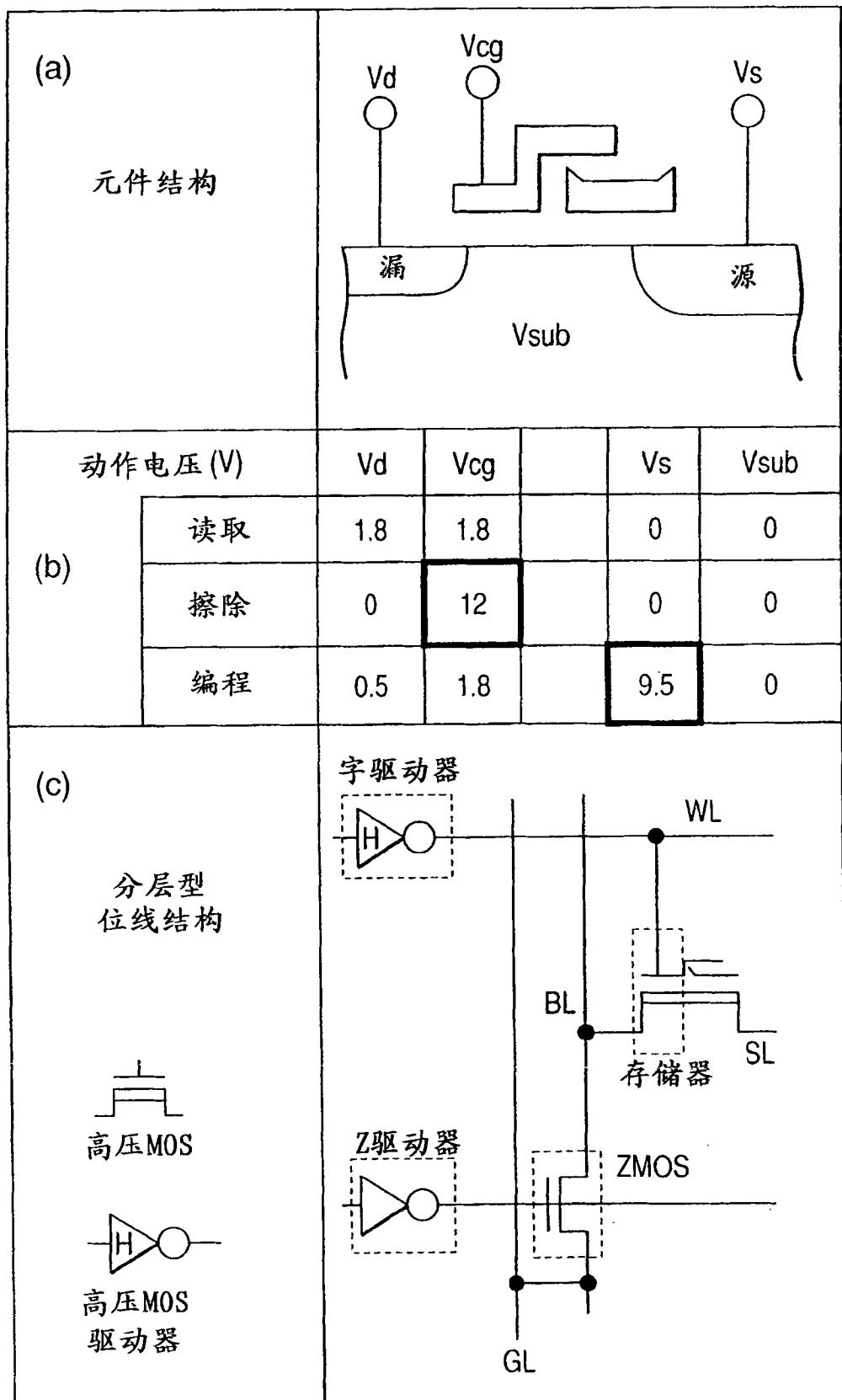


图 7

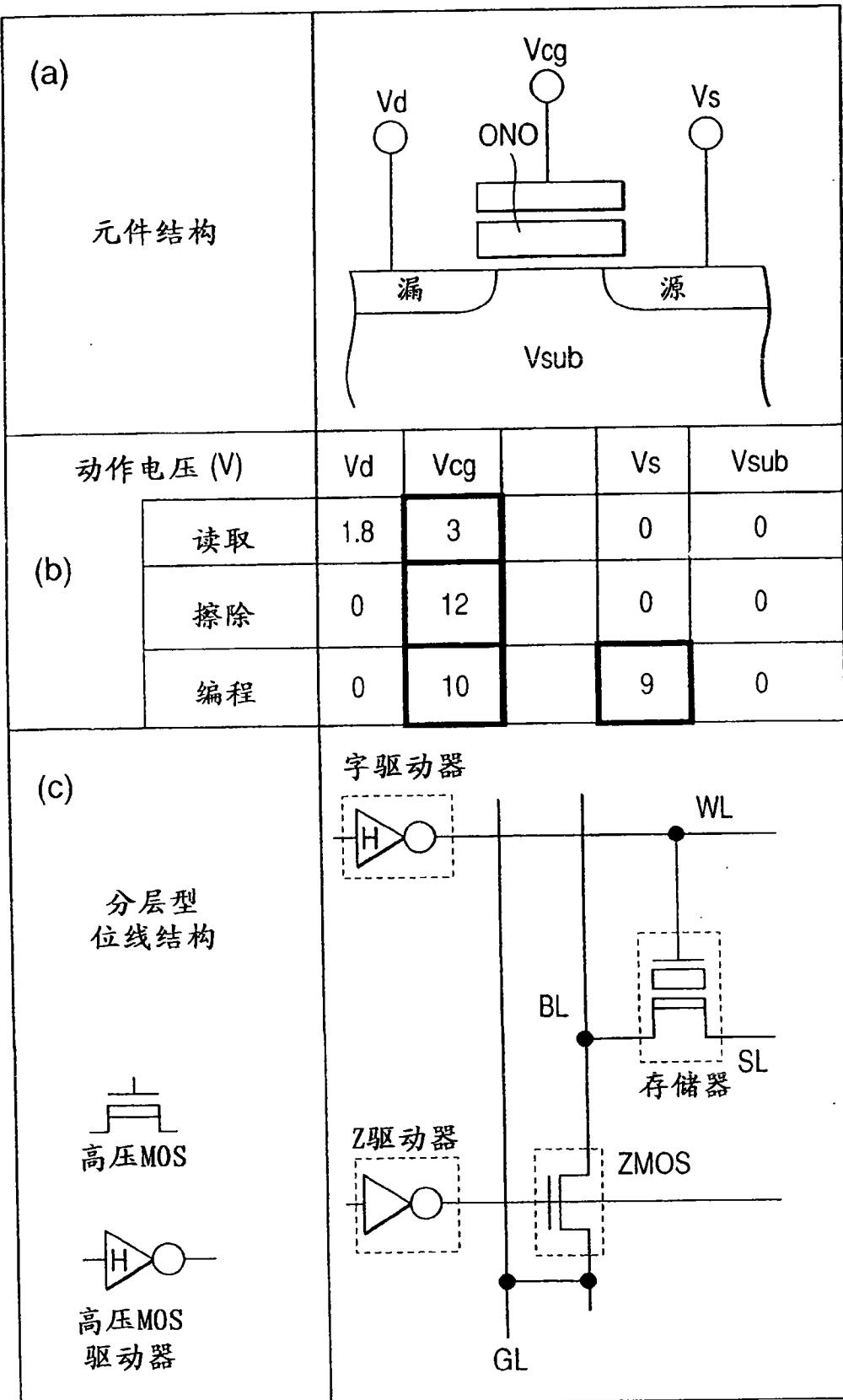


图 8

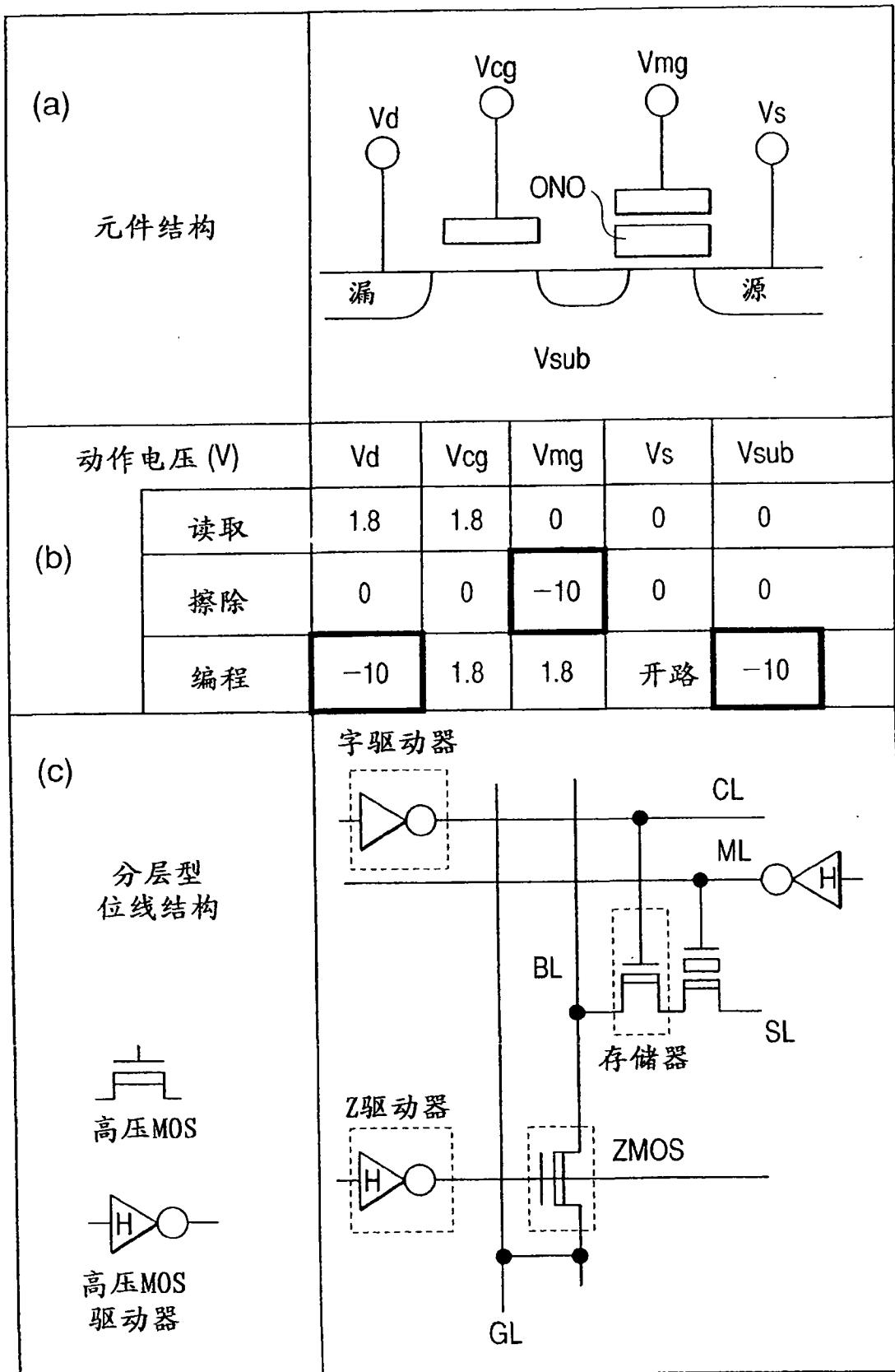


图 9

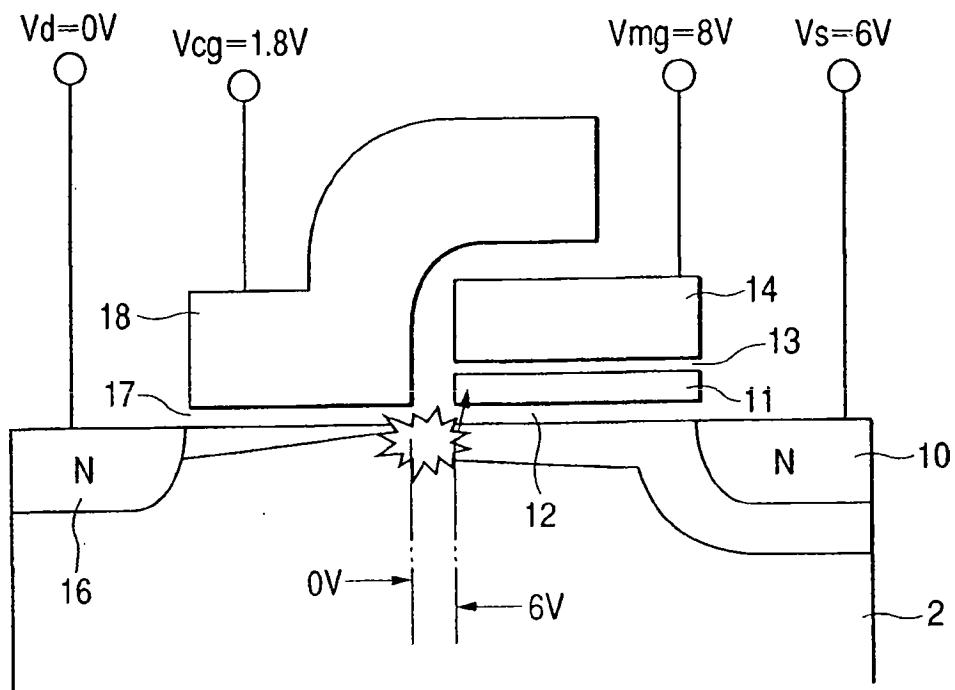


图 10

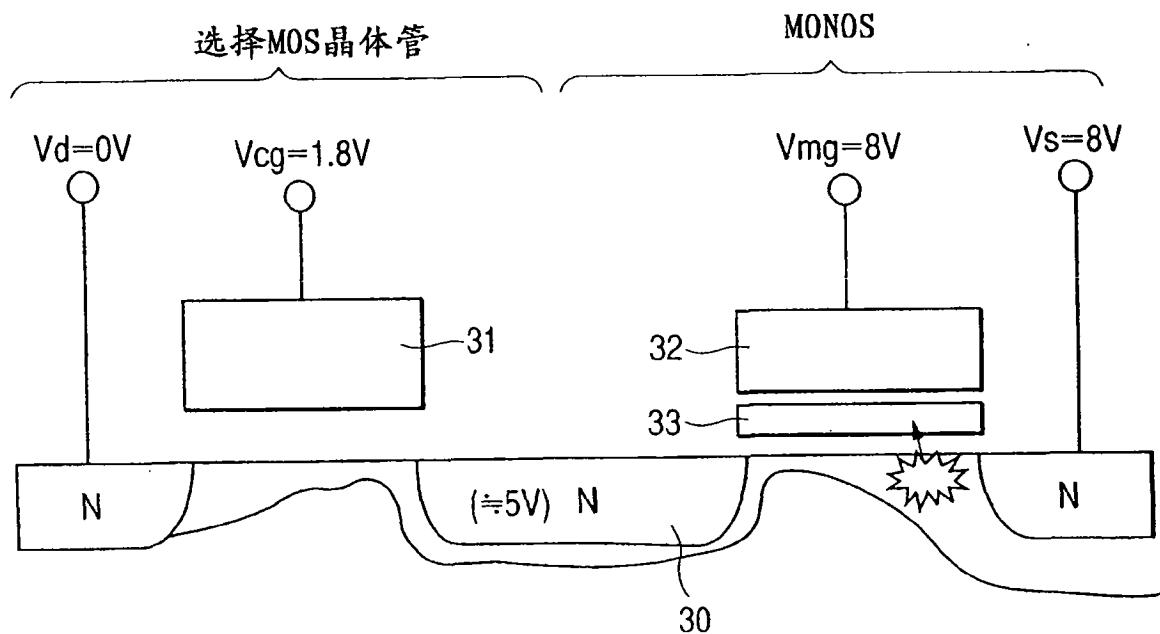


图 11

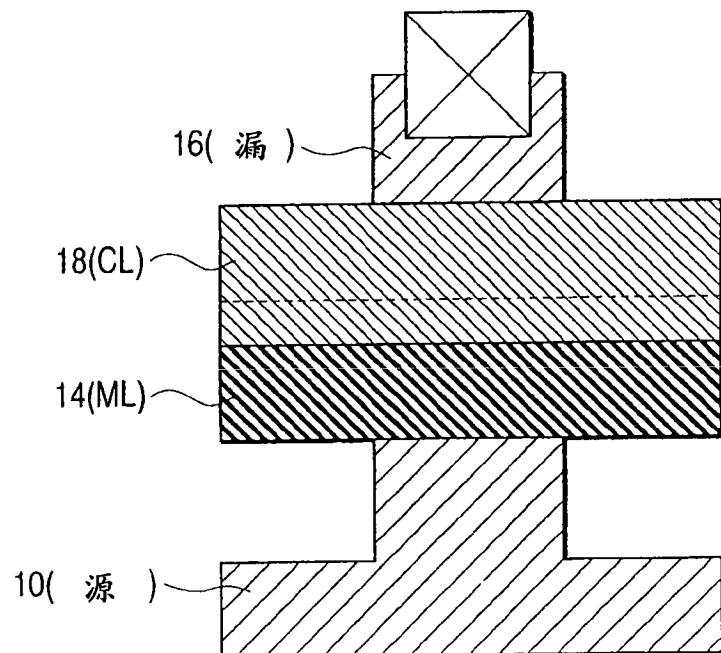


图 12

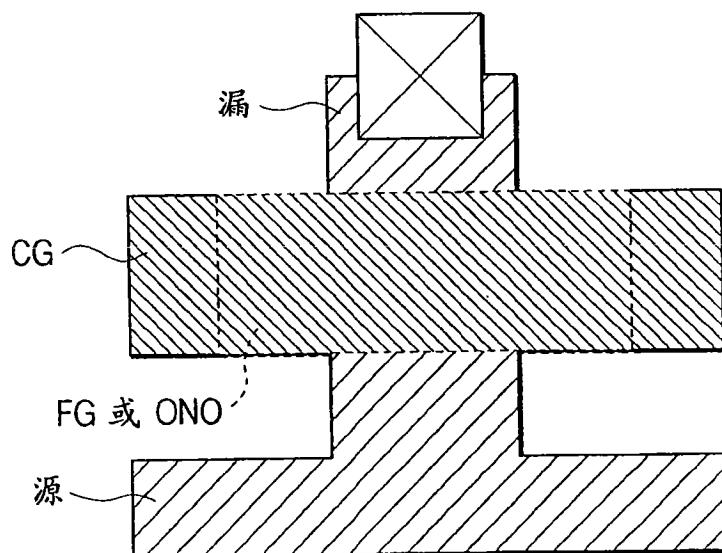


图 13

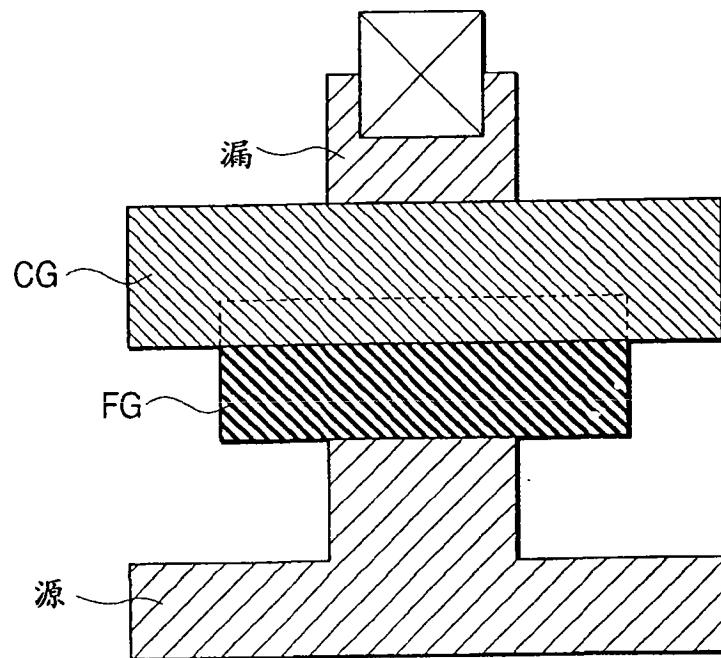


图 14

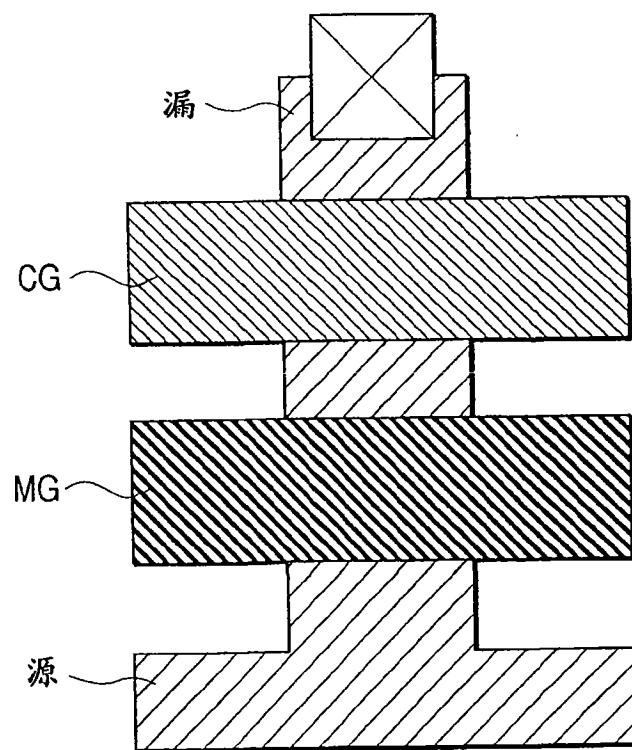


图 15

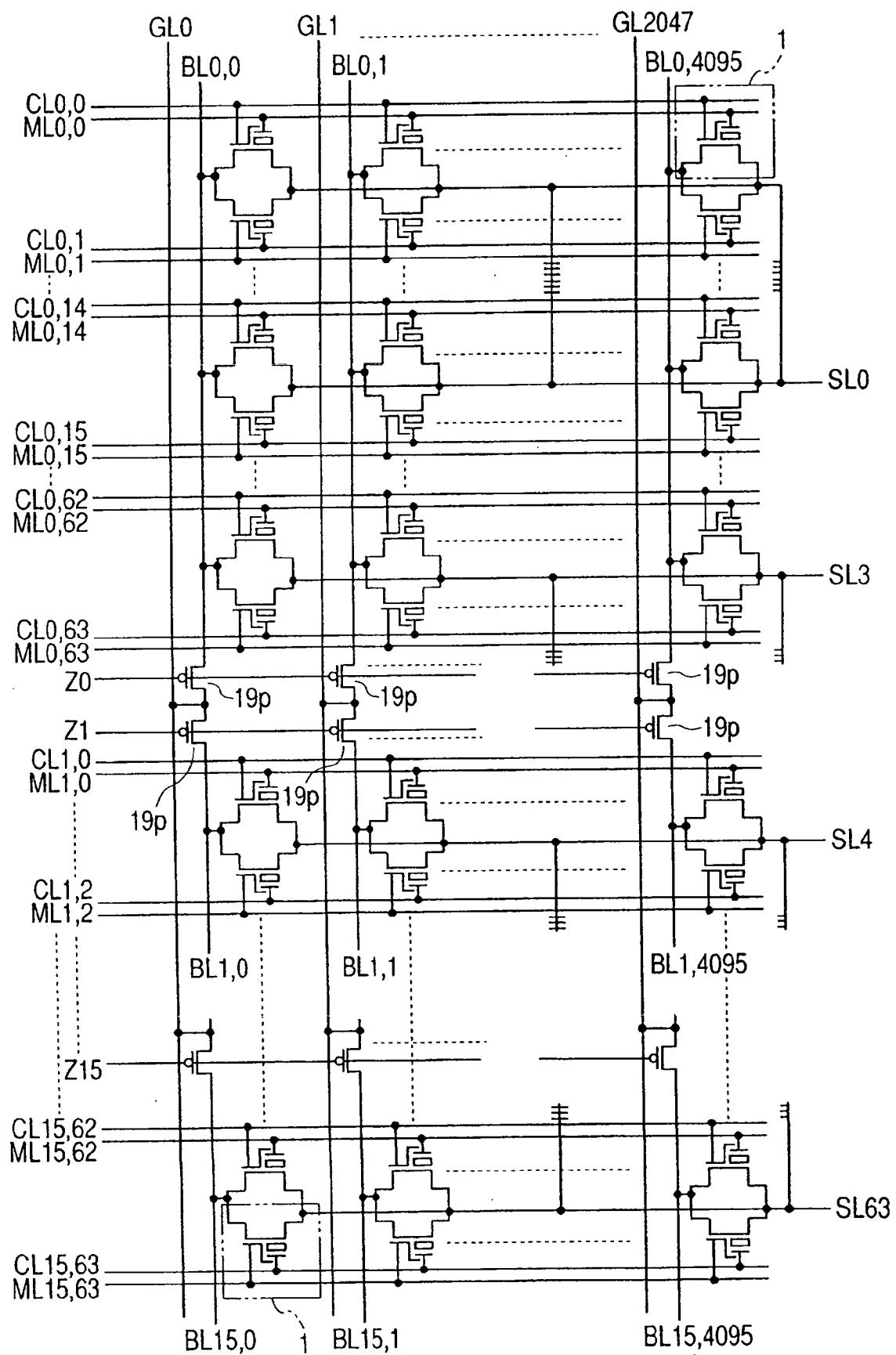


图 16

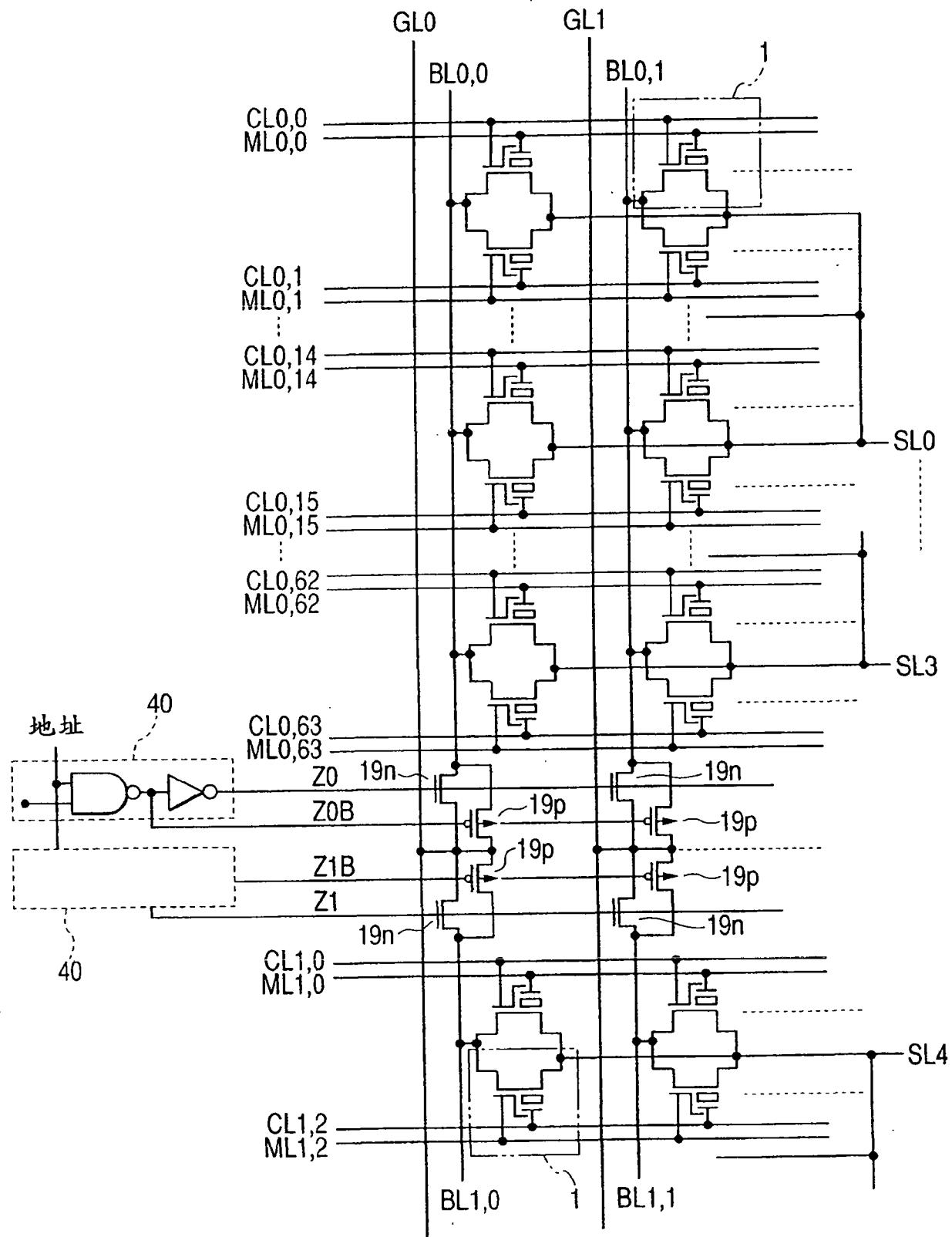


图 17

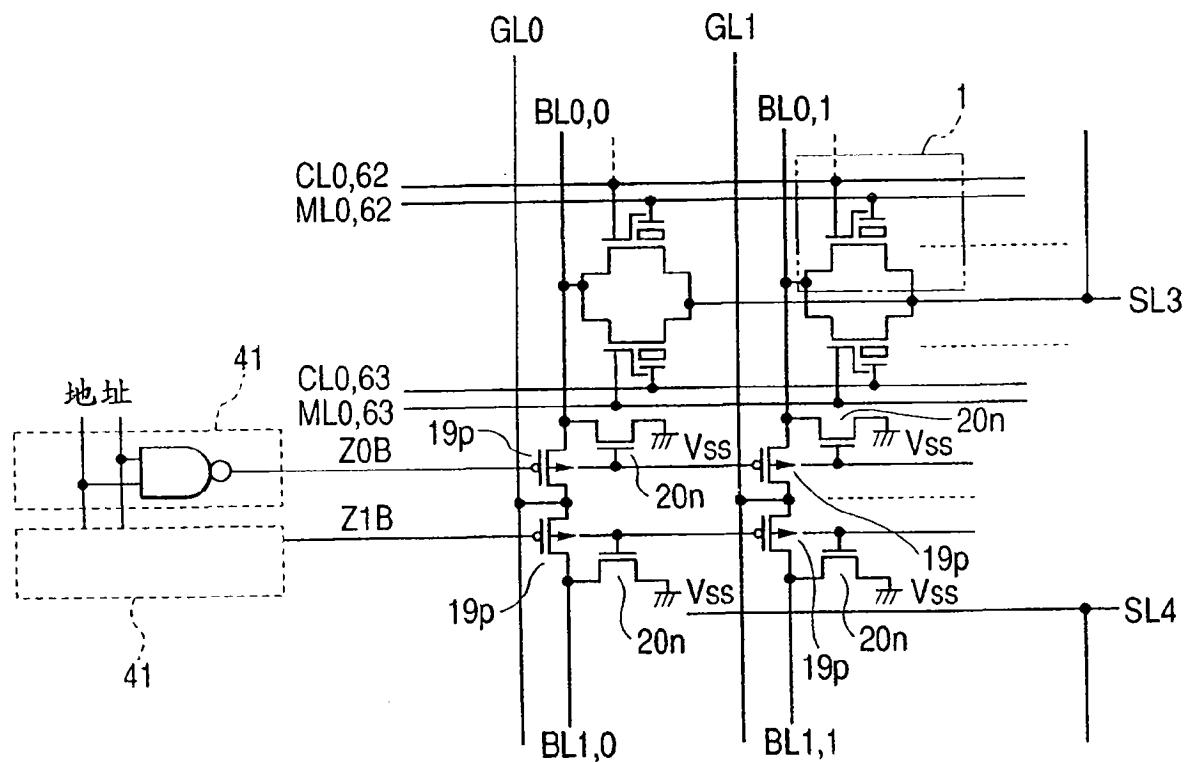
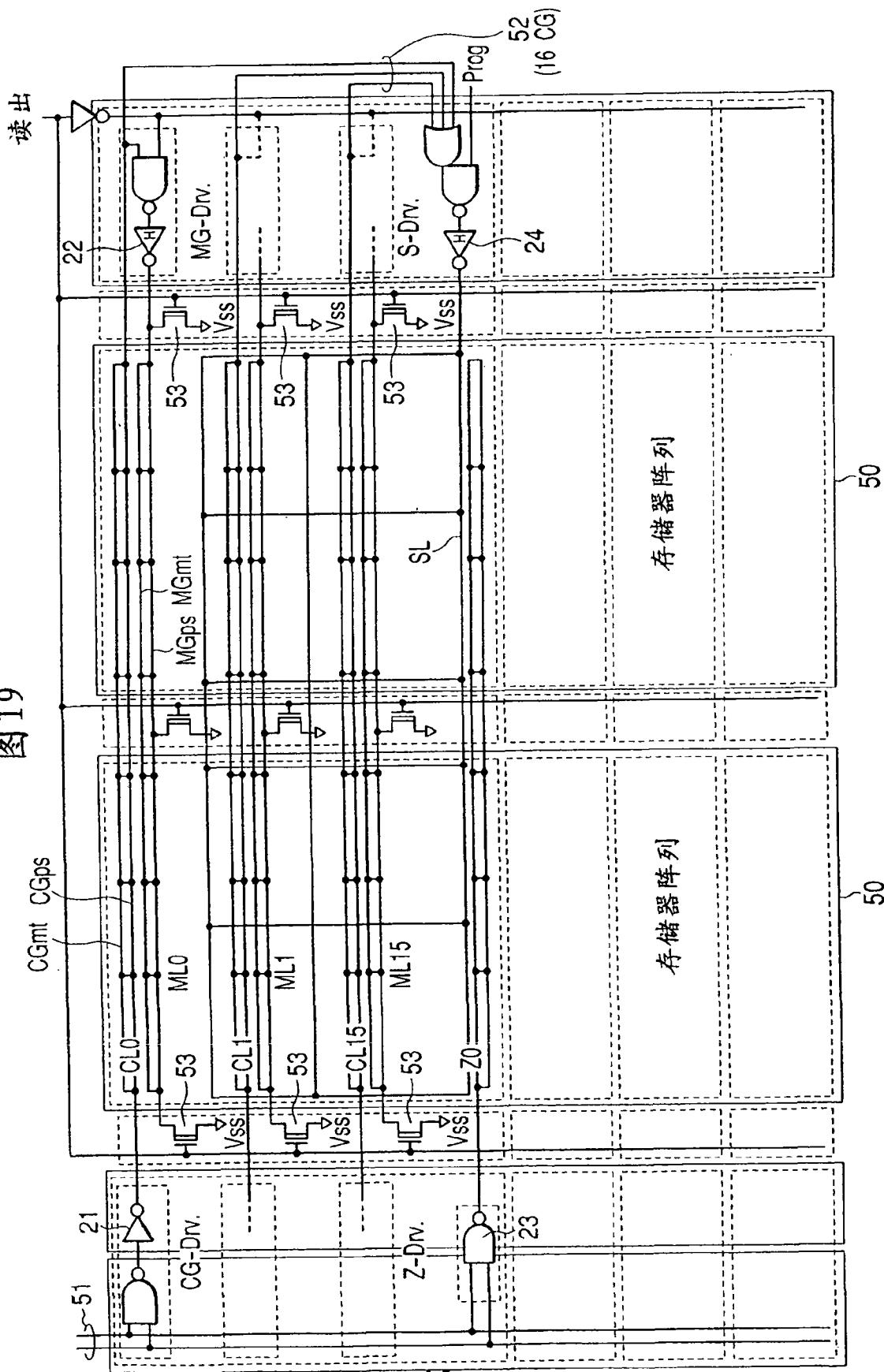


图 18

图 19



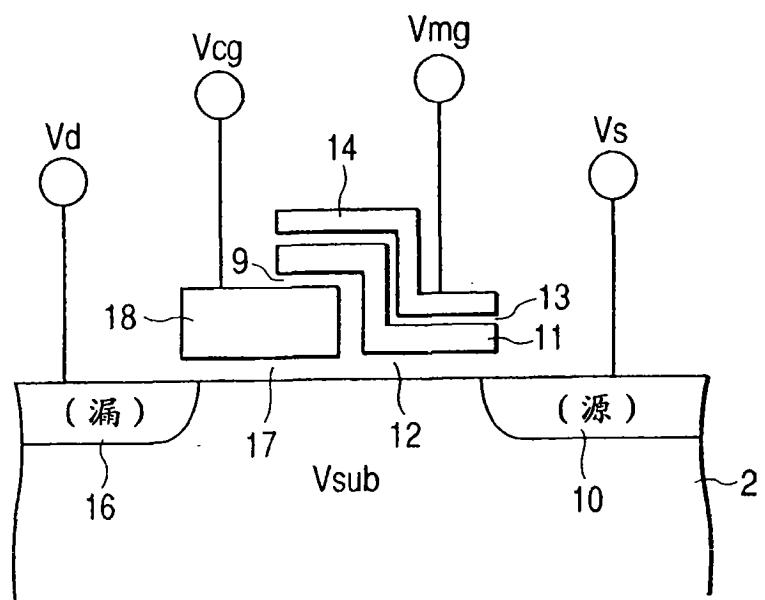


图 20

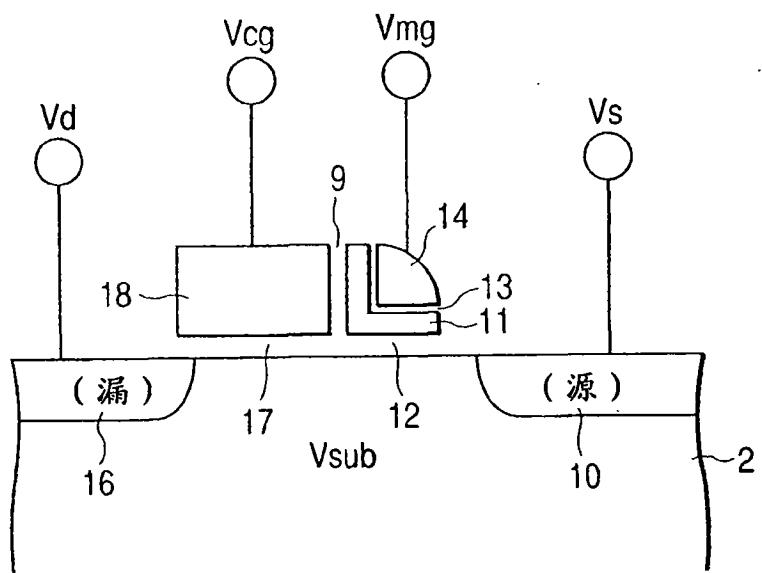


图 21

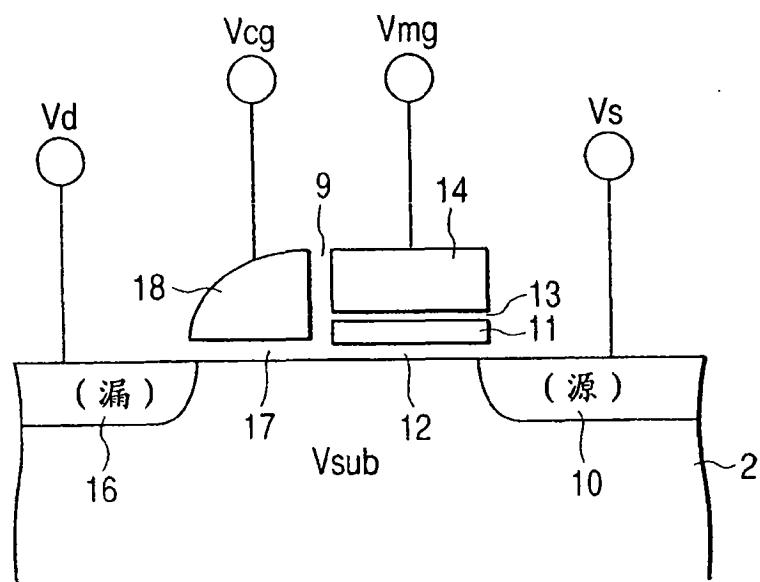


图 22

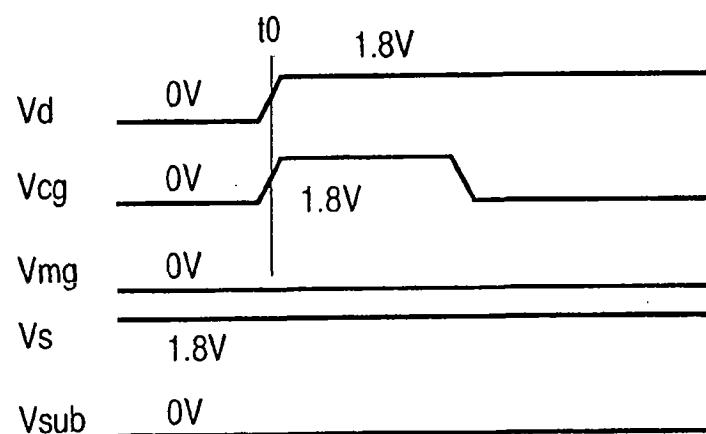


图 23

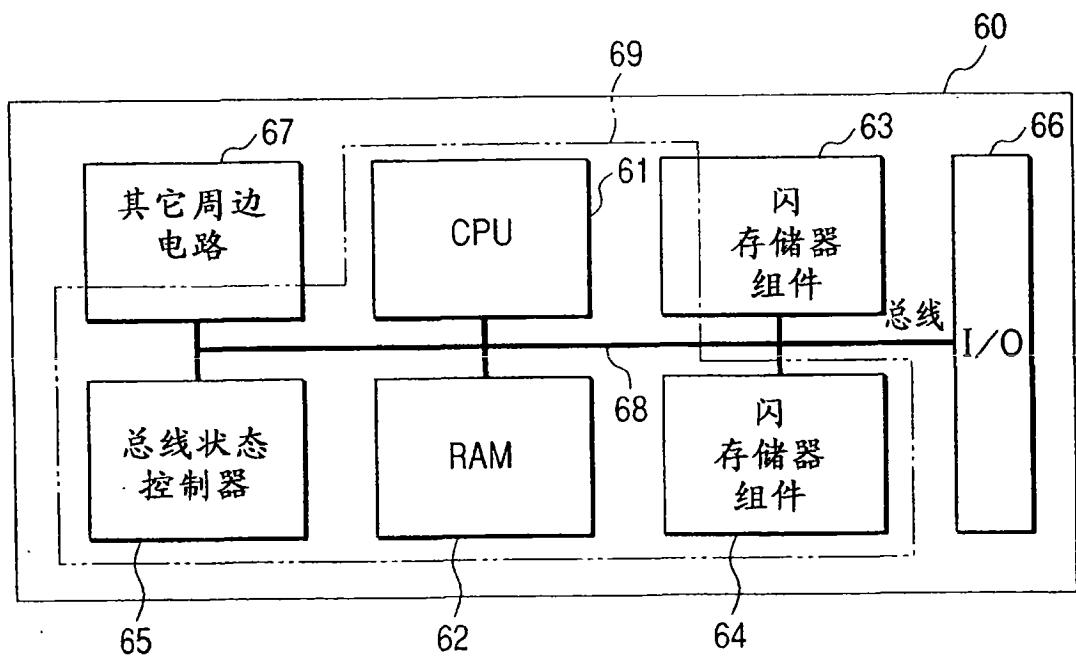
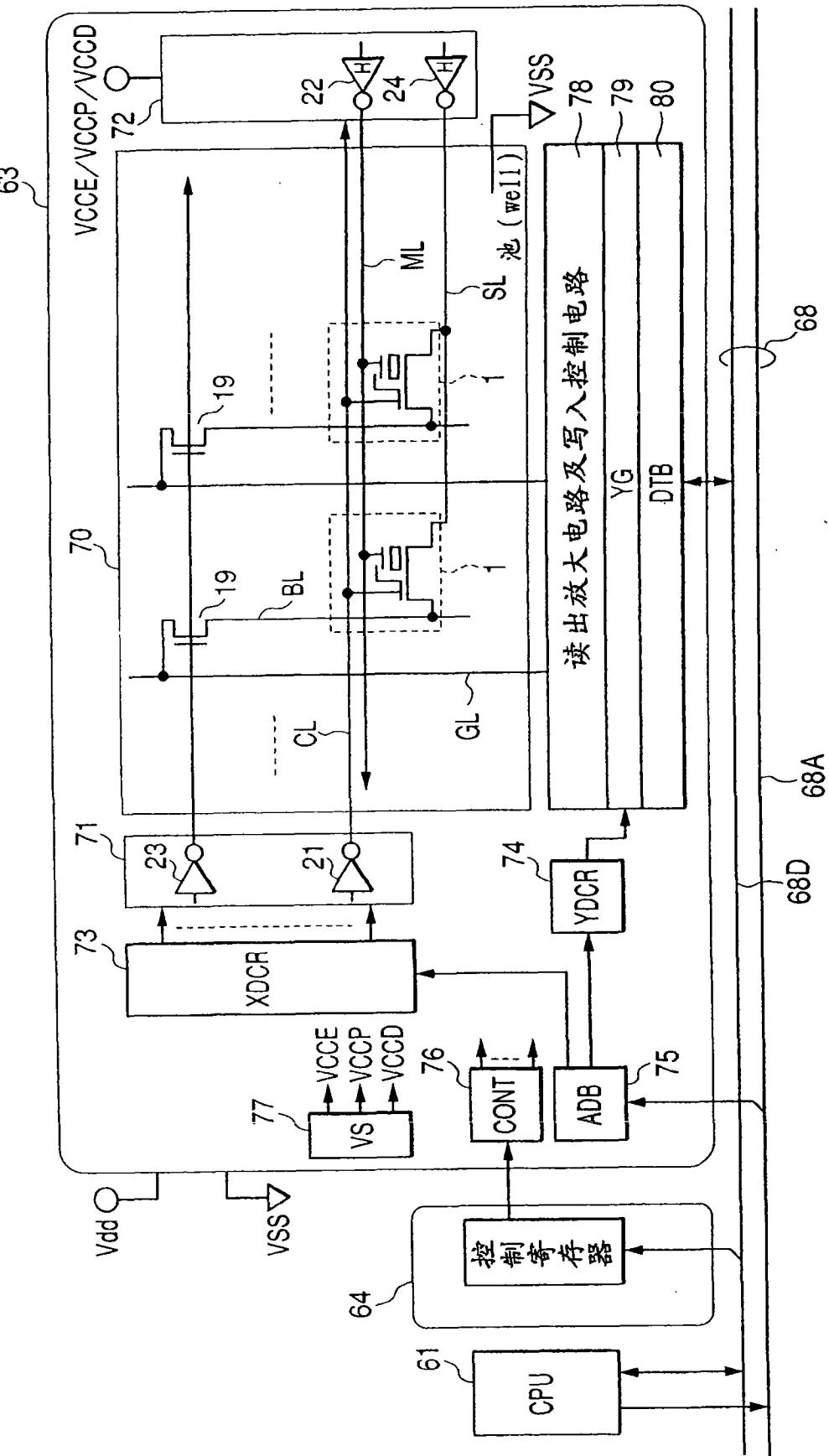


图 24

图 25



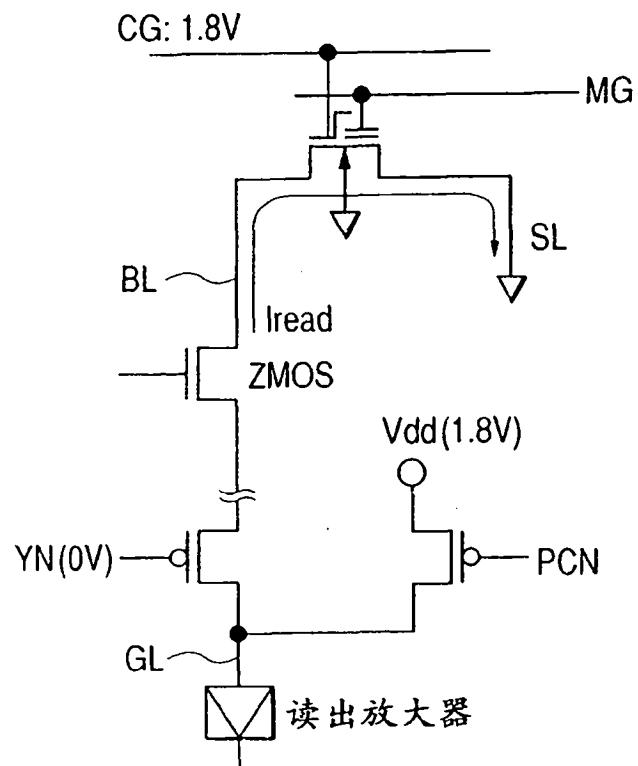


图 26

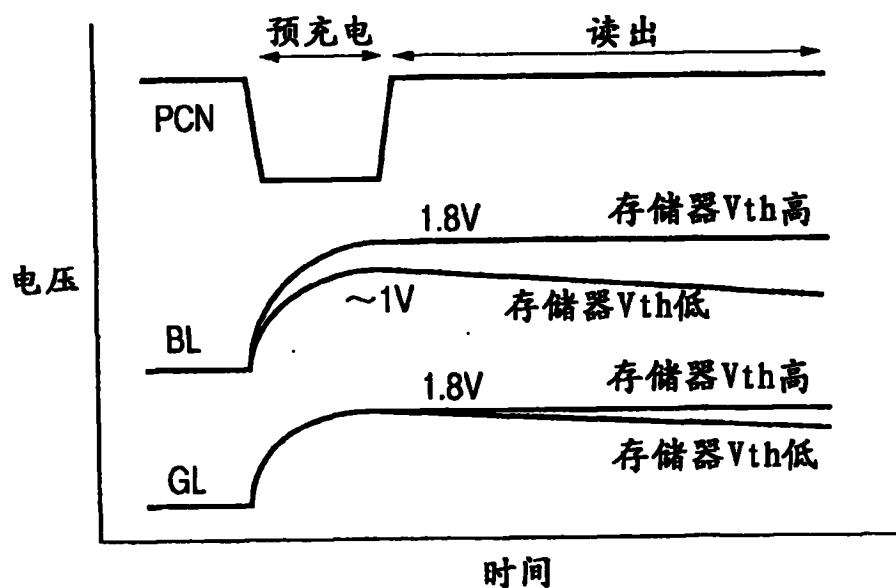


图 27

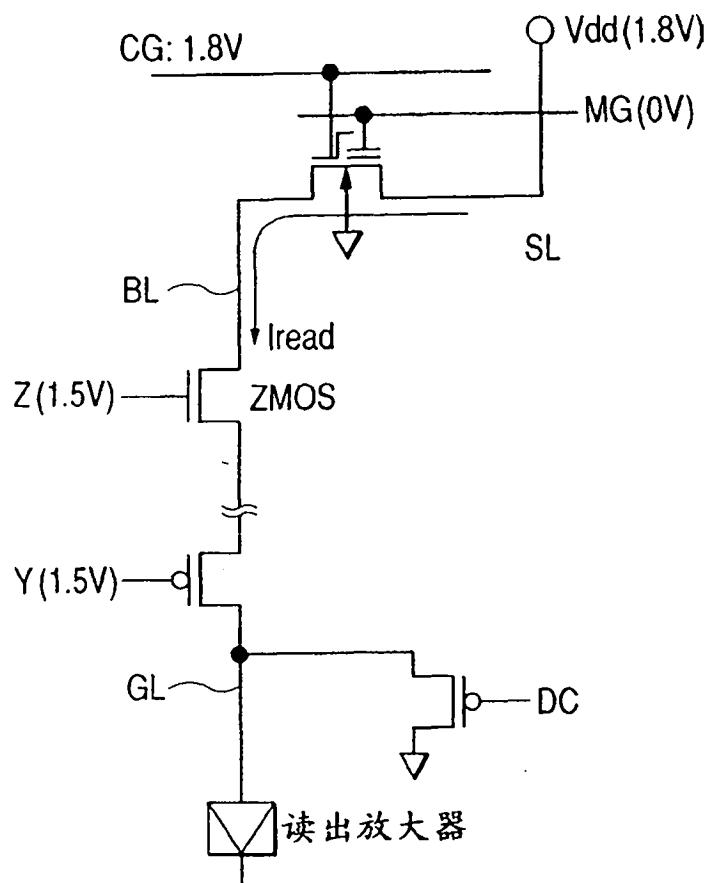


图 28

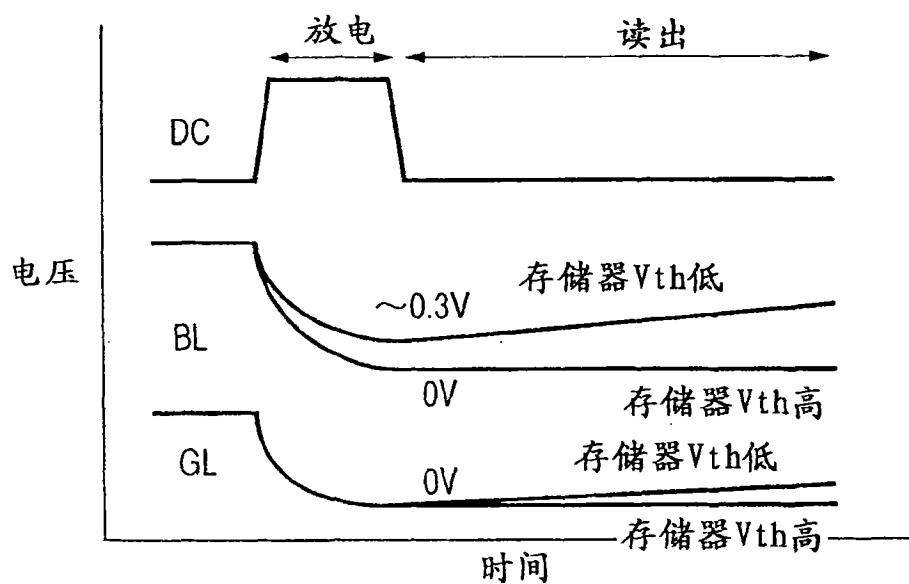


图 29

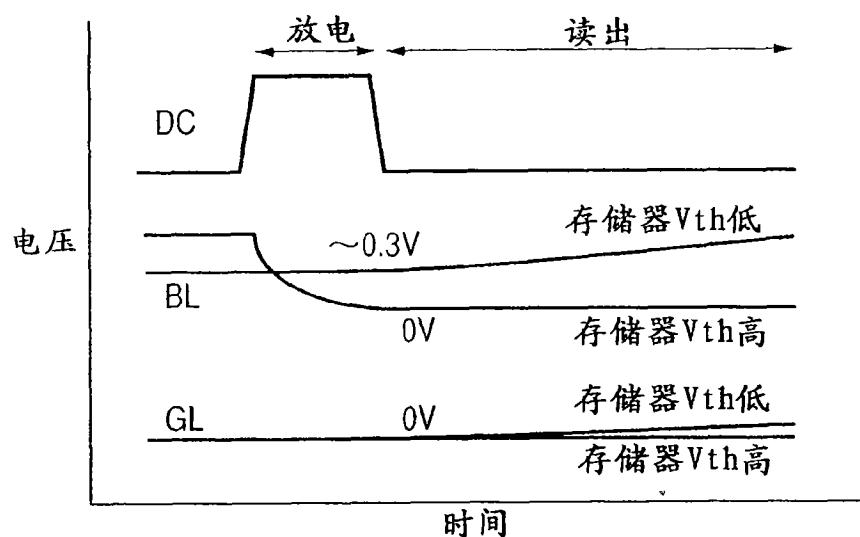


图 3 0

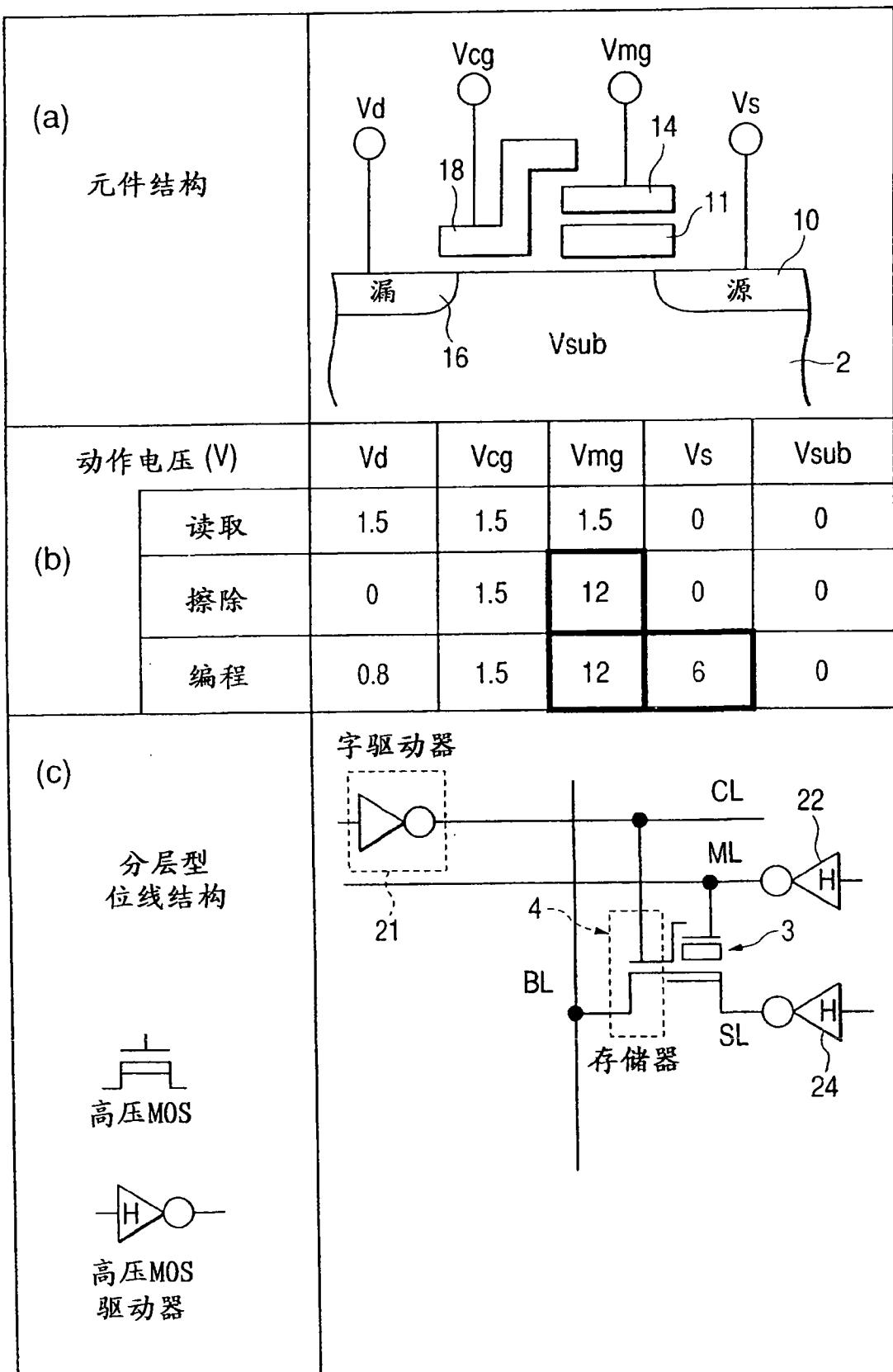


图 31

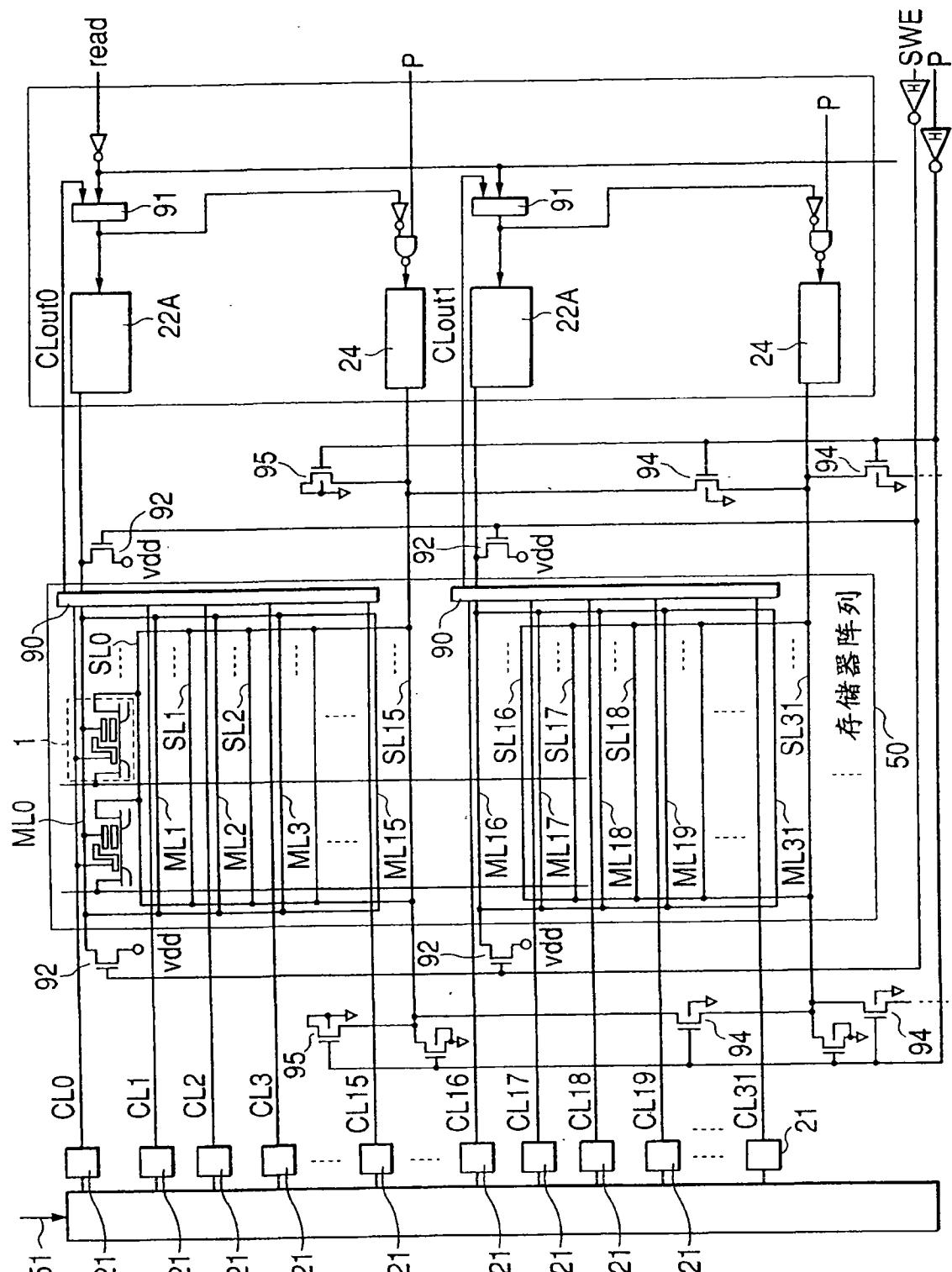


图 32

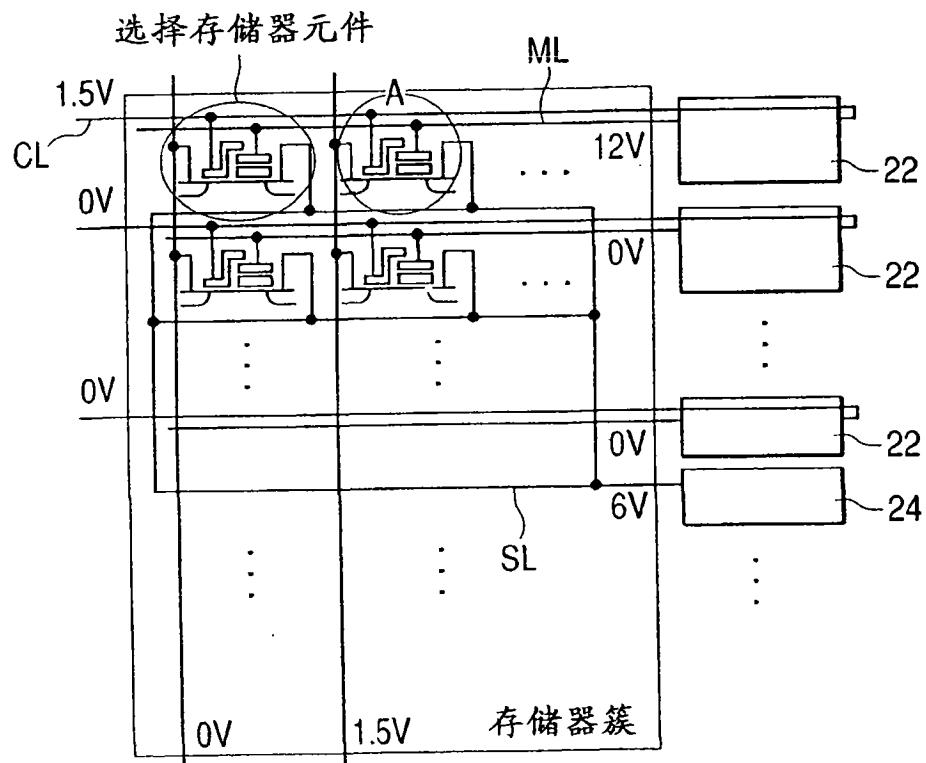


图 33

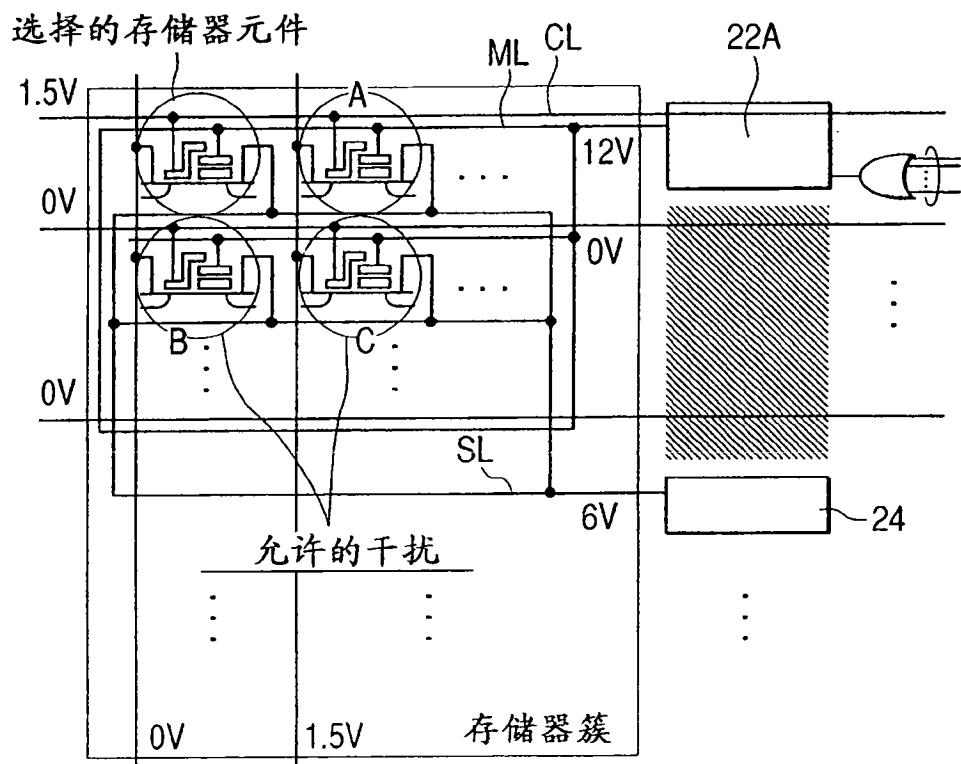


图 34

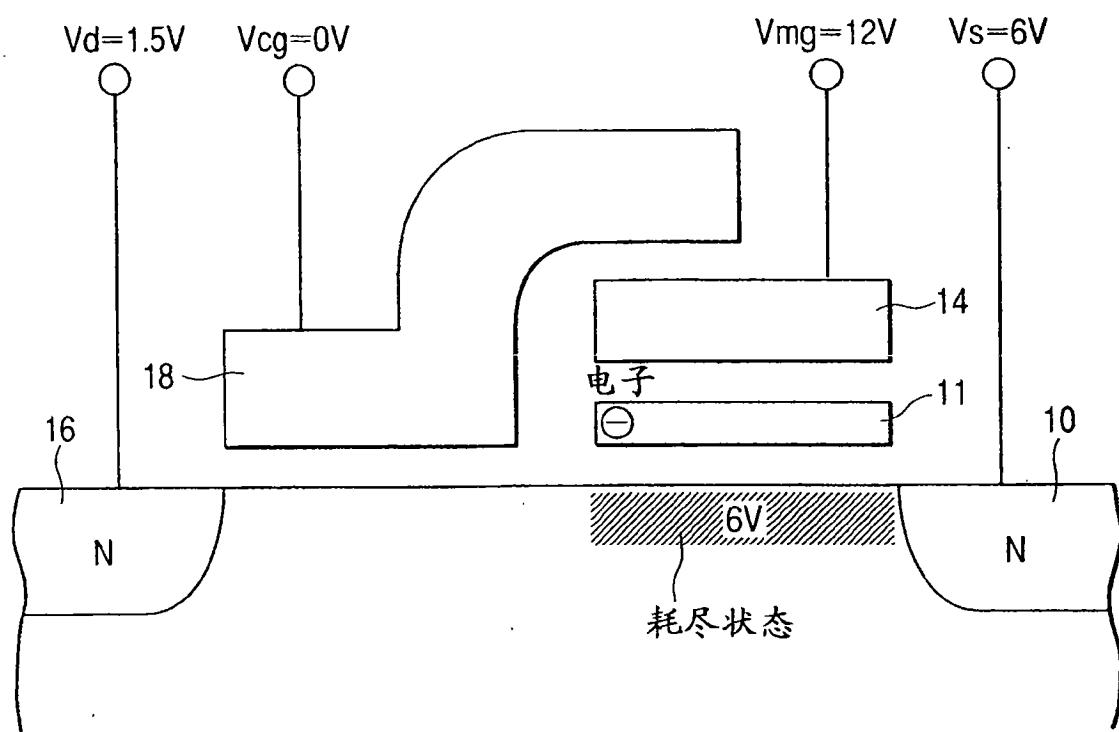


图 35

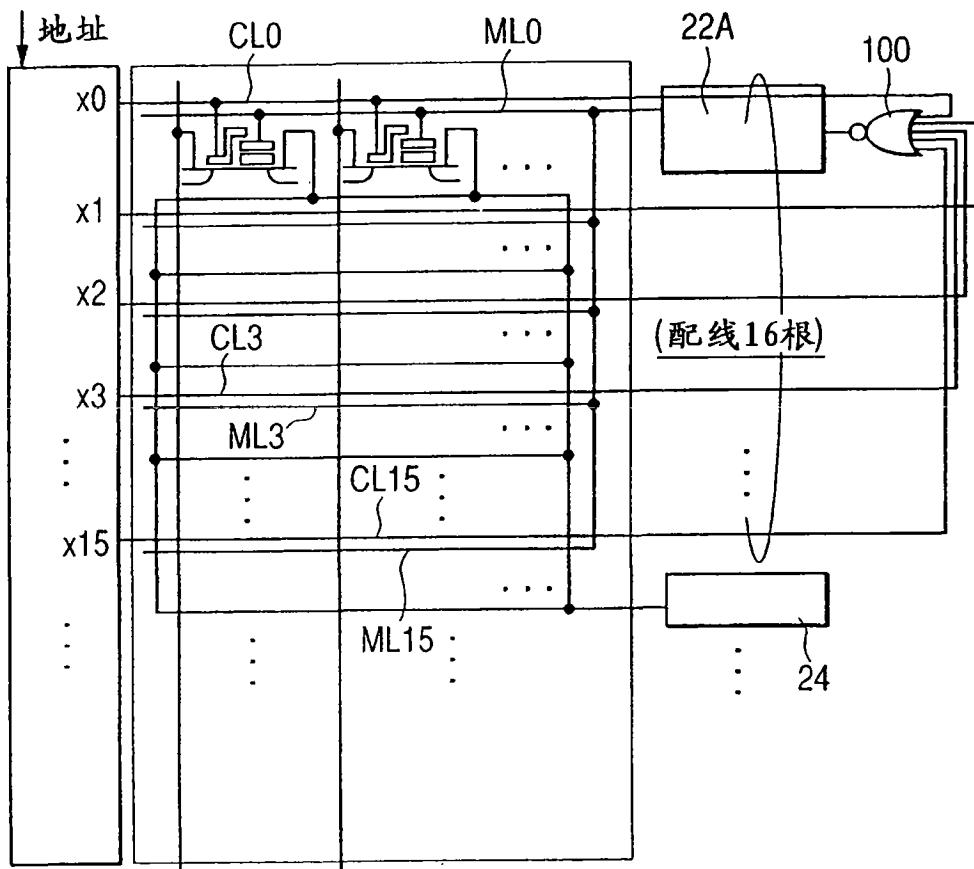


图 36

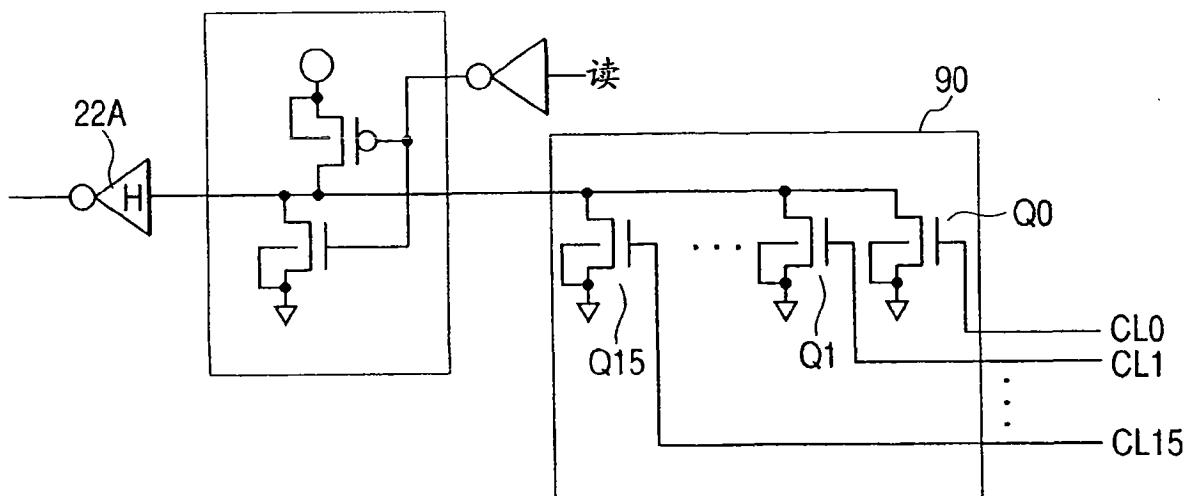


图 37

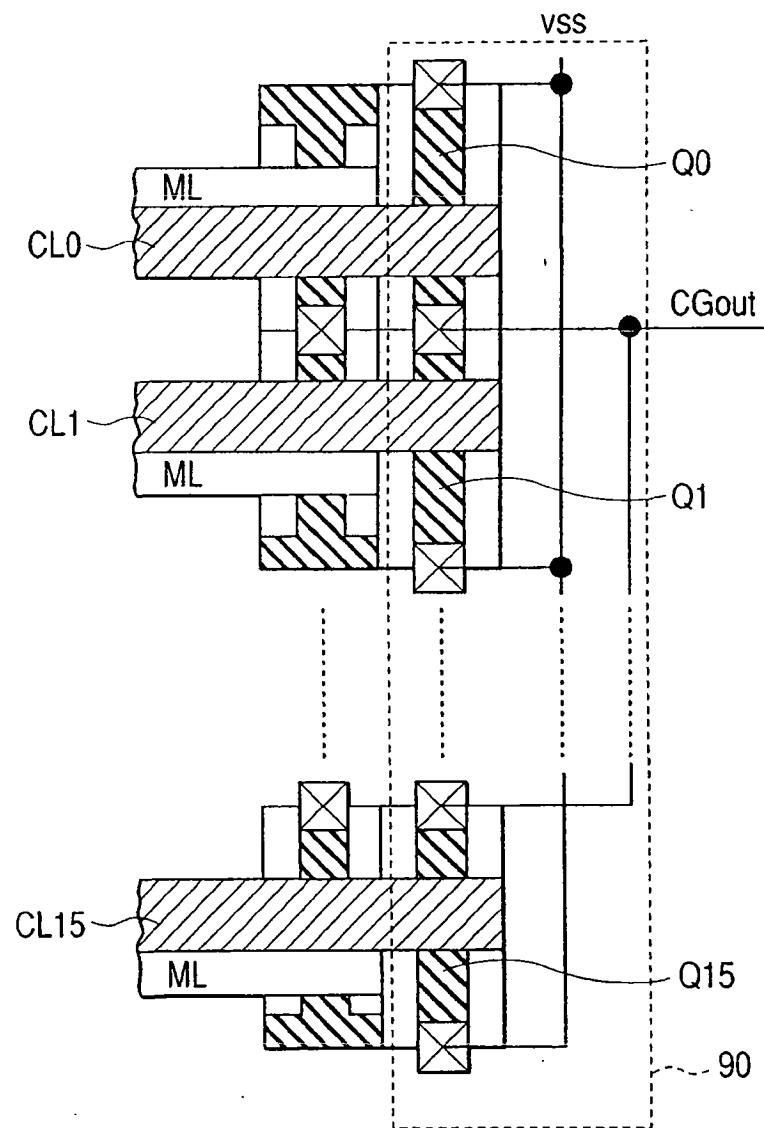
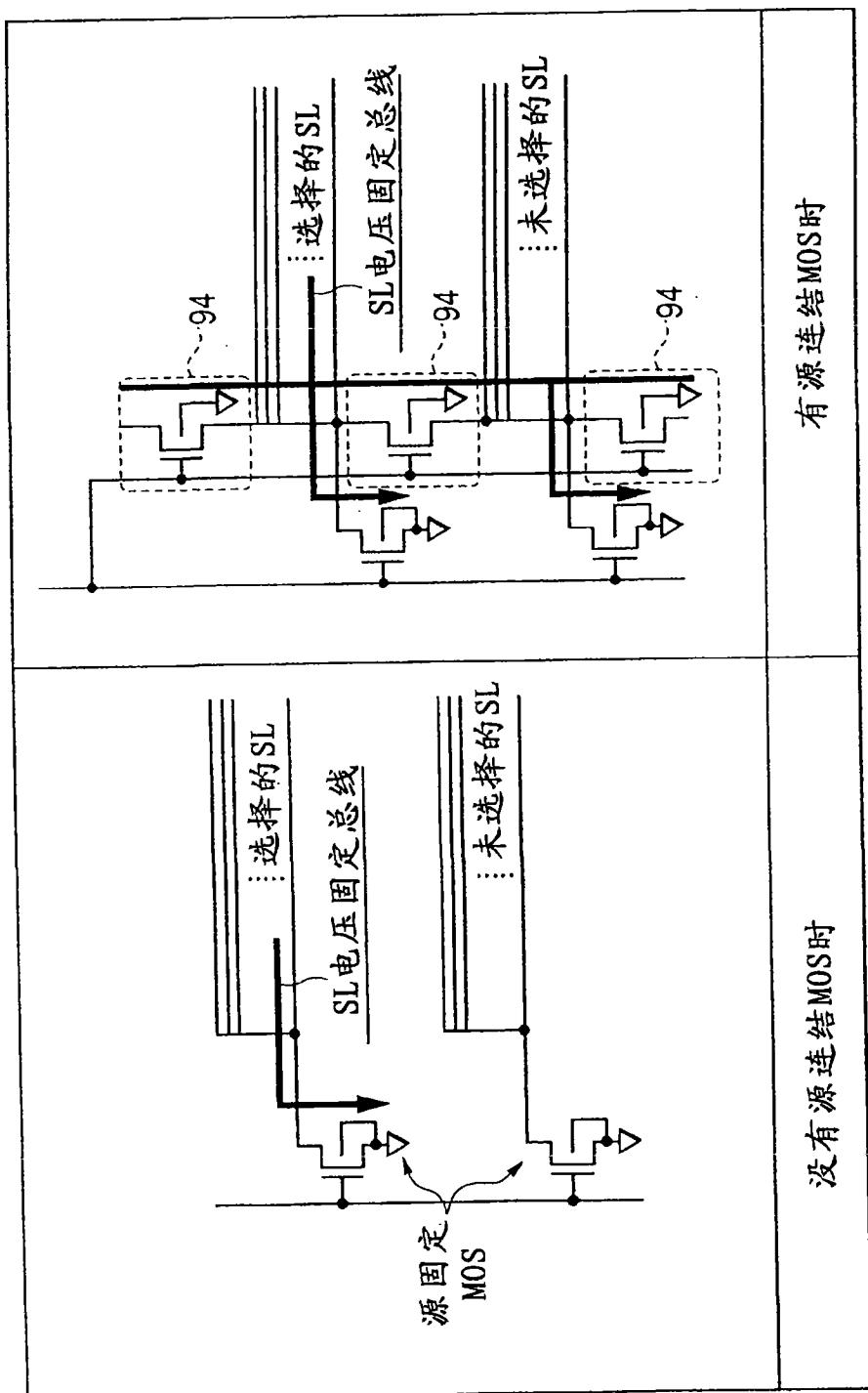


图 38

图 39



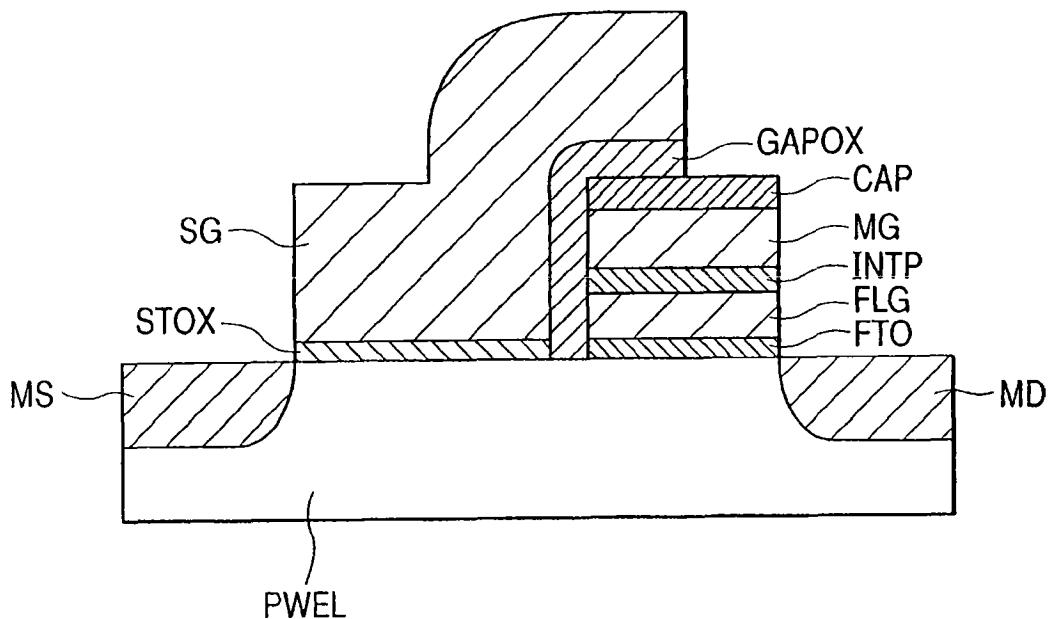
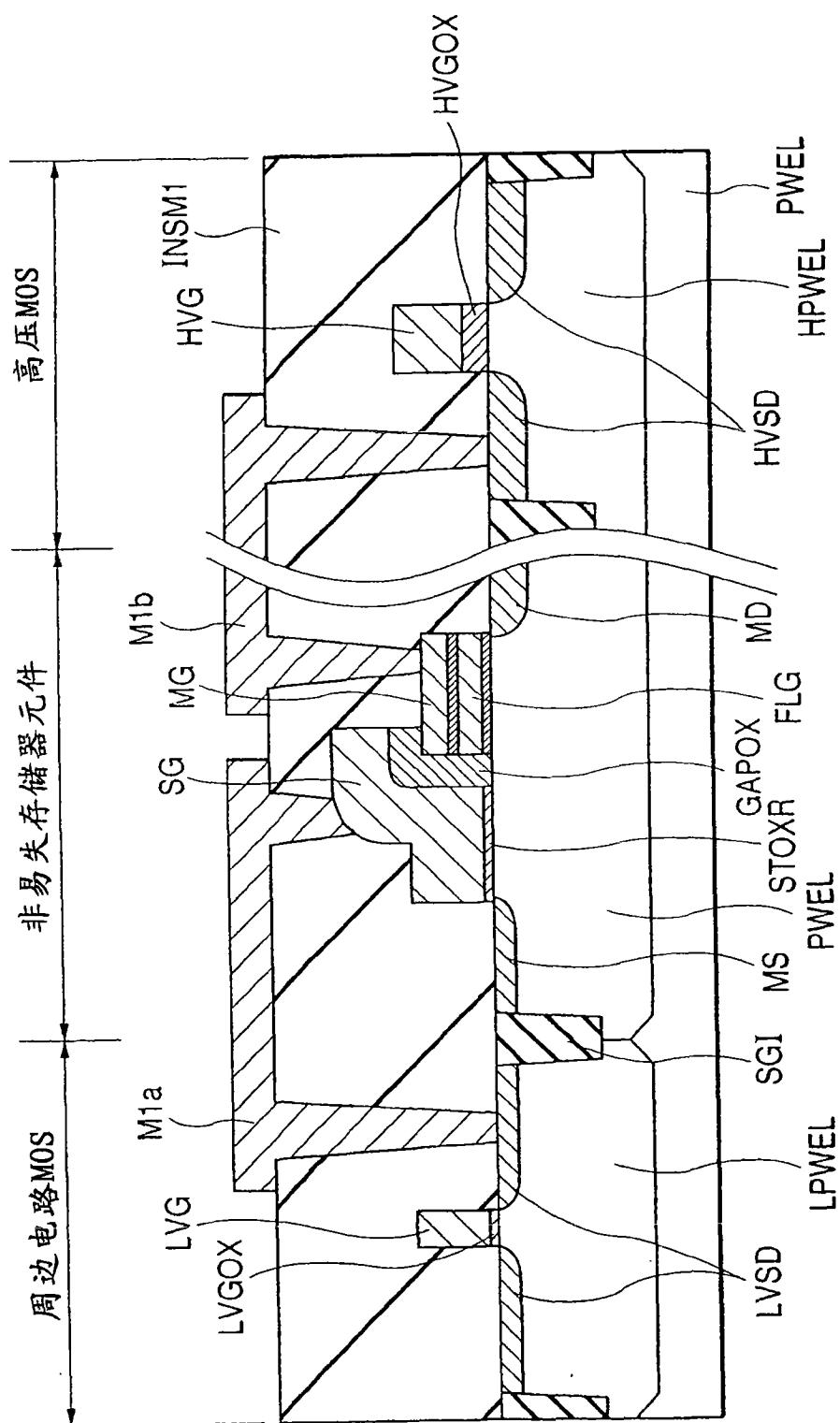


图 40

	V _{sg}	V _{mg}	V _d	V _s	V _{well}	技术
写入(注入)	~V _t	10	5	0	0	源侧注入
擦除(排出)	10	-10	0	0	10	向P阱进行隧道排出
	0	-20	0	0	0	
读取	1.8	0	0	1.8	0	按写入时源/漏相反的方向读取
	1.8	0	1.8	0	0	按写入时源/漏相同的方向读取

图 41

图 42



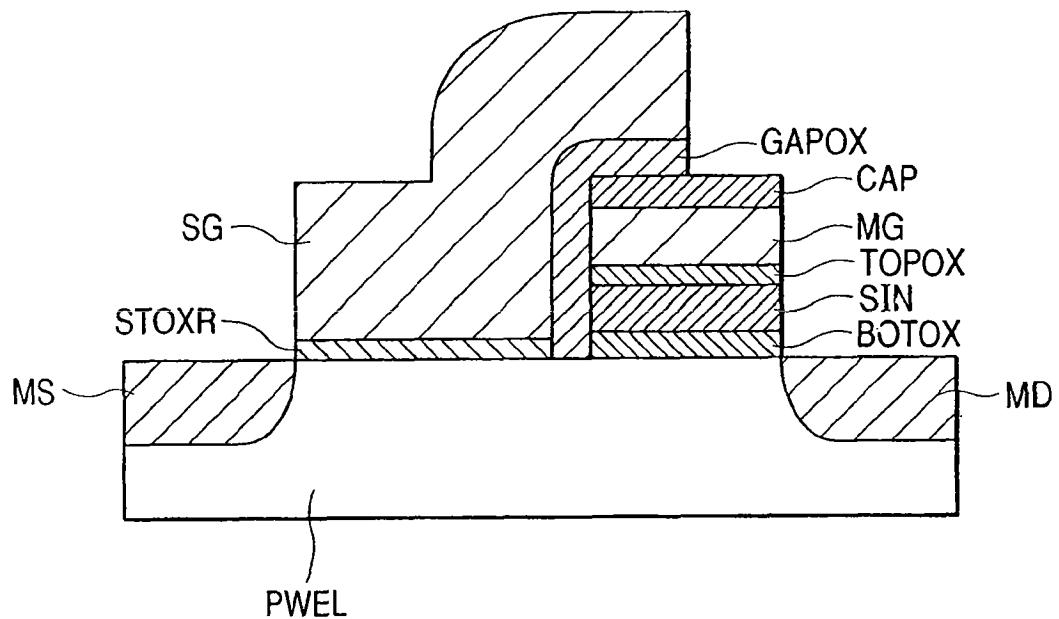


图 43

	V _{sg}	V _{mg}	V _d	V _s	V _{well}	技术
写入(注入)	~V _t	10	5	0	0	源侧注入
擦除(排出)	0	12	0	0	0	向存储器栅的隧道排出
	0	-12	0	0	0	向P阱进行隧道排出
读取	1.8	0	0	1.8	0	与写入时源/漏相反的方向读取
	1.8	0	1.8	0	0	与写入时源/漏相同的方向读取

图 44

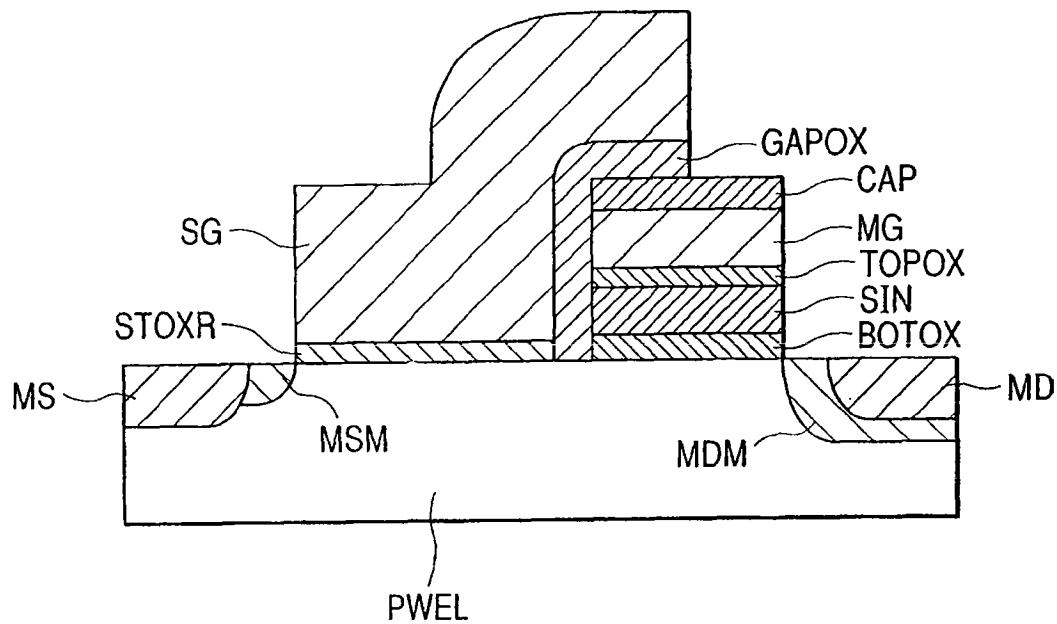


图 45

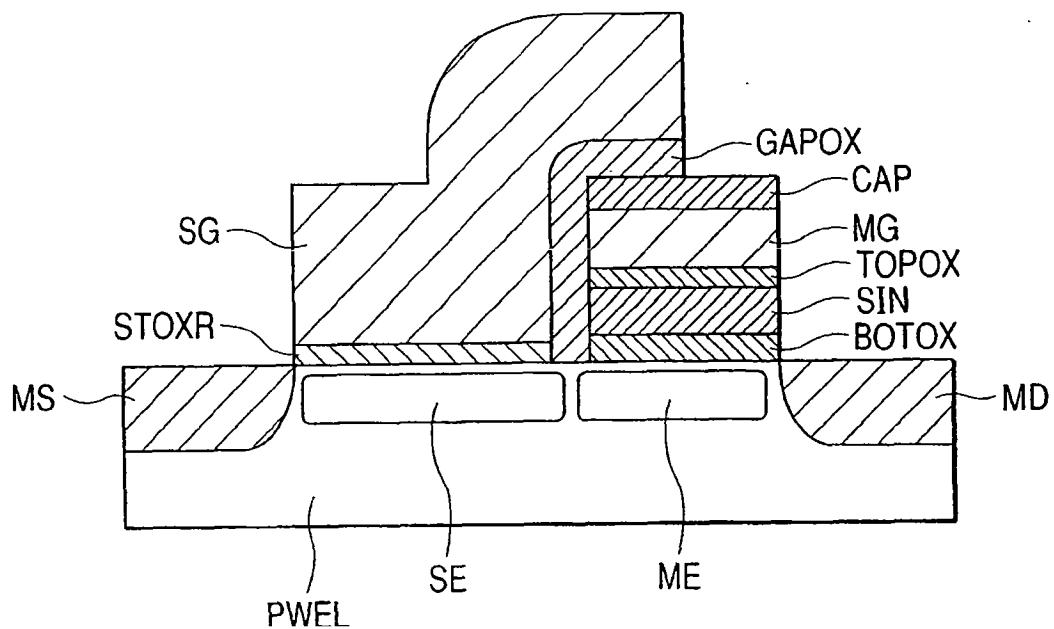


图 46

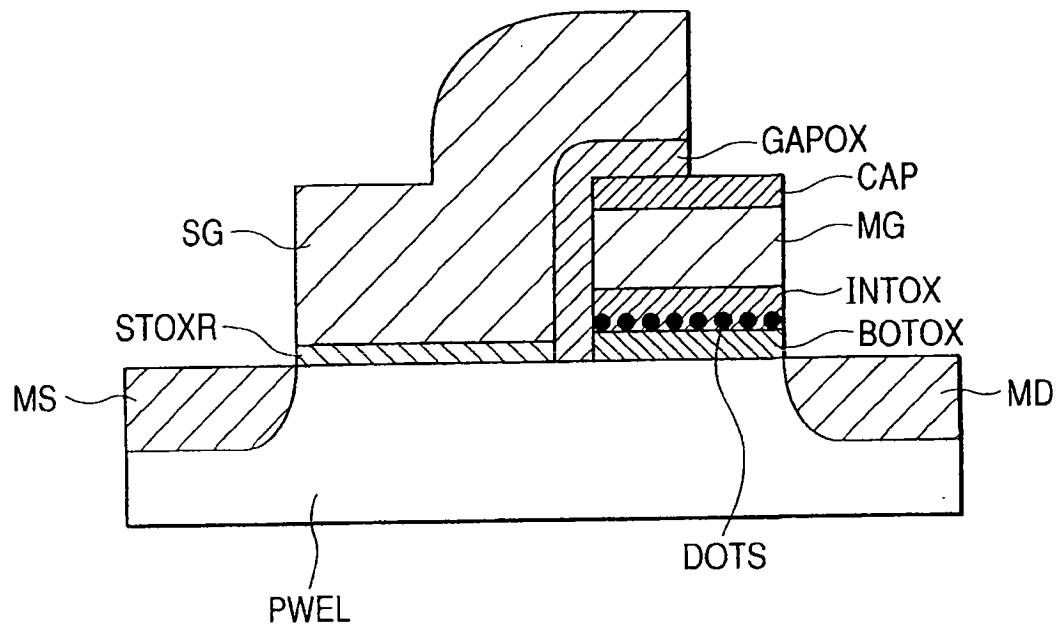


图 47

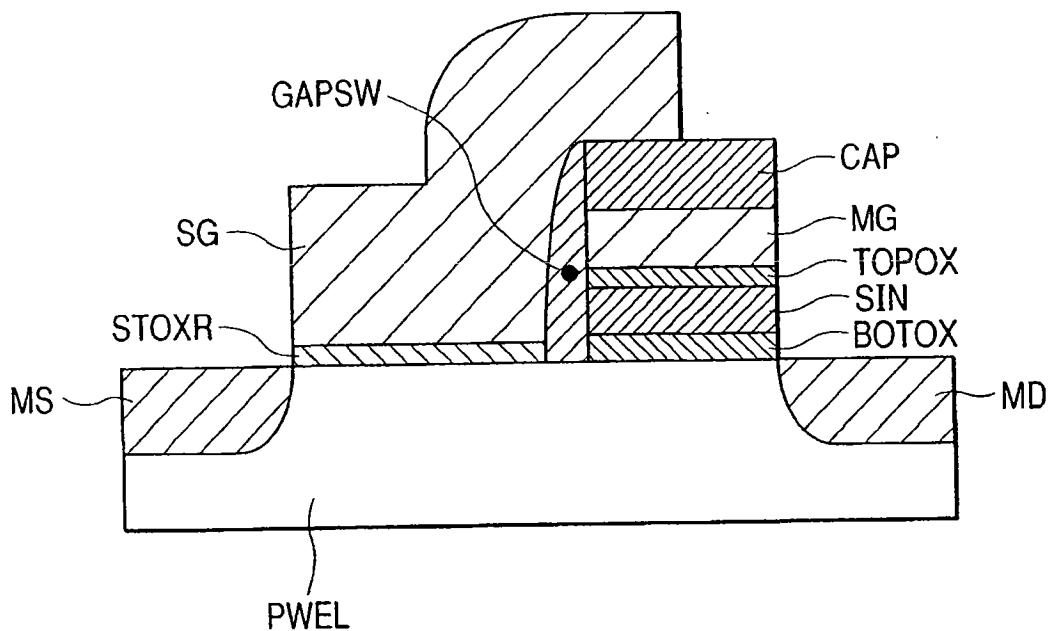


图 48

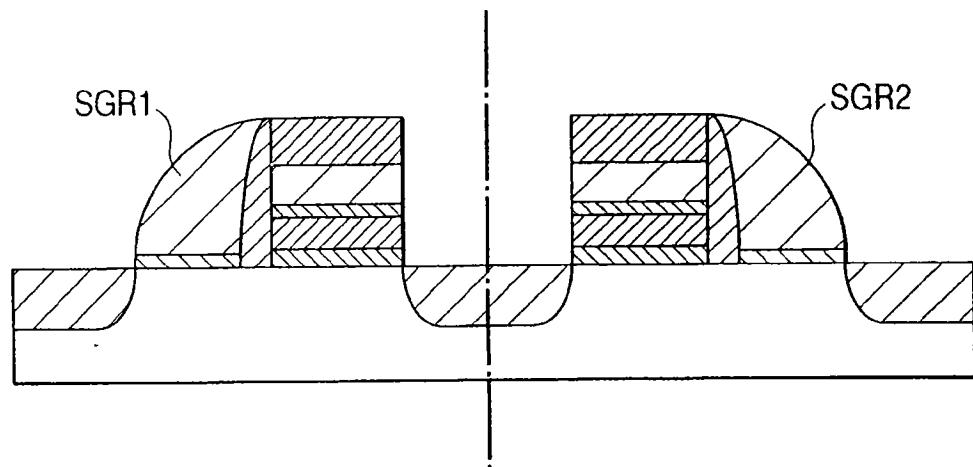


图 49

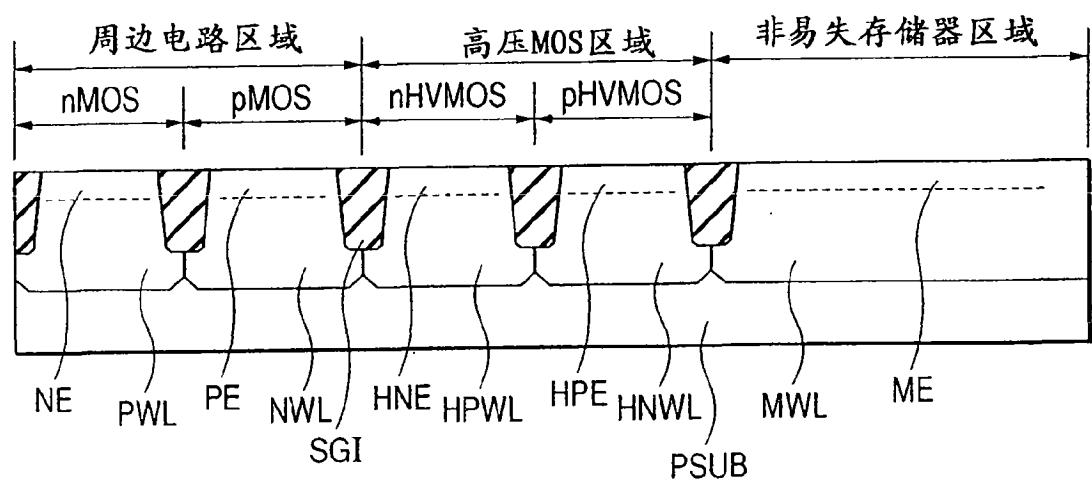


图 50

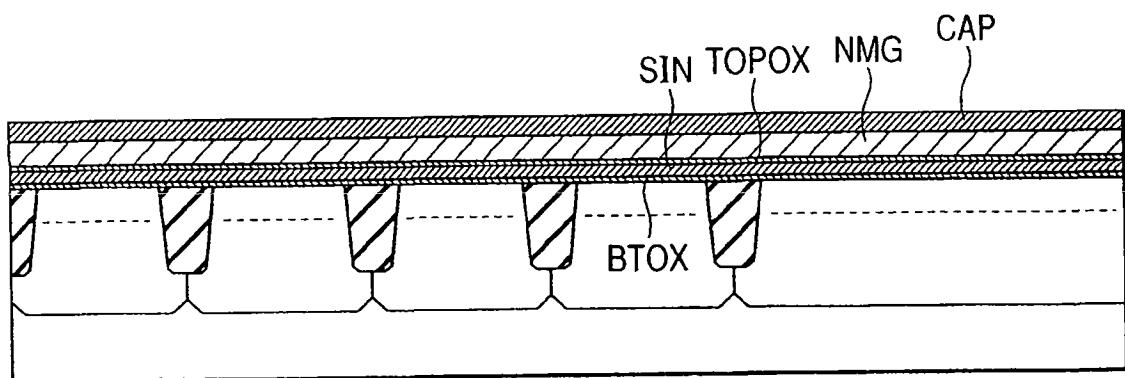


图 51

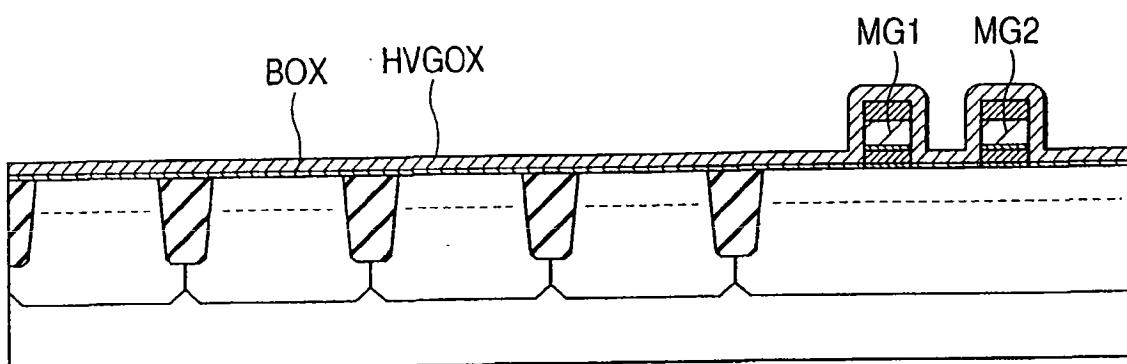


图 52

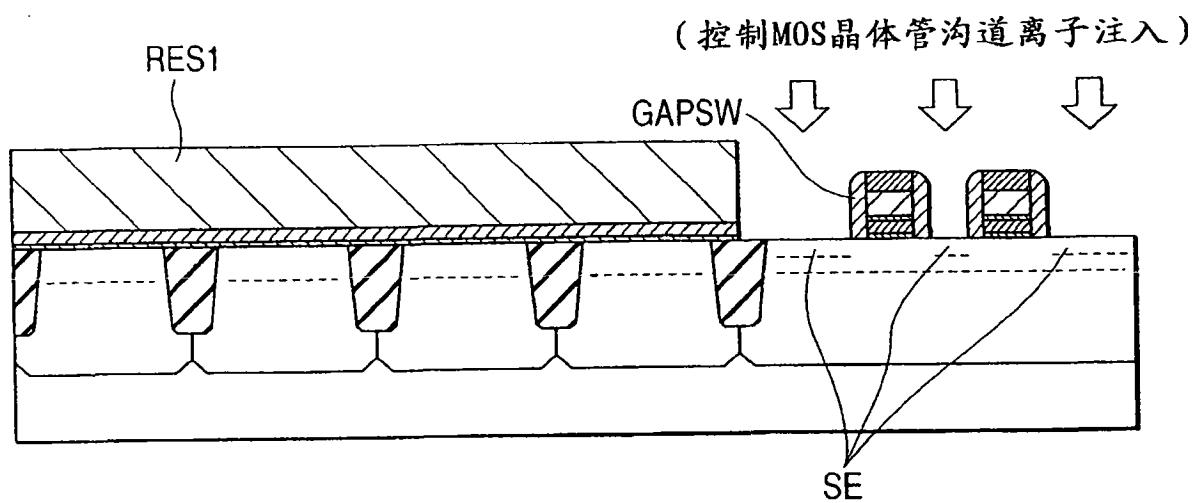


图 53

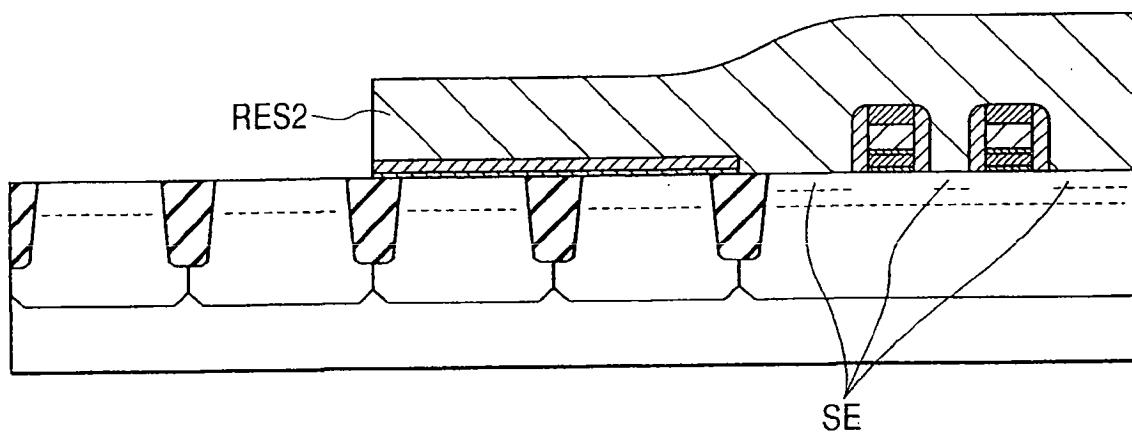


图 54

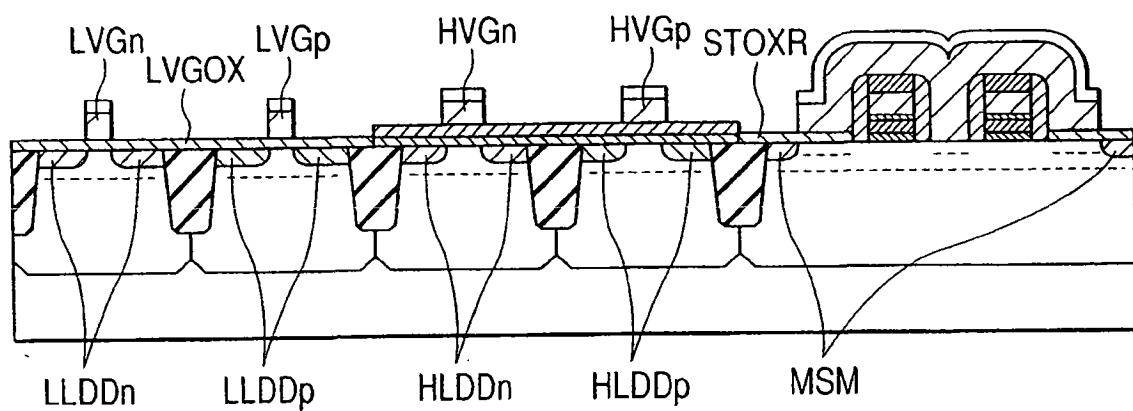


图 55

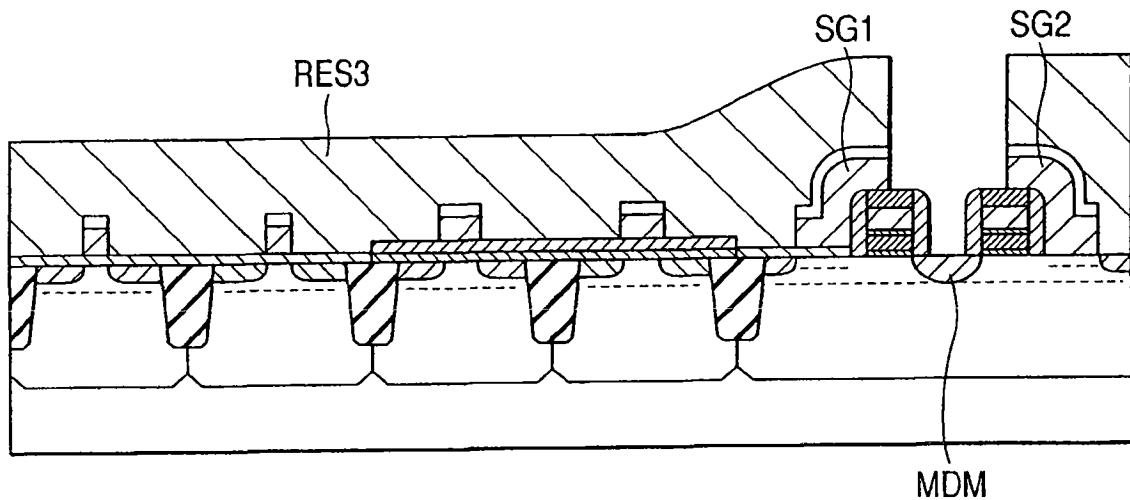


图 56

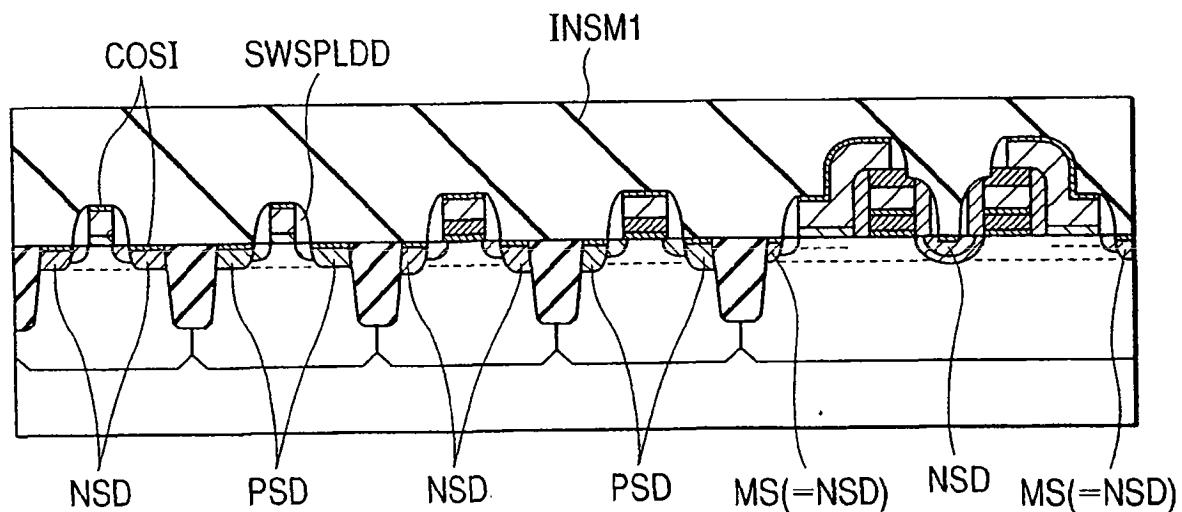


图 57

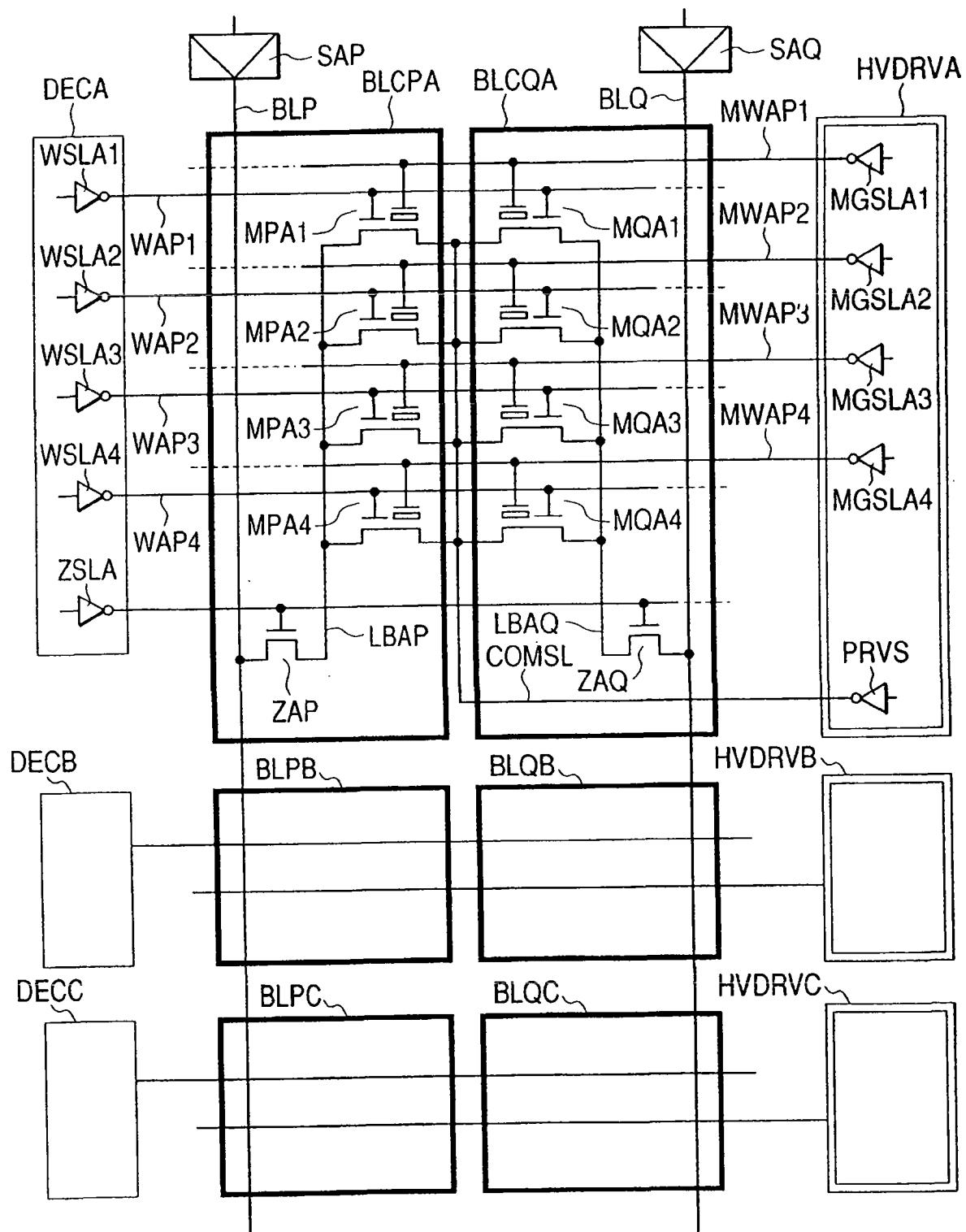


图 58

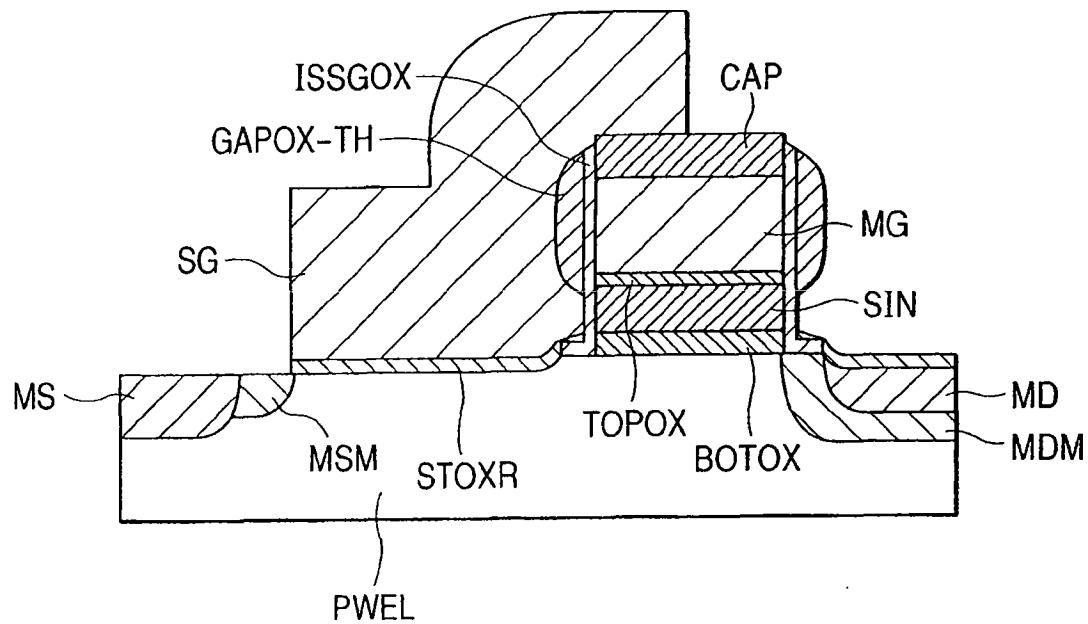


图 59

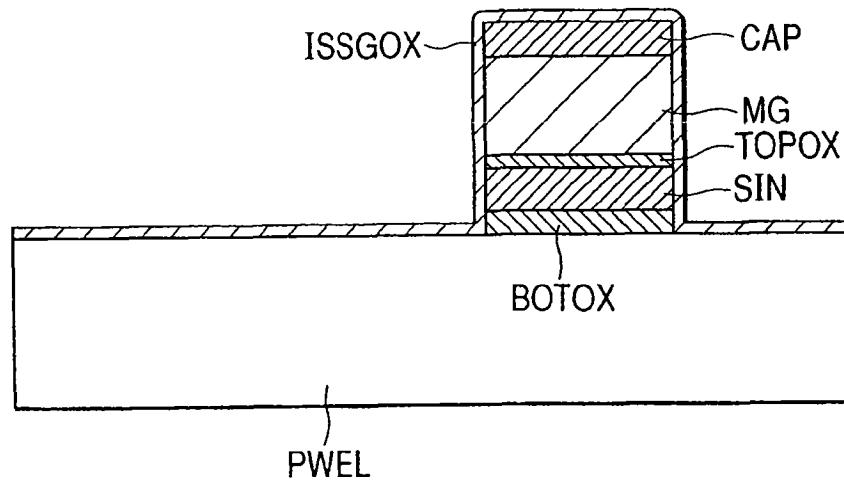


图 60

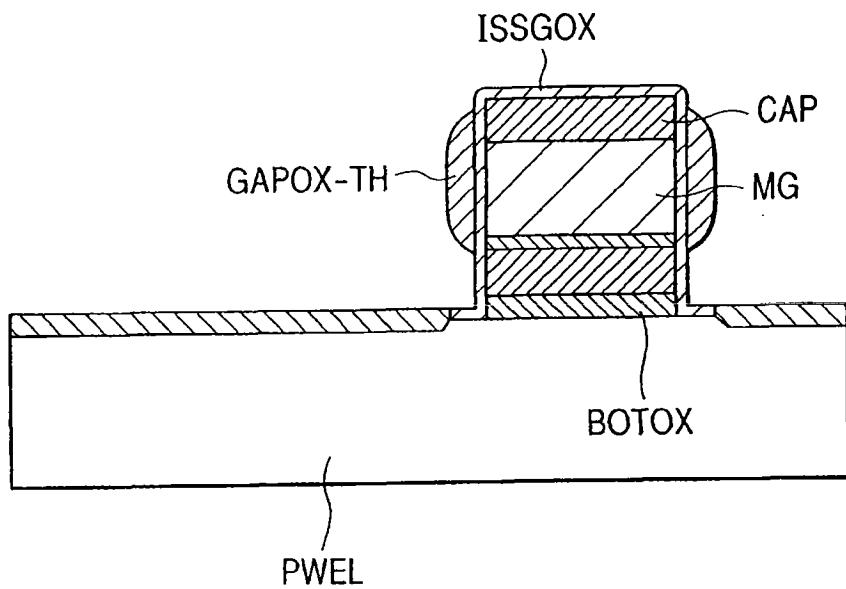


图 61

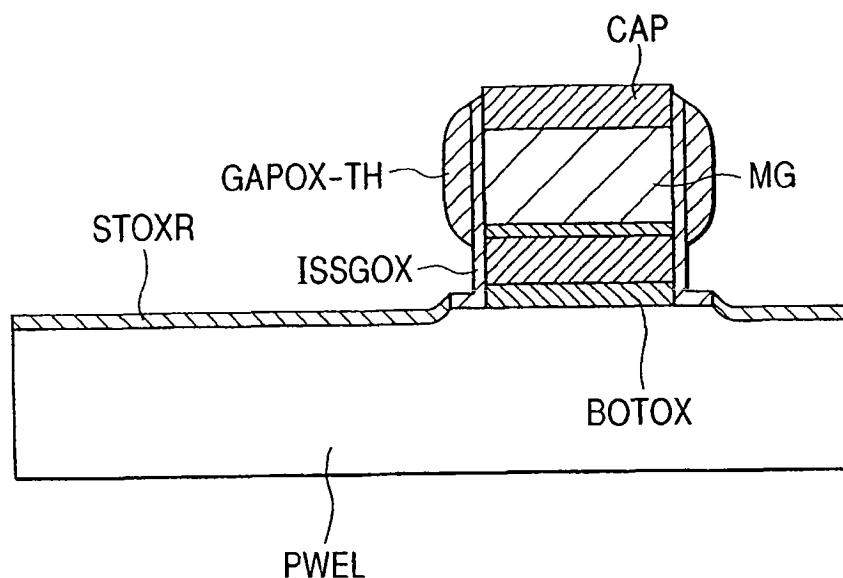


图 62

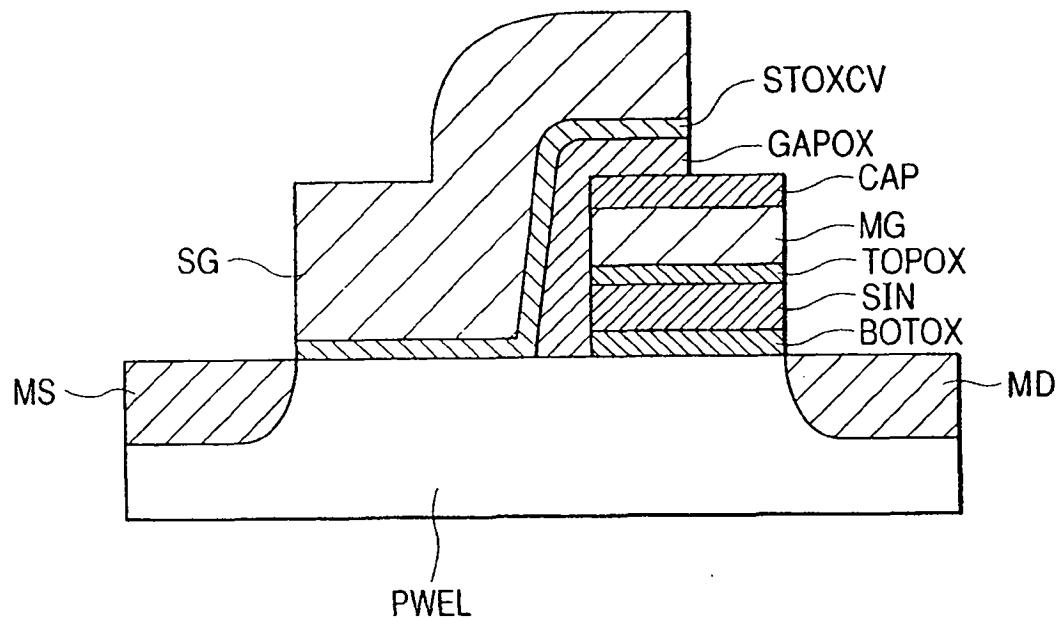


图 63