ITALIAN PATENT OFFICE

Document No.

102008901686102A1

Publication Date

20100611

Applicant

STMICROELECTRONICS (ROUSSET) SAS

Title

DISPOSITIVO ELETTRONICO A CAPACITA' VARIABILE E DISPOSITIVO MICROELETTROMECCANICO INCORPORANTE TALE DISPOSITIVO ELETTRONICO

Front page automatically generated by WIPO

Caso 08-CA-119/SM

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:

"DISPOSITIVO ELETTRONICO A CAPACITÀ VARIABILE E DISPOSITIVO MICROELETTROMECCANICO INCORPORANTE TALE DISPOSITIVO ELETTRONICO"

di STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI, 2

AGRATE BRIANZA (MI)

Inventore: PRANDI Luciano

***

La presente invenzione si riferisce a un dispositivo elettronico a capacità variabile e a un dispositivo microelettromeccanico incorporante tale dispositivo elettronico.

Come è noto, l'impiego di sistemi microelettromeccanici o MEMS (dall'inglese "Micro-Electro-Mechanical Systems") si è andato sempre più diffondendo in vari settori della tecnologia e ha dato risultati incoraggianti specialmente nella realizzazione di sensori inerziali, giroscopi microintegrati, e oscillatori elettromeccanici per svariate applicazioni.

I sistemi MEMS di questo tipo sono di solito basati su strutture microelettromeccaniche comprendenti almeno una massa collegata a un corpo fisso (statore) mediante molle e

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

mobile rispetto allo statore secondo prefissati gradi di libertà. La massa mobile e lo statore sono accoppiati capacitivamente mediante una pluralità di rispettivi elettrodi reciprocamente affacciati in modo da formare dei condensatori. Il movimento della massa mobile rispetto allo statore, ad esempio a causa di una sollecitazione esterna, modifica la capacità dei condensatori; da qui si può risalire allo spostamento relativo della massa mobile rispetto al corpo fisso e quindi alla forza applicata. Viceversa, fornendo opportune tensioni di polarizzazione, è possibile applicare una forza elettrostatica alla massa mobile per metterla in movimento. Inoltre, per realizzare oscillatori elettromeccanici si sfrutta la risposta in frequenza delle strutture MEMS inerziali, che tipicamente è di tipo passa-basso del secondo ordine, con una frequenza di risonanza.

I giroscopi MEMS hanno una struttura elettromeccanica più complessa. In questi dispositivi, una prima massa mobile, o massa di pilotaggio, viene posta in oscillazione secondo un asse a una frequenza prefissata e trascina nel moto oscillatorio una seconda massa, o massa di rilevamento, la quale è vincolata alla massa di pilotaggio in modo da avere un grado di libertà relativo. Quando il giroscopio subisce una rotazione attorno a un determinato asse con una velocità angolare, la massa di rilevamento è

soggetta a una forza di Coriolis per effetto del trascinamento e si muove in accordo al grado di libertà relativo. Gli spostamenti della massa di rilevamento possono essere rilevati e trasdotti in segnali elettrici modulati in ampiezza in modo proporzionale alla velocità angolare, con portante alla frequenza di oscillazione della massa di pilotaggio. L'impiego di un demodulatore permette di ricavare il segnale modulante e quindi di risalire alla velocità angolare istantanea.

In molti casi, il segnale di accelerazione che porta informazioni relative alla velocità angolare istantanea contiene anche componenti spurie che non sono determinate dall'accelerazione di Coriolis e quindi si presentano come disturbi. Talvolta, le componenti spurie dipendono da inevitabili imperfezioni costruttive della parte micromeccacnica, dovute ai limiti di precisione e alla dispersione dei processi di fabbricazione. Ad esempio, l'asse di oscillazione della massa di pilotaggio potrebbe, per un difetto nella realizzazione dei vincoli, essere disallineato dalla direzione teoricamente prevista. Questo tipo di difetto causa comunemente una componente di segnale di quadratura, che si somma al segnale utile dovuto alla rotazione della microstruttura. Ovviamente, le conseguenze sono un rapporto segnale/rumore degradato e un'alterata dinamica dell'interfaccia di lettura, a scapito del segnale

da leggere, in misura che dipende dall'entità dei difetti.

Scopo della presente invenzione è fornire un dispositivo elettronico e un dispositivo microelettromeccanico che permettano di compensare i disturbi sopra descritti.

Secondo la presente invenzione vengono realizzati un dispositivo elettronico a capacità variabile e un dispositivo microelettromeccanico incorporante tale dispositivo elettronico come definiti nelle rivendicazioni 1 e, rispettivamente, 13.

Per una migliore comprensione dell'invenzione, ne verrà ora descritta una forma di realizzazione, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 è uno schema a blocchi semplificato di un giroscopio microelettromeccanico;

- la figura 2 è uno schema a blocchi più dettagliato di una porzione del giroscopio di figura 1, incorporante un dispositivo elettronico a capacità variabile in accordo a una forma di realizzazione della presente invenzione;

- la figura 3 è uno schema circuitale semplificato del dispositivo elettronico a capacità variabile di figura 2;

- la figura 4 è un grafico che mostra grandezze relative al dispositivo elettronico a capacità variabile di figura 2;

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

- le figure 5 e 6 mostrano una parte del giroscopio di figura 1, rispettivamente in una prima e in una seconda configurazione operativa;

- la figura 7 è uno schema a blocchi di una porzione di un giroscopio, incorporante un dispositivo elettronico a capacità variabile in accordo a un'altra forma di realizzazione della presente invenzione;

- la figura 8 è uno schema a blocchi di una porzione di un giroscopio, incorporante un dispositivo elettronico a capacità variabile in accordo a un'ulteriore forma di realizzazione della presente invenzione;

- la figura 9 mostra un apparato di test EWS incorporante un dispositivo elettronico a capacità variabile in accordo a una forma di realizzazione della presente invenzione;

- la figura 10 è uno schema a blocchi più dettagliato di una parte dell'apparato di figura 9; e

- la figura 11 è uno schema a blocchi semplificato di un sistema elettronico incorporante un giroscopio microelettromeccanico provvisto di un dispositivo elettronico a capacità variabile secondo una forma di realizzazione della presente invenzione.

Un giroscopio microelettromeccanico 50, illustrato in modo semplificato nello schema a blocchi di figura 1,

comprende una microstruttura 52, realizzata in tecnologia MEMS, un dispositivo di pilotaggio 53 e un dispositivo di lettura 54. Per semplicità, nella descrizione si farà riferimento al caso di un giroscopio con struttura traslante. Tuttavia, si intende che quanto descritto e illustrato è applicabile a giroscopi microelettromeccanici di qualsiasi tipo, in particolare ai giroscopi con struttura rotante.

La microstruttura 52 è provvista di un sistema di attuazione 5 e di un sensore inerziale 6, includenti rispettive masse mobili di materiale semiconduttore. Più precisamente, il sistema di attuazione 5 comprende una massa di pilotaggio 57, oscillante attorno a una posizione di riposo secondo un proprio grado di libertà, in particolare lungo un primo asse X. Il sistema di attuazione 5 è inoltre provvisto di uscite di lettura 5a (definite da due terminali statorici), per rilevare spostamenti della massa di pilotaggio 57 lungo il primo asse X, e di ingressi di attuazione 5b (definite da due ulteriori terminali statorici), per fornire segnali di attuazione e mantenere la massa di pilotaggio 57 in oscillazione alla sua frequenza di risonanza, in modo noto. Le uscite di lettura 5a e gli ingressi di attuazione 5b sono capacitivamente accoppiati alla massa di pilotaggio 57 in modo noto. Il sensore inerziale 6 ha un asse di rilevamento diretto come

un secondo asse Y perpendicolare al primo asse X e comprende una massa di rilevamento 58, meccanicamente collegata alla massa di pilotaggio 57 mediante molle (qui non mostrate), in modo da essere trascinata in movimento lungo il primo asse X quando la massa di pilotaggio 57 viene eccitata. Inoltre, la massa di rilevamento 58 è relativamente mobile rispetto alla massa di pilotaggio 57 in direzione del secondo asse Y e ha quindi un ulteriore grado di libertà. Un primo terminale 6a (direttamente collegato alla massa di rilevamento 58 e qui utilizzato come terminale di ingresso) e due secondi terminali 6b (statorici, qui utilizzati come terminali di uscita) del sensore inerziale 6 permettono rispettivamente di alimentare un segnale di eccitazione V_S alla massa di rilevamento 58 e di rilevarne gli spostamenti. Il primo terminale 6a è direttamente collegato alla masse di rilevamento 58, mentre i secondi terminali 6b sono capacitivamente accoppiate ad essa in modo noto.

Il dispositivo di pilotaggio 53 è collegato alla microstruttura 52 in modo da formare un anello di retroazione di pilotaggio 55, includente la massa di pilotaggio 57. Il dispositivo di pilotaggio 53 sfrutta l'anello di retroazione di pilotaggio 55 positiva per mantenere la massa di pilotaggio 57 in auto-oscillazione lungo il primo asse X alla sua frequenza di risonanza

meccanica (ad esempio, 25 Krad/s).

Il dispositivo di lettura 54 è del tipo ad anello aperto e, nella forma di realizzazione qui descritta, è configurato per eseguire una lettura cosiddetta "double-ended" degli spostamenti della massa di rilevamento 58 lungo il secondo asse Y. In particolare, il dispositivo di lettura 54 ha un primo ingresso 54a, collegato al dispositivo di pilotaggio 53 per prelevare un segnale di sincronizzazione S_{SYNC}; secondi ingressi, collegati a rispettivi secondi terminali 6b del sensore inerziale 6; una prima uscita, collegata al primo terminale 6a del sensore inerziale 6 e fornente il segnale di eccitazione V_S; e seconde uscite 54b, che forniscono un segnale di uscita S_{OUT}, correlato alla velocità angolare Ω della microstruttura 52.

La figura 2 mostra il sensore inerziale 6 e una porzione del dispositivo di lettura 54, che comprende un amplificatore di carica 7 e un dispositivo elettronico a capacità variabile, utilizzato come stadio di compensazione e indicato con il numero di riferimento 8.

In particolare, il sensore inerziale 6 è rappresentato schematicamente mediante una coppia di condensatori differenziali 10a, 10b, aventi ciascuno un terminale collegato al primo terminale 6a e un terminale collegato a un rispettivo dei secondi terminali 6b. I condensatori

differenziali 10a, 10b hanno una stessa capacità a riposo C_S in assenza di sollecitazioni e presentano variazioni capacitive ΔC_S opposte (differenziali) in risposta a uno spostamento della massa mobile del sensore inerziale 6 (non mostrata).

L'amplificatore di carica 7, che nella forma di realizzazione descritta è completamente differenziale, ha ingressi collegati a rispettivi secondi terminali 6b del sensore inerziale 6 e uscite definenti le seconde uscite 54b del dispositivo di lettura 54.

Lo stadio di compensazione 8 comprende un modulo generatore di lettura 11 e un modulo logico 13 e ha, inoltre, un primo e un secondo ramo 8a, 8b, ciascuno dei quali include un componente capacitivo 15 a capacità variabile e un circuito di segno 16. Il generatore di lettura 11 e il modulo logico 13 formano uno stadio di controllo per determinare le capacità dei componenti capacitivi 15.

Il modulo generatore di lettura 11 riceve il segnale di sincronizzazione V_{SYNC} dal dispositivo di pilotaggio 53 e lo utilizza per generare il segnale di eccitazione V_S. Più in dettaglio, il segnale di sincronizzazione V_{SYNC} fornisce una frequenza di riferimento f_{CK} e un periodo di riferimento T_{CK} (ossia la frequenza di risonanza dell'anello di pilotaggio e il corrispondente periodo). Il

segnale di eccitazione V_S è un segnale a onda quadra e ha frequenza di eccitazione Mf_{CK} multipla, secondo un intero M, della frequenza di riferimento f_{CK} e, corrispondentemente, periodo T_{CK}/M. Il segnale di eccitazione V_S viene applicato al primo terminale 6a del sensore inerziale 6 e serve inoltre come segnale di temporizzazione per lo stadio di compensazione 8. Il modulo generatore di lettura 11 genera inoltre un segnale di eccitazione logico V_S', che ha la stessa frequenza e la stessa fase del segnale di eccitazione V_S e livelli compatibili con i livelli logici per i componenti digitali incorporati nel giroscopio 50. Il segnale di eccitazione V_S può essere direttamente applicato allo stadio di compensazione 8 soltanto in un sistema completamente raziometrico, mentre in generale esso può presentare livelli diversi rispetto ai livelli logici alto e basso. Se il segnale di eccitazione V_S non è raziometrico, quindi, occorre effettuare una conversione, in modo di per sé noto, per ottenere il segnale di eccitazione logico V_S'. Se il segnale di eccitazione V_S è raziometrico, la conversione non è necessaria e il segnale di eccitazione V_S coincide con il segnale di eccitazione logico V_S'.

Il modulo logico 13 riceve il segnale di eccitazione logico V_S' dal modulo generatore di lettura 11 e lo utilizza per generare una pluralità di segnali di controllo

che, come spiegato in dettaglio più avanti, modificano periodicamente la capacità degli elementi capacitivi variabili. In particolare, il modulo logico 13 utilizza il segnale di eccitazione logico V_S' per generare un primo e un secondo segnale di controllo del segno F_1, F_2, complementari e aventi la frequenza di riferimento f_{CK}, segnali di fase D_J e segnali di fase negati $\underline{D}_J$ (J = 0, 1, …, (M/4)-1; la sottolineatura indica il segnale negato, ossia $\underline{D}_J$ = NOT D_J). Inoltre, il modulo logico 13 genera primi segnali di calibrazione B_{1K} e primi segnali di calibrazione negati $\underline{B}_{1K}$ (K = 0, 1, …, N-1, con N determinato come indicato più avanti), che determinano la massima capacità del componente capacitivo 15 del primo ramo 8a dello stadio di compensazione 8; e secondi segnali di calibrazione B_{2K} e secondi segnali di calibrazione negati $\underline{B}_{2K}$, che determinano la massima capacità del componente capacitivo 15 del secondo ramo 8b. I primi segnali calibrazione B_{1K} e i secondi segnali di calibrazione B_{2K} sono costanti e sono programmabili in fase di calibrazione in fabbrica. Normalmente, i primi segnali di calibrazione B_{1K} e i corrispondenti secondi segnali di calibrazione B_{2K} sono uguali, allo scopo di avere una struttura nel complesso bilanciata. In una forma di realizzazione, il modulo logico 13 genera una sola serie di segnali di calibrazione e di segnali di calibrazione

negati, che vengono applicati a entrambi i componenti capacitivi 15.

In ciascun ramo (figura 2), il circuito di segno 16 comprende una porta logica esclusiva, che nella forma di realizzazione descritta è una porta EXNOR (NOR esclusivo), e riceve in ingresso il segnale di eccitazione logico V_S'. Inoltre, il circuito di segno 16 del primo ramo 8a riceve il primo segnale di controllo del segno F_1, mentre il circuito di segno 16 del secondo ramo 8b, riceve il secondo segnale di controllo del segno F_2. Pertanto, sull'uscita del circuito di segno 16 del primo ramo 8a è presente un primo segnale di pilotaggio di compensazione S_1, che è uguale al segnale di eccitazione logico V_S', nel primo semiperiodo di ogni ciclo e uguale al segnale di eccitazione logico V_S' negato, nel secondo semiperiodo di ogni ciclo. Sull'uscita del circuito di segno 16 del secondo ramo 8b, invece, è presente un secondo segnale di pilotaggio di compensazione S_2, che è uguale al segnale di eccitazione logico V_S' negato, nel primo semiperiodo di ogni ciclo, e uguale al segnale di eccitazione logico V_S', nel secondo semiperiodo di ogni ciclo.

I componenti capacitivi 15 sono collegati fra l'uscita di un rispettivo circuito di segno 16 e un rispettivo secondo terminale 6b del sensore inerziale 6. Inoltre, il componente capacitivo 15 del primo ramo 8a dello stadio di

compensazione 8 riceve i primi segnali di calibrazione B_{1K} e i segnali di fase D_J, $\underline{D}_J$; il componente capacitivo 15 del secondo ramo 8b dello stadio di compensazione 8 riceve i secondi segnali di calibrazione B_{2K} e i segnali di fase D_J, $\underline{D}_J$. Terminali di riferimento 15r dei componenti capacitivi 15 sono collegati a un terminale di modo comune dell'amplificatore di carica 7, su cui è presente una tensione di modo comune V_{CM}.

La struttura di uno dei componenti capacitivi 15 (in particolare quello del primo ramo 8a dello stadio di compensazione 8) è illustrata in figura 3. Si intende naturalmente che la struttura dell'altro componente capacitivo 15 è identica e solo il pilotaggio è differente, in quanto attuato mediante diversi segnali di fase.

Il componente capacitivo 15 ha sostanzialmente struttura a π e comprende:

una rete di calibrazione 17, fra un primo terminale di segnale 15a e un nodo 15b;

un primo condensatore 18, collegato fra il nodo 15b e il terminale di riferimento 15r e avente capacità C_1 fissa;

un secondo condensatore 19, collegato fra il nodo 15b e un nodo 15c e avente capacità C_2 fissa;

un terzo condensatore 20, collegato fra il nodo 15c e il terminale di riferimento 15r e avente capacità C_3 fissa; e

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

una rete di compensazione 21 a condensatori commutati, fra il nodo 15c e un secondo terminale di segnale 15d.

Inoltre, il componente capacitivo 15 comprende due interruttori di reset 14, collegati in parallelo rispettivamente al primo condensatore 18 e al terzo condensatore 20 e comandati da un segnale di reset R che è uguale al segnale di eccitazione logico V_S' negato. Il segnale di reset R è generato in modo noto dal dispositivo di lettura 54 ed è utilizzato per temporizzare la fase di reset dell'amplificatore di carica 7. In una diversa forma di realizzazione, il segnale di reset R è generato dal modulo logico 13 a partire dal segnale di eccitazione logico V_S'. In pratica, durante la fase di reset dell'amplificatore di carica 7 i terminali del primo condensatore 18, del secondo condensatore 19 e del terzo condensatore 20 sono equalizzati alla tensione di modo comune V_{CM} dell'amplificatore di carica 7.

La rete di calibrazione 17 comprende una pluralità di condensatori di calibrazione 23, aventi ciascuno un terminale collegato al nodo 15b e un terminale selettivamente collegabile al primo terminale di segnale 15a, attraverso un rispettivo primo interruttore di selezione 25, e a massa, attraverso un secondo interruttore di selezione 26.

I condensatori di calibrazione 23 sono N e, rispetto a

una capacità di calibrazione base C_0, hanno capacità multipla secondo rispettive potenza di 2, fino a 2^{N-1} (C_0, $2C_0$, …, $2^{N-1}C_0$).

I primi interruttori di selezione 25 sono comandati mediante rispettivi primi segnali di calibrazione B_{1K}, mentre i secondi interruttori di selezione 26 sono comandati dai corrispondenti primi segnali di calibrazione negati $\underline{B}_{1K}$. In pratica, quindi, ciascun condensatore di calibrazione 23 è collegabile alternativamente fra il primo terminale di segnale 15a del componente capacitivo 15 e il nodo 15b, oppure fra il nodo 15b e massa. La configurazione dei segnali di calibrazione B_{1K}, B_{2K} determina quindi la capacità di calibrazione C_{CAL} complessiva della rete di calibrazione 17.

Nel secondo ramo 8b dello stadio di compensazione 8, naturalmente, gli interruttori di selezione 25, 26 sono comandati dai secondi segnali di calibrazione B_{2K}, $\underline{B}_{2K}$.

La configurazione dei segnali di calibrazione B_{1K}, $\underline{B}_{1K}$, B_{2K}, $\underline{B}_{2K}$ è programmabile durante la calibrazione in fabbrica e viene memorizzata in un apposito registro 28 del modulo logico 13.

La rete di compensazione 21 comprende una pluralità di condensatori di compensazione 30 a commutazione, aventi ciascuno un terminale collegato al nodo 15c del componente capacitivo 15 e un terminale selettivamente collegabile al

secondo terminale di segnale 15d, attraverso un rispettivo primo interruttore di compensazione 31, e al terminale di riferimento 15r, attraverso un secondo interruttore di compensazione 32 (in pratica, in parallelo al terzo condensatore 20). In particolare, il numero P dei condensatori di compensazione 30 è pari a M/4 (M è il rapporto fra la frequenza di eccitazione Mf_{CK} del segnale di eccitazione V_S e la frequenza di riferimento F_{CK} ed è un intero pari). Inoltre, i segnali di fase D_J sono R = P + 3.

Le capacità C_J dei condensatori di compensazione 30 sono date dalla seguente espressione:

$$C_J = C_F \sin\left(\frac{2\pi}{T_{CK}} t_J\right)$$

dove $t_J = JT_{CK}/P$ e C_F è una capacità costante. In pratica, quindi:

$$C_J = C_F \sin\left(\frac{2\pi J}{P}\right)$$

I primi interruttori di compensazione 31 e i secondi interruttori di compensazione 32 dei condensatori di compensazione 30 sono comandati in controfase mediante rispettivi segnali di fase D_J e corrispondenti rispettivi segnali di fase negati $\underline{D}_J$.

Nella forma di realizzazione qui descritta, i segnali di fase D_J e i segnali di fase negati $\underline{D}_J$ sono configurati in modo di collegare, in ogni quarto di periodo di riferimento T_{CK}, in sequenza selettivamente uno dei

condensatori di compensazione 31 fra il nodo 15c e il secondo terminale di segnale 15d. In questo modo, la capacità del componente capacitivo 15 varia come una semionda sinusoidale discreta con frequenza doppia rispetto alla frequenza di riferimento f_{CK} (in pratica, come il modulo di una funzione sinusoidale con frequenza di riferimento f_{CK}). Lo schema dei segnali di fase D_J forniti dal modulo logico 13 per ottenere il comportamento descritto è mostrato in figura 4a (per semplicità, i segnali di fase negati $\underline{D}_J$ non sono illustrati). La figura 4 mostra anche il segnale di eccitazione V_S, i segnali di controllo del segno F_1, F_2, i segnali di pilotaggio di compensazione S_1, S_2 e il valore istantaneo della capacità C_J del componente capacitivo 15.

La minima capacità complessiva C_T (ossia ottenuta programmando il minimo valore di capacità di calibrazione C_{CAL} per la rete di calibrazione 17) del componente capacitivo 15 è data da:

$$C_T(t_J) = \frac{C_0}{(2^P - 1)C_0 + C_1 + C_2} \frac{C_2}{C_2 + C_3 + C_{JT}} C_J$$

dove $C_{JT} = \sum_{J=1}^{P} C_J$.

Il funzionamento del dispositivo di lettura 54, di cui lo stadio di compensazione 8 fa parte, verrà ora descritta con riferimento nuovamente alla figura 2 e, inoltre, alle figure 5 e 6.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

I fronti di salita del segnale di eccitazione V_S applicato al primo terminale 6a del sensore inerziale 6 producono, ai secondi terminali 6b, pacchetti di carica di lettura Q_{S1}, Q_{S2} differenziali, aventi valore proporzionale alle variazioni capacitive ΔC_S.

Lo stadio di compensazione 8, pilotato mediante il segnale di eccitazione logico V_S', i segnali di controllo del segno F_1, F_2 e i segnali di fase D_J, $\underline{D}_J$, inietta (o, in modo duale, preleva) nei secondi terminali 6b del sensore 6 rispettivamente primi e secondi pacchetti di carica di compensazione Q_{COMP1}, Q_{COMP2} differenziali, tali da compensare le componenti di quadratura spurie sovrapposte al segnale di velocità angolare. In particolare, il valore dei pacchetti di carica di compensazione Q_{COMP1}, Q_{COMP2} varia in modo sinusoidale nell'arco di un periodo, alla frequenza di riferimento f_{CK}, ed è determinato dal valore delle capacità totali $C_{1T}(t_J)$, $C_{2T}(t_J)$ dei componenti capacitivi 15, in combinazione con i rispettivi segnali di pilotaggio di compensazione S_1, S_2.

Più in dettaglio, le capacità totali $C_{1T}(t_J)$, $C_{2T}(t_J)$ variano secondo il modulo di una sinusoide. Tuttavia, segnali di controllo del segno F_1, F_2 invertono, ad ogni semiperiodo, il segno dei fronti d'onda applicati ai secondi terminali 6b del sensore inerziale 6 attraverso i componenti capacitivi 15 e quindi il segno dei pacchetti di

carica di compensazione Q_{COMP1}, Q_{COMP2}. Qui e nel seguito, si intende che i fronti di salita di un segnale hanno un segno, ad esempio positivo, e i fronti di discesa hanno segno opposto, ad esempio negativo. Inoltre, si intende che due segnali della stessa frequenza hanno fronti concordi quando fronti corrispondenti dei due segnali hanno lo stesso segno, ossia quando a fronti di salita e a fronti di discesa di uno dei due segnali corrispondono rispettivamente fronti di salita e fronti di discesa dell'altro segnale; e si intende che due segnali della stessa frequenza hanno fronti discordi quando fronti corrispondenti dei due segnali hanno segno opposto, ossia quando a fronti di salita e a fronti di discesa di uno dei due segnali corrispondono rispettivamente fronti di discesa e fronti di salita dell'altro segnale.

Nel primo semiperiodo di ogni ciclo, in particolare (figure 3 e 5), il primo segnale di controllo di segno F_1 è alto (valore logico "1") e quindi il primo segnale di pilotaggio di compensazione S_1 corrisponde al segnale di eccitazione logico V_S'. Viceversa, il secondo segnale di controllo di segno F_2 è basso (valore logico "0") e quindi il primo segnale di pilotaggio di compensazione S_1 corrisponde al segnale di eccitazione logico V_S' negato. Come rappresentato in figura 5, quindi, i fronti di salita del segnale di eccitazione logico V_S' corrispondono ai

fronti di salita (fronti concordi) del primo segnale di pilotaggio di compensazione S_1 e ai fronti di discesa (fronti discordi) del secondo segnale di pilotaggio di compensazione S_2. La perturbazione determinata da un fronte d'onda positivo (da "0" a "1", primo ramo 8a) causa l'iniezione di un pacchetto di carica (carica positiva), mentre la perturbazione determinata da un fronte d'onda negativo (da "1" a 0", secondo ramo 8b) causa il prelievo di un pacchetto di carica (carica negativa). Pertanto, nel primo ramo 8a i primi pacchetti di carica di compensazione Q_{COMP1} variano secondo una semionda sinusoidale positiva, mentre, nel secondo ramo 8b, i secondi pacchetti di carica di compensazione Q_{COMP2} variano secondo una semionda sinusoidale negativa.

Nel secondo semiperiodo di ogni ciclo (figure 4 e 6), i segnali di controllo del segno F_1, F_2 commutano, invertendo i segnali di pilotaggio di compensazione S_1, S_2. Anche l'andamento dei pacchetti di carica di compensazione Q_{COMP1}, Q_{COMP2} è quindi invertito sia nel primo ramo 8a, sia nel secondo ramo 8b: nel primo ramo 8a, i primi pacchetti di carica di compensazione Q_{COMP1} variano secondo una semionda sinusoidale negativa, mentre, nel secondo ramo 8b, i secondi pacchetti di carica di compensazione Q_{COMP2} variano secondo una semionda sinusoidale positiva.

L'ampiezza massima dei pacchetti di carica di

compensazione Q_{COMP1}, Q_{COMP2} viene determinata in fase di calibrazione di fabbrica. Ciò è possibile perché le componenti di disturbo di quadratura sono per lo più dovute a fattori strutturali intrinseci del sensore inerziale 6 e le condizioni operative influiscono solo in misura marginale. La calibrazione viene effettuata modificando la configurazione dei segnali di calibrazione B_{1K}, $\underline{B}_{1K}$ memorizzata nel registro 28 del modulo logico 13, fino a ottenere una capacità di calibrazione C_{CAL} adeguata.

Il modulo di calibrazione 8 permette così di sopprimere i disturbi in quadratura rispetto al segnale utile in modo efficace, semplice e preciso. In particolare, il valore della capacità di calibrazione può essere regolato in maniera estremamente fine, grazie alla configurazione dei condensatori di calibrazione 23. È infatti possibile ottenere aggiustamenti nell'ordine degli attofarad (10^{-18} F).

La figura 7 illustra una diversa forma di realizzazione dell'invenzione, in cui un dispositivo elettronico a capacità variabile è utilizzato come stadio di compensazione asimmetrico di un dispositivo di lettura 154 ed è indicato con il numero 108. In questo caso, lo stadio di compensazione 108 comprende un solo ramo ed è connesso a uno solo dei secondi terminali 6b del sensore inerziale 6. Lo stadio di compensazione 108 comprende un

modulo generatore di fase 113 che, a partire dal segnale di eccitazione logico V_S', fornisce i segnali di controllo del segno F_1, F_2, i segnali di compensazione D_J, i segnali di compensazione negati $\underline{D}_J$ e. Inoltre, lo stadio di compensazione 108 genera un bit di selezione SEL e una sola serie di segnali di calibrazione B_K e di segnali di calibrazione negati $\underline{B}_K$.

Lo stadio di compensazione 108 comprende anche un componente capacitivo 115 a capacità variabile, avente la stessa struttura già descritta con riferimento alla figura 3 e un terminale di riferimento 115r collegato a un terminale di modo comune dell'amplificatore di carica 7.

Un circuito di segno 116 comprende una porta logica esclusiva 116a (porta EXNOR) e un multiplexer 116b, che riceve in ingresso i segnali di controllo del segno F_1, F_2 ed è controllato per mezzo del bit di selezione SEL, che è programmabile in fase di calibrazione in fabbrica. L'uscita del multiplexer 116b viene alimentata a un primo ingresso della porta logica esclusiva 116a, che riceve su un secondo ingresso il segnale di eccitazione logico V_S'. L'uscita della porta logica esclusiva 116a fornisce un segnale di pilotaggio di compensazione S_1.

In pratica, durante la calibrazione viene determinato il segnale di controllo del segno F_1, F_2 necessario per la compensazione, oltre al valore della capacità di

calibrazione C_{CAL}.

La soluzione appena descritta permette di ridurre il numero di segnali di fase necessari.

Nella forma di realizzazione illustrata in figura 8, un dispositivo di lettura 254 è configurato per effettuare una lettura di tipo "single-ended" del sensore inerziale 6. In particolare, il dispositivo di lettura 254 comprende un amplificatore di carica 207, un dispositivo elettronico a capacità variabile, utilizzato come stadio di compensazione e indicato con 208, e il modulo generatore di lettura 11, che applica il segnale di eccitazione V_S ai secondi terminali 6b del sensore inerziale 6 (qui utilizzati come terminali di ingresso) e a un ingresso del modulo logico 213. L'amplificatore di carica 207 ha un ingresso collegato a massa e un ingresso collegato al primo terminale 6a del sensore inerziale 6 (qui utilizzato come terminale di uscita), da cui riceve pacchetti di carica di lettura Q_S, indicativi delle variazioni capacitive ΔC_S differenziali dei condensatori differenziali 10a, 10b.

Lo stadio di compensazione 208 ha sostanzialmente la stessa struttura dello stadio di compensazione 108 di figura 7 e comprende un modulo logico 213, un componente capacitivo 215 a capacità variabile e un circuito di segno 216.

A partire dal segnale di eccitazione logico V_S', il

modulo logico 213 fornisce un bit di selezione SEL, i segnali di controllo del segno F_1, F_2, i segnali di compensazione D_J, i segnali di compensazione negati $\underline{D}_J$ e una sola serie di segnali di calibrazione B_K e di segnali di calibrazione negati $\underline{B}_K$.

Il componente capacitivo 215 ha la stessa struttura già descritta con riferimento alla figura 3 e ha un terminale di riferimento 215r collegato a un terminale di modo comune dell'amplificatore di carica 207.

Il circuito di segno 216 è del tipo descritto in figura 7 e comprende una porta logica esclusiva 216a (porta EXNOR) e un multiplexer 216b. Il multiplexer 216b riceve in ingresso i segnali di controllo del segno F_1, F_2 ed è controllato per mezzo del bit di selezione SEL, che è programmabile in fase di calibrazione in fabbrica. L'uscita del multiplexer 216b viene alimentata a un primo ingresso della porta logica esclusiva 216a, che riceve su un secondo ingresso il segnale di eccitazione logico V_S'. L'uscita della porta logica esclusiva 216a fornisce un segnale di pilotaggio di compensazione S_1.

Le figure 9 e 10 illustrano una differente applicazione del dispositivo elettronico a capacità variabile descritto con riferimento alle figure 1-6. In particolare, un dispositivo elettronico a capacità variabile viene qui utilizzato come generatore di segnale

ed è indicato con il numero 308 nella fase di test EWS ("Electrical Wafer Sorting") per fornire un segnale periodico, in particolare sinusoidale, a tempo discreto. In pratica, la parte circuitale del giroscopio o ASIC 60 – "Application Specific Integrated Circuit") viene verificata a livello di fetta, prima del taglio Nell'esempio delle figure 9 e 10, una fetta 70 di materiale semiconduttore incorpora una pluralità di ASIC 60 (di cui uno solo è illustrato). Ogni ASIC 60 comprende, oltre al dispositivo di pilotaggio 53 e al dispositivo di lettura 54, un rispettivo esemplare del dispositivo elettronico a capacità variabile 308. I terminali dei componenti capacitivi 15 del dispositivo elettronico a capacità variabile 308 sono collegati a terminali di ingresso del dispositivo di pilotaggio 53.

In luogo del generatore di lettura 11, in questo caso viene utilizzato un generatore di riferimento 311 che genera internamente un segnale di riferimento V_{CK} a onda quadra, con frequenza di riferimento f_{CK} e periodo di riferimento T_{CK}, prossimi alla frequenza e al periodo di risonanza della microstruttura. In base al segnale di riferimento V_{CK}, inoltre, il generatore di riferimento 311 genera un segnale di eccitazione V_S, che ha frequenza di eccitazione multipla della frequenza di riferimento f_{CK} (Mf_{CK}) e viene fornito al modulo logico 13 e ai circuiti di

segno 16 dei due rami 8a, 8b del generatore di segnale 308.

In pratica, il generatore di segnale 308, operato mediante il segnale di riferimento V_{CK}, fornisce al dispositivo di pilotaggio

3 pacchetti di carica di test Q_{T1}, Q_{T2} variabili sinusoidalmente a tempo discreto, in forma di pacchetti di carica come già descritto con riferimento alla figura 4. In altre parole, il generatore di segnale 308 simula il comportamento del sensore inerziale 6 e quindi può essere utilizzato per estendere i test EWS anche al dispositivo di pilotaggio 53.

Si noti che, per quanto riguarda il dispositivo di lettura 54, i test EWS possono essere effettuati mediante il dispositivo elettronico a capacità variabile già incorporato e formante lo stadio di compensazione 8.

In figura 11 è illustrata una porzione di un sistema 400 in accordo a una forma di realizzazione della presente invenzione. Il sistema 400 può essere utilizzato in dispositivi come, ad esempio, un calcolatore palmare (personal digital assistant, PDA), calcolatore "laptop" o portatile, eventualmente con capacità "wireless", un telefono cellulare, un dispositivo di messaggistica, un lettore musicale digitale, una camera digitale o altri dispositivi atti a elaborare, immagazzinare, trasmettere o

ricevere informazioni. Ad esempio, il giroscopio 50 può essere utilizzato in una camera digitale per rilevare movimenti ed effettuare una stabilizzazione di immagine. In altre forme di realizzazione, il giroscopio 50 è incluso in un calcolatore portatile, un PDA, o un telefono cellulare per rilevare una condizione di caduta libera e attivare una configurazione di sicurezza. In un'ulteriore forma di realizzazione, il giroscopio 50 è incluso in un'interfaccia utente attivata da movimento per calcolatori o console per videogiochi.

Il sistema 400 può comprendere un controllore 410, un dispositivo di ingresso/uscita (I/O) 420 (ad esempio una tastiera o uno schermo), il giroscopio 50, un'interfaccia "wireless" 440 e una memoria 460, di tipo volatile o non volatile, accoppiati fra loro attraverso un bus 450. in una forma di realizzazione, una batteria 480 può essere utilizzata per alimentare il sistema 400. Si noti che l'ambito della presente invenzione non è limitato a forme di realizzazione aventi necessariamente uno o tutti i dispositivi elencati.

Il controllore 410 può comprendere, ad esempio, uno o più microprocessori, microcontrollori e simili.

Il dispositivo di I/O 420 può essere utilizzato per

generare un messaggio. Il sistema 400 può utilizzare l'interfaccia wireless 440 per trasmettere e ricevere messaggi a e da una rete di comunicazione wireless con un segnale a radiofrequenza (RF). Esempi di interfaccia wireless possono comprendere un'antenna, un ricetrasmettitore wireless, come un'antenna a dipolo, benché l'ambito della presente invenzione non sia limitato sotto questo aspetto. Inoltre, il dispositivo I/O 420 può fornire una tensione rappresentativa di ciò che è memorizzato sia in forma di uscita digitale (se sono state immagazzinate informazioni digitali), sia in forma di informazione analogica (se sono state immagazzinate informazioni analogiche).

Risulta infine evidente che al dispositivo e al metodo descritti possono essere apportate modifiche e varianti, senza uscire dall'ambito della presente invenzione, come definita nelle rivendicazioni allegate.

In particolare, le capacità dei condensatori di calibrazione potrebbero essere determinate in modo che la capacità complessiva del bipolo a capacità variabile vari secondo una curva periodica diversa da una sinusoide (o dal modulo di una sinusoide)

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

RIVENDICAZIONI

1. Dispositivo elettronico a capacità variabile comprendente:

un componente capacitivo (15; 115; 215), avente una capacità variabile ($C_{1T}(t_J)$, $C_{2T}(t_J)$);

uno stadio di controllo (11, 13; 11, 113; 11, 213; 311, 13), accoppiato al componente capacitivo (15; 115; 215) per controllare la capacità variabile ($C_{1T}(t_J)$, $C_{2T}(t_J)$), in base a un segnale di riferimento (V_{SYNC}; V_{CK}), avente una frequenza di riferimento (f_{CK}), e a un segnale di eccitazione (V_S) avente una frequenza di eccitazione multipla (Mf_{CK}) multipla della frequenza di riferimento (f_{CK});

caratterizzato dal fatto che:

il componente capacitivo (5; 115; 215) comprende una rete capacitiva variabile (21) avente una pluralità di condensatori a commutazione (30), ciascuno dei quali è selettivamente commutabile fra una prima configurazione, in cui il condensatore a commutazione (30) è collegato fra un primo terminale di segnale (15a) e un secondo terminale di segnale (15d) del componente capacitivo (5; 115; 215), e una seconda configurazione, in cui il condensatore a commutazione (30) è collegato al più a uno fra il primo terminale di segnale (15a) e il secondo terminale di segnale (15d); e

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

lo stadio di controllo (11, 13; 11, 113; 11, 213; 311, 13) comprende un modulo logico (13; 113; 213), accoppiato alla rete capacitiva variabile (21) per commutare periodicamente ciascun condensatore a commutazione (30) fra la prima e la seconda configurazione, in base al segnale di riferimento (V_{SYNC}; V_{CK});

e inoltre caratterizzato dal fatto di comprendere un circuito di segno (16; 116; 216), accoppiato al componente capacitivo (5; 115; 215) per fornire un segnale di controllo (S1, S2; S1) avente fronti concordi con il segnale di eccitazione (V_S) in un semiperiodo di ogni ciclo del segnale di riferimento (V_{SYNC}; V_{CK}) e fronti discordi rispetto al il segnale di eccitazione (V_S) nell'altro semiperiodo di ogni ciclo del segnale di riferimento (V_{SYNC}; V_{CK}).

2. Dispositivo elettronico secondo la rivendicazione 1, in cui il modulo logico (13; 113; 213) è configurato in modo da porre in sequenza selettivamente uno dei condensatori a commutazione (30) nella prima configurazione e gli altri condensatori a commutazione (30) nella seconda configurazione.

3. Dispositivo elettronico secondo la rivendicazione 2, in cui i condensatori a commutazione (30) nella seconda configurazione sono collegati in parallelo fra un primo nodo intermedio (15c) e una terminale di riferimento (15r;

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

115r; 215r).

4. Dispositivo elettronico secondo una qualsiasi delle rivendicazioni precedenti, in cui i condensatori a commutazione (30) hanno rispettive capacità (C_J) date da:

$$C_J = C_F \sin\left(\frac{2\pi J}{P}\right) \quad J = 0, \ldots, P-1$$

dove C_F è una capacità costante e P è il numero dei condensatori a commutazione (30).

5. Dispositivo elettronico secondo una qualsiasi delle rivendicazioni precedenti, in cui la rete capacitiva variabile (21) comprende mezzi di commutazione (31, 32) per commutare rispettivi condensatori a commutazione (30) fra la prima e la seconda configurazione, e in cui il modulo logico (13; 113; 213) è configurato per generare un rispettivo segnale di fase (D_J) per i mezzi di commutazione (31, 32) di ciascun condensatore a commutazione (30).

6. Dispositivo elettronico secondo una qualsiasi delle rivendicazioni precedenti, in cui il componente capacitivo (8; 108; 208) comprende una rete di calibrazione (17).

7. Dispositivo elettronico secondo la rivendicazione 6, in cui la rete di calibrazione (17) comprende una pluralità di condensatori di calibrazione (23), ciascuno dei quali è selettivamente commutabile fra una prima configurazione, in cui il condensatore di calibrazione (23) è collegato fra il primo terminale di segnale (15a) e il secondo terminale di segnale (15d), e una seconda

configurazione, in cui il condensatore di calibrazione (23) è collegato al più a uno fra il primo terminale di segnale (15a) e il secondo terminale di segnale (15d).

8. Dispositivo elettronico secondo la rivendicazione 7 dipendente dalla rivendicazione 3, in cui i condensatori di calibrazione (23) nella seconda configurazione sono collegati in parallelo fra un secondo nodo intermedio (15b) e una linea di riferimento.

9. Dispositivo elettronico secondo la rivendicazione 8, in cui la rete di calibrazione (17) comprende mezzi di selezione (31, 32) per commutare rispettivi condensatori di calibrazione (23) fra la prima e la seconda configurazione, e in cui il modulo logico (13; 113; 213) è configurato per generare segnali di calibrazione (B_{1K}, $\underline{B}_{1K}$, B_{2K}, $\underline{B}_{2K}$; B_{1K}, $\underline{B}_{1K}$) per controllare i mezzi di selezione (31, 32) di ciascun condensatore di calibrazione (23).

10. Dispositivo elettronico secondo la rivendicazione 8 o 9, comprendente tre condensatori a capacità fissa (18, 29, 20) rispettivamente collegati fra il primo nodo (15c) e la linea di riferimento, fra il secondo nodo (15b) e la linea di riferimento e fra il primo nodo (15c) e il secondo nodo (15b).

11. Dispositivo elettronico secondo una qualsiasi delle rivendicazioni precedenti, avente un primo ramo (8a), includente il componente capacitivo (8) e il circuito di

segno (16), e un secondo ramo (8b), includente un ulteriore componente capacitivo (8) e un ulteriore circuito di segno (16), accoppiato all'ulteriore componente capacitivo (8) per fornire un ulteriore segnale di controllo (S2, S1) avente fronti discordi rispetto al segnale di controllo (S1, S2) fornito dal circuito di segno (16) del primo ramo (8a).

12. Dispositivo elettronico secondo la rivendicazione 11, in cui il modulo logico (13; 113; 213) è accoppiato al circuito di segno (16) del primo ramo (8a) e all'ulteriore circuito di segno (16) del secondo ramo (8b) per fornire rispettivamente un primo e un secondo segnale di controllo del segno (F_1, F_2), complementari e aventi la frequenza di riferimento (f_{CK}), e in cui il circuito di segno (16) del primo ramo (8a) e l'ulteriore circuito di segno (16) del secondo ramo (8b) sono configurati per generare il segnale di controllo (S1, S2) e l'ulteriore segnale di controllo (S2, S1) in base rispettivamente al primo e al secondo segnale di controllo del segno (F_1, F_2).

13. Dispositivo microelettromeccanico comprendente un sensore inerziale (6), un amplificatore di carica (7) accoppiato al sensore inerziale (6) e uno stadio di compensazione (8), in cui lo stadio di compensazione (8) comprende un dispositivo elettronico a capacità variabile secondo una qualsiasi delle rivendicazioni precedenti.

14. Dispositivo microelettromeccanico secondo la rivendicazione 13, in cui il componente a capacità variabile (15) ha uno fra il primo terminale di segnale (15a) e il secondo terminale di segnale (15d) connesso a un terminale di uscita (6b; 6a) del sensore inerziale (6).

15. Dispositivo microelettromeccanico secondo la rivendicazione 14 dipendente da una delle rivendicazioni 11 o 12, in cui il componente capacitivo (8) del primo ramo (8a) e l'ulteriore componente capacitivo (8) del secondo ramo (8b) sono collegati a rispettivi terminali di uscita (6a) del sensore inerziale (6).

16. Sistema comprendente un'unità di controllo (410) e un dispositivo microelettromeccanico (50) secondo una qualsiasi delle rivendicazioni 13-15 accoppiato all'unità di controllo (410).

17. Apparato di test EWS di un dispositivo di pilotaggio di un giroscopio microelettromeccanico, comprendente:

una fetta semiconduttrice (70) incorporante un dispositivo di pilotaggio (53), accoppiabile a un giroscopio microelettromeccanico (6) per mantenere una massa di pilotaggio (57) del giroscopio microelettromeccanico (6) in oscillazione a una frequenza di risonanza; e

un dispositivo elettronico a capacità variabile

secondo una qualsiasi delle rivendicazioni 1-12, in cui il componente capacitivo (15; 115; 215) è collegato a un terminale di ingresso del dispositivo di pilotaggio (53) .

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

CLAIMS

1. Variable capacitance electronic device comprising:

a capacitive component (15; 115; 215), having a variable capacitance ($C_{1T}(t_J)$, $C_{2T}(t_J)$);

a control stage (11, 13; 11, 113; 11, 213; 311, 13), coupled to the capacitive component (15; 115; 215) for controlling the variable capacitance ($C_{1T}(t_J)$, $C_{2T}(t_J)$), based on a reference signal (V_{SYNC}; V_{CK}), having a reference frequency (f_{CK}), and on an excitation signal (V_S), having an excitation frequency (Mf_{CK}) multiple of the reference frequency (f_{CK});

characterized in that:

the capacitive component (5; 115; 215) comprises a variable capacitive network (21) having a plurality of switched capacitors (30), each of which is selectively switchable between a first configuration, in which the switched capacitor (30) is connected between a first signal terminal (15a) and a second signal terminal (15d) of the capacitive component (5; 115; 215), and a second configuration, in which the switched capacitor (30) is connected to at most one of the first signal terminal (15a) and the second signal terminal (15d); and

the control stage (11, 13; 11, 113; 11, 213; 311, 13) comprises a logic module (13; 113; 213), coupled to the variable capacitive network (21) for periodically switching

each switched capacitor (30) between the first and the second configuration, based on the reference signal (V_{SYNC}; V_{CK});

and further characterized by a sign circuit (16; 116; 216), coupled to the capacitive component (5; 115; 215) for providing a control signal (S1, S2; S1) having concordant edges with the excitation signal (V_S) in one half-period of each cycle of the reference signal (V_{SYNC}; V_{CK}) and discordant edges with the excitation signal (V_S) in the other half-period of each cycle of the reference signal (V_{SYNC}; V_{CK}).

2. Electronic device according to claim 1, wherein the logic module (13; 113; 213) is configured to sequentially place selectively one of the switched capacitors (30) in the first configuration and the other switched capacitors (30) in the second configuration.

3. Electronic device according to claim 2, wherein the switched capacitors (30) in the second configuration are connected in parallel between a first intermediate node (15c) and a reference terminal (15r; 115r; 215r).

4. Electronic device according to any one of the foregoing claims, wherein the switched capacitors (30) have respective capacitances (C_J) given by:

$$C_J = C_F \sin\left(\frac{2\pi J}{P}\right) \quad J = 0, \ldots, P-1$$

where C_F is a constant capacitance and P is the number of

the switched capacitors (30).

5. Electronic device according to any one of the foregoing claims, wherein the variable capacitive network (21) comprises switching means (31, 32), for switching respective switched capacitors (30) between the first and the second configuration, and wherein the logic module (13; 113; 213) is configured to generate a respective phase signal (D_J) for the switching means (31, 32) of each switched capacitor (30).

6. Electronic device according to any one of the foregoing claims, wherein the capacitive component (8; 108; 208) comprises a calibration network (17).

7. Electronic device according to claim 6, wherein the calibration network (17) comprises a plurality of calibration capacitors (23), each of which is selectively switchable between a first configuration, in which the calibration capacitor (23) is connected between the first signal terminal (15a) and the second signal terminal (15d), and a second configuration, in which the calibration capacitor (23) is connected to at most one of the first signal terminal (15a) and the second signal terminal (15d).

8. Electronic device according to claim 7 as appended to claim 3, wherein the calibration capacitors (23) in the second configuration are connected in parallel between a second intermediate node (15b) and a reference line.

9. Electronic device according to claim 8, wherein the calibration network (17) comprises selection means (31, 32) for switching respective calibration capacitors (23) between the first ant the second configuration, and wherein the logic module (13; 113; 213) is configured to generate calibration signals (B_{1K}, $\underline{B}_{1K}$, B_{2K}, $\underline{B}_{2K}$; B_{1K}, $\underline{B}_{1K}$) for controlling the selection means (31, 32) of each calibration capacitor (23).

10. Electronic device according to claim 8 or 9, comprising three fixed capacitance capacitors (18, 29, 20) respectively connected between the first intermediate node (15c) and the reference line, the second intermediate node (15b) and the reference line and between the first intermediate node (15c) and the second intermediate node (15b).

11. Electronic device according to any one of the foregoing claims, having a first branch (8a), including the capacitive component (8) and the sign circuit (16), and a second branch (8b), including a further capacitive component (8) and a further sign circuit (16), coupled to the further capacitive component (8) for supplying a further control signal (S2, S1) having discordant edges with the control signal (S1, S2) provided by the sign circuit (16) of the first branch (8a).

12. Electronic device according to claim 11, wherein

the logic module (13; 113; 213) is coupled to the sign circuit (16) of the first branch (8a) and to the further sign circuit (16) of the second branch (8b) for supplying respectively a first and a second sign control signal (F_1, F_2), complementary and having the reference frequency (f_{CK}), and wherein the sign circuit (16) of the first branch (8a) and the further sign circuit (16) of the second branch (8b) are configured to generate the control signal (S1, S2) and the further control signal (S2, S1) based on the first and the second sign control signal (F_1, F_2), respectively.

13. Microelectromechanical device comprising an inertial sensor (6), a charge amplifier (7) coupled to the al inertial sensor (6) and a compensation stage (8), wherein the compensation stage (8) comprises a variable capacitance electronic device according to any one of the foregoing claims.

14. Microelectromechanical device according to claim 13, wherein the capacitive component (15) has one between the first signal terminal (15a) and the second signal terminal (15d) connected to an output terminal (6b; 6a) of the inertial sensor (6).

15. Microelectromechanical device according to claim 14 as appended to one of claims 11 o 12, wherein the capacitive component (8) of the first branch (8a) and the further capacitive component (8) of the second branch (8b)

are connected to respective output terminals (6a) of the inertial sensor (6).

16. System comprising a control unit (410) and a device (50) according to any one of the claims 13-15 coupled to the control unit (410).

17. EWS test apparatus for a driving device of a microelectromechanical gyroscope, comprising:

a semiconductor wafer (70) incorporating a driving device (53), connectable to a microelectromechanical gyroscope (6) for maintaining a driving mass of the (57) del microelectromechanical gyroscope (6) in oscillation at a resonance frequency; and

a variable capacitance electronic device according to any one of the claims 1-12, wherein the capacitive component (15; 115; 215) is connected to an input terminal of the driving device (53) .

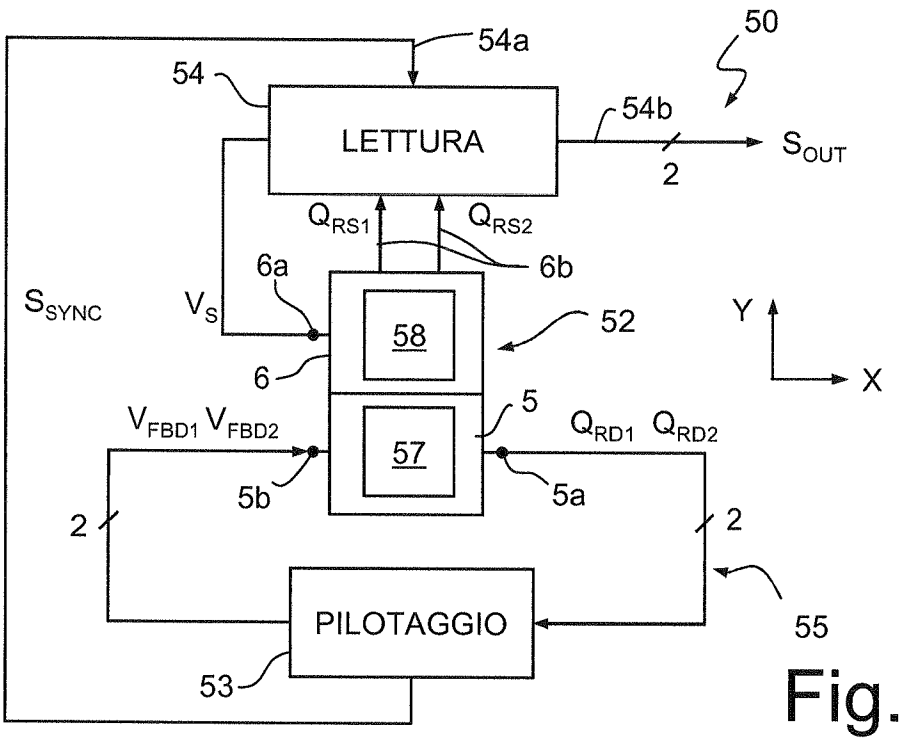


Fig.1

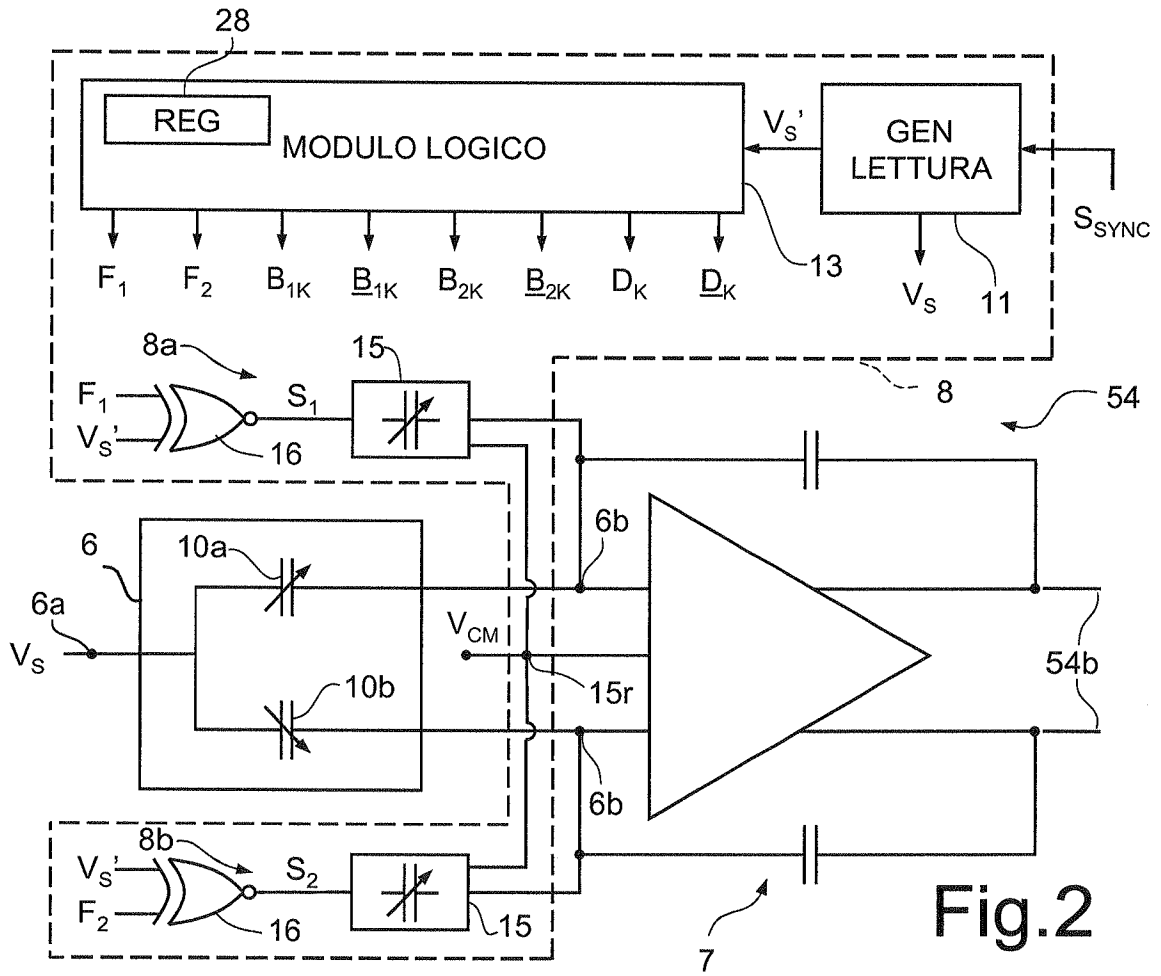


Fig.2

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

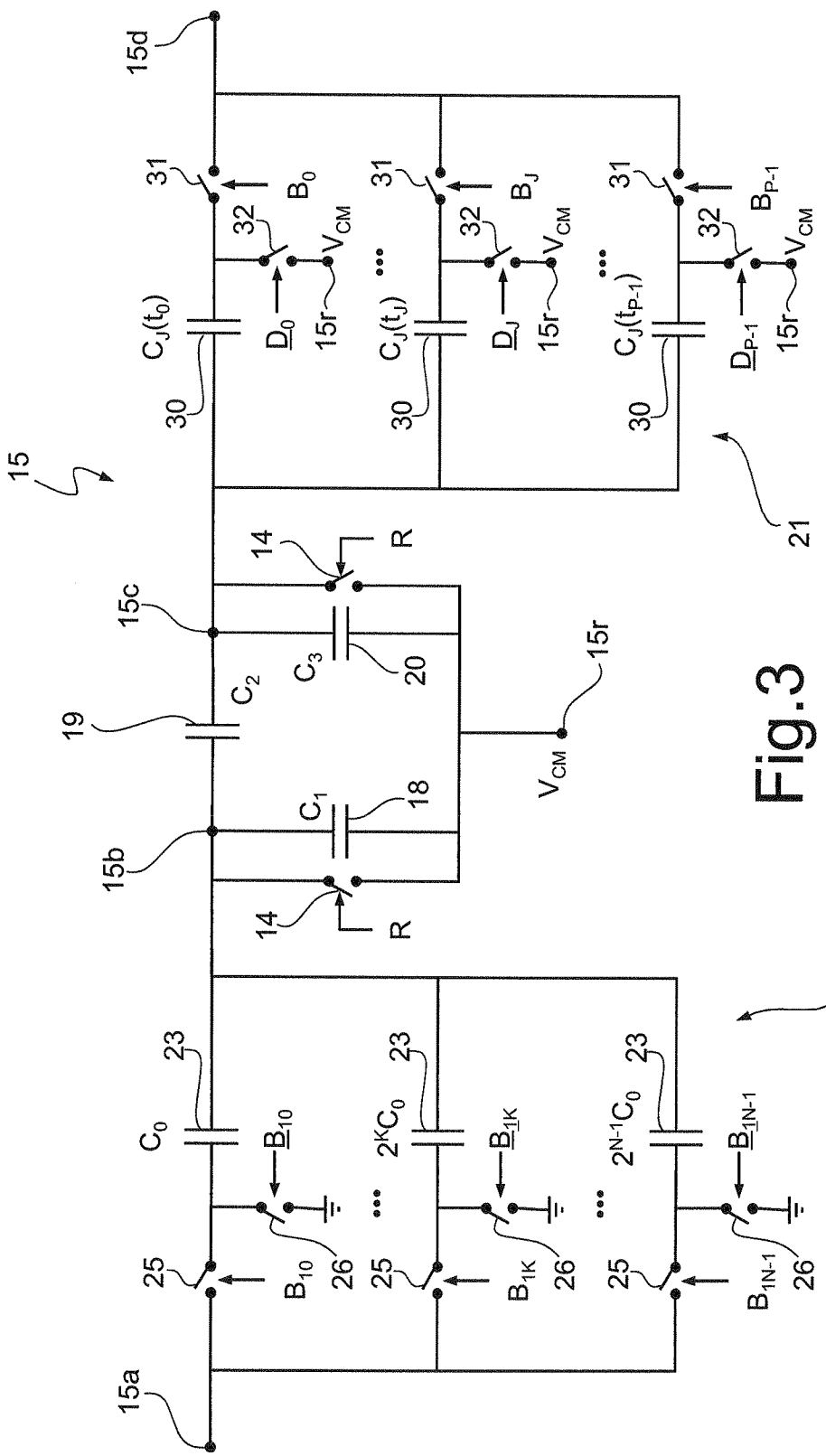


Fig.3

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

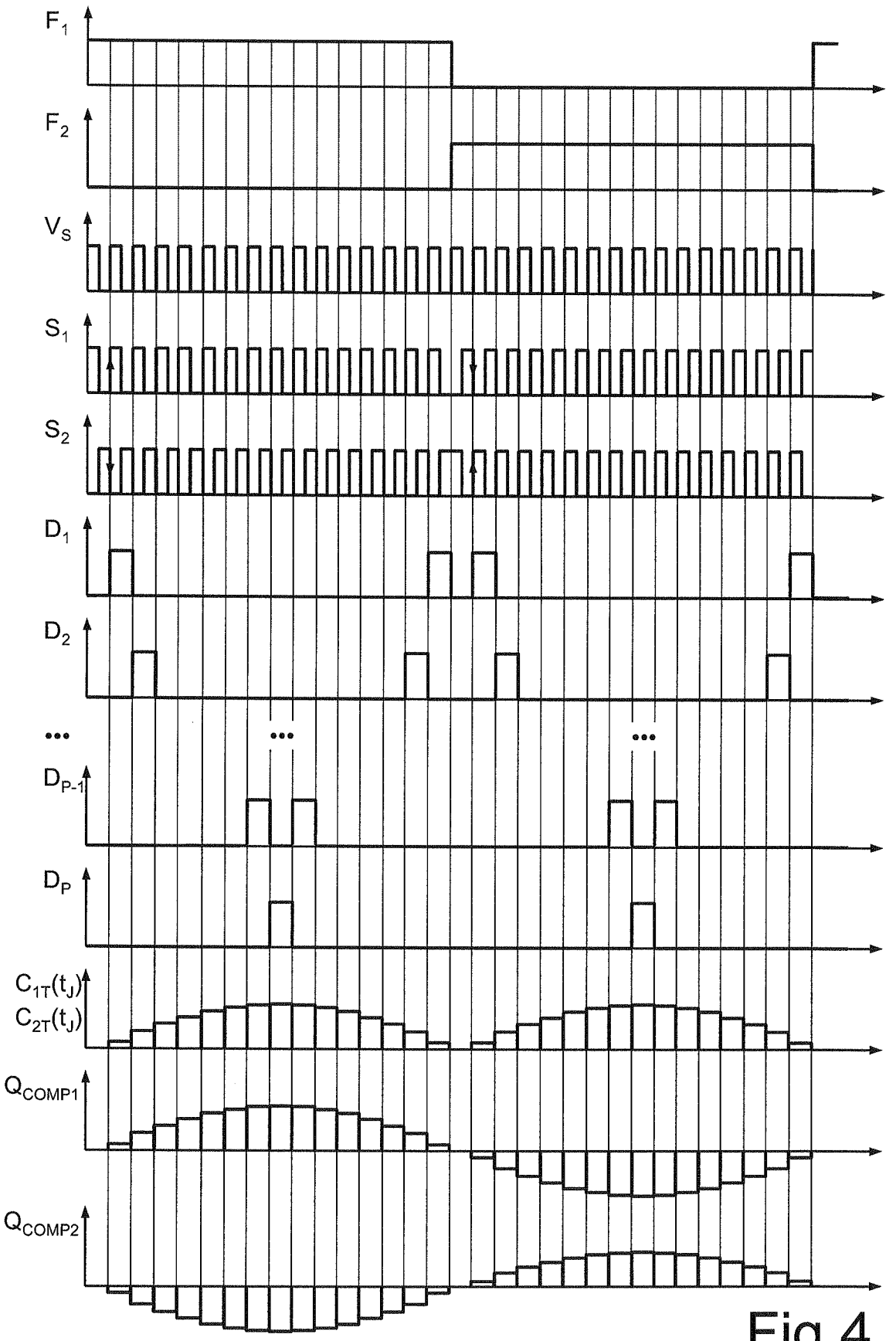


Fig.4

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

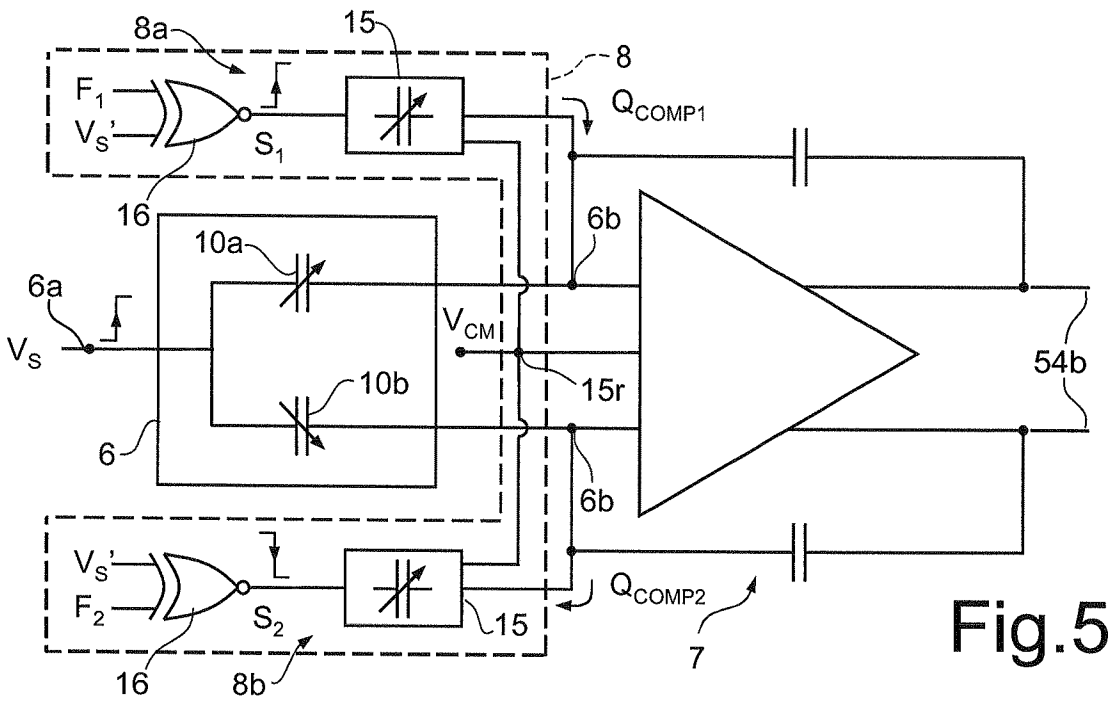


Fig.5

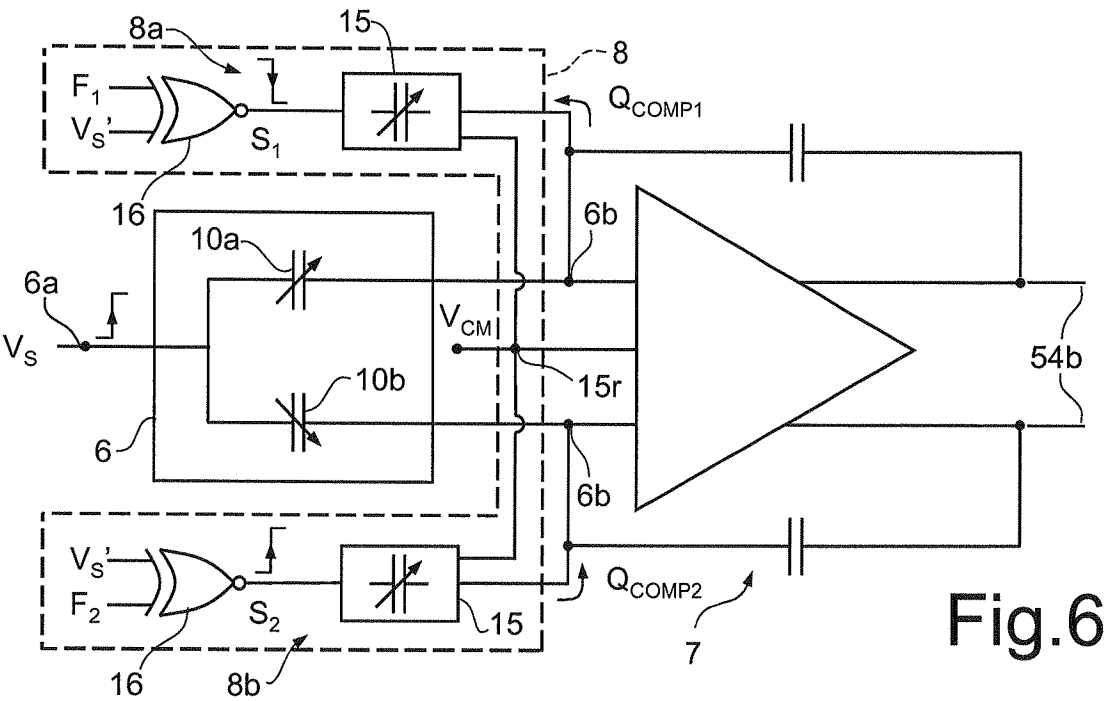


Fig.6

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

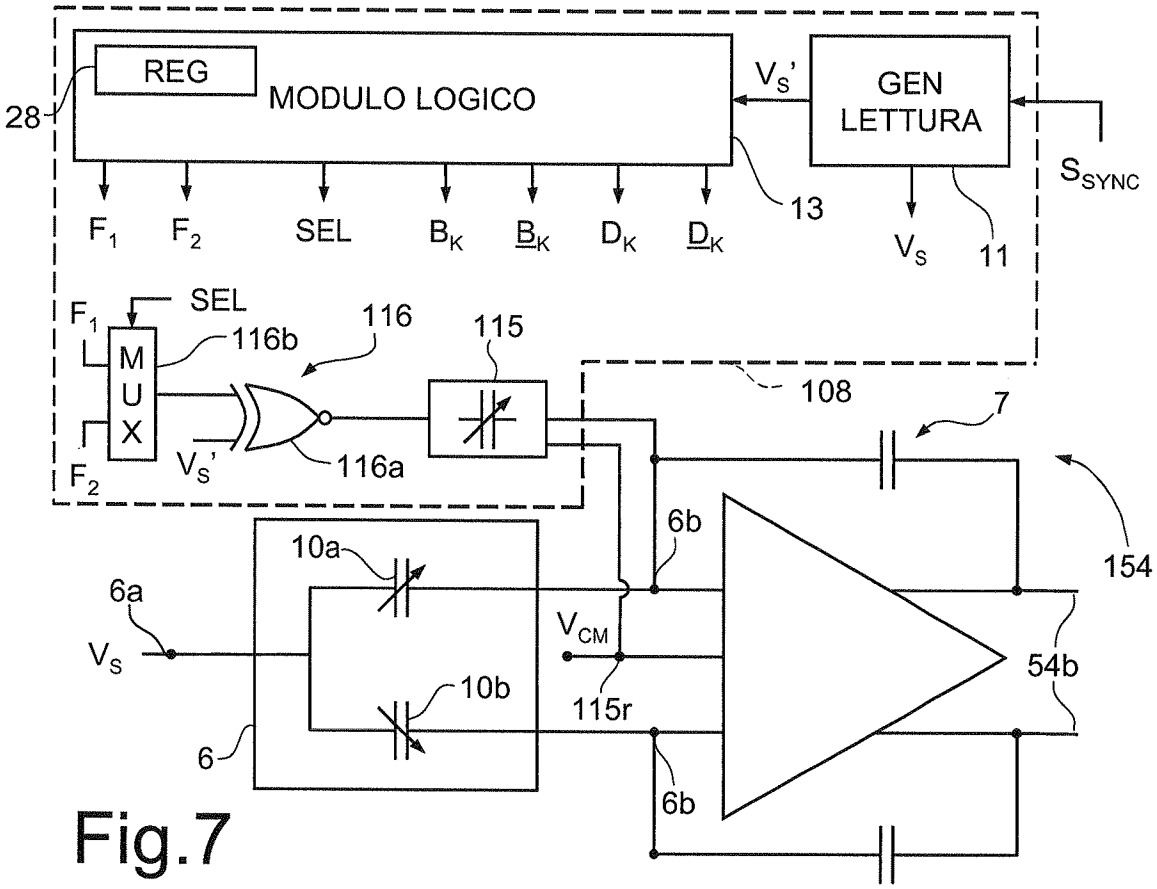


Fig.7

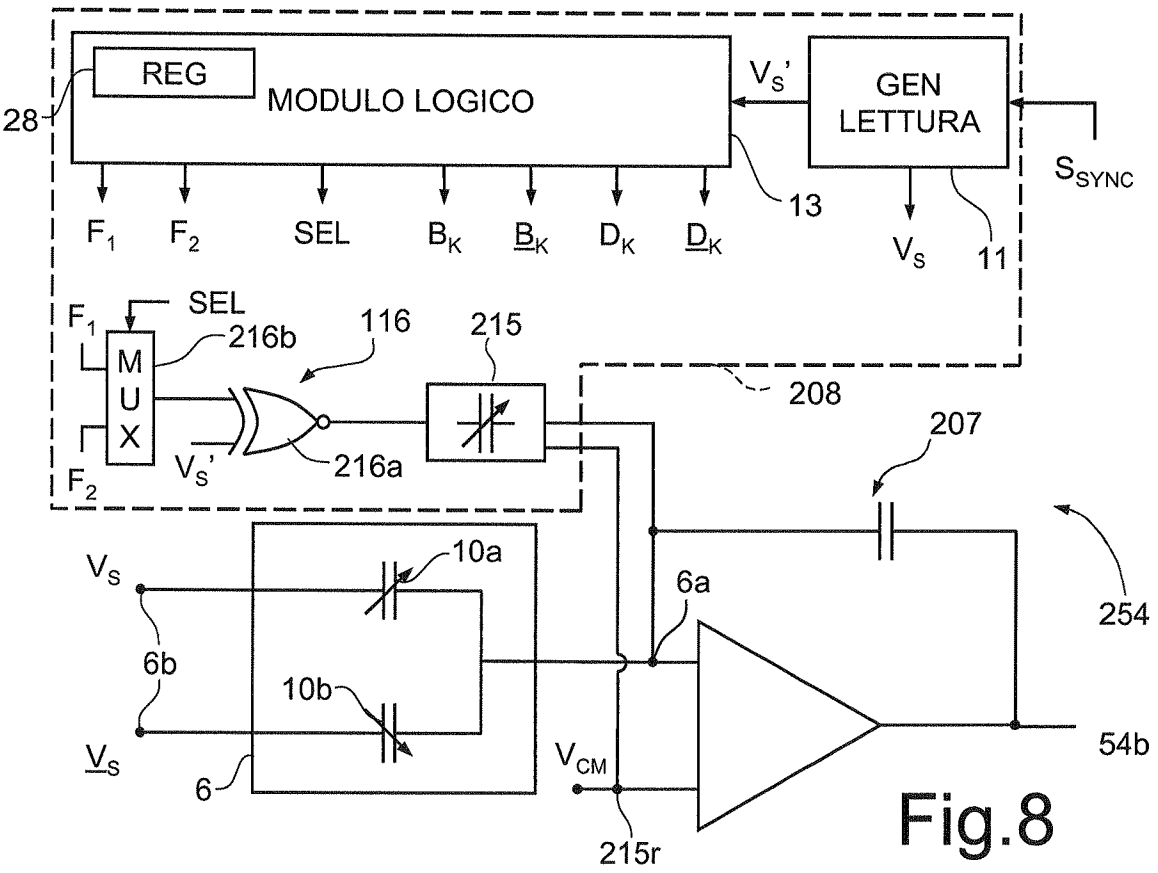


Fig.8

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

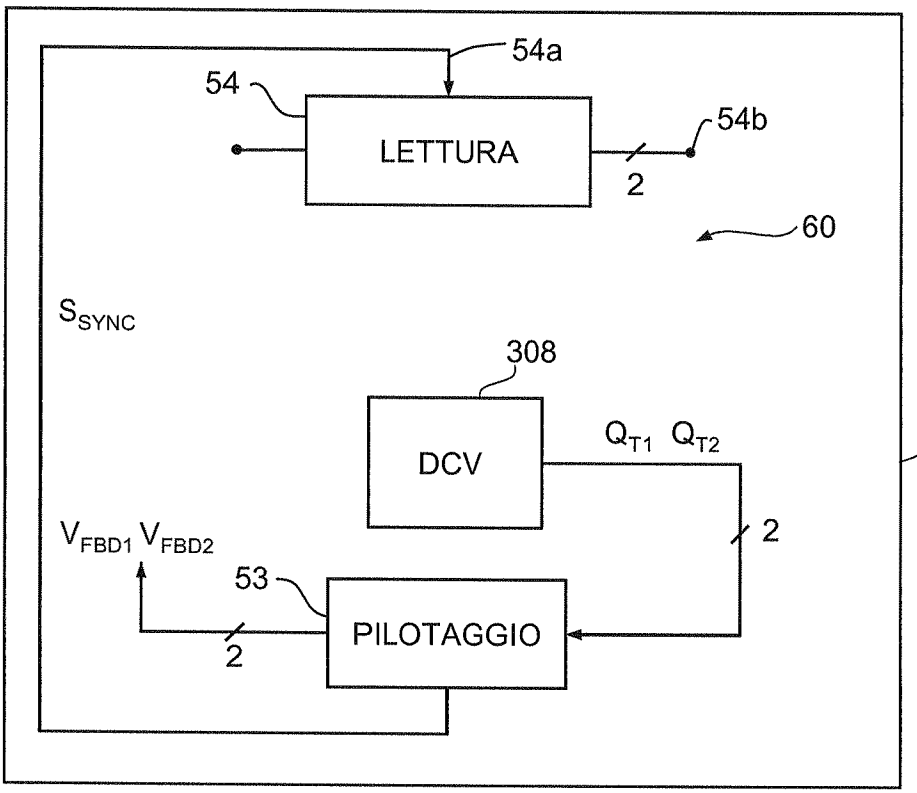
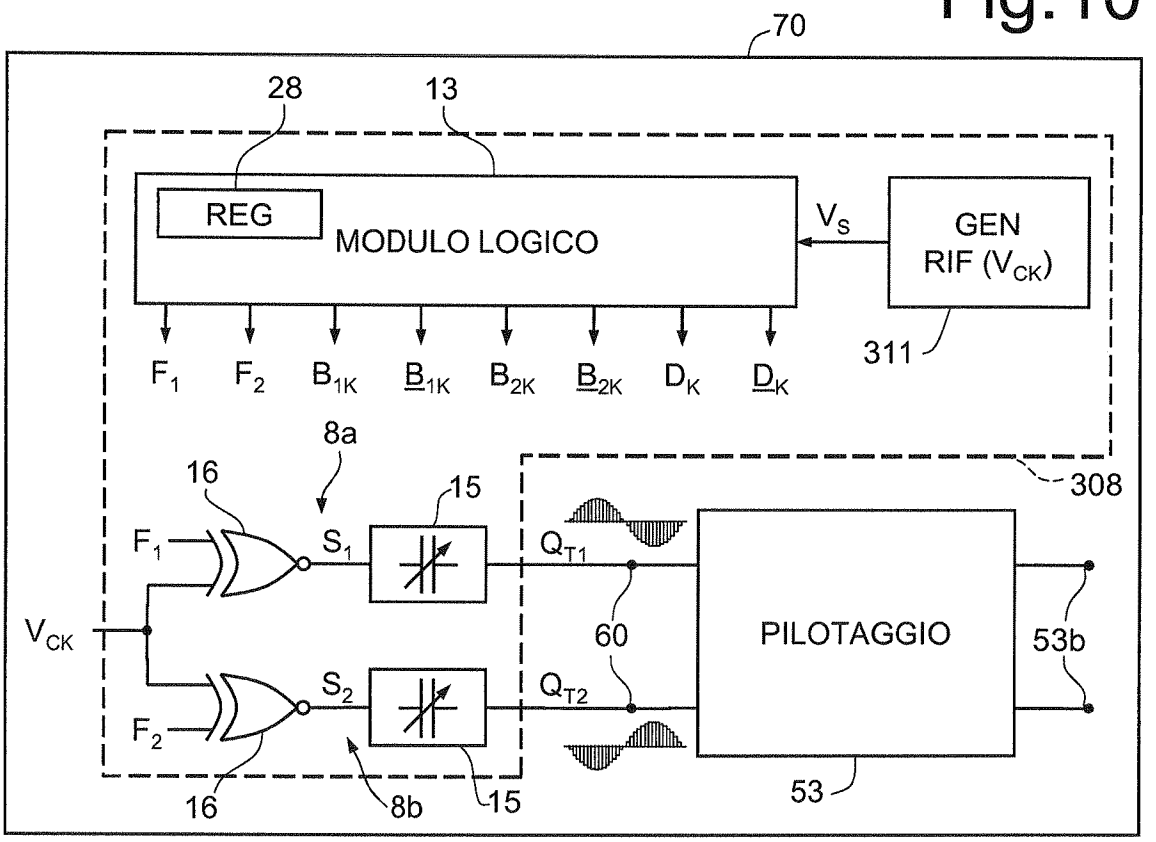


Fig.9

Fig.10



p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

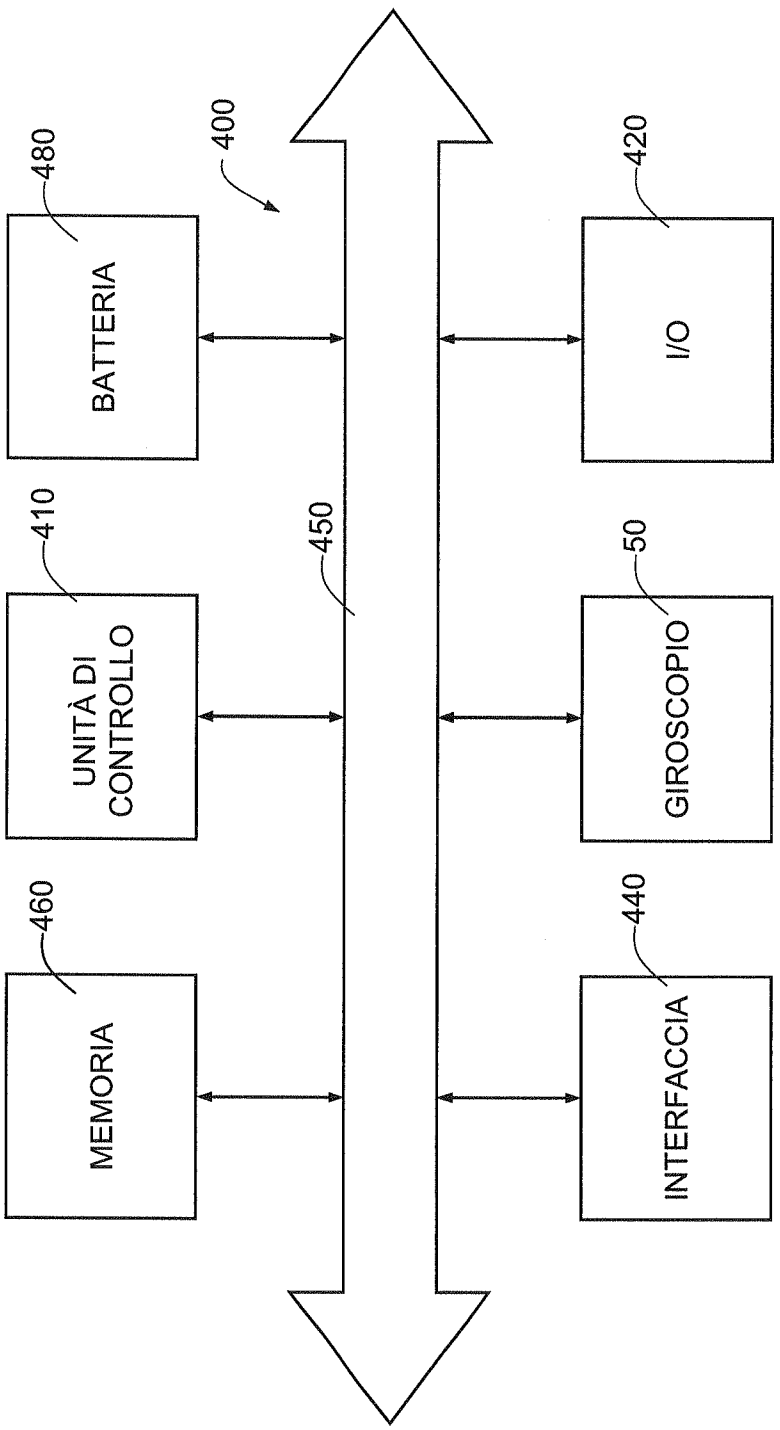


Fig.11

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO
(Iscrizione Albo nr. 426/BM)