



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I600138 B

(45) 公告日：中華民國 106 (2017) 年 09 月 21 日

(21) 申請案號：105119954

(22) 申請日：中華民國 98 (2009) 年 12 月 17 日

(51) Int. Cl. : H01L27/06 (2006.01)

H01L27/12 (2006.01)

H01L29/786 (2006.01)

(30) 優先權：2008/12/24 日本

2008-327998

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：小山潤 KOYAMA, JUN (JP)；坂田淳一郎 SAKATA, JUNICHIRO (JP)；丸山哲紀
MARUYAMA, TETSUNORI (JP)；井本裕己 IMOTO, YUKI (JP)；淺野裕治
ASANO, YUJI (JP)；肥塚純一 KOEZUKA, JUNICHI (JP)

(74) 代理人：林志剛

(56) 參考文獻：

US 2007/0072439A1

US 2007/0188671A1

審查人員：黃淑萍

申請專利範圍項數：5 項 圖式數：28 共 110 頁

(54) 名稱

驅動電路、半導體裝置和用於製造半導體裝置的方法

DRIVER CIRCUIT, SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE
SEMICONDUCTOR DEVICE

(57) 摘要

在用作電阻器(354)的氧化物半導體層(905)上直接接觸地設置利用使用含有矽烷(SiH₄)以及氨(NH₃)等的氮化合物的氣體的電漿 CVD 法而形成的氮化矽層(910)，並且在用作薄膜電晶體(355)的氧化物半導體層(906)上隔著用作緩衝層的氧化矽層(909)地設置氮化矽層(910)。因此，對氧化物半導體層(905)引入比氧化物半導體層(906)更高濃度的氫。其結果，用作電阻器(354)的氧化物半導體層(905)的電阻值低於用作薄膜電晶體(355)的氧化物半導體層(906)的電阻值。

The silicon nitride layer 910 formed by plasma CVD using a gas containing a hydrogen compound such as silane (SiH₄) and ammonia (NH₃) is provided on and in direct contact with the oxide semiconductor layer 905 used for the resistor 354, and the silicon nitride layer 910 is provided over the oxide semiconductor layer 906 used for the thin film transistor 355 with the silicon oxide layer 909 serving as a barrier layer interposed therebetween. Therefore, a higher concentration of hydrogen is introduced into the oxide semiconductor layer 905 than into the oxide semiconductor layer 906. As a result, the resistance of the oxide semiconductor layer 905 used for the resistor 354 is made lower than that of the oxide semiconductor layer 906 used for the thin film transistor 355.

指定代表圖：

圖 11A

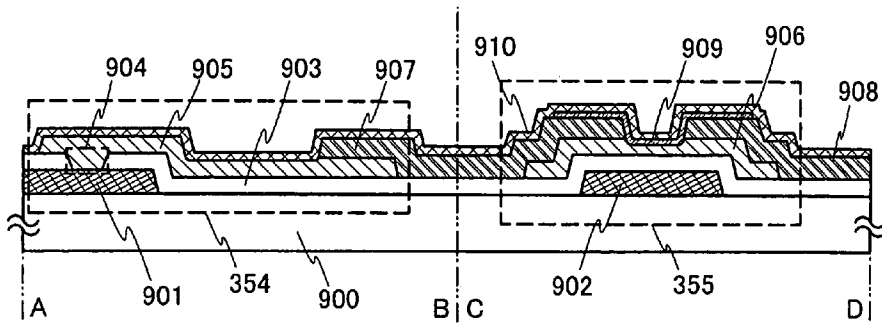


圖 11B

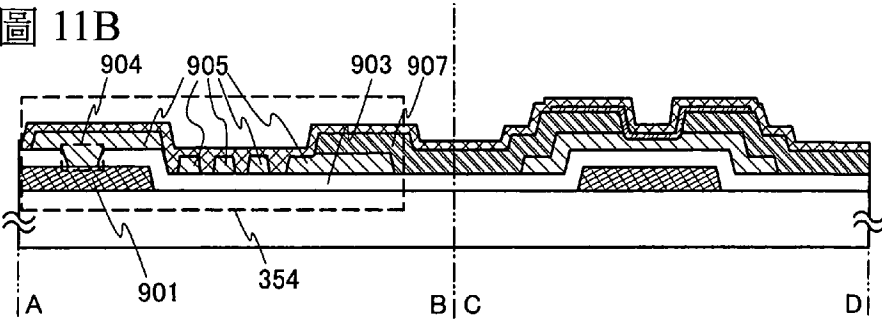
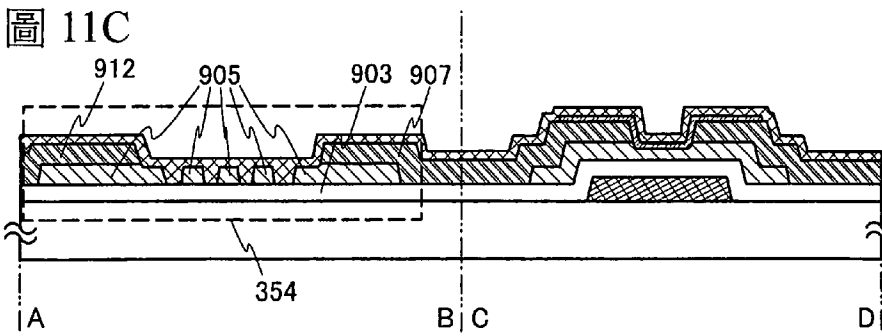


圖 11C



符號簡單說明：

354 . . . 電阻器

355 . . . 薄膜電晶體

900 . . . 基板

901 . . . 第一佈線

902 . . . 閘極端子

903 . . . 絕緣層

904 . . . 接觸孔

905 . . . 氧化物半導體層

906 . . . 氧化物半導體層

907 . . . 佈線

908 . . . 佈線

909 . . . 氧化矽層

910 . . . 氮化矽層

912 . . . 佈線

發明摘要

公告本

※申請案號：105119954

※申請日：098年12月17日

※IPC分類：H01L 27/06 (2006.01)
H01L 27/12 (2006.01)
H01L 29/786 (2006.01)

【發明名稱】(中文/英文)

分割案：104124065

驅動電路、半導體裝置和用於製造半導體裝置的方法

Driver circuit, semiconductor device and method for manufacturing the
semiconductor device

【中文】

在用作電阻器(354)的氧化物半導體層(905)上直接接觸地設置利用使用含有矽烷(SiH_4)以及氨(NH_3)等的氫化合物的氣體的電漿 CVD 法而形成的氮化矽層(910)，並且在用作薄膜電晶體(355)的氧化物半導體層(906)上隔著用作緩衝層的氧化矽層(909)地設置氮化矽層(910)。因此，對氧化物半導體層(905)引入比氧化物半導體層(906)更高濃度的氫。其結果，用作電阻器(354)的氧化物半導體層(905)的電阻值低於用作薄膜電晶體(355)的氧化物半導體層(906)的電阻值。

【 英文 】

The silicon nitride layer 910 formed by plasma CVD using a gas containing a hydrogen compound such as silane (SiH_4) and ammonia (NH_3) is provided on and in direct contact with the oxide semiconductor layer 905 used for the resistor 354, and the silicon nitride layer 910 is provided over the oxide semiconductor layer 906 used for the thin film transistor 355 with the silicon oxide layer 909 serving as a barrier layer interposed therebetween. Therefore, a higher concentration of hydrogen is introduced into the oxide semiconductor layer 905 than into the oxide semiconductor layer 906. As a result, the resistance of the oxide semiconductor layer 905 used for the resistor 354 is made lower than that of the oxide semiconductor layer 906 used for the thin film transistor 355.

【代表圖】

【本案指定代表圖】：第(11)圖。

【本代表圖之符號簡單說明】：

354：電阻器

355：薄膜電晶體

900：基板

901：第一佈線

902：閘極端子

903：絕緣層

904：接觸孔

905：氧化物半導體層

906：氧化物半導體層

907：佈線

908：佈線

909：氧化矽層

910：氮化矽層

912：佈線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

驅動電路、半導體裝置和用於製造半導體裝置的方法

Driver circuit, semiconductor device and method for manufacturing the semiconductor device

【技術領域】

本發明係關於一種由使用呈現半導體特性的金屬氧化物形成的元件構成的驅動電路、以及利用該驅動電路的半導體裝置。注意，半導體裝置指的是能夠藉由利用半導體特性而工作的所有裝置，因此顯示裝置、半導體電路以及電子設備都是半導體裝置。

【先前技術】

金屬氧化物的種類繁多且用途廣。氧化銮作為較普遍的材料被用於液晶顯示器等中所需要的透明電極材料。

在金屬氧化物中存在呈現半導體特性的金屬氧化物。呈現半導體特性的金屬氧化物是化合物半導體的一種。化合物半導體是指兩種以上的原子結合而形成的半導體。通常，金屬氧化物成為絕緣體。但是，也存在根據金屬氧化物的構成元素的組合而成為半導體的情況。

例如，已知在金屬氧化物中，氧化鎢、氧化錫、氧化銮、氧化鋅等呈現半導體特性。並且，將由這種金屬氧化

物構成的透明半導體層用作通道形成區的薄膜電晶體已被公開（專利文獻 1 至 4、非專利文獻 1）。

但是，已知金屬氧化物不僅有一元氧化物而且還有多元氧化物。例如，屬於同系物（homologous series）的 $\text{InGaO}_3(\text{ZnO})_m$ （ m ：自然數）為公知的材料（非專利文獻 2 至 4）。

並且，已經確認可以將上述那樣的 In-Ga-Zn 類氧化物用於薄膜電晶體的通道形成區（專利文獻 5、非專利文獻 5 以及 6）。

[專利文獻 1] 日本專利申請公開昭 60-198861 號公報

[專利文獻 2] 日本專利申請公開平 8-264794 號公報

[專利文獻 3] 日本 PCT 國際申請翻譯平 11-505377 號公報

[專利文獻 4] 日本專利申請公開 2000-150900 號公報

[專利文獻 5] 日本專利申請公開 2004-103957 號公報

[非專利文獻 1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf、「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett.、17 June 1996、Vol.68 p.3650-3652

[非專利文獻 2] M. Nakamura, N. Kimizuka, and T. Mohri、「The Phase Relations in the In_2O_3 - Ga_2ZnO_4 -ZnO System at 1350°C」、J. Solid State Chem.、1991、Vol.93, p.298-315

[非專利文獻 3] N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3,4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7,8,9$, and 16) in the In_2O_3 - ZnGa_2O_4 - ZnO System」, J. Solid State Chem., 1995, Vol.116, p.170-178

[非專利文獻 4] M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Homologous Series, Synthesis and Crystal Structure of $\text{InFeO}_3(\text{ZnO})_m$ (m : natural number) and its Isostructural Compound" (KOTAI BUTSURI (SOLID STATE PHYSICS), 1993, Vol.28, No.5, p.317-327

[非專利文獻 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, 「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」, SCIENCE, 2003, Vol.300, p.1269-1272

[非專利文獻 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, 「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」, NATURE, 2004, Vol.432, p.488-492

正在研討將利用呈現半導體特性的金屬氧化物（以下，也稱為氧化物半導體）的薄膜電晶體應用於主動矩陣型顯示裝置（液晶顯示器、電致發光顯示器或電子紙等）。主動矩陣型顯示裝置包括被配置為矩陣狀的數十萬

至數百萬的像素以及向像素輸入脈衝信號的驅動電路。

在主動矩陣型顯示裝置中，薄膜電晶體被設置在各個像素中，並用作根據從驅動電路的脈衝信號的輸入進行導通、截止的切換的開關元件，從而實現圖像的顯示。另外，薄膜電晶體還用作構成驅動電路的元件。

用來驅動像素部的驅動電路包括如薄膜電晶體、電容器、電阻器等元件。

【發明內容】

本發明的一個實施例的目的之一在於提供一種由使用氧化物半導體製造的主動元件及被動元件構成的驅動電路以及具有該驅動電路的半導體裝置。

本發明的一個實施例包括增強型薄膜電晶體以及電阻器。薄膜電晶體以及電阻器使用氧化物半導體層形成。並且，將用於薄膜電晶體的氧化物半導體層的氫濃度設定為低於用於電阻器的氧化物半導體層的氫濃度。由此，用於電阻器的氧化物半導體層的電阻值低於用於薄膜電晶體的氧化物半導體層的電阻值。

本發明的一個實施例包括使用氧化物半導體層形成的薄膜電晶體以及電阻器，並且在用於電阻器的氧化物半導體層上直接接觸地設置藉由使用含有矽烷（ SiH_4 ）以及氨（ NH_3 ）等的氫化合物的氣體的電漿 CVD 法而形成的氮化矽層，並且在用於薄膜電晶體的氧化物半導體層上隔著用作阻擋層的氧化矽層地設置所述氮化矽層。因此，對用於

電阻器的氧化物半導體層中引入比用於薄膜電晶體的氧化物半導體層更高濃度的氫。其結果，用於電阻器的氧化物半導體層的電阻值低於用於薄膜電晶體的氧化物半導體層的電阻值。

即，本發明的一個實施例為驅動電路，該驅動電路包括：將第一氧化物半導體層用作電阻元件的電阻器；將其濃度比第一氧化物半導體層的氫濃度低的第二氧化物半導體層用作通道形成區的薄膜電晶體；設置在第二氧化物半導體層上的氧化矽層；以及設置在第一氧化物半導體層以及所述氧化矽層上的氮化矽層。

再者，本發明的一個實施例採用如下結構：在用作電阻器元件的電阻元件以及薄膜電晶體的通道形成區的氧化物半導體層與作為導電體的佈線之間設置被低電阻化了的氧化物半導體層。

即，本發明的一個實施例為驅動電路，該驅動電路在上述結構中包括：接觸於電阻器的一方的端子或另一方的端子以及所述第一氧化物半導體層的第三氧化物半導體層；接觸於薄膜電晶體的第一端子以及第二氧化物半導體層的第四氧化物半導體層；以及接觸於薄膜電晶體的第二端子以及第二氧化物半導體層的第五氧化物半導體層，其中第三氧化物半導體層至第五氧化物半導體層的電阻值比第二氧化物半導體層的電阻值低。

另外，本發明的一個實施例包括使用含有高濃度的氮的氧化物半導體層形成的電阻器以及薄膜電晶體。另外，

在薄膜電晶體上設置用作阻擋層的氧化矽層。在該步驟中，在包含成爲氫原子的供給源的物質的氣氛下進行 200℃ 至 600℃ 的熱處理，典型的是 250℃ 至 500℃ 的熱處理。由於氧化物半導體層中的氮可以在防止構成氧化物半導體層的原子在膜中被填充得過密的同時促進氫向膜中的擴散、固溶（solid dissolution），所以藉由該熱處理，對於用於電阻器的含有高濃度的氮的氧化物半導體層中引入比用於薄膜電晶體的氧化物半導體層更高濃度的氫。其結果，用於電阻器的含有高濃度的氮的氧化物半導體層的電阻值低於用於薄膜電晶體的含有高濃度的氮的氧化物半導體層的電阻值。

即，本發明的一個實施例爲驅動電路，該驅動電路包括：將含有高濃度的氮的第一氧化物半導體層用於電阻元件的電阻器；以及將比第一氧化物半導體層氫濃度低並含有高濃度的氮的第二氧化物半導體層用於通道形成區的薄膜電晶體。

另外，含有高濃度的氮的氧化物半導體層是指氮（N）與氧（O）的比率（N/O）爲 0.05 以上且 0.8 以下的範圍，較佳的爲 0.1 以上 0.5 以下的氧化物半導體層。

再者，本發明的一個實施例採用如下結構：在用於電阻器的含有高濃度的氮的氧化物半導體層上直接接觸地設置藉由使用含有矽烷（ SiH_4 ）以及氨（ NH_3 ）等的氫化合物的氣體的電漿 CVD 法而形成的氮化矽層。

即，本發明的一個實施例爲驅動電路，該驅動電路在

上述結構中包括：設置在第二氧化物半導體層上的氧化矽層；以及設置在第一氧化物半導體層以及氧化矽層上的氮化矽層。

另外，在本說明書（說明書、申請專利範圍或附圖等）中，“膜”是指形成在整個基板表面上的物體，雖然其根據之後進行的光微影製程等被加工為所希望的形狀，但這裏指的是加工前的狀態。並且，“層”是指從“膜”藉由光微影製程等加工形成為所希望的形狀的物體，或者以形成在整個基板表面為目的的物體。

另外，在本說明書（說明書、申請專利範圍或附圖等）中，A 與 B 連接，除了指 A 與 B 直接連接的情況外，也指電連接的情況。這裏，A 與 B 電連接是指當 A 與 B 之間存在具有某種電作用的物件物時，藉由該對象物，A 與 B 大致成為同一節點的情況。

具體是指，當考慮到電路工作時 A 與 B 可以被認為是同一節點的情況，例如，藉由電晶體之類的開關元件 A 與 B 連接，而藉由該開關元件的導通 A 與 B 大致成為同電位的情況；藉由電阻器 A 與 B 連接，該電阻器的兩端所產生的電位差為不影響包括 A 和 B 的電路的工作的程度的情況；等等。

另外，由於薄膜電晶體的源極端子及汲極電極端子根據薄膜電晶體的結構或工作條件等而改變，所以很難特定哪個端子為源極端子或汲極電極端子。藉此，在本說明書（說明書、申請專利範圍或附圖等）中，將源極端子及汲

極電極端子的一方記為第一端子，而將源極端子及汲極電極端子的另一方記為第二端子來進行區分。

根據本發明的一個實施例，可以使用作電阻器的電阻元件的氧化物半導體層的氫濃度高於用作薄膜電晶體的通道形成區的氧化物半導體層的氫濃度。因此，可以選擇性地降低氧化物半導體層的電阻值。由此，不需要另行進行薄膜電晶體的製造製程以及電阻器的製造製程，從而可以提供製造步驟得到縮減的驅動電路以及具有該驅動電路的半導體裝置。

【圖式簡單說明】

在附圖中：

圖 1 是示出半導體裝置的一個結構例的圖；

圖 2 是示出驅動電路的一個結構例的方塊圖；

圖 3A 和 3B 是示出驅動電路的一個結構例的電路圖；

圖 4 是示出驅動電路的時序圖的一個例子的圖；

圖 5A 至 5C 是示出驅動電路的一個結構例的電路圖；

圖 6A 至 6C 是示出驅動電路的一個結構例的電路圖；

圖 7 是示出驅動電路的一個結構例的方塊圖；

圖 8 是示出驅動電路的一個結構例的佈局圖；

圖 9 是示出驅動電路的一個結構例的佈局圖；

圖 10 是示出驅動電路的一個結構例的佈局圖；

圖 11A 至 11C 是示出驅動電路的一個結構例的圖；

圖 12A 和 12B 是示出驅動電路的一個結構例的圖；

圖 13A 和 13B 是示出驅動電路的一個結構例的圖；

圖 14A 和 14B 是示出驅動電路的一個結構例的圖；

圖 15A 至 15C 是示出驅動電路的製造製程的一個例子的圖；

圖 16A 至 16C 是示出驅動電路的製造製程的一個例子的圖；

圖 17 是示出驅動電路的一個結構例的圖；

圖 18A 至 18C 是示出驅動電路的製造製程的一個例子的圖；

圖 19A 和 19B 是示出驅動電路的製造製程的一個例子的圖；

圖 20A 和 20B 是示出驅動電路的一個結構例的電路圖並且圖 20C 是示出驅動電路的時序圖的一個例子的圖；

圖 21 是示出半導體裝置的一個結構例的圖；

圖 22A 和 22B 是示出保護電路的一個結構例的電路圖；

圖 23 是示出半導體裝置的像素的一個結構例的電路圖；

圖 24A 至 24C 是示出半導體裝置的一個結構例的圖；

圖 25A 和 25B 是示出半導體裝置的一個結構例的

圖；

圖 26 是示出半導體裝置的一個結構例的圖；

圖 27A 至 27C 是示出半導體裝置的一個例子的圖；

以及

圖 28A 和 28B 是示出半導體裝置的一個例子的圖。

本發明的選擇圖為圖 11A 至 11C。

【實施方式】

以下使用附圖對所公開的發明的實施例模式進行例示。但是，所公開的發明不應該限定於以下的實施例模式中，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是其方式及詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因此，所公開的發明不應該被解釋為僅限定在本實施例模式所記載的內容中。在下面所例示的實施例模式中，有時在不同附圖中使用相同的附圖標記來表示相同的部分。

實施例模式 1

在本實施例模式中，使用圖 1 至圖 16C 對具有使用氧化物半導體製造的驅動電路的顯示裝置的一個例子進行說明。具體地，作為用於驅動顯示裝置的像素部的驅動電路的源極線驅動電路以及閘極線驅動電路的一個例子，對具有組合增強型薄膜電晶體和電阻器而形成的反相器（以下，稱為 ERMOS 電路）的驅動電路進行說明。另外，在

本實施例模式中，對將 n 通道型薄膜電晶體用作構成單極性驅動電路的薄膜電晶體的例子進行說明。

另外，顯示裝置是指具有發光元件或液晶元件等的顯示元件的裝置。顯示裝置也可以包括驅動多個像素的周邊驅動電路。另外，驅動多個像素的周邊驅動電路與多個像素形成在同一基板上。另外，顯示裝置也可以包括撓性印刷電路（Flexible Printed Circuit：FPC）。再者，顯示裝置還可以包括藉由撓性印刷電路（FPC）等連接並安裝有 IC 晶片、電阻器、電容器、電感器、電晶體等的印刷線路板（PWB）。再者，顯示裝置還可以包括偏光板或相位差板等的光學片、照明裝置、框體、聲音輸出入裝置、光感測器等。

在圖 1 中示出顯示裝置的整體圖。在基板 100 上，一體形成有源極線驅動電路 101、第一閘極線驅動電路 102A、第二閘極線驅動電路 102B 以及像素部 103。在像素部 103 中，由虛線框 110 包圍的部分為一個像素。在圖 1 所示的例子中，雖然示出使用第一閘極線驅動電路 102A、第二閘極線驅動電路 102B 作為閘極線驅動電路，也可以僅使用其中一方。另外，在顯示裝置的像素中，利用薄膜電晶體進行顯示元件的控制。對源極線驅動電路 101、第一閘極線驅動電路 102A、第二閘極線驅動電路 102B 進行驅動的信號（時鐘信號、起始脈衝信號等）藉由撓性印刷電路（Flexible Printed Circuit：FPC）104A、104B 從外部輸入。

用來驅動像素部的源極線驅動電路、閘極線驅動電路具有由薄膜電晶體、電容器、電阻器等構成的反相電路。當使用單極性薄膜電晶體形成反相電路時，有組合增強型薄膜電晶體及空乏型薄膜電晶體而形成的電路（以下，稱爲 EDMOS 電路）、由增強型薄膜電晶體和增強型薄膜電晶體而形成的電路（以下，稱爲 EEMOS 電路）以及 ERMOS 電路。另外，當 n 通道型薄膜電晶體的臨界值電壓爲正時將其定義爲增強型薄膜電晶體，而當 n 通道型薄膜電晶體的臨界值電壓爲負時將其定義爲空乏型電晶體，並且在本說明書中通用該定義。

當將臨界值電壓爲正的增強型薄膜電晶體用於設置在像素部的薄膜電晶體時，可以使根據對閘極端子與源極端子之間施加的電壓而流過的電流小於空乏型電晶體，從而謀求實現低耗電量化。另外，較佳的使用與像素部相同的增強型薄膜電晶體作爲用來驅動像素部的驅動電路所使用的薄膜電晶體。藉由使用增強型薄膜電晶體作爲反相電路的薄膜電晶體，製造像素部以及驅動電路時的電晶體的種類爲一種，所以可以減少製造製程。另外，由於增強型電晶體使用氧化物半導體並且具有當閘極電壓爲 -20V 至 20V 時導通截止比爲 10^9 以上的電特性，所以源極端子及汲極電極端子間的漏電流少，從而實現低耗電量驅動。

另外，在本說明書（說明書、申請專利範圍或附圖等）中使用的氧化物半導體形成表示爲 $\text{InMO}_3(\text{ZnO})_m$ （ $m>0$ ）的薄膜，並利用該薄膜製造半導體元件。另外，

M 表示選自鎵 (Ga)、鐵 (Fe)、鎳 (Ni)、錳 (Mn) 及鈷 (Co) 中的一種金屬元素或多種金屬元素。例如，除了有作為 M 而包含鎵 (Ga) 的情況以外，還有作為 M 而包含鎵 (Ga) 和鎳 (Ni) 或鎵 (Ga) 和鐵 (Fe) 等包含鎵 (Ga) 以外的上述金屬元素的情況。另外，在上述氧化物半導體中，除了包含作為 M 的金屬元素之外，有時還包含作為雜質元素的鐵 (Fe)、鎳 (Ni)、以及其他過渡金屬元素或該過渡金屬的氧化物。此外，上述氧化物半導體所含有的鈉 (Na) 為 5×10^{18} 原子/cm³ 以下，較佳的為 1×10^{18} 原子/cm³ 以下。在本說明書 (說明書、申請專利範圍或附圖等) 中，也將該薄膜稱為 In-Ga-Zn-O 類非單晶膜。

表 1 示出利用感應耦合電漿質量分析法 (Inductively Coupled Plasma Mass Spectrometry: ICP-MS 分析法) 的典型測量例子。在使用摩爾數之比為 In₂O₃ : Ga₂O₃ : ZnO=1 : 1 : 1 的靶材 (In : Ga : Zn=1 : 1 : 0.5)，並且壓力為 0.4Pa，直流 (DC) 電源為 500W，氬氣體流量為 10sccm，氧為 5sccm 的條件 1 下得到的氧化物半導體膜是 InGa_{0.94}Zn_{0.40}O_{3.31}。另外，在上述條件的基礎上僅將成膜氣氛條件改變為氬氣體流量為 40sccm，氧為 0sccm 的條件 2 下得到的氧化物半導體膜是 InGa_{0.95}Zn_{0.41}O_{3.33}。

[表 1]

流量比率	組成(原子%)				組成式
	In	Ga	Zn	O	
Ar/O ₂					
10/5	17.7	16.7	7	58.6	InGa _{0.94} Zn _{0.40} O _{3.31}
40/0	17.6	16.7	7.2	58.6	InGa _{0.95} Zn _{0.41} O _{3.33}

此外，表 2 示出將測量方法變為盧瑟福背散射光譜學法（Rutherford Backscattering Spectrometry：RBS 分析法）進行定量化而得到的結果。

[表 2]

流量比率	組成(原子%)					組成式
	In	Ga	Zn	O	Ar	
Ar/O ₂						
10/5	16	14.7	7.2	61.7	0.4	InGa _{0.92} Zn _{0.45} O _{3.86}
40/0	17	15.8	7.5	59.4	0.3	InGa _{0.93} Zn _{0.44} O _{3.49}

利用 RBS 分析測量條件 1 的樣品。其結果是，氧化物半導體膜為 InGa_{0.92}Zn_{0.45}O_{3.86}。此外，利用 RBS 分析測量條件 2 的樣品。其結果是，氧化物半導體膜為 InGa_{0.93}Zn_{0.44}O_{3.49}。

In-Ga-Zn-O 類非單晶膜的結晶結構即使在利用濺射法進行成膜後，以 200℃ 至 500℃，典型的是 300℃ 至 400℃ 進行 10 分至 100 分的加熱處理，在 XRD（X 射線衍射）

的分析中也觀察到非晶結構。此外，可以製造具有如下電特性的薄膜電晶體：當閘極電壓為 -20V 至 20V 時，導通截止比是 10^9 以上且遷移率是 10 以上。具有這種電特性的使用氧化物半導體層製造的薄膜電晶體具有比使用非晶矽製造的薄膜電晶體更高的遷移率，並且可以使由移位暫存器構成的驅動電路高速驅動。

接下來，示出使用 ERMOS 電路的閘極線驅動電路以及源極線驅動電路的電路圖的一個例子並對其進行說明。

首先，對使用 ERMOS 電路作為反相電路的源極線驅動電路的結構進行說明。

圖 2 是示出圖 1 所示的顯示裝置中的源極線驅動電路 101 的結構的圖。源極線驅動電路包括時鐘信號用位準轉移器 201、起始脈衝用位準轉移器 202 以及構成移位暫存器 251 的脈衝輸出電路 203、NAND 電路 204、緩衝器 205 以及取樣開關 206，並且從外部輸入的信號為第一時鐘信號（CLK1）、第二時鐘信號（CLK2）、起始脈衝（SP）以及模擬視頻信號（Video）。其中，第一時鐘信號（CLK1）、第二時鐘信號（CLK2）以及起始脈衝（SP）作為低電壓振幅的信號從外部輸入之後，藉由位準轉移器 201 或 202 進行振幅轉換而作為高電壓振幅的信號被輸入到驅動電路。

另外，以下說明在本實施例模式的顯示裝置中的源極線驅動電路中，藉由由移位暫存器中的一級的脈衝輸出電路輸出的取樣脈衝驅動取樣開關 206，來同時對十二列的

源極電極信號線的類比視頻信號進行取樣。另外，還可以輸入用來切換掃描方向的掃描方向切換信號等。此外，雖然在本實施例模式中示出使用第一時鐘信號（CLK1）、第二時鐘信號（CLK2）的兩相時鐘信號進行驅動的例子，但是也可以採用藉由兩相之外的時鐘信號的輸入來進行驅動電路的驅動的結構。

在圖 3A 和 3B 中示出移位暫存器 251 所具有的多個脈衝輸出電路 203 的結構。脈衝輸出電路 300 由與輸入起始脈衝 SP 的端子連接的第一開關 301、將藉由第一開關 301 輸入的信號反相並將其輸出的第一反相電路 302、將從第一反相電路 302 輸出的信號反相並將其輸出的第二反相電路 303 及第三反相電路 305、以及與輸入從第二反相電路 303 輸出的信號的端子連接的第二開關 304 構成。

在圖 3A 所示的電路圖中，由虛線表示的框為輸出一級取樣脈衝的脈衝輸出電路 350，並且圖 3A 的移位暫存器由 N 級（N 為自然數）脈衝輸出電路構成。從 N 級脈衝輸出電路由各自的第三反相電路 305 的輸出端子輸出輸出信號 out1 至 outN。另外，在上面說明的第一級的下一級的脈衝輸出電路中，在第一開關 301 與第二開關 304 之間，輸入第一時鐘信號和輸入第二時鐘信號的佈線切換地連接。以下，在第三級以後，輸入第一時鐘信號和輸入第二時鐘信號的佈線在第一開關 301 和第二開關 304 之間交替地切換而連接。

圖 3B 對脈衝輸出電路的電路結構進行詳細表示。脈

衝輸出電路主體包括薄膜電晶體 351、353、355、356、358 以及電阻器 352、354、357。另外，奇數級的脈衝輸出電路 331 以及偶數級的脈衝輸出電路 332 與用來提供第一時鐘信號（CLK1）的佈線 359 以及用來提供第二時鐘信號（CLK2）的佈線 360 連接。下面，以第一級脈衝輸出電路 331 為例，對半導體元件的具體連接關係進行說明。

薄膜電晶體 351 的第一端子與輸入起始脈衝 SP 的端子連接，並且閘極端子與佈線 359 連接。

電阻器 352 的一方的端子與被提供高電源電位 VDD 的佈線（也稱為高電源電位線）連接。

薄膜電晶體 353 的第一端子與電阻器 352 的另一方的端子連接，且閘極端子與薄膜電晶體 351 的第二端子連接，並且第二端子與被提供低電源電位 VSS 的佈線（也稱為低電源電壓線）連接。

電阻器 354 的一方的端子與高電源電位線連接。

薄膜電晶體 355 的第一端子與電阻器 354 的另一方的端子連接，且閘極端子與電阻器 352 的另一方的端子以及薄膜電晶體 353 的第一端子連接，並且第二端子與低電源電壓線連接。

薄膜電晶體 356 的第一端子與電阻器 354 的另一方的端子以及薄膜電晶體 355 的第一端子連接，且閘極端子與佈線 360 連接，並且第二端子與薄膜電晶體 351 的第二端子以及薄膜電晶體 353 的閘極端子連接。

電阻器 357 的一方的端子與高電源電位線連接，並且另一方的端子與第二級的脈衝輸出電路 332 中的薄膜電晶體 351 的第一端子連接。

薄膜電晶體 358 的第一端子與電阻器 357 的另一方的端子以及第二級的脈衝輸出電路 332 中的薄膜電晶體 351 的第一端子連接，且閘極端子與電阻器 352 的另一方的端子、薄膜電晶體 353 的第一端子以及薄膜電晶體 355 的閘極端子連接，並且第二端子與低電源電位線連接。

第二級脈衝輸出電路與第一級脈衝輸出電路除了在佈線 359 和佈線 360 的連接上相反這一點之外，其結構相同。第三級以後的奇數級脈衝輸出電路 331 以及偶數級脈衝輸出電路 332 也以此為基準依次連接。

在圖 3B 中，薄膜電晶體 351 相當於圖 3A 所示的第一開關 301。電阻器 352 以及薄膜電晶體 353 相當於圖 3A 所示的第一反相電路 302，並且第一反相電路 302 為 ERMOS 電路。電阻器 354 以及薄膜電晶體 355 相當於圖 3A 所示的第二反相電路 303，並且第二反相電路 303 為 ERMOS 電路。薄膜電晶體 356 相當於圖 3A 所示的第二開關 304。電阻器 357 以及薄膜電晶體 358 相當於圖 3A 所示的第三反相電路 305，並且第三反相電路 305 為 ERMOS 電路。

另外，薄膜電晶體 351、356 與薄膜電晶體 353、355、358 同樣地優選由增強型電晶體構成。藉由使用增強型電晶體作為開關，可以降低電晶體的截止電流，所以

可以在實現謀求低耗電量化的同時減少製造製程。

這裏，參照圖 4 所示的時序圖對圖 3A 和 3B 所示的電路的電路工作進行說明。另外，在圖 4 中，爲了方便說明，作爲圖 3B 所示的電路中的節點，在第一級的脈衝輸出電路中，將薄膜電晶體 351 的第二端子示爲節點 A（在圖 3B 以及圖 4 中示爲 A），將電阻器 352 的另一方的端子示爲節點 B（在圖 3B 以及圖 4 中示爲 B），將電阻器 354 的另一方的端子示爲節點 C（在圖 3B 以及圖 4 中示爲 C），並將電阻器 357 的另一方的端子示爲節點 out1（在圖 3B 以及圖 4 中示爲 out1）。

另外，作爲圖 3B 所示的電路中的節點，在第二級脈衝輸出電路中，將薄膜電晶體 351 的第二端子示爲節點 D（在圖 3B 以及圖 4 中示爲 D），將電阻器 352 的另一方的端子示爲節點 E（在圖 3B 以及圖 4 中示爲 E），將電阻器 354 的另一方的端子示爲節點 F（在圖 3B 以及圖 4 中示爲 F），並將電阻器 357 的另一方的端子示爲節點 out2（在圖 3B 以及圖 4 中示爲 out2）。另外，作爲圖 3B 所示的電路中的節點，在第三級脈衝輸出電路中，將薄膜電晶體 351 的第二端子示爲節點 G（在圖 3B 以及圖 4 中示爲 G）。

在圖 4 中說明在期間 T1 中，當起始脈衝 SP 爲 H 位準，第一時鐘信號（CLK1）爲 H 位準，並且第二時鐘信號（CLK2）爲 L 位準時的工作。

由於第一時鐘信號（CLK1）變爲 H 位準，所以第一

級的脈衝輸出電路的薄膜電晶體 351 變為導通狀態。

並且，起始脈衝的電壓位準的 H 位準使節點 A 的電壓位準上升至 H 位準。

並且，由於節點 A 的電壓位準上升至 H 位準，所以第一級脈衝輸出電路的薄膜電晶體 353 變為導通狀態。

並且，低電源電位的電壓位準的 L 位準使節點 B 的電壓位準下降到 L 位準。

並且，由於節點 B 的電壓位準下降到 L 位準，第一級脈衝輸出電路的薄膜電晶體 355 以及薄膜電晶體 358 變為截止狀態。

並且，由於第一級脈衝輸出電路的薄膜電晶體 355 變為截止狀態，所以高電源電位的電壓位準的 H 位準使節點 C 的電壓位準上升至 H 位準。另外，由於第一級脈衝輸出電路的薄膜電晶體 358 變為截止狀態，所以高電源電位的電壓位準的 H 位準使節點 out1 的電壓位準上升至 H 位準。

另外，由於第二時鐘信號 (CLK2) 為 L 位準，所以第一級脈衝輸出電路的薄膜電晶體 356 以及第二脈衝輸出電路的薄膜電晶體 351 成為截止狀態。

接著，在圖 4 中說明在期間 T2 中，當起始脈衝 SP 為 L 位準，第一時鐘信號 (CLK1) 為 L 位準，並且第二時鐘信號 (CLK2) 為 H 位準時的工作。

由於第一時鐘信號 (CLK1) 變為 L 位準，所以第一級的脈衝輸出電路的薄膜電晶體 351 變為截止狀態。另一

方面，由於第二時鐘信號（CLK2）為 H 位準，所以第一級的脈衝輸出電路的薄膜電晶體 356 變為導通狀態。由此，因在期間 T1 中為 H 位準的節點 C 的電壓位準，而節點 A 的電壓位準保持 H 位準。

並且，第一級脈衝輸出電路的各節點保持與期間 T1 相同的位準。

另一方面，由於第二時鐘信號（CLK2）變為 H 位準，所以第二級的脈衝輸出電路的薄膜電晶體 351 變為導通狀態。

並且，節點 out1 的電壓位準的 H 位準使節點 D 的電壓位準上升至 H 位準。

並且，由於節點 D 的電壓位準上升至 H 位準，所以第二級脈衝輸出電路的薄膜電晶體 353 變為導通狀態。

並且，低電源電位的電壓位準的 L 位準使節點 E 的電壓位準下降到 L 位準。

並且，由於節點 E 的電壓位準下降到 L 位準，所以第二級脈衝輸出電路的薄膜電晶體 355 以及第二級脈衝輸出電路的薄膜電晶體 358 變為截止狀態。

並且，由於第二級脈衝輸出電路的薄膜電晶體 355 變為截止狀態，所以高電源電位的電壓位準的 H 位準使節點 F 的電壓位準上升至 H 位準。另外，由於第二級脈衝輸出電路的薄膜電晶體 358 變為截止狀態，所以高電源電位的電壓位準的 H 位準使節點 out2 的電壓位準上升至 H 位準。

另外，由於第一時鐘信號（CLK1）為 L 位準，所以第二級脈衝輸出電路的薄膜電晶體 356 以及第三脈衝輸出電路的薄膜電晶體 351 成為截止狀態。

接著，在圖 4 中說明在期間 T3 中，當起始脈衝 SP 為 L 位準，第一時鐘信號（CLK1）為 H 位準，並且第二時鐘信號（CLK2）為 L 位準時的工作。

由於第一時鐘信號（CLK1）變為 H 位準，所以第一級的脈衝輸出電路的薄膜電晶體 351 變為導通狀態。另一方面，由於第二時鐘信號（CLK2）為 L 位準，所以第一級脈衝輸出電路的薄膜電晶體 356 變為截止狀態。由此，節點 A 的電壓位準下降到 L 位準。

並且，由於節點 A 的電壓位準下降到 L 位準，所以第一級脈衝輸出電路的薄膜電晶體 353 變為截止狀態。

並且，高電源電位的電壓位準的 H 位準使節點 B 的電壓位準上升至 H 位準。

並且，由於節點 B 的電壓位準上升至 H 位準，第一級脈衝輸出電路的薄膜電晶體 355 以及第一級脈衝輸出電路的薄膜電晶體 358 變為導通狀態。

並且，由於第一級脈衝輸出電路的薄膜電晶體 355 變為導通狀態，所以低電源電位的電壓位準的 L 位準使節點 C 的電壓位準下降到 L 位準，並且由於第一級脈衝輸出電路的薄膜電晶體 358 變為導通狀態，所以低電壓電位的電源位準的 L 位準使節點 out1 的電壓位準下降到 L 位準。

另外，由於第二時鐘信號（CLK2）為 L 位準，所以

第一級的脈衝輸出電路的薄膜電晶體 356 變為截止狀態。

另外，與期間 T2 中的第一級脈衝輸出電路同樣，由於第二時鐘信號 (CLK2) 變為 L 位準，所以第二級脈衝輸出電路的薄膜電晶體 351 變為截止狀態。另一方面，由於第一時鐘信號 (CLK1) 為 H 位準，所以第二級脈衝輸出電路的薄膜電晶體 356 變為導通狀態。由此，因在期間 T2 中為 H 位準的節點 F 的電壓位準，而節點 D 的電壓位準保持 H 位準。

並且，第二級脈衝輸出電路的各節點保持與期間 T2 相同的位準。

另一方面，由於第一時鐘信號 (CLK1) 變為 H 位準，所以第三級的脈衝輸出電路的薄膜電晶體 351 變為導通狀態。

並且，節點 out2 的電壓位準的 H 位準使節點 G 的電壓位準上升至 H 位準。

並且，由於節點 G 的電壓位準上升至 H 位準，所以第三級脈衝輸出電路的薄膜電晶體 353 變為導通狀態。

下面，藉由依次控制電晶體的導通、截止，可以作為移位暫存器而驅動。

另外，在使用圖 3A 和圖 3B 說明的脈衝輸出電路中，示出了在節點 A 與節點 C 之間設置有薄膜電晶體 356 (第二開關 304) 的結構。這是因為考慮到由於電阻器 354 而節點 C 的電壓位準從高電壓電位 VDD 進行電壓下降的緣故。藉由利用薄膜電晶體 356 (第二開關 304) 切

斷節點 A 與節點 C 的連接地進行驅動，可以提高根據節點 A 的電位的薄膜電晶體 353 的驅動能力，所以是較佳的。另外，即使不設置薄膜電晶體 356（第二開關 304），本實施例模式的電路也可以進行驅動。

另外，在源極線驅動電路的結構中，藉由得到從各脈衝輸出電路輸出的信號的 NAND（非邏輯積），來生成用來驅動各源極線的信號。因此，較佳的在源極線驅動電路中設置比源極線的數多的脈衝輸出電路以生成用來輸出到源極線的信號。

圖 5A 示出圖 2 所示的時鐘信號用位準轉移器 201 的結構例。另外，由於圖 5A 中的第一時鐘信號（CLK1）用位準轉移器以及第二時鐘信號（CLK2）用位準轉移器的結構相同，所以僅示出第一時鐘信號（CLK1）用位準轉移器。在圖 5A 中，第一時鐘信號（CLK1）由 ERMOS 電路振幅轉換（Stage1），之後設置緩衝級（buffer stage）（Stage2、Stage3）。

接著，對圖 5A 所示的電路的工作進行說明。注意，這裏所使用的電源電位是 VSS、VDD0、VDD 這三種電位，並設定為 $VSS < VDD0 < VDD$ 。藉由在源極線驅動電路輸入部對第一時鐘信號（CLK1）的振幅進行位準轉換，可以謀求實現低耗電量化以及雜波的減少。

從信號輸入部（CLK in1）輸入具有 L 位準/H 位準 =VSS/VDD0 的振幅的第一輸入時鐘信號（CLK1）。

當第一輸入時鐘信號為 H 位準時，薄膜電晶體 602 變

為導通狀態。這裏，將薄膜電晶體 602 的導通電阻設計為充分地低於電阻器 601 的電阻值。所以，節點 α 變為 L 位準。

當節點 α 為 L 位準時，薄膜電晶體 604 變為截止狀態。這裏，將薄膜電晶體 604 的截止電阻設計為充分地高於電阻器 603 的電阻值。所以，節點 β 變為 H 位準並且 H 位準成爲與 VDD 同等程度。藉由上述方式完成振幅轉換。

在使用圖 5A 說明的位準轉移器中考慮到對振幅轉換後的脈衝的負荷，而在位準轉移電路 (Stage1) 之後設置緩衝級 (Stage2、Stage3)。由於在 Stage2、Stage3 中進行同樣的工作，最終脈衝被輸出到信號輸出部。

另外，雖然在圖 5A 中示出第一時鐘信號 (CLK1) 用位準轉移器，但是起始脈衝 (SP) 用位準轉移器的構成與其相同。

圖 5B 示出時鐘信號的振幅轉換的情況。輸入信號的振幅為 L 位準/H 位準= $VSS/VDD0$ ，並且輸出信號的振幅為 L 位準/H 位準= VSS/VDD 。

圖 5C 示出起始脈衝 (SP) 的振幅轉換的情況。輸入信號的振幅與時鐘信號同樣，L 位準/H 位準= $VSS/VDD0$ ，並且輸出信號的振幅為 L 位準/H 位準= VSS/VDD 。

圖 6A 示出圖 2 所示的 2 輸入型的 NAND 電路 204。NAND 電路 204 的結構與 ERMOS 電路相似。具體來說其

不同點僅在於：ERMOS 電路中的信號輸入部為 2 輸入，並且薄膜電晶體 702、703 串聯配置。

由於當對信號輸入部 (In1) 及信號輸入部 (In2) 同時輸入 H 位準時，薄膜電晶體 702、703 變為導通狀態，而信號輸出部 (Out) 顯現 L 位準。

另一方面，當對信號輸入部 (In1) 及信號輸入部 (In2) 的任一方或雙方輸入 L 位準時，信號輸出部 (Out) 顯現電位 VDD 的 H 位準。

圖 6B 示出圖 2 所示的緩衝器 205。緩衝器 205 由 ERMOS 電路 (Stage1 至 4) 構成。因為關於 ERMOS 電路的工作已在位準轉移電路一項中進行了說明，所以這裏引用上述說明。

圖 6C 示出圖 2 所示的取樣開關 206。取樣開關 206 由信號輸入部 (25) 輸入取樣脈衝，並且同時控制串聯配置的十二個薄膜電晶體 731。對十二個薄膜電晶體 731 的輸入電極 (1) 至 (12) 輸入模擬視頻信號，並將取樣脈衝被輸入時的視頻信號的電位寫入到源極電極信號線。

圖 7 是示出圖 1 所示的顯示裝置中的閘極線驅動電路的電路結構的圖。其包括時鐘信號用位準轉移器 751、起始脈衝用位準轉移器 752 以及構成移位暫存器 781 的脈衝輸出電路 753、NAND 電路 754 以及緩衝器 755。

閘極線驅動電路被輸入第一時鐘信號 (CLK1)、第二時鐘信號 (CLK2) 以及起始脈衝 (SP)。這些輸入信號作為低電壓振幅的信號從外部被輸入之後，藉由時鐘信

號用位準轉移器 751、起始脈衝用位準轉移器 752 進行振幅轉換而作為高電壓振幅的信號被輸入到驅動電路。

另外，由於時鐘信號用位準轉移器 751、起始脈衝用位準轉移器 752、脈衝輸出電路 753、NAND 電路 754 以及緩衝器 755 的結構及工作與用於源極線驅動電路相同，所以這裏引用上述的說明。

接著，在圖 8 至圖 10 中示出圖 3B 所示的脈衝輸出電路的佈局圖的例子。注意，在圖 8 至圖 10 中示出形成有多個級的脈衝輸出電路中的相當於第一級的脈衝輸出電路。

圖 8 至圖 10 中的脈衝輸出電路由電源線 801、電源線 802、控制信號線 803、控制信號線 804、控制信號線 805、薄膜電晶體 351、353、355、356、358 以及電阻器 352、354、357 構成。

在圖 8 至圖 10 中對氧化物半導體層 806、第一佈線層 807、第二佈線層 808、接觸孔 809 進行表示。另外，第一佈線層 807 是包括薄膜電晶體的閘極端子的層，並且第二佈線層 808 是包括薄膜電晶體的源極端子以及汲極電極端子（第一端子以及第二端子）的層。

另外，在圖 8 至圖 10 中的各電路元件的連接關係與圖 3B 相同。即，電源線 801 為被提供高電源電位 VDD 的佈線（也稱為高電源電位線），電源線 802 為被提供低電源電位 VSS 的佈線（也稱為低電源電位線），控制信號線 803 為被提供起始脈衝（SP）的佈線，控制信號線 804

為被提供第一時鐘信號的佈線，並且控制信號線 805 為被提供第二時鐘信號的佈線。

圖 8 所示的 ERMOS 電路的電阻器 352、354、357 使用長方形形狀的氧化物半導體層。因此，圖 8 所示的電阻器 352、354、357 是電流路徑寬且具有高電流驅動能力的電阻器。圖 9、圖 10 所示的 ERMOS 電路的電阻器 352、354、357 使用彎曲形狀（蛇行形狀）的氧化物半導體層。藉由利用彎曲形狀，可以增大電阻器 352、354、357 的電阻值。

另外，在圖 8 至圖 10 的脈衝輸出電路的佈局圖中，也可以將薄膜電晶體 351、353、355、356、358 的通道區的形狀形成為 U 字型。另外，雖然在圖 8 中將各薄膜電晶體的尺寸表示為相同尺寸，但是也可以根據後續級的負荷的大小而適當地改變薄膜電晶體的尺寸。

接著，參照圖 11A 至 11C 對在圖 8 至圖 10 中說明的佈局圖中的由電阻器 354 以及薄膜電晶體 355 構成的反相電路的結構進行說明。另外，圖 11A 至 11C 所示的電阻器 354 以及薄膜電晶體 355 分別示出對應於圖 8 至圖 10 中的虛線 A-B 以及 C-D 的截面圖。

圖 11A 是對應於圖 8 中的虛線 A-B 以及 C-D 的截面圖。在圖 11A 中，電阻器 354 將第一氧化物半導體層 905 用作電阻元件。另外，第一氧化物半導體層 905 的一端與包含在第一佈線層 807 中的第一佈線 901 藉由設置在絕緣層 903 中的接觸孔 904 連接，另一端與包含在第二佈線層

808 中的第二佈線 907 連接。

在圖 11A 中，薄膜電晶體 355 包括基板上的閘極端子 902、用作閘極絕緣層的閘極端子 902 上的絕緣層 903、成爲通道形成區的絕緣層 903 上的第二氧化物半導體層 906、用作源極端子以及汲極電極端子（第一端子以及第二端子）的第二氧化物半導體層 906 上的第一佈線 907 以及第三佈線 908。

另外，第一佈線 901 是電阻器 354 的一方的端子。另外，第二佈線 907 既是電阻器 354 的另一方的端子，又是薄膜電晶體 355 的第一端子，並且還是連接兩者的佈線。同樣地，第三佈線 908 既是薄膜電晶體 355 的第二端子，又是被提供低電源電位 VSS 的佈線（也稱爲低電壓電位線）。換句話說，連接佈線以及低（高）電源電位線的一部分被用作各薄膜電晶體的第一端子或第二端子。

另外，在圖 11A 中，第一氧化物半導體層 905 以及第二氧化物半導體層 906 的厚度不同。具體地，與第二佈線 907 及第三佈線 908 重疊的區域的第一氧化物半導體層 905 以及第二氧化物半導體層 906 的厚度比上述區域之外的第一氧化物半導體層 905 以及第二氧化物半導體層 906 的厚度厚。這是由於在形成第二佈線 907 以及第三佈線 908 的蝕刻中，第一氧化物半導體層 905 以及第二氧化物半導體層 906 的一部分也被蝕刻的緣故。

圖 11B 是對應於圖 9 中的虛線 A-B 以及 C-D 的截面圖。在圖 11B 中，電阻器 354 將形成爲彎曲形狀的第一氧

化物半導體層 905 用作電阻元件。另外，第一氧化物半導體層 905 的一端與第一佈線 901 藉由設置在絕緣層 903 中的接觸孔 904 連接，另一端與第二佈線 907 連接。由於薄膜電晶體的結構與圖 11A 中所說明的薄膜電晶體相同，所以引用上述說明。

圖 11C 是對應於圖 10 中的虛線 A-B 以及 C-D 的截面圖。在圖 11C 中，電阻器 354 將形成為彎曲形狀的第一氧化物半導體層 905 用作電阻元件。另外，第一氧化物半導體層 905 的一端與第二佈線層 808 所包含的第四佈線 912 連接，另一端與第二佈線層 808 所包含的第二佈線 907 連接。由於薄膜電晶體的結構與圖 11A 中所說明的薄膜電晶體相同，所以引用上述說明。由於圖 11C 所示的電阻器 354 在第一氧化物半導體層 905 上直接形成第四佈線 912，所以可以在第一氧化物半導體層與第四佈線之間形成良好的接合。

接下來，對圖 11A 至 11C 所示的 ERMOS 電路的具體的材料結構進行說明。

在圖 11A 至 11C 中，可以使用硼矽酸鋇玻璃或硼矽酸鋁玻璃等玻璃基板等作為基板 900。第一佈線 901 以及閘極端子 902 可以使用鋁 (Al) 或銅 (Cu) 等的低電阻導電材料形成。另外，也可以將鋁 (Al) 與耐熱性導電材料組合來形成。作為耐熱性導電材料，可以使用選自鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd)、釷 (Sc) 中的元素、或以上述元素為成分的合

金、組合上述元素的合金膜、或以上述元素為成分的氮化物。

絕緣層 903 可以使用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氧化鋇膜等的絕緣膜形成。另外，也可以採用由這些絕緣膜構成的疊層結構。此外，氧氮化矽膜指的是如下膜：在組成方面上氧的含量比氮的含量多，並且在濃度範圍上，在包含 55 原子%至 65 原子%的氧、1 原子%至 20 原子%的氮、25 原子%至 35 原子%的矽、0.1 原子%至 10 原子%的氫的範圍中，以總和成爲 100 原子%的方式以任意濃度包含各元素。另外，氮氧化矽膜指的是如下膜：在組成方面上氮的含量比氧的含量多，並且在濃度範圍上，在包含 15 原子%至 30 原子%的氧、20 原子%至 35 原子%的氮、25 原子%至 35 原子%的矽、15 原子%至 25 原子%的氫的範圍中，以總和成爲 100 原子%的方式以任意濃度包含各元素。

第一氧化物半導體層 905 以及第二氧化物半導體層 906 由表示爲 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 的薄膜形成。另外，M 表示選自鎵 (Ga)、鐵 (Fe)、鎳 (Ni)、錳 (Mn) 或鈷 (Co) 中的一種金屬元素或多種金屬元素。例如，除了有作為 M 而包含鎵 (Ga) 的情況以外，還有作為 M 而包含鎵 (Ga) 和鎳 (Ni) 或鎵 (Ga) 和鐵 (Fe) 等包含鎵 (Ga) 以外的上述金屬元素的情況。另外，在上述氧化物半導體層中，除了包含作為 M 的金屬元素之外，有時還包含作為雜質元素的鐵 (Fe)、鎳 (Ni)、以及其他過

渡金屬元素或該過渡金屬的氧化物。此外，上述氧化物半導體層所含有的鈉（Na）為 5×10^{18} 原子/cm³ 以下，較佳的為 1×10^{18} 原子/cm³ 以下。

作為第二佈線 907 以及第三佈線 908 的材料，例如可以使用選自鋁（Al）、鉻（Cr）、鉭（Ta）、鈦（Ti）、鉬（Mo）、鎢（W）中的元素、以上述元素為成分的合金、或組合上述元素的合金膜等。此外，還可以採用由這些材料構成的疊層結構。

氧化矽層 909 由利用濺射法形成的氧化矽膜形成。形成在整個基板表面上的氮化矽層 910 利用使用含有矽烷（SiH₄）以及氨（NH₃）等的氮化合物的氣體的電漿 CVD 法而形成。因此，氮化矽層 910 含有高濃度的氫。

另外，如圖 12A 所示，也可以在第一氧化物半導體層 905 與第二佈線 907 之間設置緩衝層 911a，在第二氧化物半導體層 906 與第二佈線 907 之間設置緩衝層 911b，並且在第二氧化物半導體層 906 與第三佈線 908 之間設置緩衝層 911c。

另外，上述緩衝層 911a 至 911c 以由與形成第一氧化物半導體層 905 以及第二氧化物半導體層 906 的條件不同的條件形成的 In-Ga-Zn-O 類非單晶膜為基礎而形成，並且為低電阻的氧化物半導體層。另外，在以下的文章中為了方便起見，將之後形成第一氧化物半導體層 905 以及第二氧化物半導體層 906 的氧化物半導體膜稱作第一氧化物半導體膜，並將之後形成緩衝層 911a 至 911c 的氧化物半

導體膜稱作第二氧化物半導體膜。

例如，當利用濺射法進行氧化物半導體膜的成膜時，藉由改變成膜所使用的濺射氣體的氧濃度，可以使氧化物半導體膜的電阻值改變。具體地，可以藉由提高濺射氣體的氧濃度來增大氧化物半導體膜的電阻值。作為利用濺射法的第一氧化物半導體膜以及第二氧化物半導體膜的一個成膜條件，將第一氧化物半導體膜的成膜所使用的濺射氣體的氬氣體流量設定為 10sccm，將氧氣體流量設定為 5sccm，並將第二氧化物半導體膜的成膜所使用的濺射氣體的氬氣體流量設定為 40sccm。另外，緩衝層 911a 至 911c 具有 n 型導電型並且活化能 (ΔE) 為 0.1eV 以下。另外，以 In-Ga-Zn-O 類非單晶膜為基礎而形成的緩衝層 911a 至 911c 至少包含非晶成分。緩衝層 911a 至 911c 有時在非晶結構中包含晶粒（奈米晶體）。該緩衝層 911a 至 911c 中的晶粒（奈米晶體）的直徑為 1nm 至 10nm，典型的為 2nm 至 4nm 左右。

藉由設置比第一氧化物半導體層 905 以及第二氧化物半導體層 906 電阻低的緩衝層 911a 至 911c，可以在導電體的第二佈線 907 與第一氧化物半導體層 905、導電體的第二佈線 907 以及第三佈線 908 與第二氧化物半導體層 906 之間形成與肖特基接合相比更良好的接合，並且在熱方面上也穩定工作。另外，在薄膜電晶體 355 中藉由設置緩衝層 911b、911c，即使在高汲極電極電壓下也可以保持良好的遷移率。

另外，還可以如圖 12B 所示在第一氧化物半導體層 905 以及第二氧化物半導體層 906 的上下設置緩衝層 911a、911b、911c、911d、911e。

藉由設置緩衝層 911d，可以在導電體的第一佈線 901 與第一氧化物半導體層 905 之間形成與肖特基接合相比更良好的接合，並且在熱方面上也穩定工作。

接著，使用圖 13A 和 13B 示出與圖 11A 至 11C、圖 12A 和 12B 所示的薄膜電晶體結構不同的薄膜電晶體而進行說明。另外，在圖 13A 和 13B 中，示出對應於圖 8 的 A-B 線以及 C-D 線的電阻器以及薄膜電晶體的截面結構，並且與圖 11A、11B 和 11C 相同之處使用相同的附圖標記。

在圖 13A 中，在第二氧化物半導體層 906 上設置有氧化矽層的通道保護層 1001，並且在通道保護層 1001 以及第二氧化物半導體層 906 上設置有第二佈線 907 以及第三佈線 908。再者，在第二佈線 907、第三佈線 908 以及通道保護層 1001 上設置有氮化矽層 910。另外，如圖 13B 所示，分別在第一氧化物半導體層 905 與第二佈線 907 之間設置緩衝層 911a，在第二氧化物半導體層 906 與第二佈線 907 之間設置緩衝層 911b，並且在第二氧化物半導體層 906 與第三佈線 908 之間設置緩衝層 911c。

雖然在圖 11A 至 11C、圖 12A 和 12B 以及圖 13A 和 13B 中對反交錯型薄膜電晶體進行了說明，但是本實施例模式的薄膜電晶體不局限於反交錯型。作為一個例子，共

面型薄膜電晶體也具有同樣的作用。圖 14A 和 14B 示出截面結構的一個例子並對其進行說明。另外，在圖 14A 和 14B 中示出對應於圖 8 的 A-B 線以及 C-D 線的電阻器以及薄膜電晶體的截面結構，並且與圖 11A、11B 和 11C 相同之處使用相同的附圖標記。

在圖 14A 中，第一氧化物半導體層 905 的一端設置在第一佈線 901 上，第一氧化物半導體層 905 的另一端以及第二氧化物半導體層 906 的一端設置在第二佈線 907 上，第二氧化物半導體層 906 的另一端設置在第三佈線 908 上。再者，在第二氧化物半導體層 906 上設置有氧化矽層 909 以及氮化矽層 910 的疊層，並且在第一氧化物半導體層 905 上僅設置有氮化矽層 910。另外，如圖 14B 所示，也可以在第二佈線 907 及第三佈線 908 與絕緣層 903 之間分別設置緩衝層 1010a、1010b。

在圖 11A 至 11C、圖 12A 和 12B、圖 13A 和 13B 以及圖 14A 和 14B 中，以與第一氧化物半導體層 905 直接接觸的方式設置利用使用含有矽烷 (SiH_4) 以及氨 (NH_3) 等的氮化合物的氣體的電漿 CVD 法而形成的氮化矽層 910。

具有上述結構的 ERMOS 電路包括將氮化矽層 910 直接接觸的第一氧化物半導體層 905 用作電阻元件的電阻器、以及將隔著氧化矽層 909 (通道保護層 1001) 設置有氮化矽層 910 的第二氧化物半導體層 906 用作通道形成區的薄膜電晶體。所以，第一氧化物半導體層 905 可以引入

比第二氧化物半導體層 906 更高濃度的氫。其結果，可以使第一氧化物半導體層 905 的電阻值低於第二氧化物半導體層 906 的電阻值。

接著，使用圖 15A 至 15C 的截面圖對 ERMOS 電路的製造製程進行說明。另外，這裏示出圖 14B 所示的 ERMOS 電路的製造製程。

在基板 900 上形成第一導電膜。使用以濺射法、真空蒸鍍法、脈衝雷射沉積法、離子電鍍法等為代表的薄膜沉積法進行第一導電膜的成膜。第一導電膜可以使用鋁 (Al) 或銅 (Cu) 等的低電阻導電性材料來形成。另外，也可以將鋁 (Al) 與耐熱性導電材料組合來形成。作為耐熱性導電材料，可以使用選自鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd)、釷 (Sc) 中的元素、以上述元素為成分的合金、組合上述元素的合金膜、或以上述元素為成分的氮化物。接著，進行第一光微影製程，在第一導電膜上形成抗蝕劑。再者，將該抗蝕劑作為掩模，對第一導電膜進行選擇性地蝕刻，以形成第一佈線 901 以及閘極端子 902。

接著，形成覆蓋第一佈線 901 以及閘極端子 902 的絕緣膜。可以使用以濺射法、真空蒸鍍法、脈衝雷射沉積法、離子電鍍法、電漿 CVD 法等為代表的薄膜沉積法進行絕緣膜的成膜。可以使用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氧化鉭膜等的絕緣膜作為絕緣膜。另外，也可以採用這些絕緣膜的疊層結構。接

著，進行第二光微影製程，在絕緣膜上形成抗蝕劑。並且，使用該抗蝕劑作為掩模，對絕緣膜進行選擇性地蝕刻，以形成設置有到達第一佈線的接觸孔 904 的絕緣層 903。圖 15A 相當於至此為止的製程完成步驟的截面圖。

接下來，形成第二氧化物半導體膜。可以使用以濺射法、真空蒸鍍法、脈衝雷射沉積法、離子電鍍法、電漿 CVD 法等為代表的薄膜沉積法進行第二氧化物半導體膜的成膜。當使用濺射法進行成膜時，優選使用燒結 In_2O_3 、 Ga_2O_3 、 ZnO 而形成的靶材。濺射氣體使用以氬為代表的稀有氣體。作為利用濺射法的成膜條件之一，使用以 In_2O_3 ： Ga_2O_3 ： ZnO =1：1：1 的比例進行混合並藉由燒結而形成的靶材，並將壓力設定為 0.4Pa，將直流（DC）電源設定為 500W，將氬氣體流量設定為 40sccm。

接下來，形成第二導電膜。可以使用以濺射法、真空蒸鍍法、脈衝雷射沉積法、離子電鍍法為代表的薄膜沉積法進行第二導電膜的成膜。另外，作為第二導電膜的材料，例如可以使用選自鋁（Al）、鉻（Cr）、鉭（Ta）、鈦（Ti）、鉬（Mo）、鎢（W）中的元素、以上述元素為成分的合金、或組合上述元素的合金膜等。此外，還可以採用由這些材料構成的疊層結構。

接著，進行第三光微影製程，在第二導電膜上形成抗蝕劑。並且，將該抗蝕劑作用掩模，對第二氧化物半導體膜以及第二導電膜進行選擇性地蝕刻，以形成第二佈線 907、第三佈線 908 以及緩衝層 1010a、1010b。此時的蝕

刻方法採用濕蝕刻或乾蝕刻。例如，當使用鋁（Al）膜或鋁合金膜作為第二導電膜時，可以進行使用混合了磷酸、醋酸和硝酸的溶液的濕蝕刻。同樣地，當使用鈦（Ti）膜或鈦合金膜作為第二導電膜時，可以進行使用過氧化氫氨水（過氧化氫：氨：水 = 5：2：2）的濕蝕刻。

接下來，形成第一氧化物半導體膜。可以使用以濺射法、真空蒸鍍法、脈衝雷射蒸鍍法、離子電鍍法等為代表的薄膜沉積法進行第一氧化物半導體膜的成膜。第一氧化物半導體膜以濺射氣體所含有的氧濃度高於第二氧化物半導體膜的條件進行成膜。作為利用濺射法的成膜條件之一，使用以 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的比例進行混合並藉由燒結而形成的靶材，並將壓力設定為 0.4Pa，將直流（DC）電源設定為 500W，將氫氣體流量設定為 10sccm，並將氧氣體流量設定為 5sccm。

另外，在進行第一氧化物半導體膜的成膜之前，較佳的進行藉由引入氫氣體生成電漿的反濺射處理來去除附著在絕緣層 903、第一佈線 901、第二佈線 907 以及第三佈線 908 上的塵屑。並且，藉由在對氫添加氧的氣氛下進行反濺射處理，導體的第一佈線 901、第二佈線 907 以及第三佈線 908 的表面被氧化，而可以使其與第二氧化物半導體膜接觸的介面附近高電阻化。由此，可以降低之後形成的薄膜電晶體的截止電流的值。另外，反濺射處理是指不向靶材一側施加電壓，而在氫氣氛下對基板一側使用 RF 電源施加電壓在基板上生成電漿來對表面進行改性的

處理方法。

接著，進行第四光微影製程，在第一氧化物半導體膜上形成抗蝕劑。並且，將該抗蝕劑用作掩模對第一氧化物半導體膜進行選擇性地蝕刻，以形成第一氧化物半導體層 905 以及第二氧化物半導體層 906。圖 15B 相當於至此為止的製程完成步驟的截面圖。

接著，利用濺射法進行氧化矽膜的成膜。例如，可以以矽為靶材使用含有氫及氧的濺射氣體進行氧化矽膜的成膜。另外，還可以以氧化矽為靶材，並將氫作為濺射氣體進行氧化矽膜的成膜。接著，進行第五光微影製程，以在氧化矽膜上形成抗蝕劑。並且將該抗蝕劑作為掩模，對氧化矽膜進行選擇性地蝕刻，以在第二氧化物半導體層 906 上形成氧化矽層 909。

接著，在整個基板表面上形成用作鈍化膜的氮化矽層 910。該氮化矽層 910 藉由使用含有矽烷（ SiH_4 ）以及氨（ NH_3 ）等的氮化合物的氣體的電漿 CVD 法形成，並含有高濃度的氫。

接著，進行 200°C 至 600°C ，典型的是 250°C 至 500°C 的熱處理。例如，在爐中在氮氣氛下以 350°C 進行一個小時的熱處理。圖 15C 相當於至此為止的製程完成步驟的截面圖。

根據上述製程，可以使用氧化物半導體層製造電阻器 354 以及薄膜電晶體 355。

另外，以上所述的製程順序只是一個例子並沒有特別

的限制。在圖 16A 至 16C 中示出與圖 15A 至 15C 不同的製造製程的例子並對其進行說明。

在基板 900 上形成第一導電膜。接著，進行第一光微影製程，以在第一導電膜上形成抗蝕劑。並且，以該抗蝕劑為掩模，對第一導電膜進行選擇性地蝕刻，以形成第一佈線 901 以及閘極端子 902。

接著，形成覆蓋第一佈線 901 以及閘極端子 902 的絕緣膜。接著，形成第二氧化物半導體膜。接下來，形成第二導電膜。接著，進行第二光微影製程，以在第二導電膜上形成抗蝕劑。並以該抗蝕劑為掩模，對第二導電膜以及第二氧化物半導體膜進行選擇性地蝕刻，以形成第二佈線 907、第三佈線 908 以及緩衝層 1010a、1010b。圖 16A 相當於至此為止的製程完成步驟的截面圖。

接著，進行第三光微影製程以在絕緣膜上形成抗蝕劑。並以該抗蝕劑為掩模對絕緣膜進行選擇性地蝕刻，以形成設置有到達第一佈線 901 的接觸孔 904 的絕緣層 903。

接著，形成第一氧化物半導體膜。接著，進行第四光微影製程，以在第一氧化物半導體膜上形成抗蝕劑。並以該抗蝕劑為掩模，對第一氧化物半導體膜進行選擇性地蝕刻，以形成第一氧化物半導體層 905 以及第二氧化物半導體層 906。圖 16B 相當於至此為止的製程完成步驟的截面圖。

接著，利用濺射法進行氧化矽膜的成膜。接著，進行

第五光微影製程以在氧化矽膜上形成抗蝕劑。並以該抗蝕劑為掩模，對氧化矽膜進行選擇性地蝕刻，以形成覆蓋第二氧化物半導體層 906 的氧化矽層 909。

接著，利用使用包含矽烷（ SiH_4 ）以及氨（ NH_3 ）等的氫化合物的氣體的電漿 CVD 法在整個基板表面上形成用作鈍化膜的氮化矽層 910。

接著，在氮氣氛下進行 200°C 至 600°C 的熱處理。圖 16C 相當於至此為止的製程完成步驟的截面圖。

根據上述製程，可以製造使用氧化物半導體層形成的電阻器 354 以及薄膜電晶體 355。並且，在圖 16A 至 16C 所說明的製程中，在形成接觸孔 904 之後，可以形成第一氧化物半導體膜。由此，可以減少接觸孔的底面暴露的製程數，從而第一佈線 901 的材料選擇的自由度變寬。

在本實施例模式中說明的電阻器以及薄膜電晶體使用氧化物半導體層形成。因此，具有該電阻器以及薄膜電晶體的驅動電路具有良好的動態特性。另外，在用作電阻器的第一氧化物半導體層上直接接觸地設置有利用使用包含矽烷（ SiH_4 ）以及氨（ NH_3 ）等的氫化合物的氣體的電漿 CVD 法形成的氮化矽層，並且在用作薄膜電晶體的第二氧化物半導體層上隔著成為阻擋層的氧化矽層地設置氮化矽層。由此，對與含有高濃度的氫的氮化矽層直接接觸的第一氧化物半導體層引入比第二氧化物半導體層更高濃度的氫。其結果，可以使第一氧化物半導體層的電阻值低於第二氧化物半導體層的電阻值。由此，不需要另行進行薄

膜電晶體的製造製程以及電阻器的製造製程，從而可以提供製造製程得到縮減的驅動電路。

實施例模式 2

在本實施例模式中，使用圖 17 對與實施例模式 1 不同的電阻器以及薄膜電晶體的一個例子進行說明。另外，圖 17 示出對應於實施例模式 1 所說明的圖 8 的 A-B 線以及 C-D 線的電阻器以及薄膜電晶體的截面結構。

在基板 900 上設置第一佈線 901 以及閘極端子 902。並且，在第一佈線 901 以及閘極端子 902 上設置絕緣層 903。另外，由於基板 900、第一佈線 901、閘極端子 902 以及絕緣層 903 可以使用在實施例模式 1 中說明的材料，所以在本實施例模式中引用實施例模式 1 的說明。

在絕緣層 903 上設置與第一佈線 901 重疊的含有高濃度的氮的第一氧化物半導體層 2001 以及與閘極端子 902 重疊的含有高濃度的氮的第二氧化物半導體層 2002。另外，第一佈線 901 在形成在絕緣層 903 中的接觸孔 904 中與含有高濃度的氮的第一氧化物半導體層 2001 接觸。

另外，含有高濃度的氮的第一氧化物半導體層 2001 以及含有高濃度的氮的第二氧化物半導體層 2002 是由與形成實施例模式 1 所示的第一氧化物半導體膜以及第二氧化物半導體膜不同的條件形成的氧化物半導體膜形成的氮濃度高的氧化物半導體層。具體地，它們是在氧化物半導體層中的相對於氧 (O) 的氮 (N) 的比率 (N/O) 為

0.05 以上且 0.8 以下的範圍，較佳的為 0.1 以上且 0.5 以下的範圍的氧化物半導體層。

例如，當利用濺射法進行含有高濃度的氮的氧化物半導體膜的成膜時，使用含有氮的濺射氣體進行成膜即可。作為利用濺射法的成膜條件之一，使用 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1 : 1 : 1$ 的靶材（ $\text{In} : \text{Ga} : \text{Zn}=1 : 1 : 0.5$ ），並且將壓力設定為 0.4Pa，將直流（DC）電源設定為 500W，並將氬氣體流量設定為 35sccm，將氮氣體流量設定為 5sccm。另外，當使用脈衝直流（DC）電源時，可以減少塵屑並使膜厚度均勻，所以是優選的。接著，利用光微影製程由含有高濃度的氮的氧化物半導體膜形成含有高濃度的氮的第一氧化物半導體層 2001 以及含有高濃度的氮的第二氧化物半導體層 2002。

接著，設置第二佈線 907 以及第三佈線 908。第二佈線 907 覆蓋含有高濃度的氮的第一氧化物半導體層 2001 的一端以及含有高濃度的氮的第二氧化物半導體層 2002 的一端，第三佈線 908 覆蓋含有高濃度的氮的第二氧化物半導體層 2002 的另一端。另外，由於第二佈線 907 以及第三佈線 908 可以使用實施例模式 1 所說明的材料，所以本實施例模式引用實施例模式 1 的說明。

接著，在含有高濃度的氮的第二氧化物半導體層 2002 上設置氧化矽層 909。藉由對利用濺射法而形成的氧化矽膜進行選擇性地蝕刻來形成氧化矽層。該氧化矽層可以藉由以下方法形成，即：以矽為靶材，並使用含有氬及

氧的濺射氣體；或者，以氧化矽為靶材，並使用氫作為濺射氣體。

在該步驟中，在包含成為氫原子的供給源的物質的氣氛下進行 200°C 至 600°C，典型的是 250°C 至 500°C 的熱處理。作為該熱處理條件之一，在 350°C 下進行一個小時的熱處理。另外，作為包含成為氫原子的供給源的物質的氣氛，可以使用氫與氫等的稀有氣體的混合氣氛等。

氧化物半導體層中的氮可以在防止構成氧化物半導體層的原子在膜中被填充得過密的同時促進氫向膜中的擴散、固溶 (solid dissolution)。所以藉由該熱處理，對含有高濃度的氮的第一氧化物半導體層 2001 引入氫。其結果，含有高濃度的氮的第一氧化物半導體層 2001 的氫濃度高於含有高濃度的氮的第二氧化物半導體層 2002 的氫濃度。即，可以使含有高濃度的氮的第一氧化物半導體層 2001 的電阻值低於含有高濃度的氮的第二氧化物半導體層 2002 的電阻值。

並且，在整個基板表面上形成利用使用包含矽烷 (SiH_4) 以及氨 (NH_3) 等的氫化合物的氣體的電漿 CVD 法形成的氮化矽層 910。該氮化矽層 910 是含有高濃度的氫的氮化矽。所以，可以進一步提高與該氮化矽層 910 直接接觸的含有高濃度的氮的第一氧化物半導體層 2001 的氫濃度，並謀求實現低電阻化。

根據上述方法，可以形成使用有低電阻化了的含有高濃度的氮的第一氧化物半導體層 2001 的電阻器 354、以

及使用有維持有高電阻值的含有高濃度的氮的第二氧化物半導體層 2002 的薄膜電晶體 355。

另外，在本實施例模式中，雖然示出對應於圖 8 的 A-B 線的電阻器的截面結構，但是也可以如圖 9 以及圖 10 所示地將含有高濃度的氮的第一氧化物半導體層形成爲彎曲形狀（蛇行形狀）。另外，還可以如圖 10 所示地在含有高濃度的氮的氧化物半導體層的兩端上形成佈線層。

另外，在本實施例模式中，雖然示出通道蝕刻型的薄膜電晶體的截面結構，但也可以採用通道停止型的薄膜電晶體。另外，在本實施例模式中，雖然示出反交錯型的薄膜電晶體，但也可以採用共面型的薄膜電晶體。

本實施例模式所說明的電阻器以及薄膜電晶體使用含有高濃度的氮的氧化物半導體層形成。由此，具有該電阻器以及薄膜電晶體的驅動電路具有良好的動態特性。另外，藉由在包含成爲氫原子的供給源的物質的氣氛下進行 200°C 至 600°C，典型的是 250°C 至 500°C 的熱處理，對用作電阻器的含有高濃度的氮的第一氧化物半導體層引入氫。由此，對含有高濃度的氮的第一氧化物半導體層引入比第二氧化物半導體層更高濃度的氫。其結果，可以使含有高濃度的氮的第一氧化物半導體層的電阻值低於含有高濃度的氮的第二氧化物半導體層的電阻值。由此，不需要另行進行薄膜電晶體的製造製程以及電阻器的製造製程，從而可以提供製造製程得到縮減的驅動電路。

實施例模式 3

在本實施例模式中，使用圖 18A 至 18C 以及圖 19A 和 19B 對使用實施例模式 1 所說明的氧化物半導體層以及實施例模式 2 所說明的含有高濃度的氮的氧化物半導體層而製造的電阻器以及薄膜電晶體進行說明。另外，圖 18A 至 18C 以及圖 19A 和 19B 示出對應於圖 8 的 A-B 線以及 C-D 線的電阻器以及薄膜電晶體的截面結構。

具體地，在本實施例模式中，使用圖 18A 至 18C 以及圖 19A 和 19B 對使用實施例模式 2 所述的含有高濃度的氮的氧化物半導體層來替代實施例模式 1 所述的緩衝層的結構進行說明。

首先，在基板 900 上形成第一導電膜。可以使用以濺射法、真空蒸鍍法、脈衝雷射蒸鍍法、離子電鍍法等為代表的薄膜沉積法進行第一導電膜的成膜。接著，進行第一光微影製程，以在第一導電膜上形成抗蝕劑。並且，以該抗蝕劑為掩模，對第一導電膜進行選擇性地蝕刻，以形成第一佈線 901 以及閘極端子 902。接著，形成覆蓋第一佈線 901 以及閘極端子 902 的絕緣膜。可以使用以濺射法、真空蒸鍍法、脈衝雷射沉積法、離子電鍍法、電漿 CVD 法等為代表的薄膜沉積法進行絕緣膜的成膜。接著，進行第二光微影製程，以在絕緣膜上形成抗蝕劑。並且，以該抗蝕劑為掩模，對絕緣膜進行選擇性地蝕刻，以形成設置有接觸孔 904 的絕緣層 903。另外，由於第一佈線 901、閘極端子 902 以及絕緣層 903 可以使用實施例模式 1 所說

明的材料，所以在本實施例模式中引用實施例模式 1 的說明。圖 18A 相當於至此為止的製程完成步驟的截面圖。

接著，形成氧化物半導體膜 950。可以使用以濺射法、真空蒸鍍法、脈衝雷射沉積法、離子電鍍法、電漿 CVD 法等為代表的薄膜沉積法進行氧化物半導體膜 950 的成膜。當進行利用濺射法的成膜時，優選使用燒結 In_2O_3 、 Ga_2O_3 、 ZnO 而形成的靶材。作為利用濺射法的成膜條件之一，使用以 In_2O_3 ： Ga_2O_3 ： ZnO =1：1：1 的比例進行混合並藉由燒結而形成的靶材，並將壓力設定為 0.4Pa，將直流（DC）電源設定為 500W，將氬氣體流量設定為 10sccm，並將氧氣體流量設定為 5sccm。

接著，形成含有高濃度的氮的氧化物半導體膜 951。可以使用以濺射法、真空蒸鍍法、脈衝雷射蒸鍍法、離子電鍍法等為代表的薄膜沉積法進行含有高濃度的氮的氧化物半導體膜 951 的成膜。當進行利用濺射法的成膜時，較佳的使用燒結 In_2O_3 、 Ga_2O_3 、 ZnO 而形成的靶材。作為利用濺射法的含有高濃度的氮的氧化物半導體膜 951 的成膜條件之一，使用以 In_2O_3 ： Ga_2O_3 ： ZnO =1：1：1 的比例進行混合並藉由燒結而形成的靶材，並將壓力設定為 0.4Pa，將直流（DC）電源設定為 500W，將氬氣體流量設定為 35sccm，並將氮氣體流量設定為 5sccm。圖 18B 相當於至此為止的製程完成步驟的截面圖。

接著，進行第三光微影製程，以在含有高濃度的氮的氧化物半導體膜 951 上形成抗蝕劑。並且，以該抗蝕劑為

掩模對氧化物半導體膜 950 以及含有高濃度的氮的氧化物半導體膜 951 進行選擇性地蝕刻，而形成第一氧化物半導體層 960 及含有高濃度的氮的第一氧化物半導體層 961 的疊層、以及第二氧化物半導體層 962 及含有高濃度的氮的第二氧化物半導體層 963 的疊層。圖 18C 相當於至此為止的製程完成步驟的截面圖。

在該步驟中，在包含成爲氫原子的供給源的物質的氣氛中進行 200°C 至 600°C，典型的是 250°C 至 500°C 的熱處理。作爲該熱處理條件之一，在 350°C 下進行一個小時的熱處理。另外，作爲包含成爲氫原子的供給源的物質的氣氛，可以使用氫與氫等的稀有氣體的混合氣氛等。

氧化物半導體層中的氮可以在防止構成氧化物半導體層的原子在膜中被填充得過密的同時促進氫向膜中的擴散、固溶。所以藉由該熱處理，對含有高濃度的氮的第一氧化物半導體層 961 以及含有高濃度的氮的第二氧化物半導體層 963 引入氫。其結果，可以使含有高濃度的氮的第一氧化物半導體層 961 以及含有高濃度的氮的第二氧化物半導體層 963 的電阻值減小。

接著，形成第二導電膜。可以使用以濺射法、真空蒸鍍法、脈衝雷射蒸鍍法、離子電鍍法等爲代表的薄膜沉積法進行第二導電膜的成膜。接著，進行第四光微影製程，以在第二導電膜上形成抗蝕劑。並且，以該抗蝕劑爲掩模，對第二導電膜進行選擇性地蝕刻，以形成第二佈線 907 以及第三佈線 908。另外，由於第二佈線 907、第三

佈線 908 可以使用實施例模式 1 所說明的材料，所以在本實施例模式中引用實施例模式 1 的說明。另外，在該蝕刻製程中，不與第二佈線 907 以及第三佈線 908 重疊的區域的含有高濃度的氮的氧化物半導體層被蝕刻而被去除。另外，該區域的氧化物半導體層也被部分地蝕刻，而形成氧化物半導體層 964、966 以及含有高濃度的氮的氧化物半導體層 965、967、968。圖 19A 相當於至此為止的製程完成步驟的截面圖。

接著，利用濺射法進行氧化矽膜的成膜。例如，可以以矽為靶材使用含有氫及氧的濺射氣體進行氧化矽膜的成膜。另外，還可以以氧化矽為靶材，並將氫作為濺射氣體進行氧化矽膜的成膜。接著，藉由第五光微影製程，以在氧化矽膜上形成抗蝕劑。並且，將該抗蝕劑作為掩模，對氧化矽膜進行選擇性地蝕刻，以形成氧化矽層 909。

接著，形成用作鈍化膜的氮化矽層 910。利用使用包含矽烷 (SiH_4) 以及氨 (NH_3) 等的氮化合物的氣體的電漿 CVD 法形成該氮化矽層 910。根據上述製程，可以形成電阻器 354 以及薄膜電晶體 355。圖 19B 相當於至此為止的製程完成步驟的截面圖。

本實施例模式所示的電阻器 354 以及薄膜電晶體 355 在氧化物半導體層與導電體的佈線層之間形成引入有氫且被低電阻化的含有高濃度的氮的氧化物半導體層 965、967、968。由此，氧化物半導體層與佈線層的接合成為比肖特基接合更良好的接合，並且在熱方面上也穩定工作。

另外，在薄膜電晶體 355 中，藉由形成含有高濃度的氮的氧化物半導體層 967、968，即使在高汲極電極電壓下也能保持良好的遷移率。

另外，在上述製造製程中，雖然示出在氧化物半導體層的蝕刻製程之後進行對含有高濃度的氮的氧化物半導體層引入氫的熱處理的例子，但是只要是在形成含有高濃度的氮的氧化物半導體膜之後至形成第二導電膜之前，就可以在任一製程中進行該熱處理。例如，可以將該熱處理作為形成含有高濃度的氮的氧化物半導體膜之後的下一製程。

另外，在本實施例模式中，雖然示出對應於圖 8 的 A-B 線的電阻器的截面結構，但是也可以如圖 9 和圖 10 所示地將氧化物半導體層形成為彎曲形狀（蛇行形狀）。另外，還可以如圖 10 所示地在含有高濃度的氮的氧化物半導體層的兩端上形成佈線層。

另外，在本實施例模式中，雖然示出通道蝕刻型的薄膜電晶體的截面結構，但也可以採用通道停止型的薄膜電晶體。另外，在本實施例模式中，雖然示出反交錯型的薄膜電晶體，但也可以採用共面型的薄膜電晶體。

本實施例模式所說明的電阻器以及薄膜電晶體使用氧化物半導體層以及含有高濃度的氮的氧化物半導體層形成。由此，具有該電阻器以及薄膜電晶體的驅動電路具有良好的動態特性。另外，在用作電阻器的第一氧化物半導體層上直接接觸地設置有利用使用包含矽烷（ SiH_4 ）以及

氨（ NH_3 ）等的氮化合物的氣體的電漿 CVD 法形成的氮化矽層，並且在用作薄膜電晶體的第二氧化物半導體層上隔著成爲阻擋層的氧化矽層地設置有氮化矽層。由此，對與含有高濃度的氮的氮化矽層直接接觸的第一氧化物半導體層引入比第二氧化物半導體層更高濃度的氮。其結果，可以使第一氧化物半導體層的電阻值低於第二氧化物半導體層的電阻值。由此，不需要另行進行薄膜電晶體的製造製程以及電阻器的製造製程，從而可以提供製造製程得到縮減的驅動電路。

實施例模式 4

在本實施例模式中，使用圖 20A 至 20C 對具有由動態電路構成的移位暫存器的驅動電路的結構例進行說明。

圖 20A 所示的脈衝輸出電路 1400 由起始脈衝（SP）從輸入端子輸入的反相電路 1401、一方的端子與反相電路 1401 的輸出端子連接的開關 1402、以及與開關 1402 的另一方的端子連接的電容器 1403 構成。另外，奇數級的脈衝輸出電路的開關 1402 根據第一時鐘信號（CLK1）被控制爲導通、截止。另外，偶數級的脈衝輸出電路的開關 1402 根據第二時鐘信號（CLK2）被控制爲導通、截止。

圖 20B 對脈衝輸出電路的電路結構進行詳細地表示。脈衝輸出電路 1400 包括薄膜電晶體 1411、1413、電阻器 1412、電容器 1414。另外，奇數級的脈衝輸出電路與用

於供給第一時鐘信號 (CLK1) 的佈線 1415 連接，偶數級的脈衝輸出電路與用於供給第二時鐘信號 (CLK2) 的佈線 1416 連接。在脈衝輸出電路 1400 中，薄膜電晶體 1411 以及電阻器 1412 相當於圖 20A 所示的反相電路 1401，且為 ERMOS 電路。另外，薄膜電晶體 1413 相當於圖 20A 所示的開關 1402，電容器 1414 相當於圖 20A 所示的電容器 1403。另外，薄膜電晶體 1413 優選與薄膜電晶體 1411 同樣地由增強型薄膜電晶體構成。藉由使用增強型薄膜電晶體作為開關，可以降低電晶體的截止電流，所以可以謀求實現低耗電量化並縮減製造製程。

這裏，在圖 20C 中示出圖 20A 和 20B 所示的電路的電路工作的時序圖。另外，在圖 20C 中，為了便於說明，使用 A 至 E 的附圖標記對圖 20B 中的電路的節點進行說明。

首先，對第一時鐘信號 (CLK1) 為 H 位準且第二時鐘信號 (CLK2) 為 L 位準的狀態進行說明。

根據起始脈衝 (SP) 而反相信號出現在節點 A。由於第一時鐘信號 (CLK1) 為 H 位準，所以節點 B 的信號與節點 A 相等。並且，節點 B 的信號被下一級的反相電路反相，節點 C 出現節點 B 的信號反相了的信號。由於第二時鐘信號 (CLK2) 為 L 位準且開關關閉，所以節點 C 的信號不出現在節點 D。

接著，對第一時鐘信號 (CLK1) 為 L 位準且第二時鐘信號 (CLK2) 為 H 位準的狀態進行說明。

節點 C 的信號轉移到節點 D，節點 D 反映並出現節點 C 的信號。並且，節點 D 的信號被反相電路反相，並且節點 E 出現節點 D 的信號反相了的信號。並且，藉由使第一時鐘信號（CLK1）以及第二時鐘信號（CLK2）交替地成爲 H 位準，可以作爲移位暫存器而工作。

另外，具有本實施例模式所示的脈衝輸出電路的移位暫存器可以用於源極線驅動電路以及閘極線驅動電路。另外，還可以採用從移位暫存器輸出的信號藉由邏輯電路等輸出而得到所希望的信號的結構。

本實施例模式所說明的動態電路具有 ERMOS 電路。該 ERMOS 電路由實施例模式 1 至 3 所述的電阻器以及薄膜電晶體構成。因此，該動態電路具有良好的動態特性。

實施例模式 5

在本實施例模式中，使用圖 21 及圖 22A 和 22B 對設置有保護電路的顯示裝置的一個例子進行說明。

圖 21 示出顯示裝置的整體圖。在基板 500 上一體形成有源極線驅動電路 501、第一閘極線驅動電路 502A、第二閘極線驅動電路 502B 以及像素部 503。在像素部 503 中，以虛線框 510 圍繞的部分爲一個像素。在圖 21 的例中，作爲閘極線驅動電路示出第一閘極線驅動電路 502A 以及第二閘極線驅動電路 502B，但是也可以僅有任一方。另外，在顯示裝置的像素中，根據薄膜電晶體進行顯示元件的控制。對源極線驅動電路 501、第一閘極線驅動

電路 502A 以及第二閘極線驅動電路 502B 進行驅動的信號（時鐘信號、起始脈衝等）藉由撓性印刷電路（Flexible Print Circuit：FPC）504A、504B 從外部輸入。

並且，在源極線驅動電路 501 及第一閘極線驅動電路 502A 與像素部之間分別設置有保護電路 550、551。另外，保護電路 550、551 與從源極線驅動電路 501 以及第一閘極線驅動電路 502A 延伸至像素部 503 的佈線連接。保護電路 550、551 即使在與信號或電源電壓一起輸入有雜波的情況下，也能夠防止因雜波的後續級的電路的錯誤工作、或半導體元件的劣化或損壞。因此，可以提高可靠性及成品率。

接著，參照圖 22A 和 22B 對圖 21 所示的保護電路 550、551 的具體的電路結構的例子進行說明。

圖 22A 所示的保護電路包括用作保護二極體的二極體連接的 n 型薄膜電晶體 560 至 567、以及電阻器 568。另外，二極體連接的 n 型薄膜電晶體的閘極端子以及第一端子一側為陽極，第二端子一側為陰極。

二極體連接的 n 型薄膜電晶體 560 的陽極與被供給低電源電位 VSS 的佈線連接。二極體連接的 n 型薄膜電晶體 561 的陽極與二極體連接的 n 型薄膜電晶體 560 的陰極連接。另外，二極體連接的 n 型薄膜電晶體 562 的陽極與佈線 569 連接。二極體連接的 n 型薄膜電晶體 563 的陽極與二極體連接的 n 型薄膜電晶體 562 的陰極連接，並且陰

極與高電源電位 V_{DD} 連接。二極體連接的 n 型薄膜電晶體 564 至二極體連接的 n 型薄膜電晶體 567 與二極體連接的 n 型薄膜電晶體 560 至二極體連接的 n 型薄膜電晶體 563 同樣地連接。電阻器 568 與輸入輸入電位 V_{in} 的端子以及輸出輸出電位 V_{out} 的端子串聯連接。

以下對圖 22A 所示的保護電路的工作進行說明。

當來自驅動電路的輸入電位 V_{in} 非常高時，具體地，當輸入電位 V_{in} 為高電源電位 V_{DD} 以及二極體連接的 n 型薄膜電晶體 562、563 的正方向電壓下降之和以上時，二極體連接的 n 型薄膜電晶體 562、563 導通，而佈線 569 的電位顯示對應於高電壓電位 V_{DD} 及二極體連接的 n 型薄膜電晶體 562、563 的正方向電壓下降的和的電位。

另一方面，當來自驅動電路的輸入電位 V_{in} 非常低時，具體地，當輸入電位 V_{in} 為低電源電位 V_{SS} 與二極體連接的 n 型薄膜電晶體 560、561 的正方向電壓下降的差以下時，二極體連接的 n 型薄膜電晶體 560、561 導通，佈線 569 的電位顯示對應於低電壓電位 V_{SS} 與二極體連接的 n 型薄膜電晶體 560、561 的正方向電壓下降的差的電位。

由此，保護電路的輸出電位 V_{out} 可以維持在某一定的範圍內。

另外，在本實施例模式中示出與二極體連接的 n 型薄膜電晶體 560 至二極體連接的 n 型薄膜電晶體 563 同樣地設置二極體連接的 n 型薄膜電晶體 564 至二極體連接的 n

型薄膜電晶體 567 的結構。藉由設置二極體連接的 n 型薄膜電晶體 564 至二極體連接的 n 型薄膜電晶體 567，可以增加當來自驅動電路的輸入電位 V_{in} 非常高或低時的電流的路徑。由此，可以進一步提高顯示裝置的可靠性。

另外，電阻器 568 可以緩和佈線 569 的電位的急劇變化，從而防止像素部的半導體元件的劣化或損壞。

圖 22B 所示的保護電路包括電阻器 570、電阻器 571 以及二極體連接的 n 型薄膜電晶體 572。電阻器 570、電阻器 571 以及二極體連接的 n 型薄膜電晶體 572 串聯連接到佈線 573 上。

利用電阻器 570 及電阻器 571 可以緩和佈線 573 的電位的急劇變化，從而防止像素部的半導體元件的劣化或損壞。另外，利用二極體連接的 n 型薄膜電晶體 572，可以防止因電位的變化而引起的向佈線 573 流過反方向偏壓的電流。

另外，當僅將電阻器串聯連接到佈線上時，可以緩和佈線的電位的急劇變化，從而防止像素部的半導體元件的劣化或損壞。另外，當僅將二極體連接的 n 型薄膜電晶體串聯連接到佈線時，可以防止因電位的變化而引起的向佈線流過反方向偏壓的電流。

另外，本實施例模式的保護電路不局限於圖 22A 和 22B 所示的結構。只要是具有同樣功能的電路結構，就可以適當地進行設計變更。

在本實施例模式中說明的保護電路具有實施例模式 1

至 3 所述的電阻器以及薄膜電晶體。因此，該保護電路具有良好的動態特性。

實施例模式 6

在本實施例模式中，示出發光顯示裝置的例子作為具有實施例模式 1 至 3 所示的電阻器以及薄膜電晶體的半導體裝置。在此，示出具有利用電致發光的發光元件的發光顯示裝置。利用電致發光的發光元件根據其發光材料是有機化合物還是無機化合物來進行區別，一般來說，前者稱為有機 EL 元件，而後者稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，以產生電流。然後，由於這些載流子（電子和電洞）重新結合，發光有機化合物形成激發態，並且當該激發態恢復到基態時，得到發光。根據這種機理，該發光元件稱為電流激勵型發光元件。

根據其元件的結構，將無機 EL 元件分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件包括在黏合劑中分散有發光材料的粒子的發光層，且其發光機理是利用供體能級和受體能級的供體-受體重新結合型發光。薄膜型無機 EL 元件具有利用電介質層夾住發光層並還利用電極夾住該發光層的結構，並且其發光機理是利用金屬離子的內層電子躍遷的定域型發光。在此，使用有機 EL 元件作為發光元件而進行說明。

下面對可以使用的像素的結構以及像素的工作進行說明。這裏示出具有將氧化物半導體層用作通道形成區的 n 通道型薄膜電晶體的像素。

圖 23 是示出像素結構的一個例子的圖。圖 23 中的像素 6400 具有薄膜電晶體 6401、6402 以及發光元件 6403。薄膜電晶體 6401 的閘極端子連接到閘極線 6406，第一端子連接到源極線 6405。薄膜電晶體 6402 的閘極端子連接到薄膜電晶體 6401 的第二端子，第一端子連接到電源線 6407，第二端子連接到發光元件 6403 的第一電極（像素電極）。另外，電源線 6407 設定有高電源電位 VDD。

發光元件 6403 的第二電極相當於共同電極 6408。共同電極 6408 與形成在同一基板上的共同電位線電連接。另外，發光元件 6403 的第二電極（共同電極 6408）設定有低電源電位 VSS。例如，作為低電源電位 VSS 可以設定為 GND、0V 等。另外，將電源線 6407 所設定的高電源電位 VDD 與第二電極所設定的低電源電位 VSS 的電位差施加到發光元件 6403 上而使電流流過從而使發光元件 6403 發光，所以以高電源電位 VDD 與低電源電位 VSS 的電位差成為發光元件 6403 的正方向臨界值電壓以上的方式分別設定各電位。

接著，參照圖 24A 至 24C 說明發光元件的結構。另外，在本實施例模式中，雖然示出將圖 12A 所示的薄膜電晶體用作發光顯示裝置的薄膜電晶體的例子，但是本實施

例模式所示的發光顯示裝置的薄膜電晶體也可以使用任何其他的實施例模式 1 至 3 所示的薄膜電晶體。

發光元件的陽極及陰極中之至少一方是透明以取出發光，即可。而且，有如下結構的發光元件，即在基板上形成薄膜電晶體及發光元件，並從與基板相反的面取出發光的頂部發射、從基板一側取出發光的底部發射、以及從基板一側及與基板相反一側的面取出發光的雙面發射。圖 23 所述的像素結構可以應用於任何發射結構的發光元件。

參照圖 24A 說明頂部發射結構的發光元件。

在圖 24A 中示出當薄膜電晶體 7001 是 n 型並且從發光元件 7002 發射的光穿過陽極 7005 一側時的像素的截面圖。在圖 24A 中，發光元件 7002 的陰極 7003 和薄膜電晶體 7001 電連接，在陰極 7003 上按順序層疊有發光層 7004、陽極 7005。作為陰極 7003，只要是功函數小且反射光的導電層，就可以使用各種材料。例如，較佳的採用 Ca、Al、CaF、MgAg、AlLi 等。而且，發光層 7004 可以由單層或多個層的疊層構成。在由多個層構成時，在陰極 7003 上按順序層疊電子注入層、電子傳輸層、發光層、電洞傳輸層、電洞注入層。注意，不需要設置上述的所有層。使用透過光的具有透光性的導電材料形成陽極 7005，也可以使用具有透光性的導電性氧化物，例如，包含氧化鎢的氧化銮、包含氧化鎢的氧化銮鋅、包含氧化鈦的氧化銮、包含氧化鈦的氧化銮錫、氧化銮錫、氧化銮

鋅、添加有氧化矽的氧化銻錫等。

使用陰極 7003 及陽極 7005 夾住發光層 7004 的區域相當於發光元件 7002。在圖 24A 所示的像素中，從發光元件 7002 發射的光如箭頭所示那樣發射到陽極 7005 一側。

接著，參照圖 24B 說明底部發射結構的發光元件。圖 24B 示出在薄膜電晶體 7011 是 n 型並且從發光元件 7012 發射的光發射到陰極 7013 一側的情況下的像素的截面圖。在圖 24B 中，在與薄膜電晶體 7011 電連接的具有透光性的導電層 7017 上形成有發光元件 7012 的陰極 7013，在陰極 7013 上按順序層疊有發光層 7014、陽極 7015。另外，在陽極 7015 具有透光性的情況下，也可以覆蓋陽極上地形成有用於反射光或進行遮光的遮罩層 7016。與圖 24A 的情況同樣地，陰極 7013 只要是功函數小的導電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度（較佳的為 5nm 至 30nm 左右）。例如，也可以將厚度為 20nm 的鋁膜用作陰極 7013。而且，與圖 24A 同樣地，發光層 7014 可以由單層或多個層的疊層構成。陽極 7015 不需要透過光，但是可以與圖 24A 同樣地使用具有透光性的導電材料形成。並且，雖然遮罩層 7016 例如可以使用反射光的金屬等，但是不局限於金屬。例如，也可以使用添加有黑色的顏料的樹脂等。

由陰極 7013 及陽極 7015 夾住發光層 7014 的區域相當於發光元件 7012。在圖 24B 所示的像素中，從發光元

件 7012 發射的光如箭頭所示那樣發射到陰極 7013 一側。

接著，參照圖 24C 說明雙面發射結構的發光元件。在圖 24C 中，在與薄膜電晶體 7021 電連接的具有透光性的導電層 7027 上形成有發光元件 7022 的陰極 7023，而在陰極 7023 上按順序層疊有發光層 7024、陽極 7025。與圖 24A 的情況同樣地，作為陰極 7023，只要是功函數小的導電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度。例如，可以將厚度為 20nm 的 Al 膜用作陰極 7023。而且，與圖 24A 同樣地，發光層 7024 可以由單層或多個層的疊層構成。陽極 7025 可以與圖 24A 同樣地使用具有透過光的透光性的導電材料形成。

陰極 7023、發光層 7024 和陽極 7025 重疊的部分相當於發光元件 7022。在圖 24C 所示的像素中，從發光元件 7022 發射的光如箭頭所示那樣發射到陽極 7025 一側和陰極 7023 一側雙方。

此外，雖然這裏說明了使用有機 EL 元件作為發光元件的情況，但是也可以使用無機 EL 元件作為發光元件。

接著，參照圖 25A 和 25B 說明相當於顯示裝置的一個方式的發光顯示面板（也稱為發光面板）的外觀及截面。圖 25A 是一種面板的俯視圖，其中利用密封材料在第一基板與第二基板之間密封形成在第一基板上的薄膜電晶體及發光元件。圖 25B 相當於沿著圖 25A 的 E-F 的截面圖。

以圍繞設置在第一基板 4501 上的像素部 4502、源極

線驅動電路 4503a、4503b 及閘極線驅動電路 4504a、4504b 的方式設置有密封材料 4505。此外，在像素部 4502、源極線驅動電路 4503a、4503b 及閘極線驅動電路 4504a、4504b 上設置有第二基板 4506。因此，像素部 4502、源極線驅動電路 4503a、4503b 以及閘極線驅動電路 4504a、4504b 與填料 4507 一起由第一基板 4501、密封材料 4505 和第二基板 4506 密封。像這樣，爲了不暴露於外部空氣，較佳的使用氣密性高且漏氣少的保護薄膜（貼合薄膜、紫外線固化樹脂薄膜等）及覆蓋材料進行封裝（密封）。

此外，設置在第一基板 4501 上的像素部 4502 與源極線驅動電路 4503a、4503b 及閘極線驅動電路 4504a、4504b 同樣地包括使用氧化物半導體製造的薄膜電晶體。在圖 25B 中，例示包括在像素部 4502 中的薄膜電晶體 4510 和包括在源極線驅動電路 4503a 中的薄膜電晶體 4509。

另外，雖然示出使用具有圖 12A 所示的結構的薄膜電晶體用作薄膜電晶體 4509、4510 的例子，但是本實施例模式所示的發光顯示裝置的薄膜電晶體也可以使用任何其他的實施例模式 1 至 3 所示的薄膜電晶體。

此外，附圖標記 4511 相當於發光元件，發光元件 4511 所具有的作爲像素電極的第一電極層 4517 與薄膜電晶體 4510 的源電極層或汲極電極層電連接。注意，雖然發光元件 4511 的結構是第一電極層 4517、電場發光層

4512、第二電極層 4513 的疊層結構，但是不局限於本實施例模式所示的結構。可以根據從發光元件 4511 取出發光的方向等而適當地改變發光元件 4511 的結構。

使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷形成分隔壁 4520。特別佳的是，使用感光材料，在第一電極層 4517 上形成開口部，並將其開口部的側壁形成為具有連續的曲率而成的傾斜面。

電場發光層 4512 既可以由單層構成，又可以由多個層的疊層構成。

也可以在第二電極層 4513 及分隔壁 4520 上形成保護膜，以防止氧、氫、水分、二氧化碳等侵入到發光元件 4511 中。作為保護膜，可以形成氮化矽層、氮氧化矽層、DLC 層等。

另外，供給到源極線驅動電路 4503a、4503b、閘極線驅動電路 4504a、4504b、或像素部 4502 的各種信號及電位是從 FPC4518a、4518b 供給的。

在本實施例模式中，連接端子電極 4515 由與發光元件 4511 所具有的第一電極層 4517 相同的導電膜形成，並且端子電極 4516 由與薄膜電晶體 4509、4510 所具有的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4515 藉由各向異性導電膜 4519 與 FPC4518a 所具有的端子電連接。

位於從發光元件 4511 取出發光的方向上的第二基板 4506 需要具有透光性。在此情況下，使用如玻璃板、塑

膠板、聚酯薄膜或丙烯酸薄膜等的具有透光性的材料。

此外，作為填料 4507，除了氮或氬等的惰性氣體之外，還可以使用紫外線固化樹脂或熱固化樹脂。可以使用 PVC（聚氯乙烯）、丙烯酸、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）、或 EVA（乙烯-醋酸乙烯酯）。在本實施例模式中，作為填料 4507 使用氮。

另外，若有需要，也可以在發光元件的發射面上適當地設置諸如偏光板、圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 片、 $\lambda/2$ 片）、彩色濾光片等的光學薄膜。另外，也可以在偏光板或圓偏光板上設置抗反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光並降低眩光的處理。

源極線驅動電路 4503a、4503b 及閘極線驅動電路 4504a、4504b 也可以作為在另行準備的基板上形成的驅動電路安裝。此外，也可以另行僅形成源極線驅動電路或其一部分、或者閘極線驅動電路或其一部分安裝。本實施例模式不局限於圖 25A 和 25B 的結構。

本實施例模式所示的發光顯示裝置具有實施例模式 1 至 3 所示的電阻器以及薄膜電晶體。所以，該發光顯示裝置具有良好的動態特性。

實施例模式 7

在本實施例模式中，作為具有實施例模式 1 至 3 所示的電阻器以及薄膜電晶體的半導體裝置，示出電子紙的例

子。

圖 26 示出主動矩陣型電子紙。圖 26 的電子紙採用旋轉球顯示方式。旋轉球顯示方式是指一種方法，其中將分別著色為白色和黑色的球形粒子配置在用於顯示元件的電極層的第一電極層及第二電極層之間，並在第一電極層及第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

設置在第一基板 580 上的薄膜電晶體 581 是底閘結構的薄膜電晶體，並藉由第一端子或第二端子與第一電極層 587 在形成在絕緣層 585 中的開口互相接觸而電連接。在第一電極層 587 和第二電極層 588 之間設置有球形粒子 589，該球形粒子 589 具有黑色區 590a、白色區 590b，且其周圍包括充滿了液體的空洞 594，並且設置在第一基板 580 及第二基板 596 之間的該球形粒子 589 的周圍填充有樹脂等的填料 595（參照圖 26）。在本實施例模式中，第一電極層 587 相當於像素電極，第二電極層 588 相當於共同電極。

此外，還可以使用電泳元件代替旋轉球。使用直徑為 $10\ \mu\text{m}$ 至 $200\ \mu\text{m}$ 左右的微囊，該微囊中封入有透明液體、帶正電的白色微粒和帶負電的黑色微粒。在設置在第一電極層和第二電極層之間的微囊中，當由第一電極層和第二電極層施加電場時，白色微粒和黑色微粒移動到相反方向，從而可以顯示白色或黑色。應用這種原理的顯示元件就是電泳顯示元件，一般地稱為電子紙。電泳顯示元件

具有比液晶顯示元件高的反射率，因而不需要輔助燈。此外，耗電量低，並且在昏暗的地方也能夠辨別顯示部。另外，即使不向顯示部供應電源，也能夠保持顯示過一次的圖像。從而，即使使具有顯示功能的半導體裝置（簡單地稱爲顯示裝置，或稱爲具備顯示裝置的半導體裝置）從電波發射源離開，也能夠儲存顯示過的圖像。

本實施例模式所示的電子紙具有實施例模式 1 至 3 所示的電阻器及薄膜電晶體。因此，電子紙具有良好的動態特性。

實施例模式 8

在本實施例模式中，作爲具有實施例模式 1 至 3 所示的電阻器及薄膜電晶體的半導體裝置，對電子設備的例子進行說明。

圖 27A 是可攜式遊戲機，其可以包括框體 9630、顯示部 9631、揚聲器 9632、操作鍵 9633、連接端子 9634、記錄媒體讀取部 9635 等。圖 27A 所示的可攜式遊戲機有如下功能：讀出儲存在記錄媒體中的程式或資料並將其顯示在顯示部上；藉由與其他可攜式遊戲機進行無線通信而實現資訊共用；等等。另外，圖 27A 所示的可攜式遊戲機可以具有各種功能，而不局限於這些功能。

圖 27B 是數位相機，其可以包括框體 9640、顯示部 9641、揚聲器 9642、操作鍵 9643、連接端子 9644、快門按鈕 9645、圖像接收部 9646 等。圖 27B 所示的具有電視

圖像接收功能的數位相機可以具有如下功能：拍攝靜止圖像；拍攝動態圖像；對所拍攝的圖像進行自動或手動校正；由天線接收各種資訊；對所拍攝的圖像或由天線接收到的資訊進行儲存；將所拍攝的圖像或由天線接收到的資訊顯示在顯示部上；等等。另外，圖 27B 所示的具有電視圖像接收功能的數位相機可以具有各種功能，而不局限於這些功能。

圖 27C 是電視圖像接收機，其可以包括框體 9650、顯示部 9651、揚聲器 9652、操作鍵 9653、連接端子 9654 等。圖 27C 所示的電視圖像接收機可以具有如下功能：對電視電波進行處理而將其轉換為視頻信號；對視頻信號進行處理並將其轉換為適於顯示的信號；對視頻信號的幀頻率進行轉換；等等。另外，圖 27C 所示的電視圖像接收機可以具有各種功能，而不局限於這些功能。

圖 28A 是電腦，其可以包括框體 9660、顯示部 9661、揚聲器 9662、操作鍵 9663、連接端子 9664、定位裝置 9665、外部連接埠 9666 等。圖 28A 所示的電腦可以具有如下功能：將各種資訊（靜止圖像、動態圖像、文字圖像等）顯示在顯示部上；利用各種軟體（程式）控制處理；無線通信或有線通信等的通信功能；利用通信功能而連接到各種電腦網路的功能；根據通信功能進行各種資料的發送或接收；等等。另外，圖 28A 所示的電腦可以具有各種功能，而不局限於這些功能。

圖 28B 是手機，其可以包括框體 9670、顯示部

9671、揚聲器 9672、操作鍵 9673、麥克風 9674 等。圖 28B 所示的手機可以具有如下功能：顯示各種資訊（靜止圖像、動態圖像、文字圖像等）；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯；利用各種軟體（程式）控制處理；等等。另外，圖 28B 所示的手機可以具有各種功能，而不局限於這些功能。

本實施例模式所示的電子設備具有實施例模式 1 至 3 所示的電阻器以及薄膜電晶體。因此，電子設備具有良好的動態特性。

【符號說明】

100：基板

101：源極線驅動電路

102A：閘極線驅動電路

102B：閘極線驅動電路

103：像素部

104A：FPC

104B：FPC

201：時鐘信號用位準轉移器

202：起始脈衝用位準轉移器

203：脈衝輸出電路

204：NAND 電路

205：緩衝

- 206 : 取樣開關
- 251 : 移位暫存器
- 300 : 脈衝輸出電路
- 301 : 開關
- 302 : 反相電路
- 303 : 反相電路
- 304 : 開關
- 305 : 反相電路
- 331 : 脈衝輸出電路
- 332 : 脈衝輸出電路
- 350 : 脈衝輸出電路
- 351 : 薄膜電晶體
- 352 : 電阻器
- 353 : 薄膜電晶體
- 354 : 電阻器
- 355 : 薄膜電晶體
- 356 : 薄膜電晶體
- 357 : 電阻器
- 358 : 薄膜電晶體
- 359 : 佈線
- 360 : 佈線
- 500 : 基板
- 501 : 源極線驅動電路
- 502A : 閘極線驅動電路

502B : 閘極線驅動電路

503 : 像素部

504A : FPC

504B : FPC

550 : 保護電路

551 : 保護電路

560 : 薄膜電晶體

561 : 薄膜電晶體

562 : 薄膜電晶體

563 : 薄膜電晶體

564 : 薄膜電晶體

565 : 薄膜電晶體

566 : 薄膜電晶體

567 : 薄膜電晶體

568 : 電阻器

569 : 佈線

570 : 電阻器

571 : 電阻器

572 : 薄膜電晶體

573 : 佈線

580 : 基板

581 : 薄膜電晶體

585 : 絕緣層

587 : 電極層

- 588 : 電極層
- 589 : 球形粒子
- 590a : 黑色區
- 590b : 白色區
- 594 : 空洞
- 595 : 填料
- 596 : 基板
- 601 : 電阻器
- 602 : 薄膜電晶體
- 603 : 電阻器
- 604 : 薄膜電晶體
- 605 : 電阻器
- 606 : 薄膜電晶體
- 607 : 電阻器
- 608 : 薄膜電晶體
- 701 : 電阻器
- 702 : 薄膜電晶體
- 703 : 薄膜電晶體
- 730 : 電容器
- 731 : 薄膜電晶體
- 721 : 薄膜電晶體
- 751 : 時鐘信號用位準轉移器
- 752 : 起始脈衝用位準轉移器
- 753 : 脈衝輸出電路

- 754 : NAND 電路
- 755 : 緩衝
- 781 : 移位暫存器
- 801 : 電源線
- 802 : 電源線
- 803 : 控制信號線
- 804 : 控制信號線
- 805 : 控制信號線
- 806 : 氧化物半導體層
- 807 : 佈線層
- 808 : 佈線層
- 809 : 接觸孔
- 900 : 基板
- 901 : 第一佈線
- 902 : 閘極端子
- 903 : 絕緣層
- 904 : 接觸孔
- 905 : 氧化物半導體層
- 906 : 氧化物半導體層
- 907 : 佈線
- 908 : 佈線
- 909 : 氧化矽層
- 910 : 氮化矽層
- 911a : 緩衝層

911b : 緩衝層
911c : 緩衝層
911d : 緩衝層
911e : 緩衝層
912 : 佈線
950 : 氧化物半導體膜
951 : 氧化物半導體膜
960 : 氧化物半導體層
961 : 氧化物半導體層
962 : 氧化物半導體層
963 : 氧化物半導體層
964 : 氧化物半導體層
965 : 氧化物半導體層
966 : 氧化物半導體層
967 : 氧化物半導體層
968 : 氧化物半導體層
1001 : 通道保護層
1010a : 緩衝層
1010b : 緩衝層
1400 : 脈衝輸出電路
1401 : 反相電路
1402 : 開關
1403 : 電容器
1411 : 薄膜電晶體

- 1412 : 電阻器
- 1413 : 薄膜電晶體
- 1414 : 電容器
- 1415 : 佈線
- 1416 : 佈線
- 2001 : 氧化物半導體層
- 2002 : 氧化物半導體層
- 4501 : 基板
- 4502 : 像素部
- 4503a : 源極線驅動電路
- 4503b : 源極線驅動電路
- 4504a : 閘極線驅動電路
- 4504b : 閘極線驅動電路
- 4505 : 密封材料
- 4506 : 基板
- 4507 : 填料
- 4509 : 薄膜電晶體
- 4510 : 薄膜電晶體
- 4511 : 發光元件
- 4512 : 電場發光層
- 4513 : 電極層
- 4515 : 連接端子電極
- 4516 : 端子電極
- 4517 : 電極層

- 4518a : FPC
- 4518b : FPC
- 4519 : 各向異性導電膜
- 4520 : 隔壁
- 6400 : 像素
- 6401 : 薄膜電晶體
- 6402 : 薄膜電晶體
- 6403 : 發光元件
- 6405 : 源極線
- 6406 : 閘極線
- 6407 : 電源線
- 6408 : 共同電極
- 7001 : 薄膜電晶體
- 7002 : 發光元件
- 7003 : 陰極
- 7004 : 發光層
- 7005 : 陽極
- 7011 : 薄膜電晶體
- 7012 : 發光元件
- 7013 : 陰極
- 7014 : 發光層
- 7015 : 陽極
- 7016 : 遮光層
- 7017 : 導電層

- 7021 : 薄膜電晶體
- 7022 : 發光元件
- 7023 : 陰極
- 7024 : 發光層
- 7025 : 陽極
- 7027 : 導電層
- 9630 : 框體
- 9631 : 顯示部
- 9632 : 揚聲器
- 9633 : 操作鍵
- 9634 : 連接端子
- 9635 : 記錄媒體讀取部
- 9640 : 框體
- 9641 : 顯示部
- 9642 : 揚聲器
- 9643 : 操作鍵
- 9644 : 連接端子
- 9645 : 快門按鈕
- 9646 : 圖像接收部
- 9650 : 框體
- 9651 : 顯示部
- 9652 : 揚聲器
- 9653 : 操作鍵
- 9654 : 連接端子

- 9660 : 框體
- 9661 : 顯示部
- 9662 : 揚聲器
- 9663 : 操作鍵
- 9664 : 連接端子
- 9665 : 定位裝置
- 9666 : 外部連接埠
- 9670 : 框體
- 9671 : 顯示部
- 9672 : 揚聲器
- 9673 : 操作鍵
- 9674 : 麥克風

申請專利範圍

1. 一種半導體裝置，包含：

保護電路，包含：

包含第一氧化物半導體的電阻器元件；

包含第二氧化物半導體的電晶體，該第二氧化物半導體包含通道形成區；

第一佈線；以及

第二佈線，

其中該第二氧化物半導體的氫濃度低於該第一氧化物半導體的氫濃度，

其中該第一佈線透過該電阻器元件和該電晶體電連接至該第二佈線，

其中該第一氧化物半導體電連接至該第二氧化物半導體，

其中該第一氧化物半導體與該第二氧化物半導體分開。

2. 如申請專利範圍第 1 項所述之半導體裝置，其中該保護電路是設置在顯示裝置中。

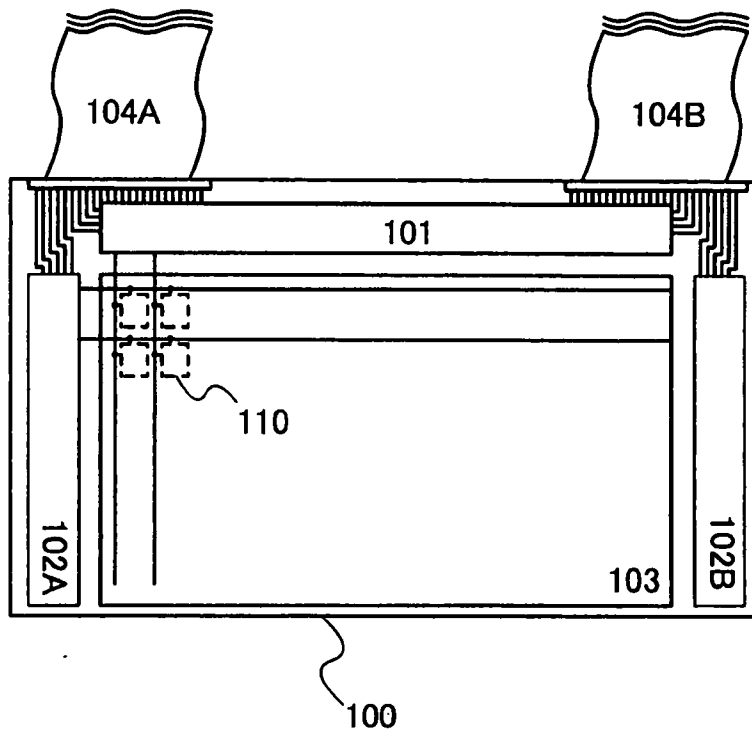
3. 如申請專利範圍第 1 項所述之半導體裝置，其中該第一氧化物半導體和該第二氧化物半導體各者包含銮、鎵和鋅。

4. 如申請專利範圍第 1 項所述之半導體裝置，其中該第一氧化物半導體的電阻低於該第二氧化物半導體的電阻。

5. 如申請專利範圍第 1 項所述之半導體裝置，更包含在該第一氧化物半導體上且與該第一氧化物半導體接觸的氮化矽層。

圖式

圖 1



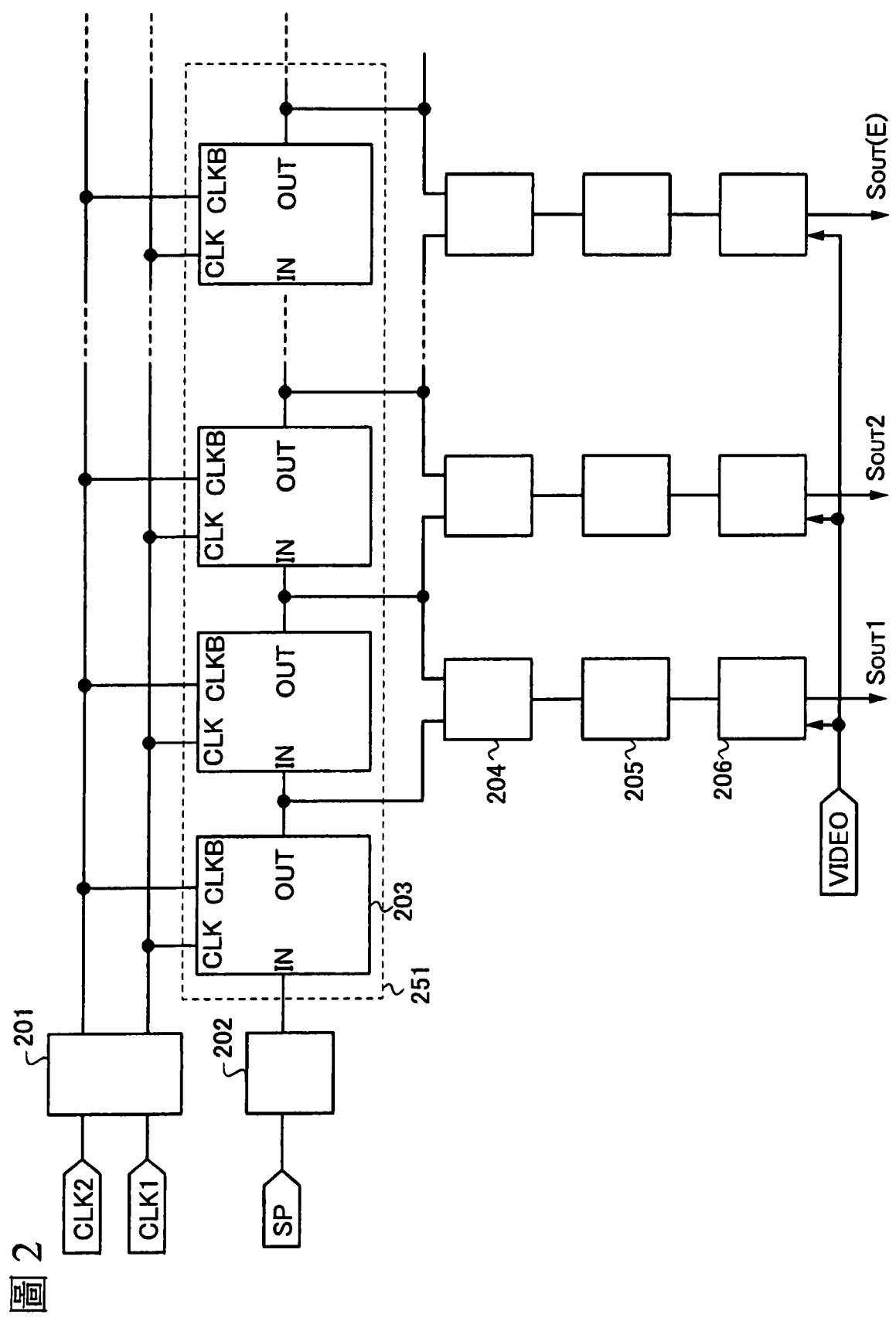


圖 2

圖 3A

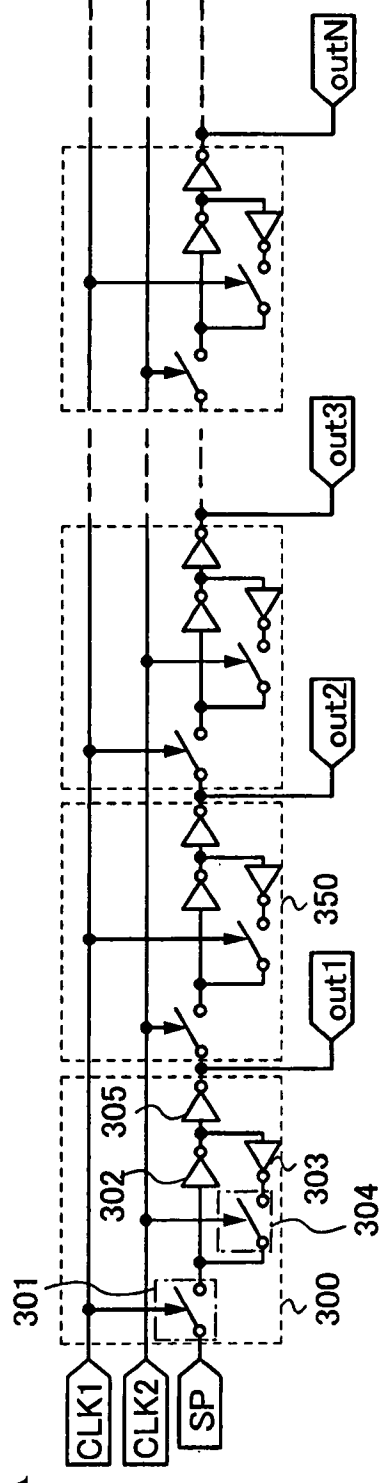
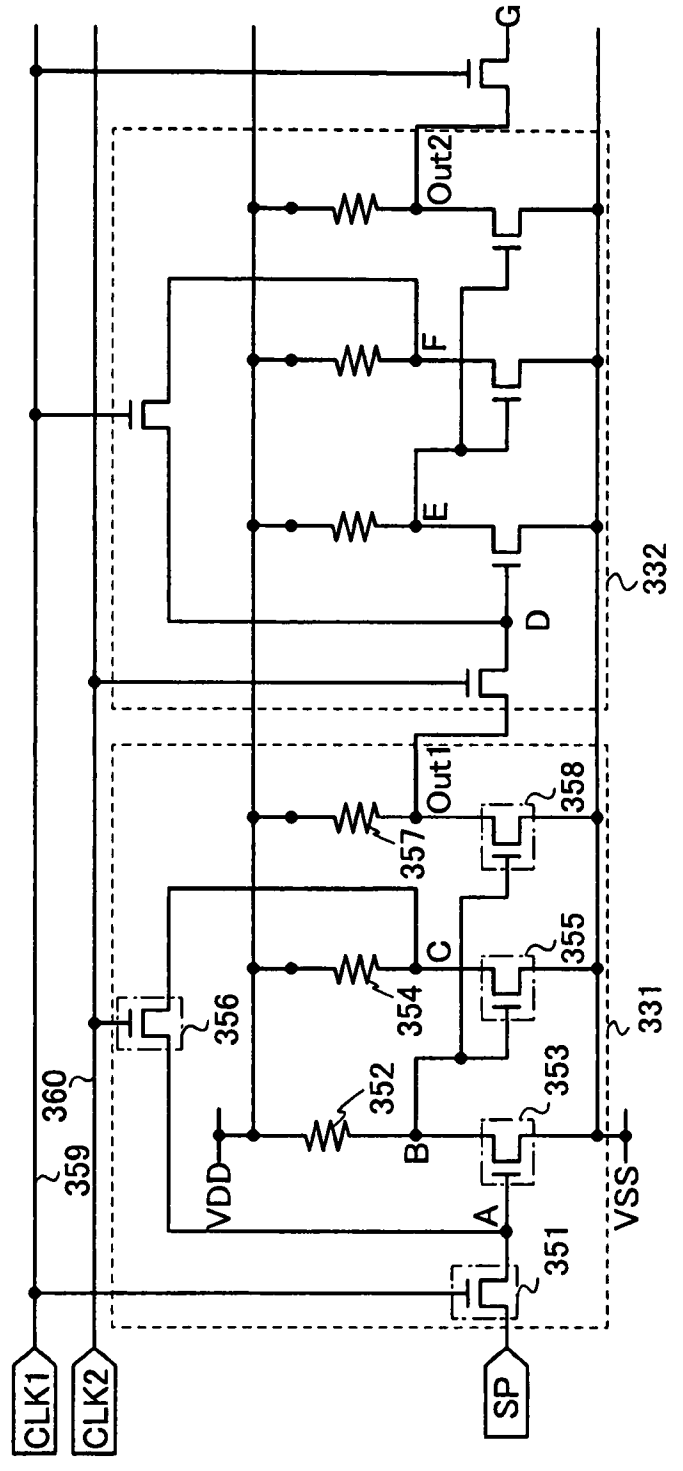


圖 3B



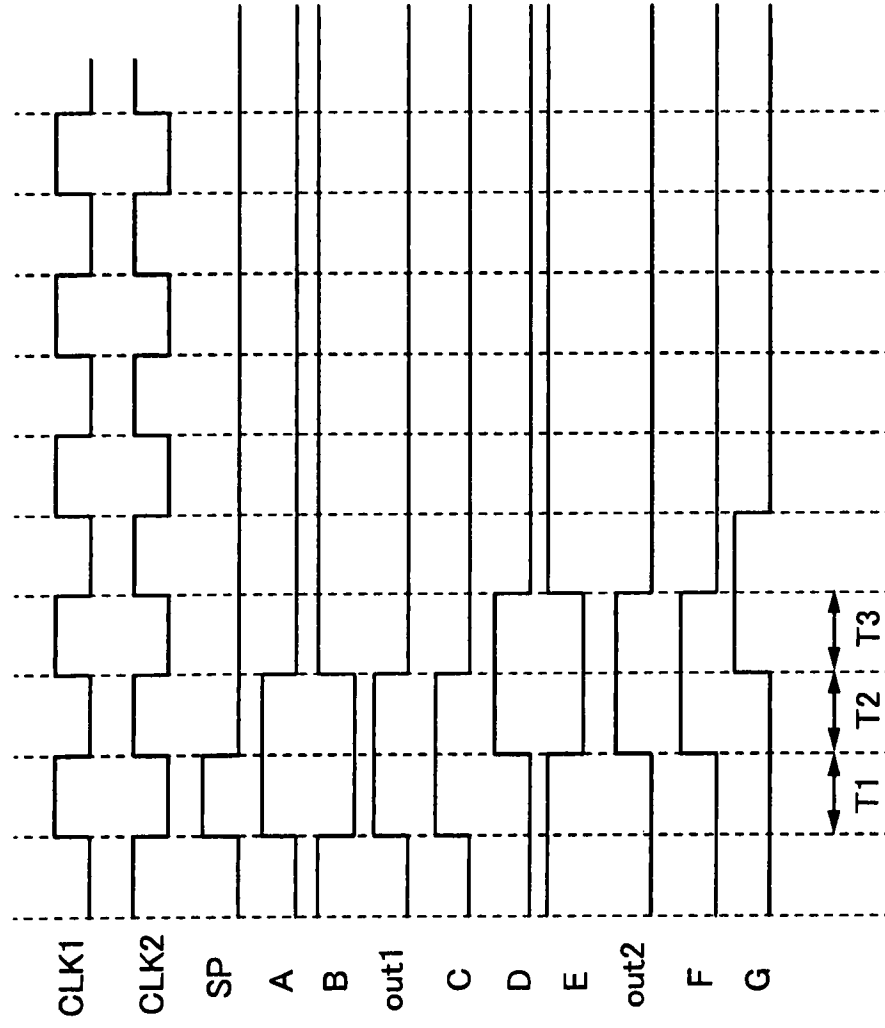


圖 4

圖 5A

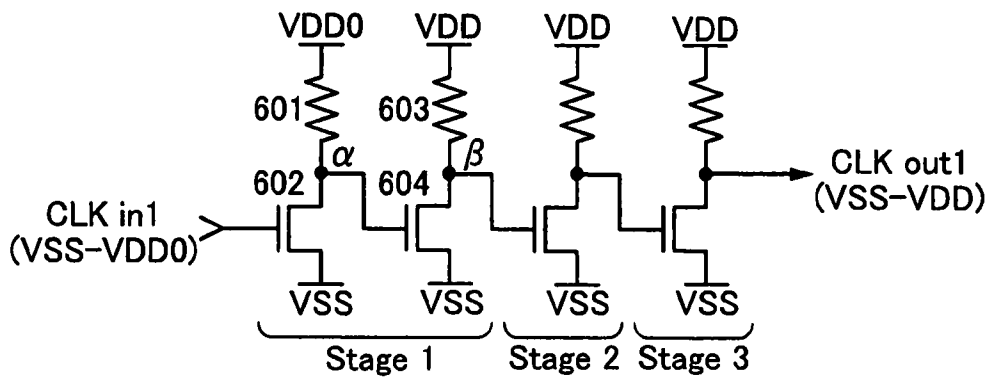


圖 5B

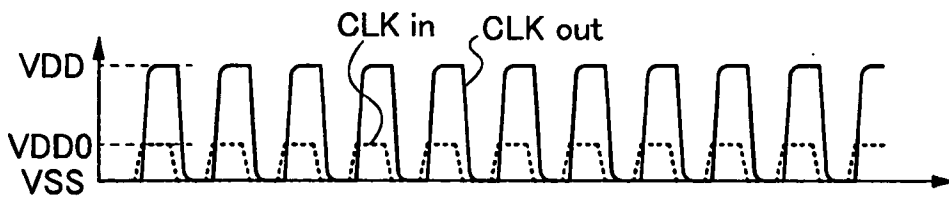


圖 5C



圖 6A

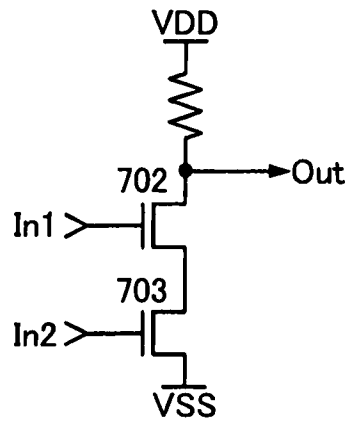


圖 6B

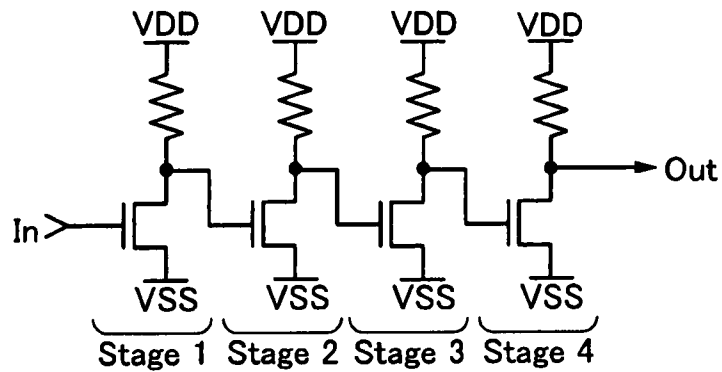


圖 6C

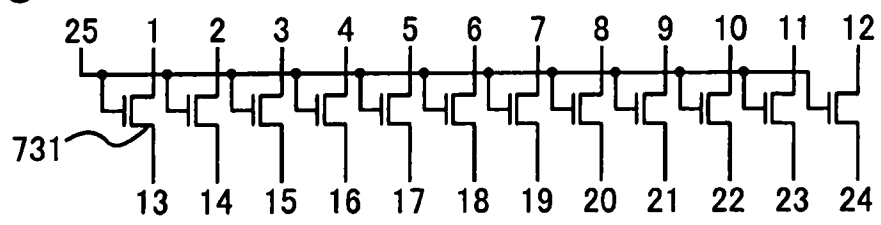


圖 7

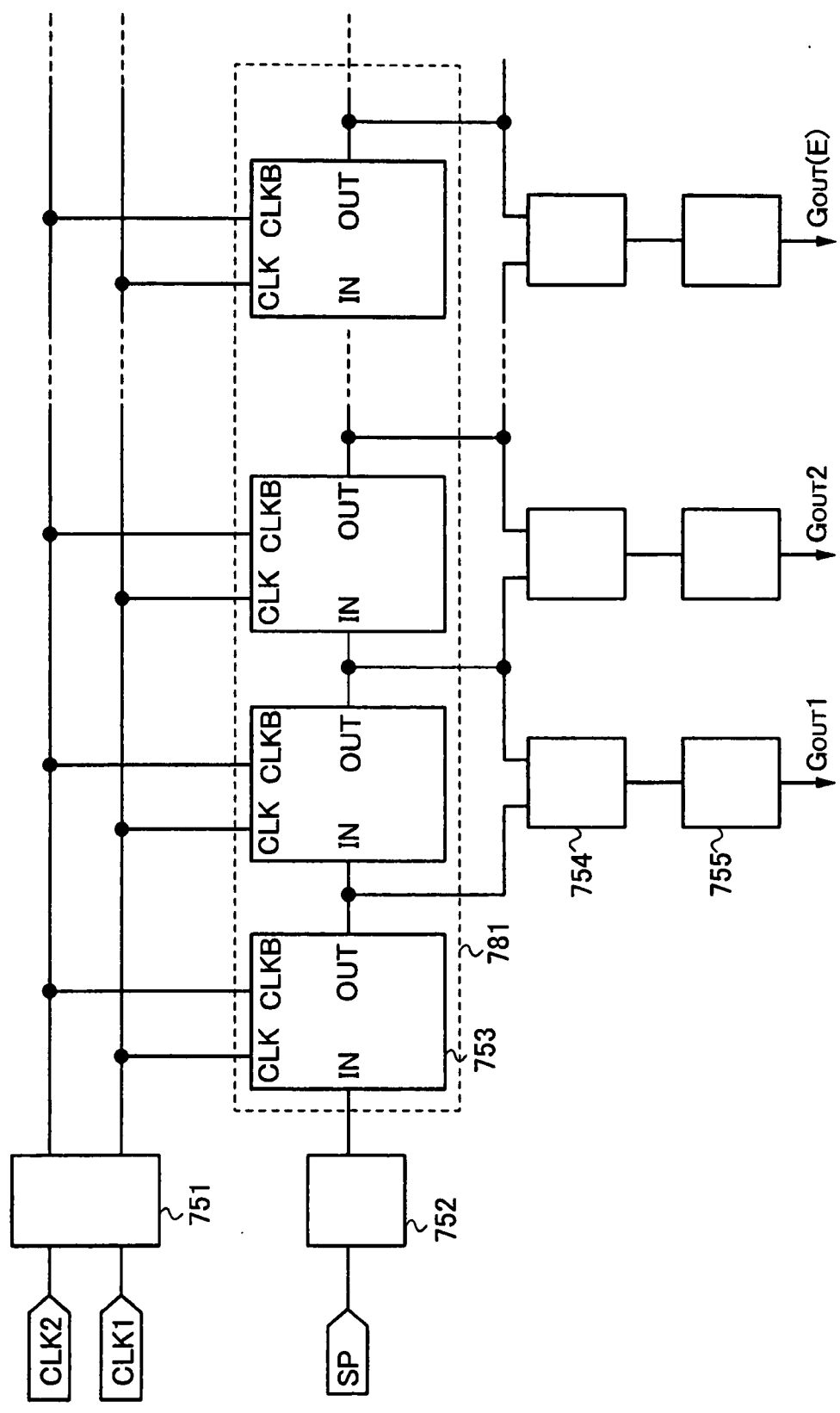
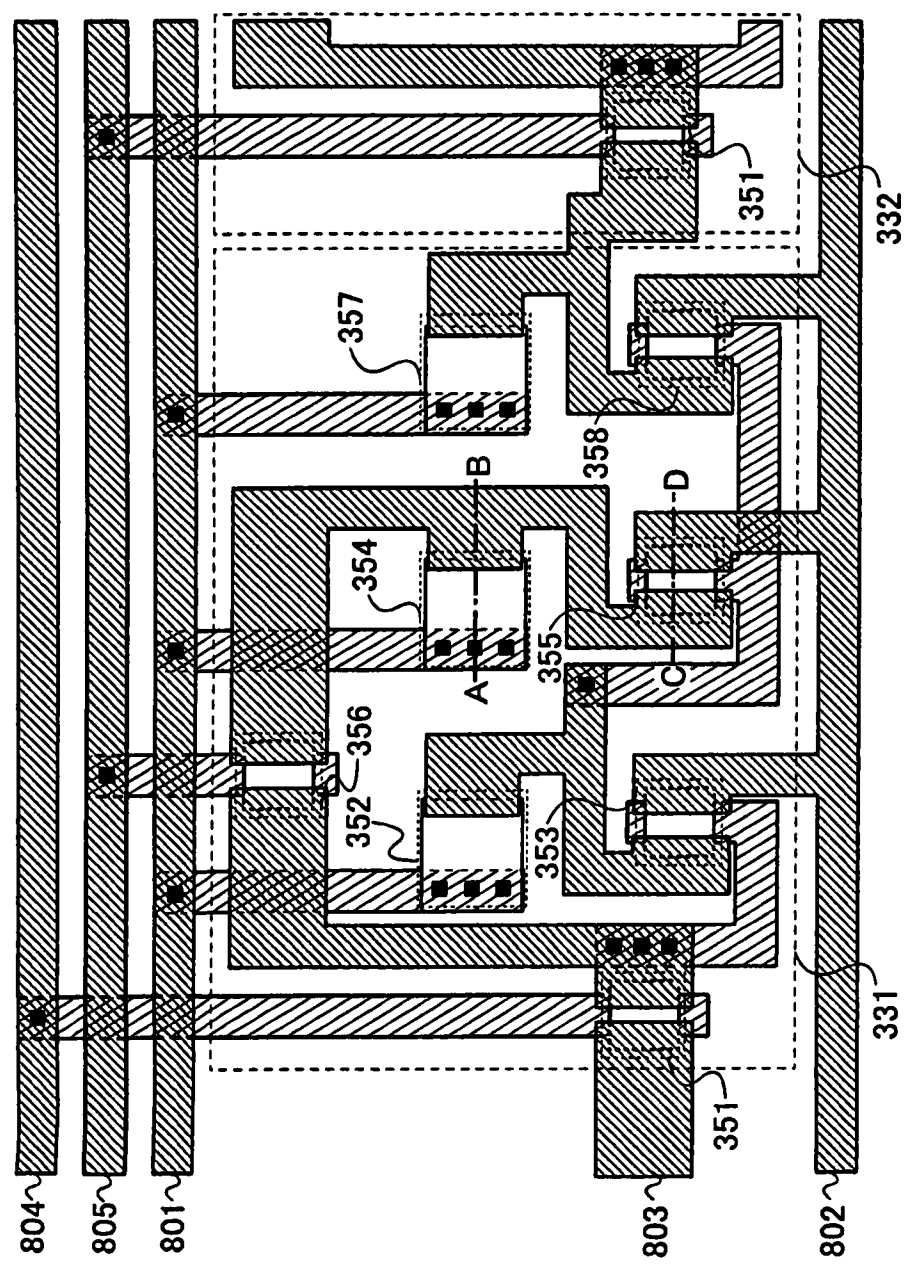


圖 8



806 ~ [white box]
807 ~ [diagonal lines box]
808 ~ [cross-hatch box]
809 ~ [solid black box]

圖 9

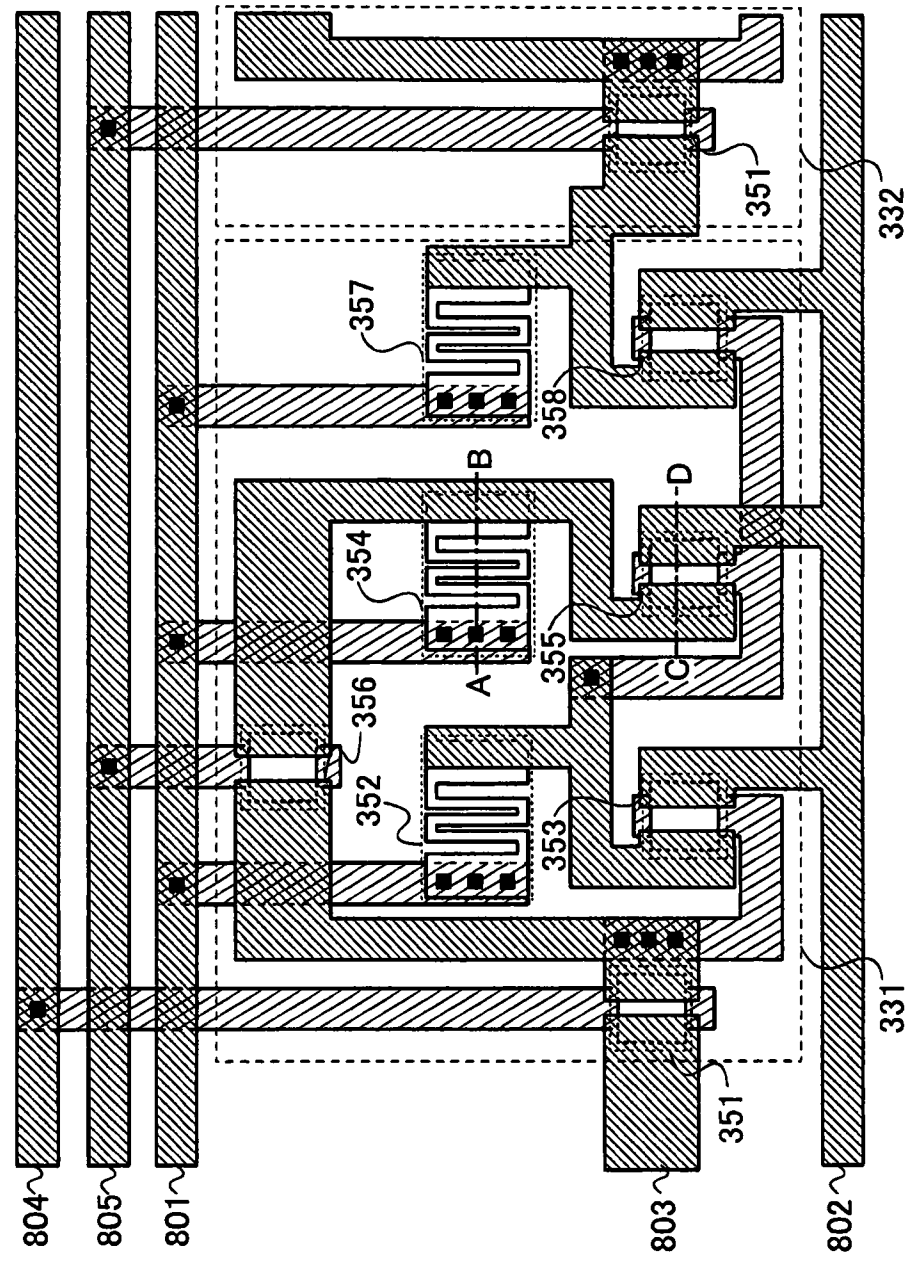


圖 10

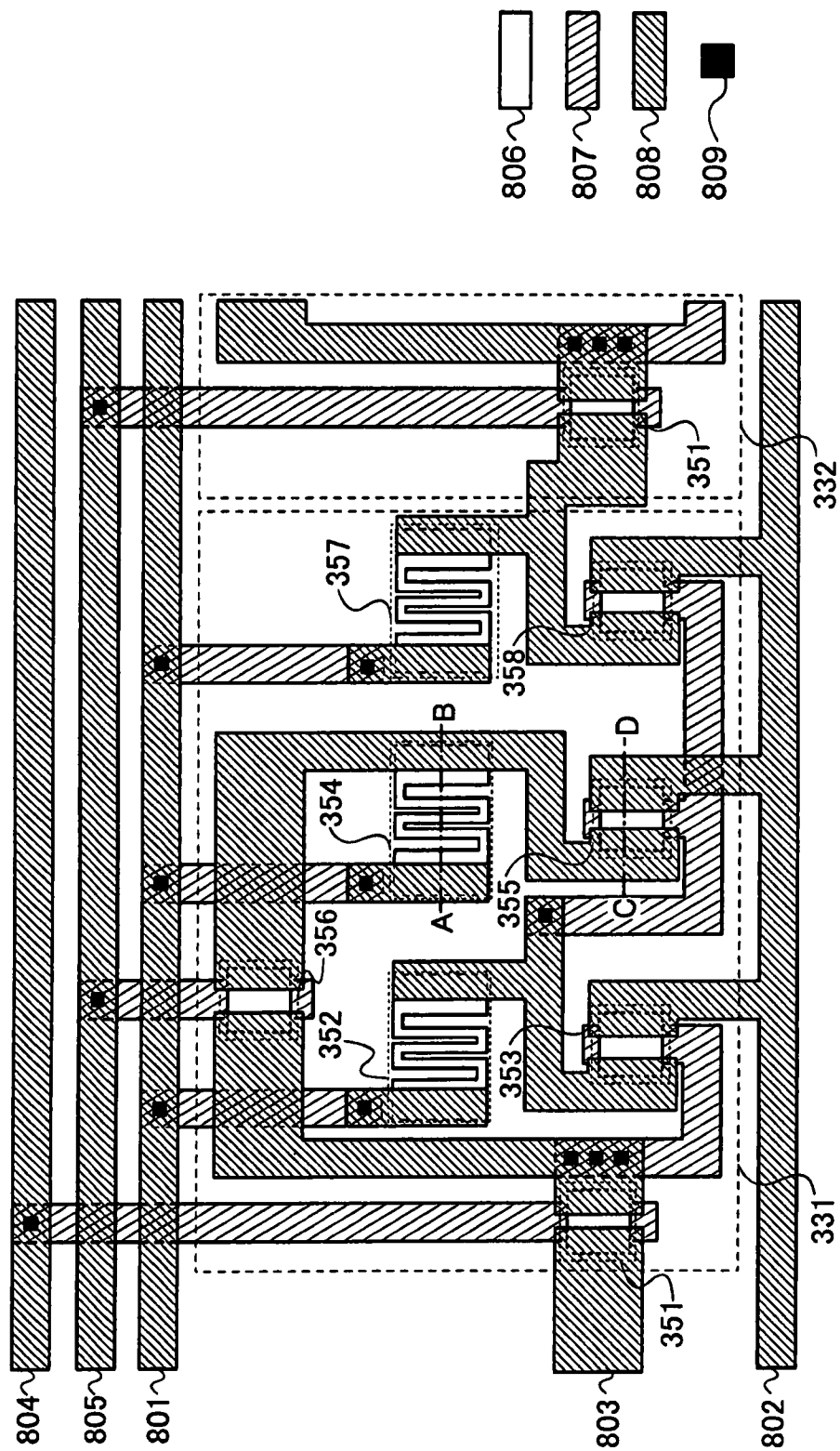


圖 11A

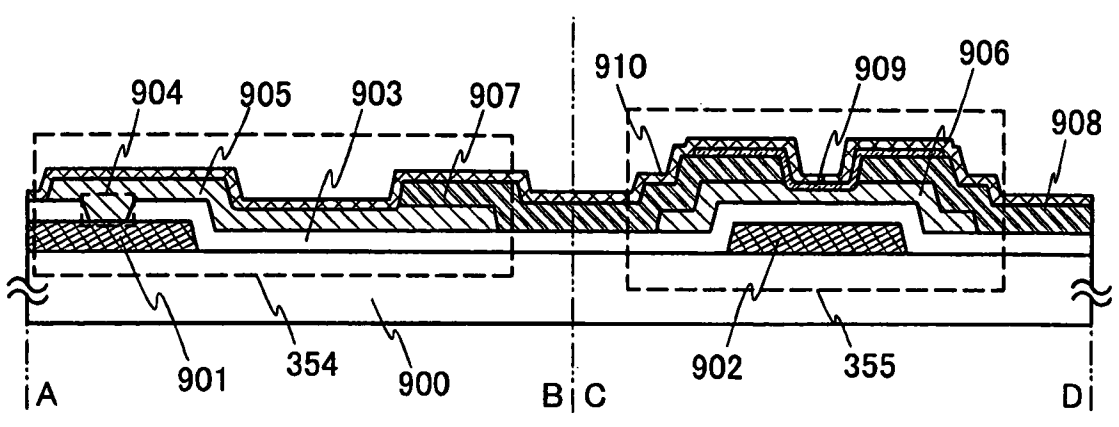


圖 11B

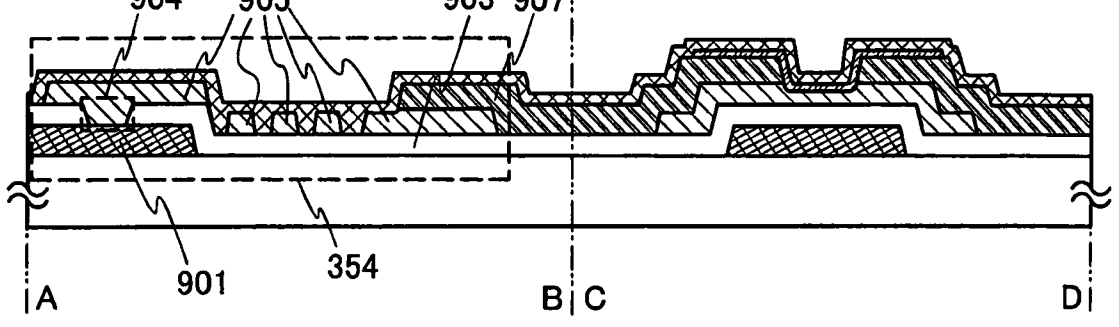


圖 11C

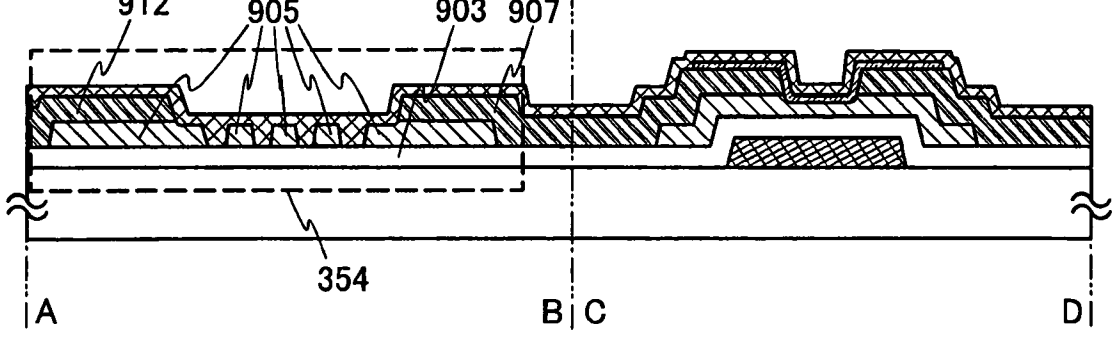


圖 12A

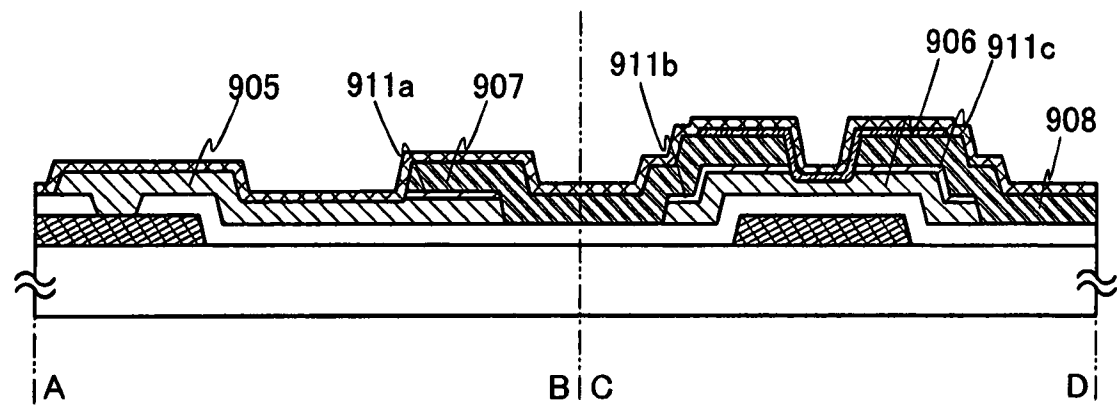


圖 12B

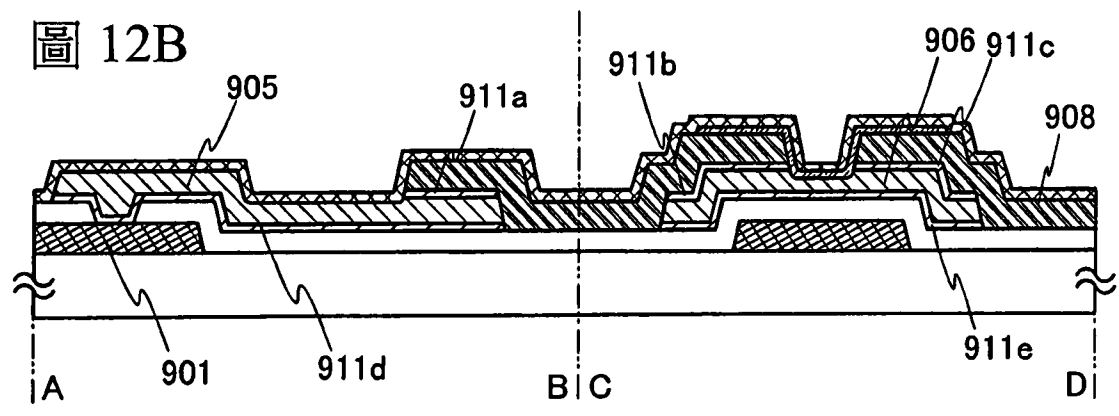


圖 13A

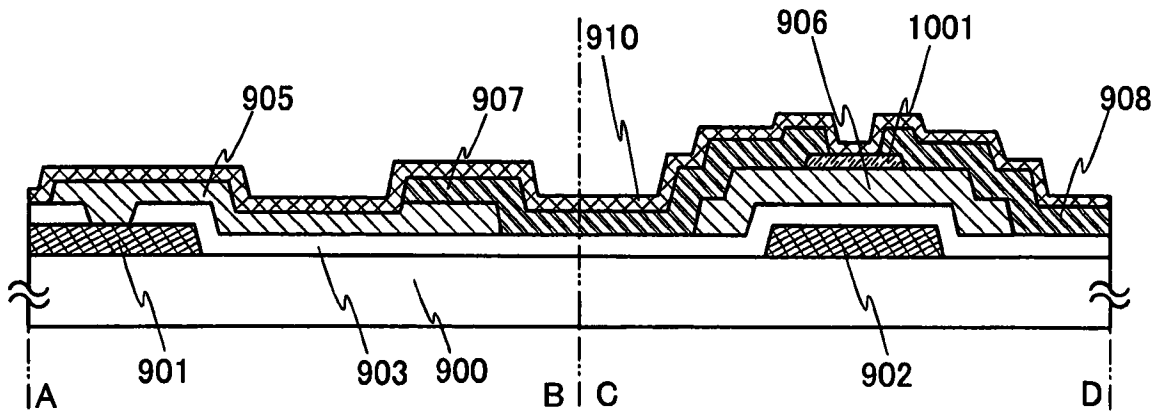


圖 13B

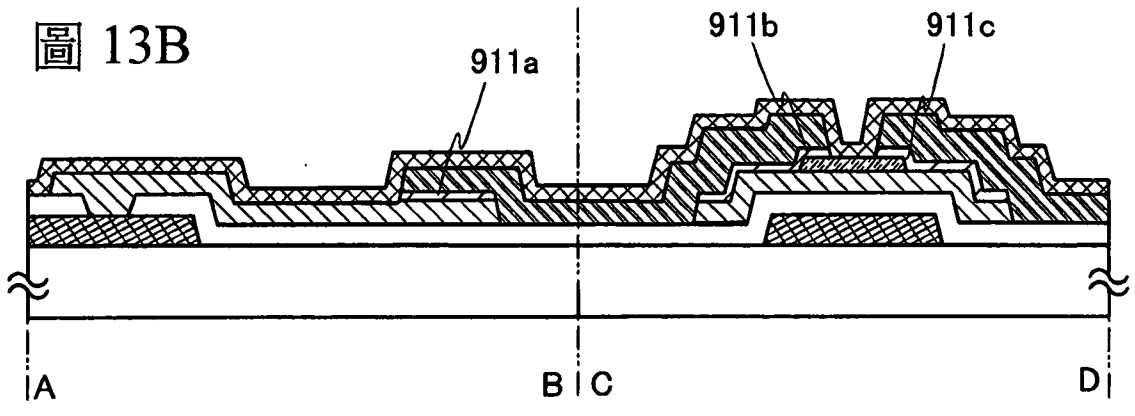


圖 14A

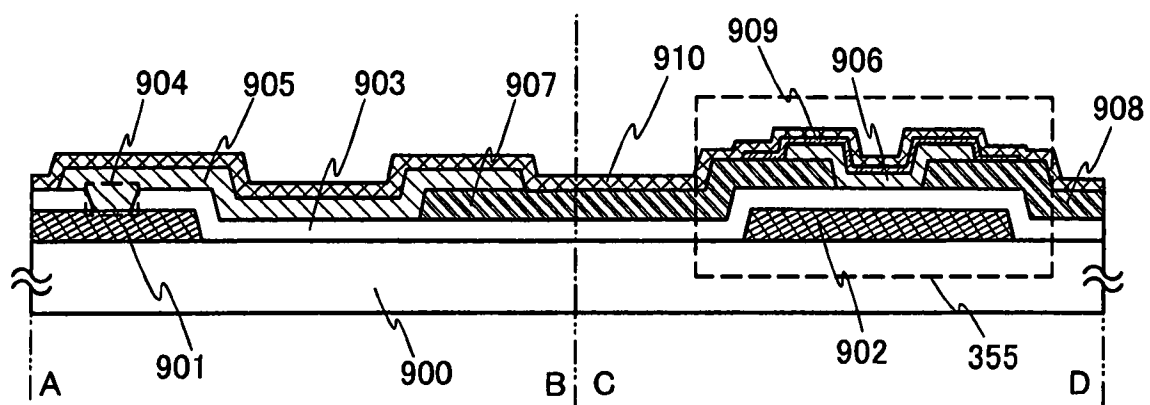


圖 14B

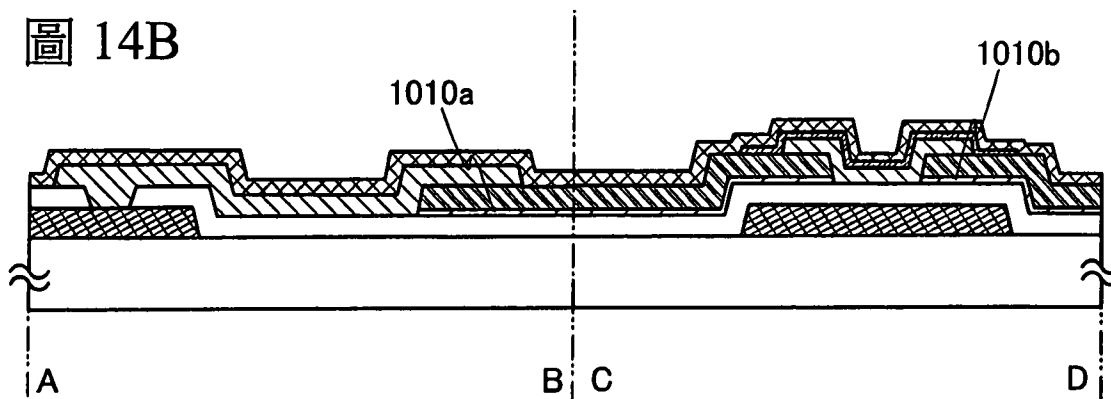


圖 15A

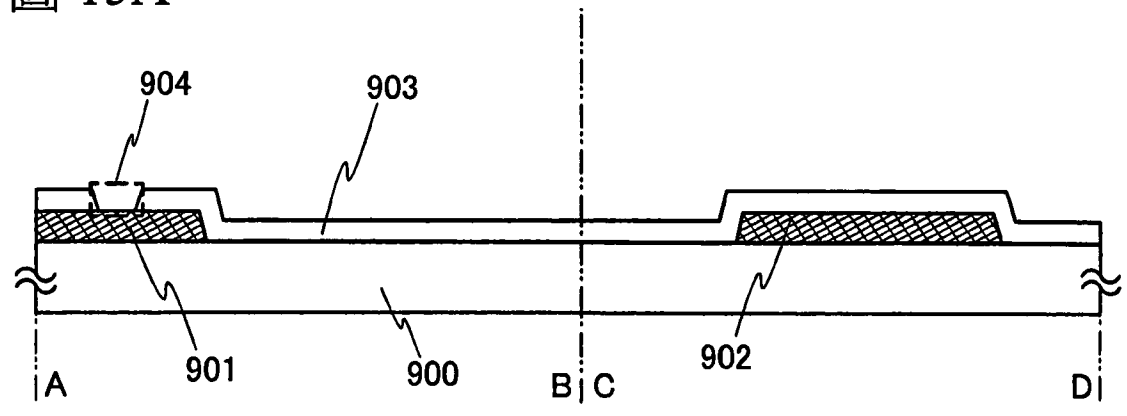


圖 15B

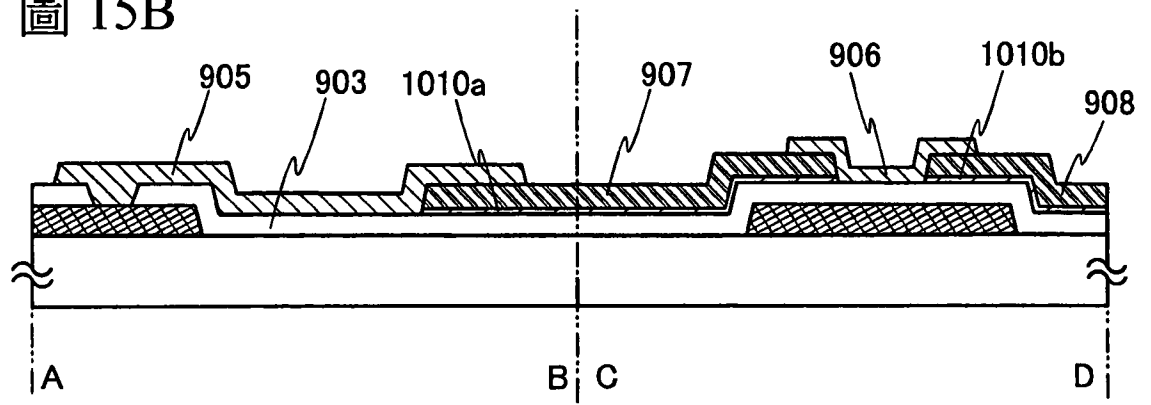


圖 15C

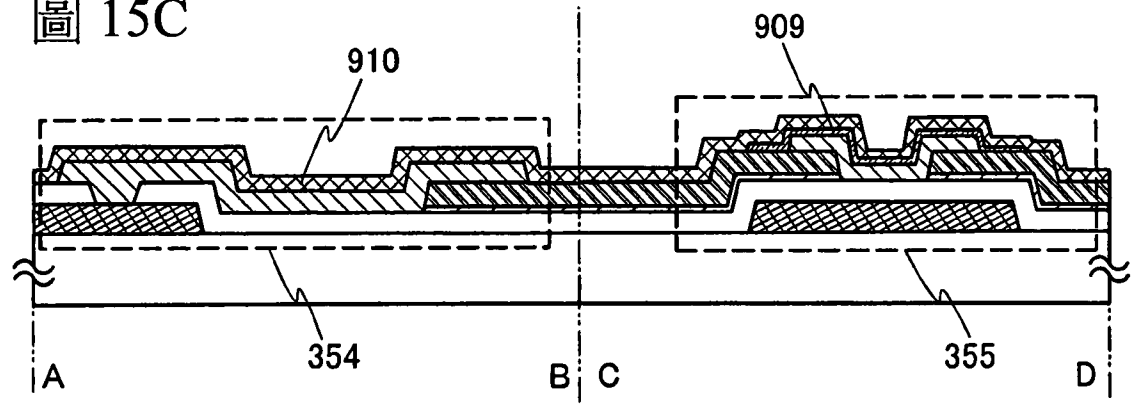


圖 16A

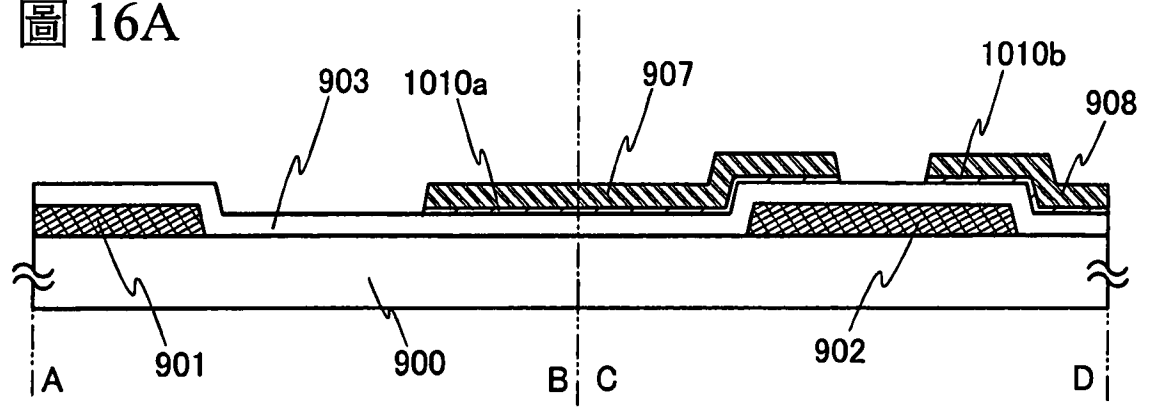


圖 16B

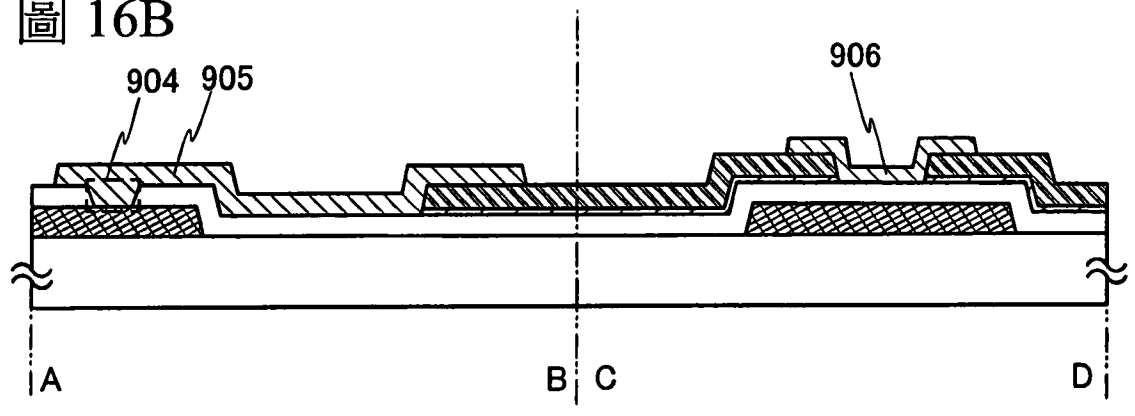


圖 16C

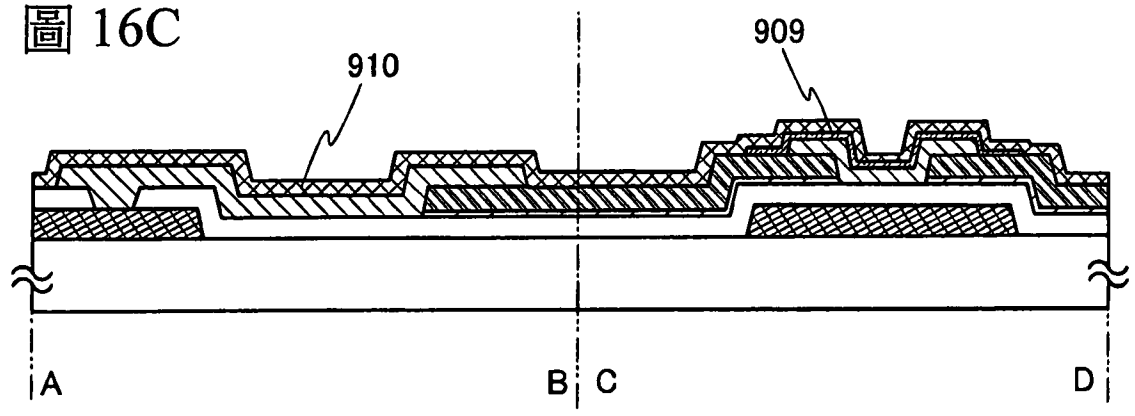


圖 17

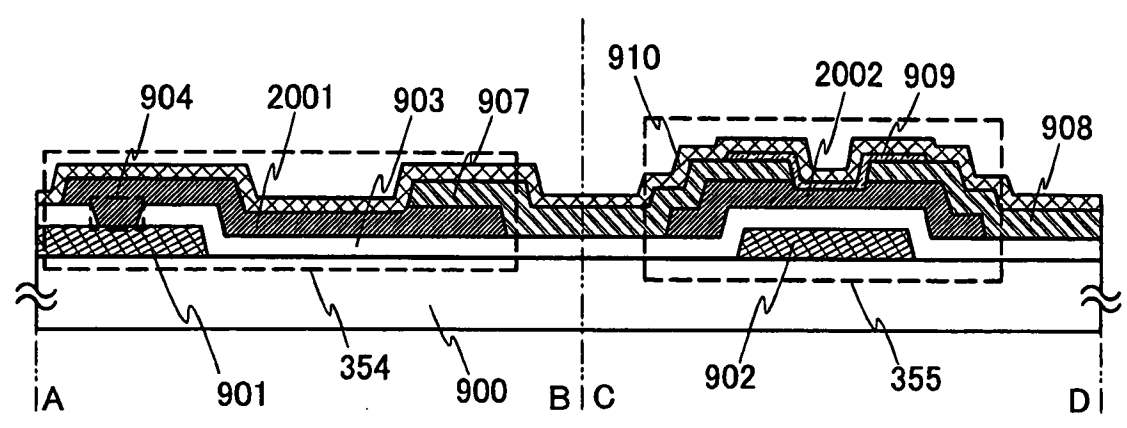


圖 18A

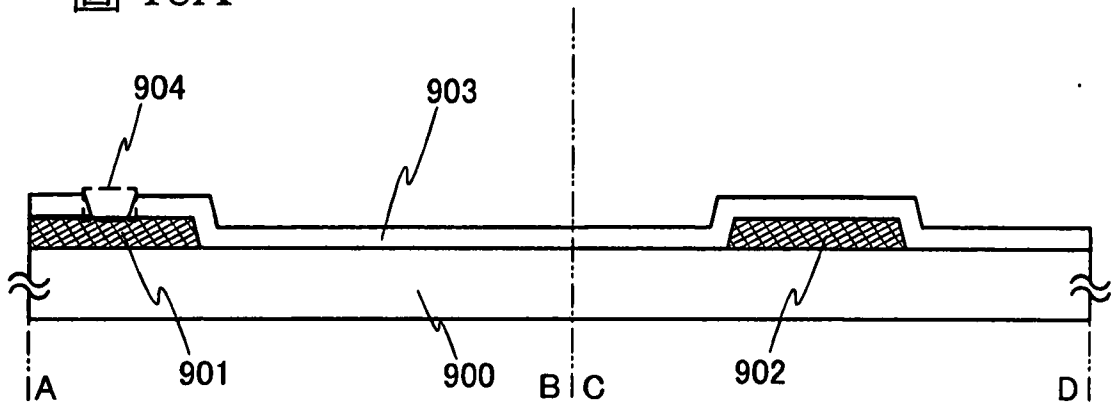


圖 18B

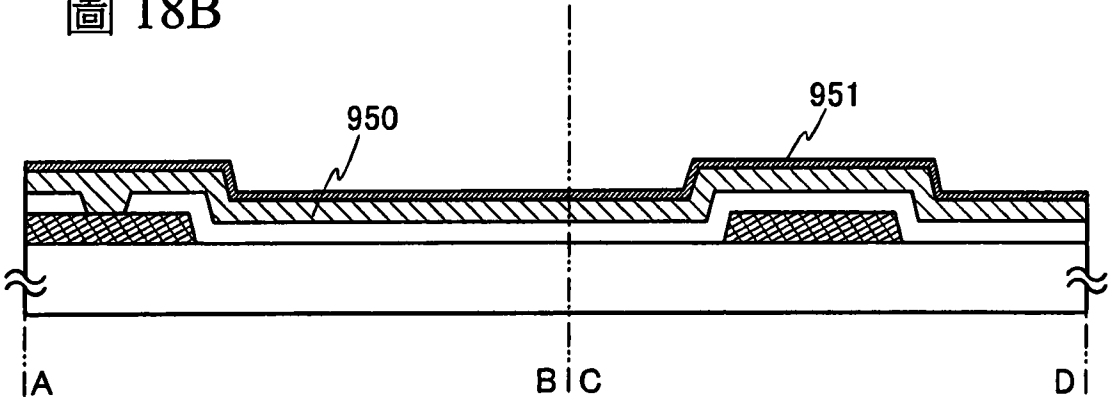
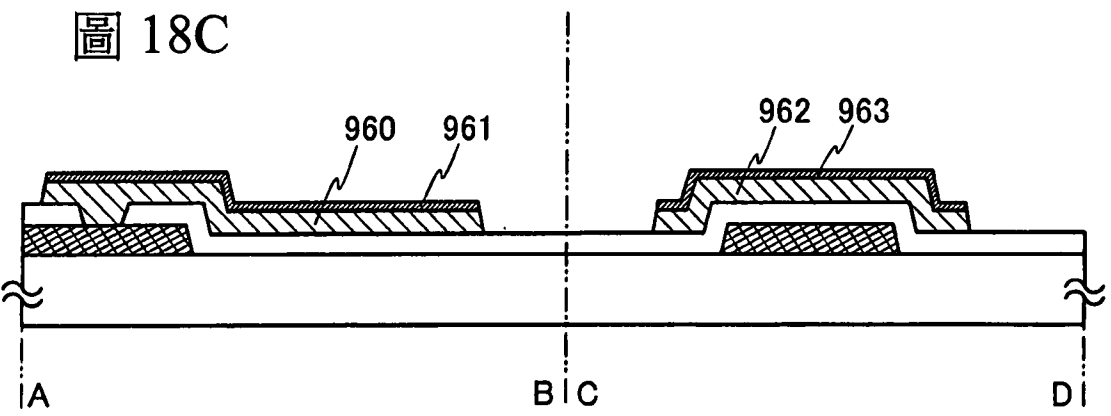
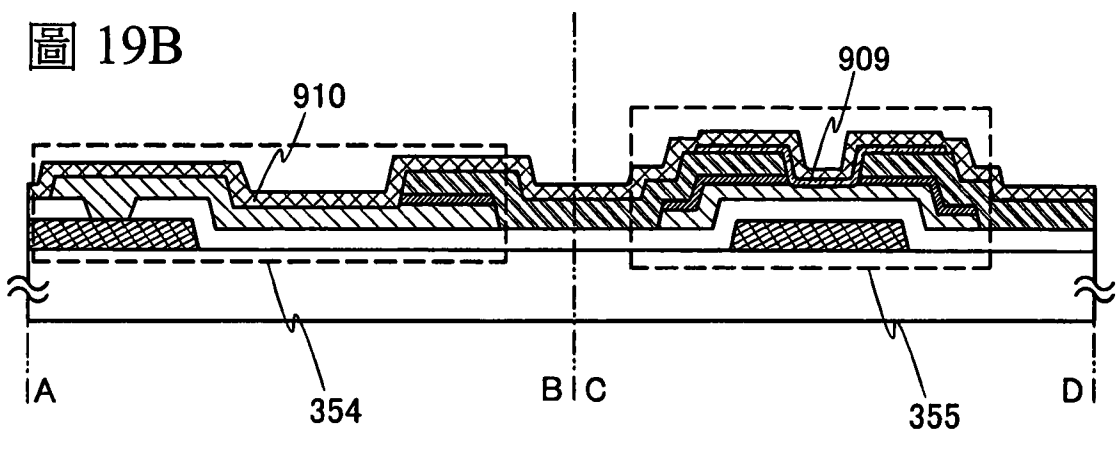
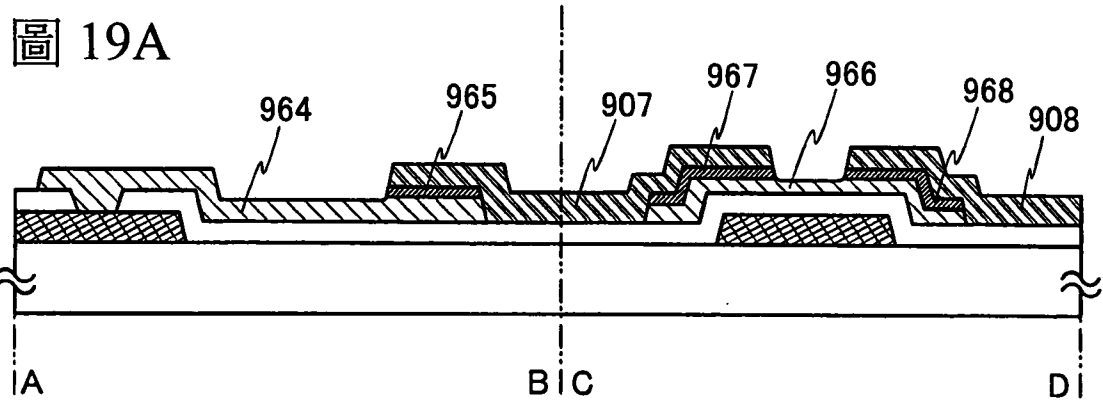


圖 18C





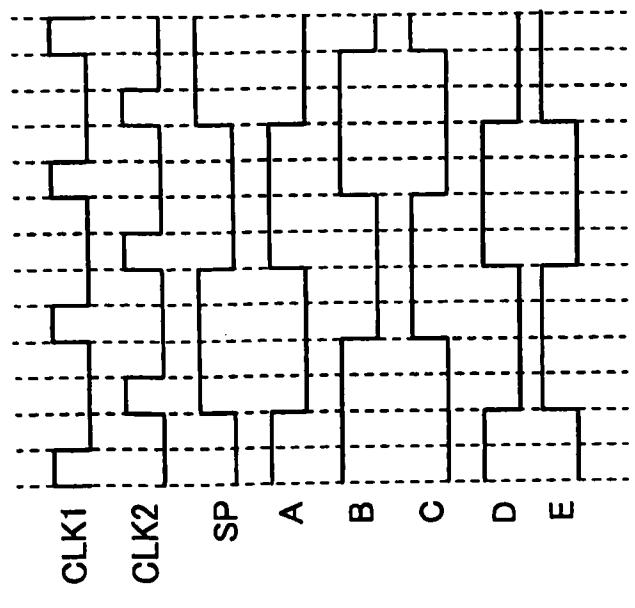


圖 20C

圖 20A

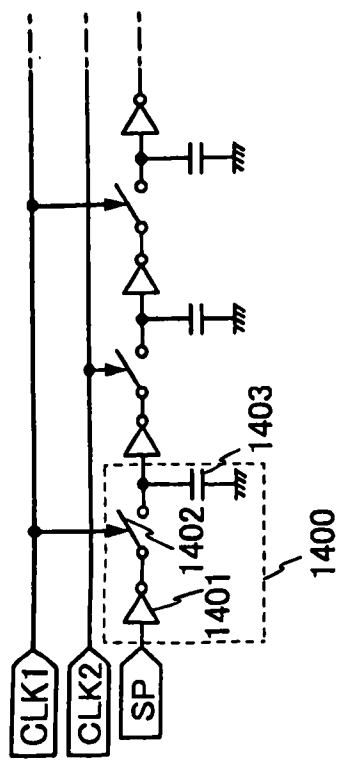


圖 20B

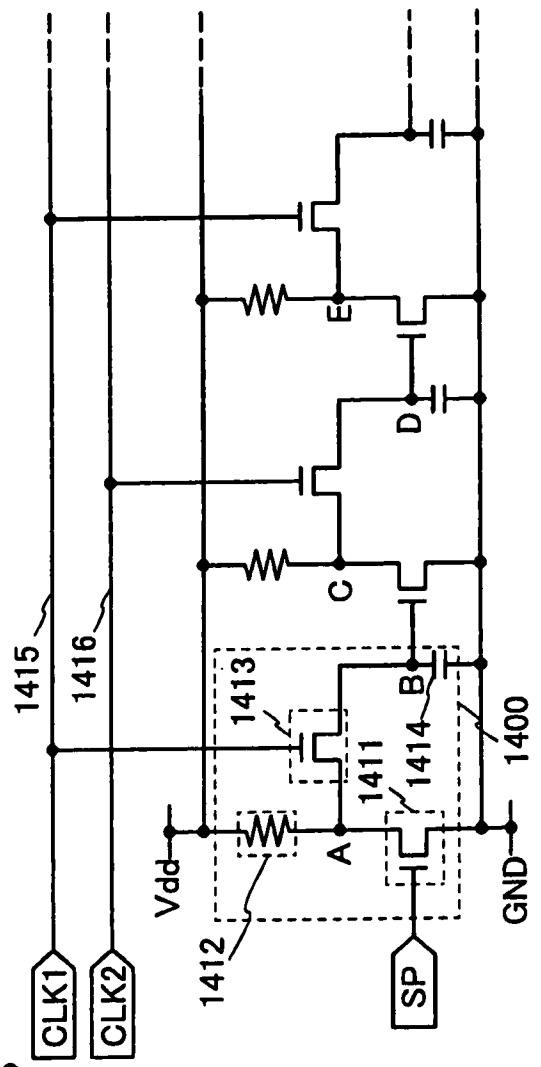


圖 21

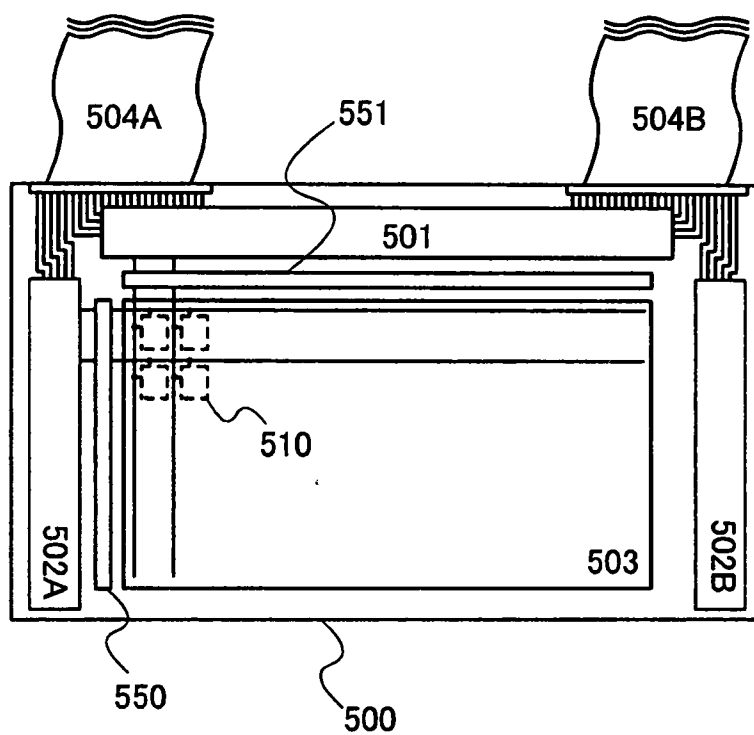


圖 22A

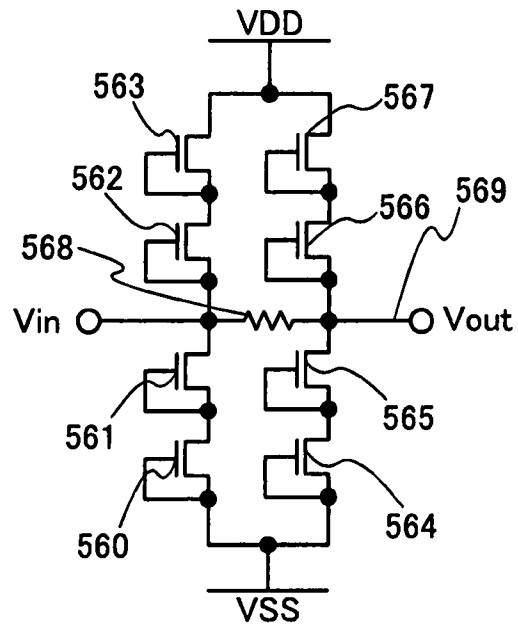


圖 22B

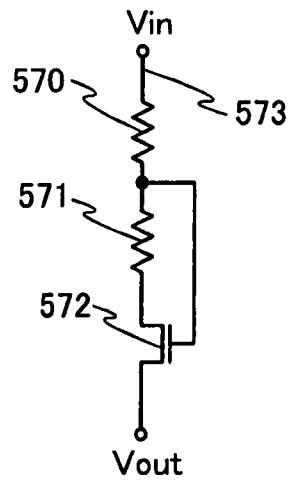


圖 23

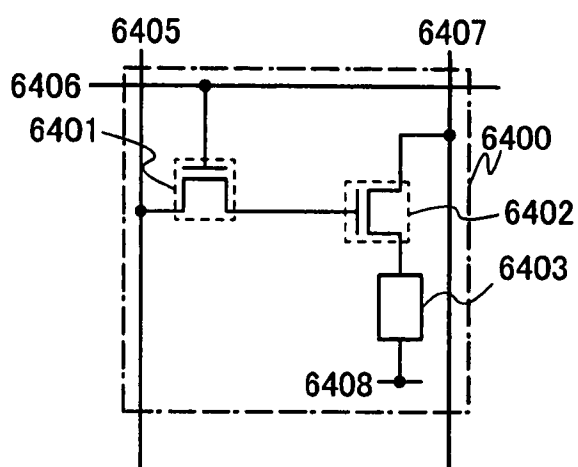


圖 24A

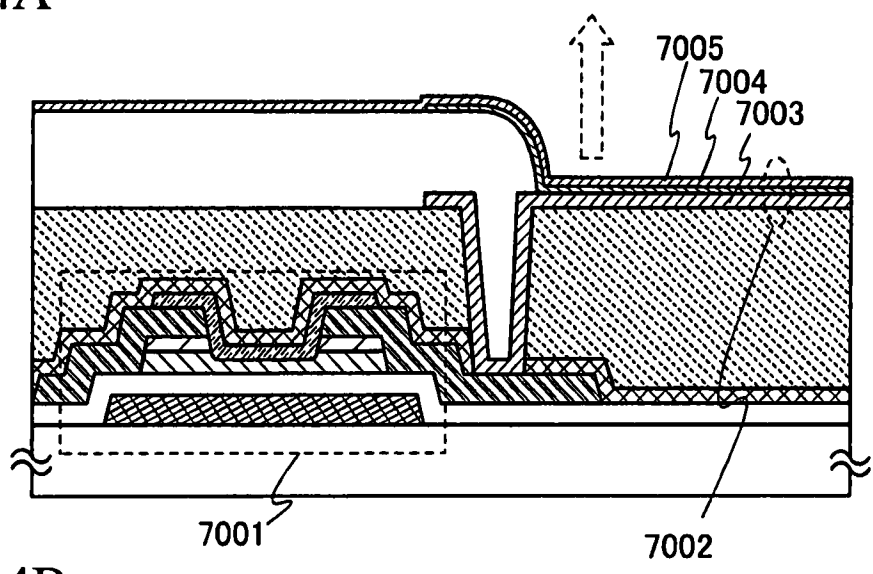


圖 24B

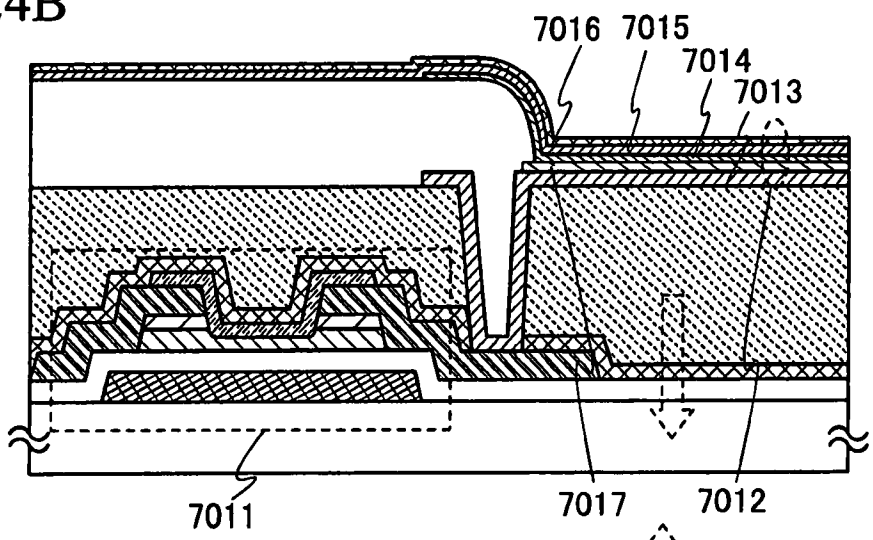


圖 24C

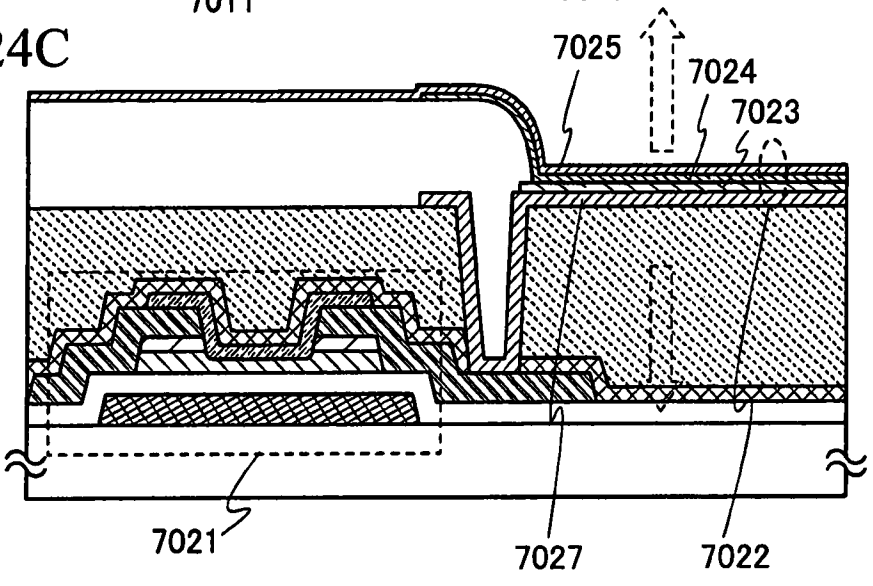


圖 25A

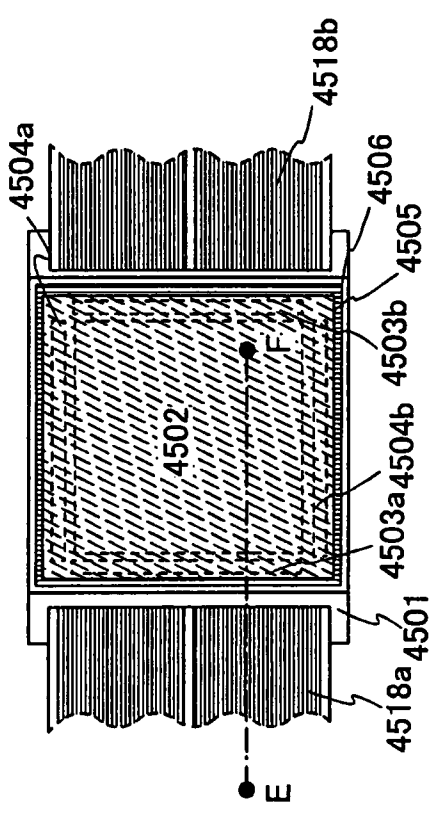


圖 25B

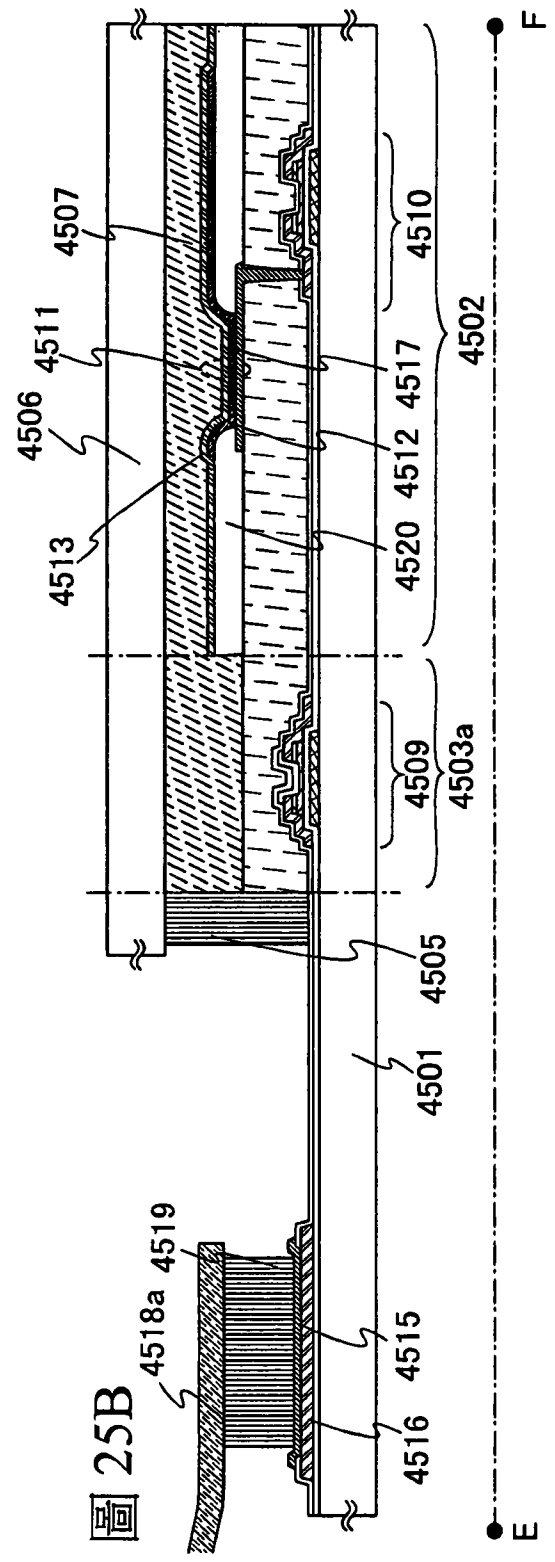


圖 26

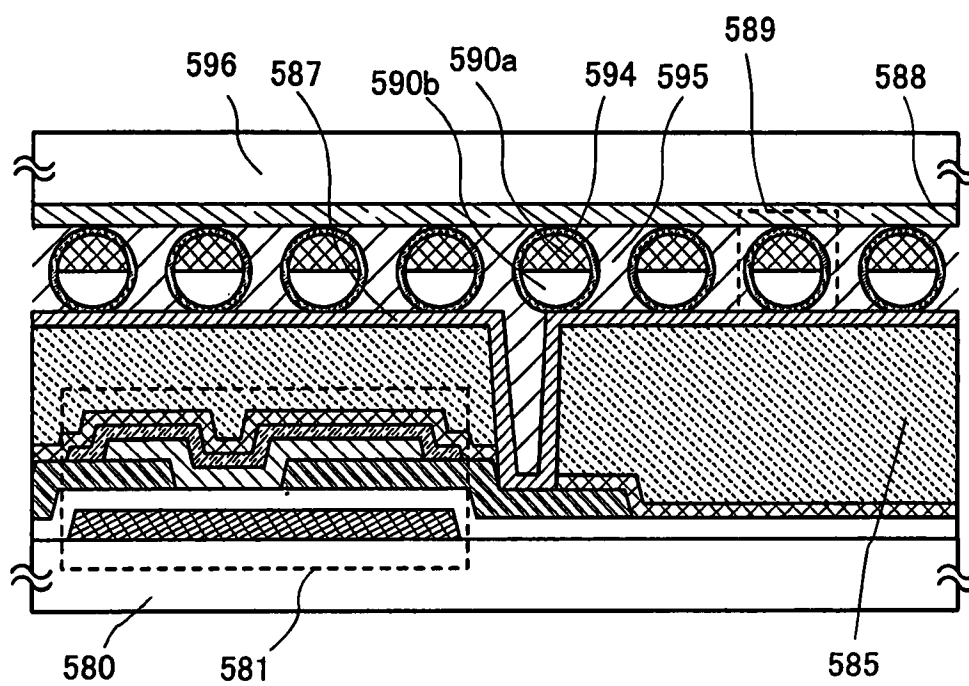


圖 27A

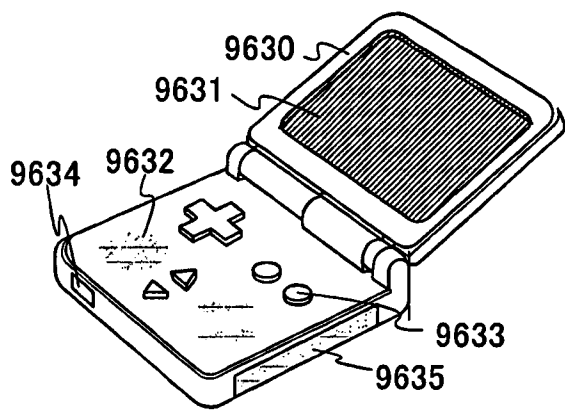


圖 27B

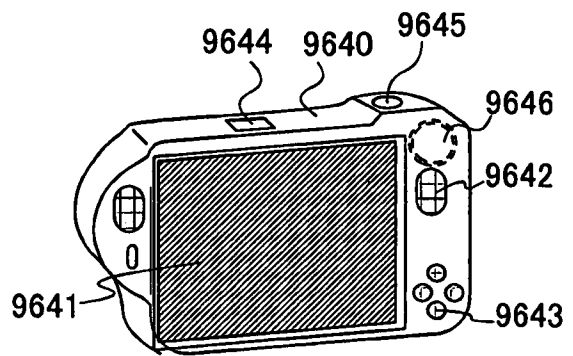


圖 27C

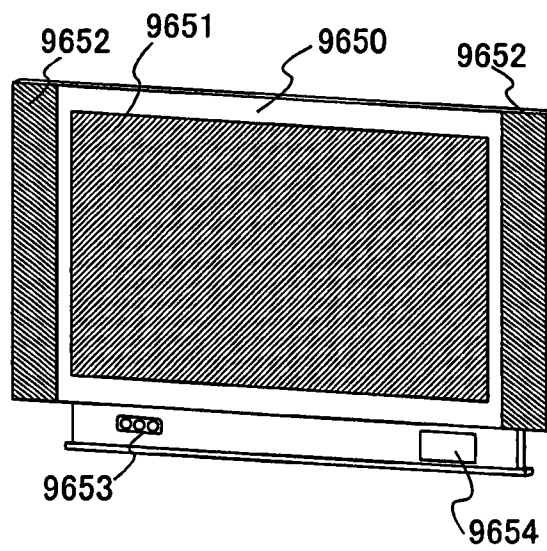


圖 28A

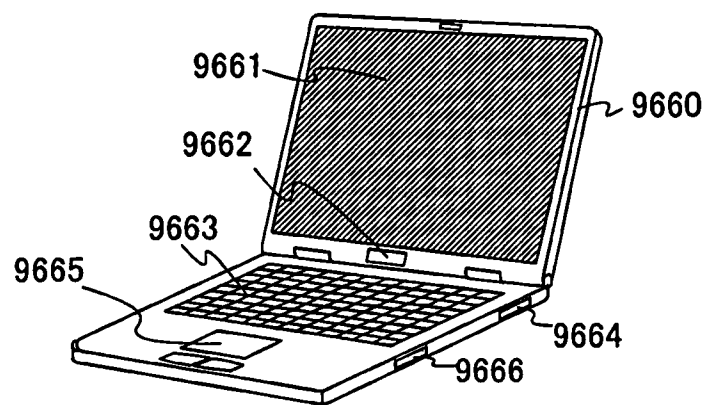


圖 28B

