



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0081956
(43) 공개일자 2013년07월18일

(51) 국제특허분류(Int. Cl.)

H01L 21/20 (2006.01)

(21) 출원번호 10-2012-0003085

(22) 출원일자 2012년01월10일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

이문상

서울 양천구 목3동 717-52 미성빌라 A-401

박성수

경기 성남시 분당구 야탑동 벽산아파트 607-1502

박영수

경기도 용인시 수지구 상현동 I-Park 8차 105-704

(74) 대리인

리엔목특허법인

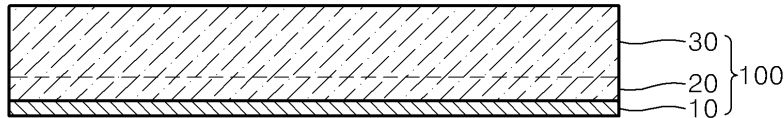
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **질화물 반도체층 성장 방법**

(57) 요약

질화물 반도체층 성장 방법이 개시된다. 개시된 성장 방법은, 반응기내에 기관을 준비하는 단계와, 반응기내에 준비된 기관 상에 일차적으로 질화물 반도체를 적층하는 단계와, 반응기 내에서 기관을 식각하는 단계를 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

반응기내에 기판을 준비하는 단계와;

상기 반응기내에 준비된 기판 상에 일차적으로 질화물 반도체를 적층하는 단계와;

상기 반응기 내에서 상기 기판을 식각하는 단계;를 포함하는 질화물 반도체층 성장 방법.

청구항 2

제1항에 있어서, 상기 일차적으로 적층된 질화물 반도체 상에 추가적으로 질화물 반도체를 더 적층하는 단계;를 포함하는 질화물 반도체층 성장 방법.

청구항 3

제2항에 있어서, 상기 추가적인 질화물 반도체 적층은 10 μ m 이상 진행되는 질화물 반도체층 성장 방법.

청구항 4

제2항에 있어서, 상기 기판 상에 버퍼층을 형성하는 단계;를 더 포함하며,

상기 버퍼층 위에 질화물 반도체를 적층하는 질화물 반도체층 성장 방법.

청구항 5

제1항에 있어서, 상기 기판 상에 버퍼층을 형성하는 단계;를 더 포함하며,

상기 버퍼층 위에 질화물 반도체를 적층하는 질화물 반도체층 성장 방법.

청구항 6

제4항 또는 제5항에 있어서, 상기 버퍼층은, MOCVD법, 스퍼터링법, HVPE법 중 어느 하나를 이용하여 형성되는 질화물 반도체층 성장 방법.

청구항 7

제4항 또는 제5항에 있어서, 상기 버퍼층은, AlN, TaN, TiN, HfN, GaN, AlGaN 중 어느 하나로 형성되는 질화물 반도체층 성장 방법.

청구항 8

제4항 또는 제5항에 있어서, 상기 버퍼층은, 10nm 내지 3 μ m 두께로 형성되는 질화물 반도체층 성장 방법.

청구항 9

제4항 또는 제5항에 있어서, 상기 버퍼층은 3-fold symmetry 결정 구조로 형성되는 질화물 반도체층 성장 방법.

청구항 10

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 기판의 에칭은 일차적으로 질화물 반도체를 1 μ m 내지 500 μ m 성장한 후 진행하는 질화물 반도체층 성장 방법.

청구항 11

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 기판은 상기 반응기 내에서 HCl 가스를 이용하여 에칭되는 질화물 반도체층 성장 방법.

청구항 12

제11항에 있어서, 상기 HCl 가스의 부분 분압은 1 내지 100%인 질화물 반도체층 성장 방법.

청구항 13

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 기관의 에칭 공정은 대략 800℃ 내지 1100℃ 범위에서 이루어지는 질화물 반도체층 성장 방법.

청구항 14

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 기관은 질화물 반도체의 N-페이스 표면이 나올 때까지 에칭되는 질화물 반도체층 성장 방법.

청구항 15

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 기관의 에칭 공정은 질화물 반도체 성장을 멈추거나 성장시킴으로써 진행되는 질화물 반도체층 성장 방법.

청구항 16

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 반응기는 HVPE 반응기이고, 상기 질화물 반도체는 HVPE법을 이용하여 적층되는 질화물 반도체층 성장 방법.

청구항 17

제16항에 있어서, 상기 일차적인 질화물 반도체 적층은, 대략 950℃ 내지 1100℃의 온도에서 이루어지는 질화물 반도체층 성장 방법.

청구항 18

제1항 내지 제5항 중 어느 한 항에 있어서, 성장된 질화물 반도체층은 프리스텐딩 질화물 반도체 기관으로 사용되는 질화물 반도체층 성장 방법.

청구항 19

제18항에 있어서, 상기 질화물 반도체는 GaN인 질화물 반도체층 성장 방법.

청구항 20

제18항에 있어서, 상기 질화물 반도체 기관은 1μm 내지 3mm의 두께, 10mm 내지 18인치의 직경을 가지는 질화물 반도체층 성장 방법.

명세서

기술분야

[0001] 질화물 반도체층 성장 방법에 관한 것이다.

배경기술

[0002] 질화물 반도체를 이용한 전자산업은 그린(green) 산업의 발전과 성장에 부합하는 분야로 기대를 모으고 있다. 특히 질화물 반도체 중 하나인 GaN의 경우, 발광 다이오드(LED)를 포함한 고효율 전자부품 소자의 핵심 소자인 적색, 녹색 및 청색 발광 다이오드 중 청색 발광 다이오드의 제조에 널리 사용되고 있다. 이는 기존의 청색 영역의 빛을 내는 발광 소자의 반도체 물질인 징크 세레나이드(ZnSe) 보다, GaN를 이용한 청색 발광 다이오드가 GaN의 뛰어난 물리, 화학적 특성 때문에 휘도와 수명, 그리고 내부 양자효율이 우수하기 때문이다. 또한 GaN는 직접 천이형의 밴드갭 구조를 가지면서 In 이나 Al의 합금을 통해 1.9 ~ 6.2 eV 까지 밴드갭 조절이 가능하므로, 광소자로서의 이용 가치가 매우 크다. 또한 항복 전압이 높고, 고온에서도 안정하기 때문에 기존의 재료들로는 구현하지 못하는 고효율 소자나 고온 전자 소자 등 여러 분야에 유용하다. 예를 들어 풀 칼라 디스플레이(Full color display)를 이용한 대형 전광판이나, 신호등, 광기록매체의 광원, 자동차 엔진의 고효율 트랜지스터 등에 적용될 수 있다. GaN 기관을 사용한 발광 다이오드(LED)의 경우 결함이 적고, 기관과 소자 층의

굴절율이 동일하고, 열전도도 사파이어보다 약 4배 정도 크기 때문에, GaN 기판은 고효율 LED의 제작에 필수적이다.

발명의 내용

해결하려는 과제

[0003] 기판 상에 질화물 반도체층 성장시 격자 상수 차이나 열팽창 계수 차이에 의해 유발되는 텐슬 스트레스(tensile stress)에 의한 크랙(crack)이나 보잉(bowing)을 감소시킬 수 있는 질화물 반도체층 성장 방법을 제공한다.

과제의 해결 수단

[0004] 본 발명의 실시예에 따른 질화물 반도체층 성장 방법은, 반응기내에 기판을 준비하는 단계와; 상기 반응기내에 준비된 기판 상에 일차적으로 질화물 반도체를 적층하는 단계와; 상기 반응기 내에서 상기 기판을 식각하는 단계;를 포함한다.

[0005] 상기 일차적으로 적층된 질화물 반도체 상에 추가적으로 질화물 반도체를 더 적층하는 단계;를 포함할 수 있다.

[0006] 상기 추가적인 질화물 반도체 적층은 약 10 μm 이상 진행될 수 있다.

[0007] 상기 기판 상에 버퍼층을 형성하는 단계;를 더 포함하며, 상기 버퍼층 위에 질화물 반도체를 적층할 수 있다.

[0008] 상기 버퍼층은, MOCVD법, 스퍼터링법, HVPE법 중 어느 하나를 이용하여 형성될 수 있다.

[0009] 상기 버퍼층은, AlN, TaN, TiN, HfN, GaN, AlGaIn 중 어느 하나로 형성될 수 있다.

[0010] 상기 버퍼층은, 10nm 내지 3 μm 두께로 형성될 수 있다.

[0011] 상기 버퍼층은 3-fold symmetry 결정 구조로 형성될 수 있다.

[0012] 상기 기판의 에칭은 일차적으로 질화물 반도체를 1 μm 내지 500 μm 성장한 후 진행할 수 있다.

[0013] 상기 기판은 상기 반응기 내에서 HCl 가스를 이용하여 에칭될 수 있다.

[0014] 상기 HCl 가스의 부분 분압은 1 내지 100%일 수 있다.

[0015] 상기 기판의 에칭 공정은 대략 800℃ 내지 1100℃ 범위에서 이루어질 수 있다.

[0016] 상기 기판은 질화물 반도체의 N-페이스 표면이 나올 때까지 에칭될 수 있다.

[0017] 상기 기판의 에칭 공정은 질화물 반도체 성장을 멈추거나 성장시키면서 진행될 수 있다.

[0018] 상기 반응기는 HVPE 반응기이고, 상기 질화물 반도체는 HVPE법을 이용하여 적층될 수 있다.

[0019] 상기 일차적인 질화물 반도체 적층은, 대략 950℃ 내지 1100℃의 온도에서 이루어질 수 있다.

[0020] 성장된 질화물 반도체층은 프리스탠딩 질화물 반도체 기판으로 사용될 수 있다.

[0021] 상기 질화물 반도체는 GaN일 수 있다.

[0022] 상기 질화물 반도체 기판은 1 μm 내지 3mm의 두께, 10mm 내지 18인치의 직경을 가질 수 있다.

발명의 효과

[0023] 본 발명의 실시예에 따른 질화물 반도체층 성장 방법에 따르면, 기판 상에 질화물 반도체층 성장시 격자 상수 차이나 열팽창 계수 차이에 의해 유발되는 텐슬 스트레스(tensile stress)에 의한 크랙(crack)이나 보잉(bowing)을 감소시킬 수 있어, 고품질의 프리스탠딩 질화물 반도체 기판을 제조할 수 있다.

도면의 간단한 설명

[0024] 도 1a 내지 도 4는 본 발명의 실시예에 따른 질화물 반도체층 성장 과정을 설명하기 위한 도면이다.

도 5는 실리콘 기판 상에 HVPE에 의해 성장된 GaN 버퍼층을 보여준다.

도 6은 약 1050℃에서 HCl 분압(partial pressure)에 따른 HVPE 반응기에서의 실리콘의 에칭율(Etch rate)을

보여준다.

도 7은 약 1050℃에서 HCl 분압이 10%일 때의 에칭 시간(etching time)에 따른 실리콘 두께(Thickness) 변화를 보여준다.

도 8은 약 80 μm 두께의 실리콘 기판 상에 300 μm 두께의 GaN 성장 후 HVPE 반응기 내에서 실리콘 기판의 HCl 에칭에 의한 기판(1) 두께 변화와, GaN 후막의 보잉(bowing) 변화를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 질화물 반도체 중 질화갈륨(GaN)은 밴드갭(bandgap) 에너지가 약 3.39 eV이고, 직접 천이형인 와이드 밴드갭(wide bandgap) 반도체 물질로 단파장 영역의 발광 소자 제작 등에 유용한 물질이다.
- [0026] GaN 단결정은 용점에서 높은 질소 증기압 때문에 액상 결정 성장은 대략 1500℃ 이상의 고온과 대략 20000 기압의 질소 분위기가 필요하므로 대량 생산이 어려울 뿐만 아니라 현재 사용 가능한 결정 크기도 약 100mm 정도의 박판 형으로 이를 소자 제작에 사용하기는 곤란하다.
- [0027] 그래서, GaN 박막은 이종 기판 상에 MOCVD(Metal Organic Chemical Vapor Deposition), HVPE(Hydride Vapor Phase Epitaxy) 등의 기상 성장 법에 의해 성장하고 있다.
- [0028] 그러나, GaN를 예를 들어, 실리콘 기판 상에 성장 할 때, 직접적으로 실리콘과 GaN가 맞닿을 경우, 실리콘이 GaN로 확산해 들어가 실리콘 기판 표면이 에칭되어 멜트백(meltback)이 발생하고, 실리콘과 GaN의 열팽창계수와 격자 상수 차이로 인하여 실리콘 기판 상에 GaN 성장 시 텐슬 스트레스(tensile stress)가 발생하여 크랙(crack)이 생성될 수 있다. 이를 해결하기 위해, 그레이디드 버퍼층(graded buffer layer) 등을 이용하여 실리콘 기판상에 GaN를 성장시키기도 하지만, 이 방법으로는 얇은 GaN 박막은 성장할 수 있으나, 두꺼운 GaN층을 성장하는 데는 여전히 문제가 있다.
- [0029] 본 발명의 실시예에 따른 질화물 반도체층 성장 방법에 따르면, 예를 들어, HVPE 방법에 의해 실리콘 기판 등의 이종 기판과 질화물 반도체층 사이의 격자 상수와 열팽창 계수 등의 차에 의한 크랙 발생이 없도록 후막 질화물 반도체층을 성장시킬 수 있다.
- [0030] 질화물 반도체층을 성장시키기 위해, 먼저, 반응기내에 기판을 준비하고, 이 기판 상에 일차적으로 질화물 반도체를 적층한 다음, 상기 반응기내에서 기판을 인시투 식각(in situ etching)하며, 일차적으로 적층된 질화물 반도체 상에 추가적으로 질화물 반도체를 더 적층하여 원하는 두께의 질화물 반도체층을 얻는다. 이러한 질화물 반도체층 제조 방법에 따르면, 질화물 반도체와 기판 물질 예컨대, GaN와 실리콘 간의 열팽창 계수와 격자 상수 차이에 의해 발생하는 텐슬 스트레스(tensile)를 제거할 수 있어, 고품질의 프리스탠딩(freestanding) 질화물 반도체 기판 예컨대, 프리스탠딩 GaN 기판을 형성할 수 있다.
- [0031] 이하에서는, 첨부된 도면들을 참조로 본 발명의 실시예에 따른 질화물 반도체층 성장 방법에 대해 보다 구체적으로 설명한다. 도면에서 층의 두께는 설명의 편의를 위해 과장되어 있을 수 있다.
- [0032] 도 1a 내지 도 4는 본 발명의 실시예에 따른 질화물 반도체층 성장 과정을 설명하기 위한 도면이다.
- [0033] 도 1a 및 도 1b는 질화물 반도체 성장이 이루어지는 반응기내에 질화물 반도체 성장에 사용되는 기판(1)을 준비하는 과정을 보여준다.
- [0034] 도 1a를 참조하면, 상기 기판(1)으로는 예를 들어, 실리콘 기판이 사용될 수 있다. 예를 들어, 상기 기판(1)으로는 100 μm 내지 1000 μm의 두께, 10mm 내지 18인치의 직경을 가지는 실리콘 기판을 사용할 수 있다. 이러한 기판(1)을 이용하여 제조되는 질화물 반도체층(100) 즉, 질화물 반도체 기판(웨이퍼:200)은 실리콘 기판에 대응하는 10mm 내지 18인치의 직경을 가지도록, 후술하는 바와 같이, 예를 들어, 약 1 μm 내지 약 3mm 범위 내의 두께로 형성될 수 있다. 여기서, 본 발명의 실시예에 따른 질화물 반도체층(100) 성장 방법에 의해 제조되는 질화물 반도체층(100) 즉, 프리스탠딩(freestanding) 질화물 반도체 기판(200)의 직경이나 두께는 원하는 바에 따라 달라질 수 있다.
- [0035] 상기 기판(1) 상에 도 1b에서와 같이 버퍼층(10)을 형성할 수 있다. 상기 버퍼층(10)은 크랙이나 멜트백(meltback)을 방지하기 위한 것이다. 멜트백(meltback)은 예를 들어, GaN를 실리콘 기판 상에 성장 할 때, 직접적으로 실리콘과 GaN가 맞닿을 경우, 실리콘이 GaN로 확산해 들어가 실리콘 기판 표면이 에칭되어 일어나는 현상이다.

- [0036] 상기 버퍼층(10)은, AlN, TaN, TiN, HfN, GaN, AlGaIn 중 어느 하나로 형성될 수 있다. 이 버퍼층(10)은, 예를 들어, 약 10nm 내지 3 μ m 두께로 형성될 수 있다. 상기 버퍼층(10)은 후속 성장되는 질화물 반도체(20) 예컨대, 질화갈륨(GaN)의 에피택시(epitaxy) 성장을 위해 3-fold symmetry 결정 구조로 형성될 수 있다.
- [0037] 이러한 버퍼층(10)은, MOCVD(Metal Organic Chemical Vapor Deposition:금속유기화학증착)법, 스퍼터링(sputtering)법, HVPE(Hydride Vapor Phase Epitaxy)법 중 어느 하나를 이용하여 형성될 수 있다.
- [0038] 상기 버퍼층(10)을 MOCVD나 스퍼터링법에 의해 형성하는 경우, MOCVD나 스퍼터링 반응기에서 기판(1)에 버퍼층(10)을 형성한 후, 버퍼층(10)이 형성된 기판(1)을 질화물 반도체 성장이 이루어지는 반응기(이하에서, 특별한 언급이 없는한 반응기는 질화물 반도체 성장이 이루어지는 반응기를 나타낸다)내에 장착하여, 반응기내에 질화물 반도체 적층을 위한 기판(1)을 준비하고, 이후 질화물 반도체 적층 공정을 진행할 수 있다. 또한, 버퍼층(10)을 HVPE법에 의해 형성하는 경우, 상기 반응기내에 기판(1)을 장착한 후 버퍼층(10)을 형성하여 반응기내에 질화물 반도체 적층을 위한 기판(1)을 준비하고, 이후 질화물 반도체 적층 공정을 진행할 수도 있다. 물론, 버퍼층(10)을 HVPE법에 의해 형성하는 경우에도, 별도의 HVPE 반응기에서 버퍼층(10)을 형성한 기판(1)을 상기 반응기내에 장착하여 질화물 반도체 적층을 위한 준비를 하거나, 동일 반응기 내에서 별도의 공정에 의해 버퍼층(10)을 형성한 기판(1)을 사용하여 질화물 반도체 적층 공정을 진행할 수도 있다. 또한, 상기 반응기가 MOCVD나 스퍼터링도 가능한 구조를 가지는 경우, 상기 반응기내에 기판(1)을 장착한 상태에서 MOCVD나 스퍼터링에 의해 버퍼층(10)을 형성할 수도 있다.
- [0039] 도 5는 예시로서 실리콘 기판 상에 HVPE에 의해 성장된 GaN 버퍼층을 보여준다.
- [0040] 상기와 같이 반응기내에 기판(1)을 준비하고, 준비된 기판(1) 상에 도 2에서와 같이, 일차적으로 질화물 반도체(20) 예컨대, GaN를 소정 두께만큼 적층한다. 상기 반응기로는 HVPE 반응기(reactor)를 사용하고, 상기 질화물 반도체(20)는 HVPE법을 이용하여 적층할 수 있다. 예를 들어, HVPE 반응기 내에서, HCl과 Ga 금속을 반응시켜 GaCl을 형성하고 이를 NH₃와 반응시켜 버퍼층(10)상에 일차적으로 GaN을 적층할 수 있다.
- [0041] 이때, 상기 일차적인 질화물 반도체(20) 적층은, 대략 950 $^{\circ}$ C 내지 1100 $^{\circ}$ C의 온도범위에서 이루어질 수 있다. 또한, 일차적으로 질화물 반도체(20)는, 약 1 μ m 내지 약 500 μ m 두께 예컨대, 수 내지 수십 μ m 두께로 적층될 수 있다.
- [0042] 이와 같이, 일차적으로 질화물 반도체(20)를 적층한 상태에서, 상기 반응기 내에서 기판(1)을 인시투 에칭(in situ etching)하여, 도 3에서와 같이, 기판(1)이 제거된 상대적으로 얇은 프리스탠딩(freestanding) 질화물 반도체 기판 구조를 얻는다. 그런 다음, 일차적으로 적층된 질화물 반도체(20) 상에 추가적으로 질화물 반도체(30) 예컨대, GaN를 더 적층하여 원하는 두께의 질화물 반도체층(100)을 얻는다. 이와 같이 추가적인 질화물 반도체(30) 적층 완료후 얻어지는 질화물 반도체층(100)은 프리스탠딩(freestanding) 질화물 반도체 기판(200)으로 사용될 수 있다. 예를 들어, 일차적으로 적층된 GaN 상에 추가적으로 GaN를 더 적층하여 얻어지는 GaN층은 프리스탠딩(freestanding) GaN 반도체 기판으로 사용될 수 있다. 이때, 프리스탠딩 질화물 반도체 기판(200)은 도 4에서와 같이 버퍼층(10)을 포함할 수 있으며, 필요에 따라 버퍼층(10)을 제거한 구조를 가질 수도 있다. 버퍼층(10) 제거는 기판(1)을 식각한 후 이루어지거나, 질화물 반도체층(100) 적층 공정 완료 후에 이루어질 수도 있다.
- [0043] 상기 기판(1)을 에칭하는 공정은 일차적으로 질화물 반도체(20)를 약 1 μ m 내지 약 500 μ m 두께 예컨대, 수 내지 수십 μ m 두께로 적층한 후 진행될 수 있다.
- [0044] 상기 기판(1)은 반응기 내에서 HCl 가스를 이용하여 예컨대, 대략 800 $^{\circ}$ C 내지 대략 1100 $^{\circ}$ C 온도 하에서 에칭될 수 있다. 이때, 상기 HCl 가스의 부분 분압은 1 내지 100%일 수 있다. 이러한 기판(1) 에칭 공정은 질화물 반도체(20)의 N-face 표면이 나올 때까지 진행하여 기판(1)을 완전히 에칭할 수 있다.
- [0045] 상기 기판(1) 에칭 공정은 질화물 반도체 성장을 멈춘 상태에서 이루어질 수 있다. 또한, 기판(1) 에칭 공정은 질화물 반도체 성장을 진행하는 동시에 진행될 수도 있다. 즉, 적정 두께로 일차적으로 질화물 반도체(20)를 적층한 상태에서 계속하여 질화물 반도체 적층 공정을 진행하면서 동시에 기판(1) 에칭 공정이 이루어질 수도 있다. 이러한 공정의 동시 진행은, 기판(1) 에칭이 상기 반응기내에서 인시투로 이루어지기 때문에 가능하다.
- [0046] 한편, 일차적으로 적층된 질화물 반도체(20) 상에 추가적으로 질화물 반도체(30)를 HVPE 공정에 의해 예를 들어, 적어도 10 μ m 이상의 두께 보다 구체적인 예로는, 수백 μ m 내지 수 mm 두께만큼 바로 성장할 수 있다. 예를 들어, 실리콘 기판을 완전히 에칭하며, 추가적으로 GaN를 약 400 μ m 두께까지 성장할 수 있다.

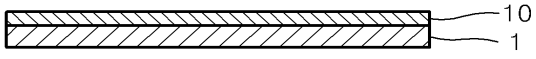
- [0047] 이상에서는 도 1a 내지 도 4를 참조로, 일차적으로 질화물 반도체(20)를 적층한 후, 기판(1) 에칭 공정을 진행한 후나 기판(1) 에칭 공정 진행과 동시에 추가적으로 질화물 반도체(30)를 적층하는 경우를 설명 및 도시하였는데, 본 발명의 실시예에 따른 질화물 반도체층(100) 성장 방법이 이에 한정되는 것은 아니며, 다양한 실시예가 가능하다.
- [0048] 예를 들어, 일차적으로 기판(1) 상에 질화물 반도체(20)를 원하는 두께만큼 적층한 후 기판(1) 에칭 공정을 진행하는 것으로, 후속의 추가적인 질화물 반도체(30) 적층 공정없이, 프리스탠딩 질화물 반도체 기판(200)을 제조할 수도 있다. 즉, 프리스탠딩 질화물 반도체 기판(200)을 추가적으로 적층된 질화물 반도체(30)를 포함하지 않고, 일차적으로 적층된 질화물 반도체(20)만을 포함하는 구조로 형성할 수도 있다. 이 경우에도, 기판(1) 에칭 공정동안 질화물 반도체 적층 공정은 멈춘 상태이거나 동시 진행될 수 있다.
- [0049] 또한, 도 4에서는 추가적인 질화물 반도체(30) 적층 두께가 일차적인 질화물 반도체(20) 적층 두께보다 큰 것으로 도시하였는데, 이는 예시적으로 도시한 것으로, 추가적인 질화물 반도체(30) 적층 두께는 일차적인 질화물 반도체(20) 적층 두께보다 작을 수도 있다.
- [0050] 따라서, 일차적인 질화물 반도체(20) 적층과 추가적인 질화물 반도체(30) 적층으로부터 얻어지거나, 일차적인 질화물 반도체(20) 적층만으로 얻어지는 질화물 반도체층(100) 즉, 프리스탠딩 질화물 반도체 기판(200)은 예컨대, 약 1 μ m 내지 약 3mm 범위내의 두께를 가질 수 있다. 본 발명의 실시예에 따른 성장 방법에 의해 제조되는 프리스탠딩 질화물 반도체층(100) 즉, 프리스탠딩 질화물 반도체 기판(200)은 요구되는 직경에 적합한 두께로 형성될 수 있다.
- [0051] 또한, 이상에서는 실리콘 기판 상에 질화물 반도체(20)를 적층하는 경우를 설명하였는데, 이는 예시적인 것일 뿐 프리스탠딩 질화물 반도체 기판(200) 예컨대, 프리스탠딩 GaN 반도체 기판을 성장하는데 기저 기판(1)으로 실리콘 기판만이 사용될 수 있는 것은 아니며, 다른 종류의 기판 예컨대, 사파이어 기판 등이 사용될 수도 있다.
- [0052] 도 6은 약 1050 $^{\circ}$ C에서 HCl 분압(partial pressure)에 따른 HVPE 반응기에서의 실리콘의 에칭율(Etch rate)을 보여주며, 도 7은 약 1050 $^{\circ}$ C에서 HCl 분압이 10%일 때의 에칭 시간(etching time)에 따른 실리콘 두께(Thickness) 변화를 보여준다.
- [0053] 도 6 및 도 7로부터 알 수 있는 바와 같이, HCl의 분압이 높을 수록 기판(1)의 에칭율은 증가하며, 에칭 시간이 경과할수록 남은 기판(1)의 두께가 줄어들게 됨을 알 수 있다.
- [0054] 도 8은 약 80 μ m 두께의 실리콘 기판 상에 300 μ m 두께의 GaN 성장 후 HVPE 반응기 내에서 실리콘 기판의 HCl 에칭에 의한 기판(1) 두께 변화와, GaN 후막의 보잉(bowing) 변화를 나타내는 그래프이다. 도 8에 따르면, HCl 에칭에 의해 실리콘 기판의 두께가 감소할수록, 텐실 스트레스(tensile stress) 완화에 의해 GaN 후막의 보잉이 급격히 감소되는 것을 알 수 있다. 즉, 실리콘 기판의 인시투 에칭은 본 발명의 실시예에 따른 성장 방법에 의해 얻어지는 GaN 기판에 스트레스를 제거하여 프리스탠딩 GaN 기판 성장을 가능하게 함을 알 수 있다.
- [0055] 상기한 바와 같은 본 발명의 실시예에 따른 질화물 반도체층(100) 성장 방법에 따르면, 예를 들어, 실리콘 기판 상에 GaN을 성장할 때 HVPE 반응기 내에서 실리콘 기판의 인시투 에칭에 의해 GaN 층에 존재하는 텐실 스트레스(tensile stress), 보잉(bowing) 문제를 해결 가능하므로, 고품질의 GaN 웨이퍼의 제조가 가능하다. 또한, 실리콘 기판의 가격이 싸고 손쉽게 대구경 기판을 얻을 수 있기 때문에 저가격, 대구경 GaN 웨이퍼 제조가 가능하다.
- [0056] 예를 들어, 100 μ m 내지 1000 μ m의 두께, 10mm 내지 18인치의 직경을 가지는 실리콘 기판을 이용하여, 1 μ m 내지 3mm의 두께, 10mm 내지 18인치의 직경을 가지는 질화물 반도체 웨이퍼, 예컨대, GaN 웨이퍼를 제조할 수 있다.

도면

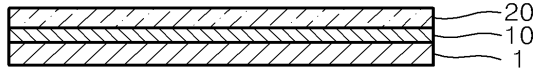
도면1a



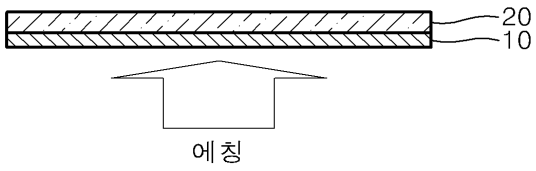
도면1b



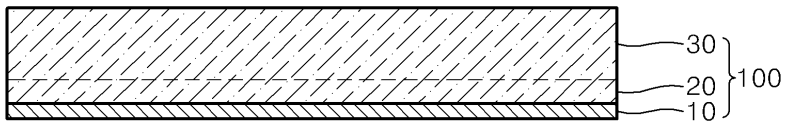
도면2



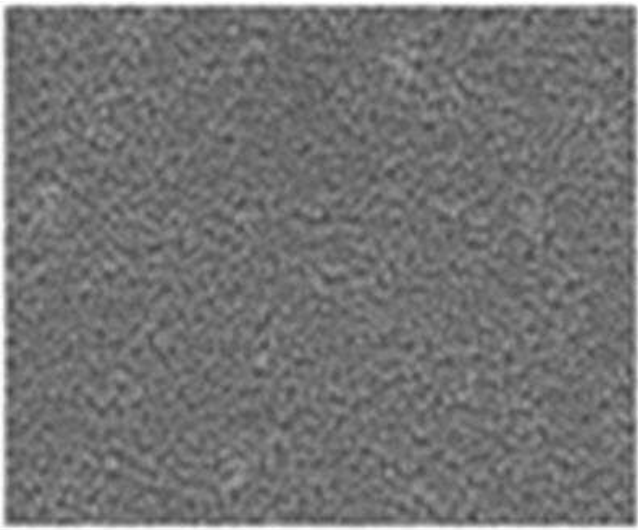
도면3



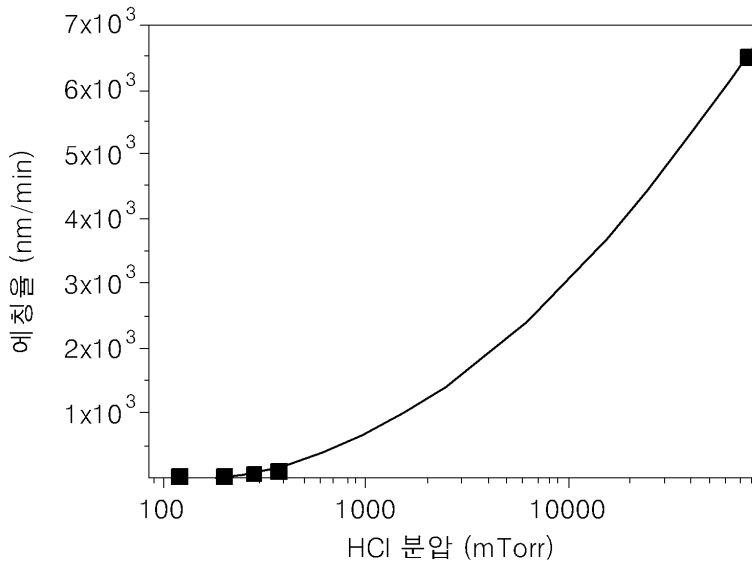
도면4



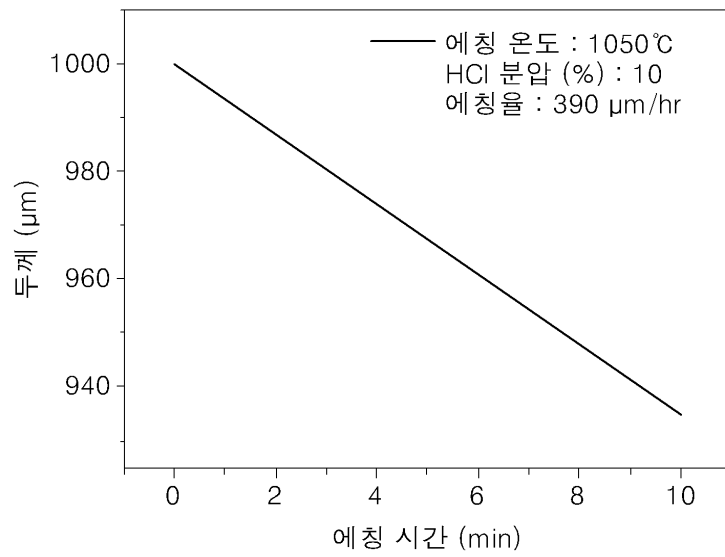
도면5



도면6



도면7



도면8

