



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I494735 B

(45) 公告日：中華民國 104 (2015) 年 08 月 01 日

(21) 申請案號：102113283

(22) 申請日：中華民國 102 (2013) 年 04 月 15 日

(51) Int. Cl. : G05F3/24 (2006.01)

(71) 申請人：聯詠科技股份有限公司 (中華民國) NOVATEK MICROELECTRONICS CORP.  
(TW)

新竹市新竹科學園區創新一路 13 號 2 樓

(72) 發明人：胡敏弘 HU, MIN HUNG (TW)；蘇品翰 SU, PIN HAN (TW)；黃俊為 HUANG, CHUN WEI (TW)；吳振聰 WU, CHEN TSUNG (TW)；黃秋皇 HUANG, CHIU HUANG (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

TW	471220	TW	200634467A
TW	200703884A	CN	101464699A
CN	102566641A1	US	6518737B1
US	2011/0121800A1		

審查人員：曾錦豐

申請專利範圍項數：12 項 圖式數：7 共 23 頁

(54) 名稱

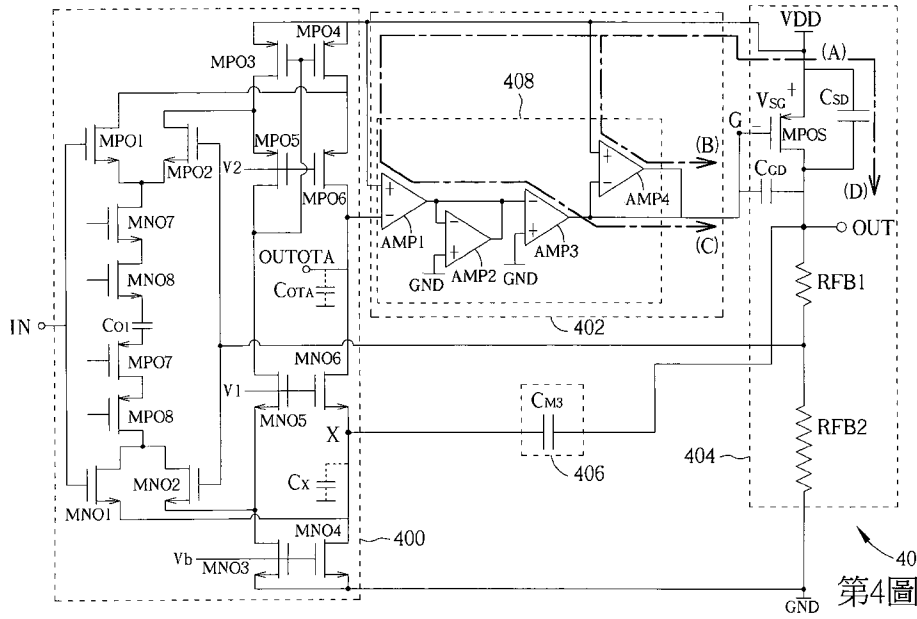
補償模組及電壓調整器

COMPENSATION MODULE AND VOLTAGE REGULATION DEVICE

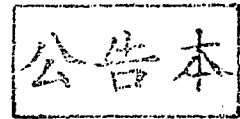
(57) 摘要

一種補償模組，用於一電壓調整器中，該電壓調整器包含有一增益級、一輸出級以及一米勒補償模組，該補償模組包含有一低輸出負載非反相增益單元，耦接於該增益級的一放大輸出端與該輸出級的一輸出級輸入端之間。

A compensation module, for a voltage regulator including a gain stage, an output stage and a miller compensation module, includes a low-output-impedance non-inverting amplifier unit coupled to a gain output of the gain stage and output-stage input of the output stage.



- 40 . . . 電壓調整器
- 400 . . . 增益級
- 402 . . . 補償模組
- 404 . . . 輸出級
- 406 . . . 米勒補償模組
- 408 . . . 低輸出負載非反相增益單元
- AMP1~AMP4 . . . 放大器
- A、B、C、D . . . 雜訊
- COT . . . 輸出電容
- CGD、CSD . . . 寄生電容
- G、X . . . 節點
- GND . . . 地端
- RFB1、RFB2 . . . 回授電阻
- IN . . . 輸入端
- MNO1~MNO8 . . . N型電晶體
- MPO1~MPO8 . . . P型電晶體
- OUT、
- OUTOTA . . . 輸出端
- VDD . . . 電源



# 發明摘要

※ 申請案號：102113283

※ 申請日：102. 4. 15

※IPC 分類：G05F 3/24 (2006.01)

【發明名稱】 補償模組及電壓調整器

Compensation Module and Voltage Regulation Device

【中文】

一種補償模組，用於一電壓調整器中，該電壓調整器包含有一增益級、一輸出級以及一米勒補償模組，該補償模組包含有一低輸出負載非反相增益單元，耦接於該增益級的一放大輸出端與該輸出級的一輸出級輸入端之間。

【英文】

A compensation module, for a voltage regulator including a gain stage, an output stage and a miller compensation module, includes a low-output-impedance non-inverting amplifier unit coupled to a gain output of the gain stage and output-stage input of the output stage.

## 【代表圖】

【本案指定代表圖】：第（ 4 ）圖。

【本代表圖之符號簡單說明】：

40	電壓調整器
400	增益級
402	補償模組
404	輸出級
406	米勒補償模組
408	低輸出負載非反相增益單元
AMP1~AMP4	放大器
A、B、C、D	雜訊
$C_{OTA}$	輸出電容
$C_{GD}$ 、 $C_{SD}$	寄生電容
G、X	節點
GND	地端
RFB1、RFB2	回授電阻
IN	輸入端
MNO1~MNO8	N型電晶體
MPO1~MPO8	P型電晶體
OUT、OUTOTA	輸出端
VDD	電源

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

# 發明專利說明書

**【發明名稱】** 補償模組及電壓調整器

Compensation Module and Voltage Regulation Device

**【技術領域】**

**【0001】** 本發明係指一種補償模組及其電壓調整器，尤指一種能夠提升穩定性及抗雜訊能力的補償模組及其電壓調整器。

**【先前技術】**

**【0002】** 在積體電路中，電壓調整器（Voltage Regulator）是常用於產生準確且穩定電壓的負回授電路。電壓調整器所輸出的電壓通常會作為積體電路中其他電路的參考電壓或是電源。因此，在電壓調整器的設計中，往往需要利用頻率補償提升電壓調整器的穩定性，並藉由電壓調整器本身的負回授特性降低系統電源的電源雜訊干擾以及提升電壓調整器的電源抑制比（Power Supply Rejection Ratio, PSRR）。

**【0003】** 請參考第 1 圖，第 1 圖為用於習知電壓調整器之一傳統米勒補償架構 10 的示意圖。如第 1 圖所示，米勒補償架構 10 包含有 N 型電晶體 MN1 ~ MN3、P 型電晶體 MP1、MP2、電流源 IB 以及米勒電容  $C_{M1}$ 。N 型電晶體 MN2、MN3、P 型電晶體 MP1、MP2 之組合為前級電路的輸出級。米勒電容  $C_M$  跨接於節點 MN1\_G 與輸出端 OUT 之間（即 N 型電晶體 MN1 的閘極與汲極之間），也透過 N 型電晶體 MN1 的增益  $Gain_{MN1}$ ，米勒電容  $C_{M1}$  將可等效於一掛載於節點 MN1\_G 的放大電容。此放大電容的電容值係為米勒電容  $C_{M1}$  的電容值與增益  $Gain_{MN1}$  的乘積。藉此，電壓調整器的主極點將往低頻率移動，從而提升電壓調整器的穩定性。然而，米勒補償架構 10 中的電源雜訊將會經由 P 型電晶體 MP1、MP2 與米勒電容  $C_{M1}$  的路徑傳遞至輸出端

OUT，進而大幅降低電壓調整器於高頻的電源抑制比。

**【0004】** 請參考第 2 圖，第 2 圖為用於習知電壓調整器之一傳統疊接式米勒補償架構 20 的示意圖。類似於米勒補償架構 10，疊接式米勒補償架構 20 包含有 N 型電晶體 MN1~MN3、P 型電晶體 MP1、MP2、電流源 IB 以及米勒電容  $C_{M2}$ 。N 型電晶體 MN2、MN3、P 型電晶體 MP1、MP2 之組合為前級電路的輸出級。與米勒補償架構 10 不同的是，疊接式米勒補償架構 20 的米勒電容  $C_{M2}$  係耦接於節點 X 與輸出端 OUT 之間。透過節點 MN1\_G 至節點 X 間之高阻抗，電源雜訊將無法由米勒電容  $C_{M2}$  傳遞至輸出端 OUT，從而提高電壓調整器的電源抑制比。然而，將米勒電容  $C_{M2}$  耦接於節點 X 時，寄生零點 Z1、Z2 會隨之產生。寄生零點 Z1、Z2 可分別表示為：

$$\text{【0005】} \quad Z1 \cong -\frac{gm_{MN2}}{C_X} \quad , \quad Z2 \cong \frac{gm_{MN1}C_X}{C_{OTA}C_{M2} + C_{GD}C_X + C_{M2}C_{GD}}$$

**【0006】** 其中， $C_X$  為節點 X 的寄生電容值， $\frac{1}{gm_{MN2}}$  為節點 X 的等效阻抗， $gm_{MN1}$  為 N 型電晶體 MN1 的轉導 (Trans-conductance)， $C_{GD}$  為 N 型電晶體 MN1 閘極至汲極的寄生電容， $C_{OTA}$  為前級電路的輸出電容。於高頻率範圍時，寄生零點 Z1、Z2 會抬升電壓調整器的增益，進而延長電壓調整器的開迴路步階響應的穩定時間且影響電壓調整器的穩定性。

**【0007】** 此外，習知技術亦提供一種利用電流鏡來提升電壓調整器的電源抑制比的方法，請參考第 3 圖，第 3 圖為一傳統電壓調整器 30 的示意圖。如第 3 圖所示，電壓調整器 30 係於增益級 OTA 與 P 型電晶體 MP1 之間加入電流鏡 (current mirror)，以使電流雜訊可透過電流鏡中的 P 型電晶體 MP2 傳遞至節點 MP1\_G。如此一來，節點 MP1\_G 將與電源 VDD 同步，從而抑制電源 VDD 傳遞至輸出端 OUT 的電源雜訊。然而，由於電壓調整器 30 的增益級 OTA 的輸出與 P 型電晶體 MP1 之輸出為同相，因此電壓調整器 30 無法使

用米勒補償。在此狀況下，電壓調整器 30 只能採用主極點補償 ( dominant-pole compensation ) 方法來提升穩定性。換言之，電壓調整器 30 係透過掛載一具有大電容值的電容  $C_L$  於輸出端 OUT 來提升電壓調整器 30 的穩定性。然而，採用主極點補償方法將會大幅增加電壓調整器 30 的佈局面積，進而提高製造成本。此外，在電壓調整器 30 中高頻率的電源雜訊依然會通過 P 型電晶體 MP1 的寄生電容  $C_{SD}$  直接傳遞至輸出端 OUT，造成電壓調整器 30 的電源抑制比下降。由上述可知，習知技術實有改進之必要。

### 【發明內容】

**【0008】** 因此，本發明提出一種具有低輸出負載及非反相增益的補償模組及其電壓調整器，以提高電壓調整器的穩定性及電源抑制比。

**【0009】** 本發明揭露一種補償模組，用於一電壓調整器中，該電壓調整器包含有一增益級、一輸出級以及一米勒補償模組，該補償模組包含有一低輸出負載非反相增益單元，耦接於該增益級的一放大輸出端與該輸出級的一輸出級輸入端之間。

**【0010】** 本發明另揭露一種電壓調整器，包含有一增益級；一輸出級；一米勒補償模組，耦接於該輸出級的一輸出級輸出端與該增益級之間；以及一補償模組，包含有一低輸出負載非反相增益單元，耦接於該增益級的一增益級輸出端與該輸出級的一輸出級輸入端之間。

### 【圖式簡單說明】

#### 【0011】

第 1 圖為傳統米勒補償架構的示意圖。

第 2 圖為傳統疊接式米勒補償架構的示意圖。

第 3 圖為一傳統電壓調整器的示意圖。

第 4 圖為本發明實施例一電壓調整器的示意圖。

第 5 圖為本發明實施例另一電壓調整器的示意圖。

第 6 圖為第 5 圖所示的電壓調整器中高频增益單元的增益-頻率特徵曲線圖。

第 7 圖為第 5 圖所示的電壓調整器一實現方式的示意圖。

### 【實施方式】

**【0012】** 請參考第 4 圖，第 4 圖為本發明實施例一電壓調整器 40 的示意圖。電壓調整器 40 用來根據輸入端 IN 輸入電壓  $V_{IN}$ ，於輸出端 OUT 產生穩定的輸出電壓  $V_{OUT}$ 。如第 4 圖所示，電壓調整器 40 包含有一增益級 400、一補償模組 402、一輸出級 404 以及一米勒補償模組 406。增益級 400 用來根據一輸入端 IN 的輸入電壓  $V_{IN}$ ，於一輸出端 OUTOTA 輸出電壓  $V_{OTA}$ 。補償模組 402 耦接於增益級 400，包含有一低輸出負載非反相增益單元 408。補償模組 402 用來根據電壓  $V_{OTA}$ ，於一節點 G 輸出電壓  $V_G$ 。輸出級 404 耦接於增益級 400 及補償模組 402，用來根據電壓  $V_G$  於輸出端 OUT 產生輸出電壓  $V_{OUT}$ ，並根據輸出電壓  $V_{OUT}$  產生回授電壓  $V_{FB}$  至增益級 400。米勒補償模組 406 耦接於增益級 400 與輸出級 404 之間，用來補償電壓調整器 40 的單位增益頻寬 (unit gain bandwidth)。需注意的是，補償模組 402 具有低輸出阻抗之特性，補償模組 402 與輸出級 404 的寄生電容之組合產生之寄生零點將會往高频移動而可忽略不計，從而降低此寄生零點對電壓調整器 40 整體效能的影響。此外，補償模組 402 的增益係為非反向增益，電壓調整器 40 中輸出端 OUTOTA 與輸出端 OUT 之間將保持反向關係。在此狀況下，電壓調整器 40 可使用米勒補償模組 406 達成米勒補償，進而在不大幅增加晶片面積的前提下有效調整電壓調整器 40 的頻寬以達成系統穩定。

**【0013】** 詳細來說，在此實施例中，增益級 400 是以 P 型電晶體 MPO1~

MPO8、N 型電晶體 MNO1~MNO8 及電容  $C_{O1}$  所組成之放大器電路，輸出級 404 包含有一 P 型電晶體 MPOS 形成之共源極 (common source) 放大器以及回授電阻 RFB1、RFB2 組成之分壓電路，而米勒補償模組 406 則包含一米勒電容  $C_{M3}$ 。增益級 400、輸出級 404 及米勒補償模組 406 的運作原理應為本領域具通常知識者所熟知，為求簡潔，在此不贅述。根據不同應用，增益級 400、輸出級 404 及米勒補償模組 406 可據以修改，而不限於此實施例所示之電路架構。

**【0014】** 補償模組 402 中低輸出負載非反相增益單元 408 包含有放大器 AMP1~AMP4。其中，放大器 AMP1~AMP4 的增益分別為  $gm1 \sim gm4$ 。放大器 AMP1 的正輸入端耦接於電源 VDD，負輸入端耦接於增益級 400 的輸出端 OTAOUT。放大器 AMP2 的正輸入端耦接於地端，負輸入端耦接於放大器 AMP1 的輸出端，以及輸出端耦接於放大器 AMP1 的輸出端。放大器 AMP3 的正輸入端耦接於地端，負輸入端耦接於放大器 AMP1 的輸出端，以及輸出端耦接於節點 G。放大器 AMP4 的正輸入端耦接於電源 VDD，負輸入端耦接於節點 G，以及輸出端也耦接於節點 G。簡言之，放大器 AMP1、AMP3 採用開迴路設計，以避免電壓調整器 40 中出現雙迴路而使設計複雜化。放大器 AMP2、AMP4 係為閉迴路設計，分別作為放大器 AMP1、AMP3 的負載，從而達成低輸出負載非反相增益單元 408 的低輸出負載特性。在此狀況下，輸出端 OUTOTA 至節點 G 之增益可表示為：

$$\text{【0015】} \quad gm1 \times \frac{1}{gm2} \times gm3 \times \frac{1}{gm4}$$

**【0016】** 由於放大器 AMP1、AMP3 皆為反向開迴路設計，因此輸出端 OUTOTA 至節點 G 保持非反向特性 (即輸出端 OUTOTA 與輸出端 OUT 間保持反向關係)，電壓調整器 40 可以使用米勒補償模組 406 (米勒補償方法) 來調整頻寬以達成系統穩定。

**【0017】** 透過在增益級 400 與輸出級 404 之間新增低輸出負載非反相增益單元 408 作為緩衝，增益級 400 的輸出端 OUTOTA 的高輸出阻抗可避免直接耦接於輸出級 404 中 P 型電晶體 MPOS 的寄生電容  $C_{GD}$ 。並且，由於寄生電容  $C_{GD}$  改為耦接於低輸出負載非反相增益單元 408，寄生電容  $C_{GD}$  對於輸出端 OUT 的影響可被降低。上述優點亦可由寄生零點 Z1、Z2 的改變觀察得知。加入低輸出負載非反相增益單元 408 後，寄生零點 Z1、Z2 可表示為：

$$\text{【0018】} \quad Z1 \cong -\frac{gm_{MNO6}}{C_X} \quad , \quad Z2 \cong \frac{gm_{MPOS} C_X}{C_{OTA} C_M + C_{GD} C_X}$$

**【0019】** 其中， $C_X$  為節點 X 的寄生電容值， $\frac{1}{gm_{MNO6}}$  為節點 X 的等效阻抗， $gm_{MPOS}$  為 P 型電晶體 MPOS 的轉導， $C_{GD}$  為 P 型電晶體 MPOS 閘極至汲極的寄生電容值， $C_{OTA}$  為增益級 400 的輸出電容值。由寄生零點 Z2 的公式可得知，在加入低輸出負載非反相增益單元 408 後，寄生零點 Z2 被提昇至更高頻率的範圍。因此，電壓調整器 40 的增益可避免在高頻率範圍抬升，從而降低電壓調整器 40 的設計難度並提高電壓調整器 40 的穩定性。

**【0020】** 另一方面，低輸出負載非反相增益單元 408 亦可減輕電源 VDD 中雜訊的影響。請繼續參考第 4 圖，當電源 VDD 產生雜訊 A 時，雜訊 A 會經過放大器 AMP4 傳遞同向的雜訊 B 至節點 G。雜訊 B 可部份抵銷雜訊 A 對於 P 型電晶體 MPOS 中電壓  $V_{SG}$  的影響，進而提高電壓調整器 40 的電源抑制比。然而，雜訊 A 也會經過放大器 AMP1、AMP3，傳遞雜訊 C 至節點 G。由於雜訊 B 與雜訊 C 互為反向訊號，雜訊 C 與雜訊 B 會相互抵銷，進而降低抑制雜訊 A 之效果。除此之外，雜訊 A 中高頻部份也會通過 P 型電晶體 MPOS 源極與汲極間的寄生電容  $C_{SD}$  傳遞雜訊 D 至輸出端 OUT。電壓調整器 40 電源抑制比的頻寬將會受限於雜訊 D 而無法提升。因此，本發明另透過於補償模組 402 內新增一高頻增益單元，消除電壓調整器 40 中雜訊 C、D 所造

成的影響。

**【0021】** 請參考第 5 圖，第 5 圖為本發明實施例另一電壓調整器 50 的示意圖。電壓調整器 50 相似於第 4 圖所示的電壓調整器 40，因此功能相同的電路以相同的名稱表示。與電壓調整器 40 不同的是，電壓調整器 50 於補償模組 402 中新增高頻增益單元 500，以提昇電壓調整器 50 的電源抑制比的頻寬。高頻增益單元 500 包含有一放大器 502、一補償電容 504 以及一補償電阻 506。放大器 502 的增益為  $gm_5$ ，且其正輸入端耦接於地端 GND，負輸入端耦接於電源 VDD，以及輸出端耦接於補償電容 504。補償電容 504 耦接於放大器 AMP4 的負輸入端。補償電阻 506 則耦接於放大器 AMP3 的輸出端與放大器 AMP4 的負輸入端之間。經由高頻增益單元 500，電源 VDD 中的雜訊 A 將會於節點 G 產生與雜訊 B 同相的雜訊 E。雜訊 A 經由高頻增益單元 500 產生雜訊 E 的傳導公式可推導為：

$$\mathbf{【0022】} \quad \frac{V_G}{VDD}(s) = Gain_{DC} \times \frac{\left(1 - \frac{s}{Z_{hf1}}\right)}{\left(1 - \frac{s}{1 - P_{hf1}}\right) \left(1 - \frac{s}{1 - P_{hf2}}\right)}$$

$$\mathbf{【0023】} \quad \begin{cases} Gain_{DC} = \frac{gm_4 \times r_{o,G}}{1 + gm_4 \times r_{o,G}} \\ Z_{hf1} \cong -\frac{1}{RZ \times [CZ \times (gm_5 \times r_{o,502})]} \\ P_{hf1} = -\frac{1}{r_{o,502} \times [C_{502} + CZ]} \\ P_{hf2} \cong -\frac{1}{RZ \times C_G} \end{cases}$$

**【0024】** 其中， $r_{o,G}$  為節點 G 的等效電阻， $r_{o,502}$  為放大器 502 輸出端之輸出電阻，RZ 為補償電阻 506 之電阻值，CZ 為補償電容 504 之電容值， $C_{502}$  為掛載於放大器 502 輸出端之等效電容， $C_G$  為掛載於節點 G 的等效電容。根據上述公式可得知雜訊 A 經由高頻增益單元 500 產生雜訊 E 的傳導公式的增

益-頻率特徵曲線圖，如第 6 圖所示。由第 6 圖可得知，雜訊 A 經由高頻增益單元 500 產生雜訊 E 的基頻增益  $\text{Gain}_{\text{DC}}$  接近於 1。隨著頻率達到零點  $Z_{\text{hf1}}$  時，高頻增益單元 500 的增益開始上升並於 OUT 端產生與雜訊 C、D 反向作用的訊號，從而消除雜訊 C、D 帶來的負面影響。換言之，通過適當設計零點  $Z_{\text{hf1}}$ 、極點  $P_{\text{hf1}}$ 、 $P_{\text{hf2}}$ （例如調整電阻值 RZ 與電容值 CZ），電壓調整器 50 可藉由高頻增益單元 500，消除雜訊 C、D 的影響，從而大幅擴大電壓調整器 50 電源抑制比的頻寬。值得注意的是，由於零點  $Z_{\text{hf1}}$  的公式中電容值 CZ 係被放大  $gm_5 \times r_{o,502}$  倍，因此電壓調整器 50 可透過調整  $gm_5 \times r_{o,502}$  的倍數將零點  $Z_{\text{hf1}}$  移動至低頻範圍，而不需選擇放大電容值 CZ 而增加電壓調整器 50 佈局面積。

**【0025】** 請參考第 7 圖，第 7 圖為第 5 圖所示的電壓調整器 50 一實現方式的示意圖。如第 7 圖所示，低輸出負載非反相增益單元 408 包含有 P 型電晶體 MP2、MP3、N 型電晶體 MN1、MN2。放大器 502 係 P 型電晶體 MP4~MP7、N 型電晶體 MN3 及電阻 R1 所實現。P 型電晶體 MP2~MP7、N 型電晶體 MN1~MN3 及電阻 R1 間的運作原理應為本領域具通常知識者所熟知。簡單來說，低輸出負載非反相增益單元 408 中的放大器 AMP1~AMP4 分別由 P 型電晶體 MP2、N 型電晶體 MN1、N 型電晶體 MN2 以及 P 型電晶體 MP3 所實現。放大器 502 的增益  $gm_5$  則是由 P 型電晶體 MP4 所實現。在此實施例中，為求簡化設計，放大器 AMP1 的增益  $gm_1$  設計為等於放大器 AMP4 的增益  $gm_4$ ，而放大器 AMP2 的增益  $gm_2$  設計為等於放大器 AMP3 的增益  $gm_3$ 。如此一來，P 型電晶體 MP2、MP3、N 型電晶體 MN1、MN2 即形成 1:1 的電流鏡架構。第 7 圖所示之電壓調整器 50 係以最精簡的元件數目來實現低輸出負載非反相增益單元 408 及放大器 502。藉此，電壓調整器 50 的佈局面積可被最小化，也可避免多餘電路造成新的雜訊來源。第 7 圖所示之電壓調整器 50 消除寄生零點所造成的影響及增加電源抑制比頻寬的運作原理可參考前述，為求簡潔，在此不贅述。

**【0026】** 需注意的是，上述實施例的精神在於透過新增具有低輸出負載特性之放大器於電壓調整器的增益級與輸出級之間作為緩衝，以避免寄生零點造成電壓調整器的增益於高頻的抬升，從而簡化電壓調整器之設計並增加電壓調整器的穩定性。此外，由於耦接於電壓調整器的增益級與輸出級間的放大器也具有非反向增益之特性，電壓調整器仍可使用米勒補償方法進行頻率補償，從而在不需大幅增加晶片面積的前提下有效調整電壓調整器的頻寬以達成系統的穩定。另一方面，本發明透過高頻增益單元來抑制電源中高頻雜訊的影響，進而擴大電壓調整器電源抑制比的頻寬。根據不同應用，本領域熟知技藝者應可據以實施適當的更動及修改。舉例來說，電壓調整器 40、50 中增益級 400、放大級 404、米勒補償模組 406 的組成及其相互之間的耦接關係可以其他方式實現，而不限於第 4 圖、第 5 圖所示的電路架構。

**【0027】** 綜上所述，上述實施例中的電壓調整器利用低輸出負載非反向增益單元降低寄生零點對於電壓調整器的穩定性的影響。進一步地，上述實施例中的電壓調整器另透過高頻增益單元來消除耦合至電壓調整器輸出端的高頻雜訊。藉此，本發明所揭露的電壓調整器的穩定性及電源抑制比可獲得大幅度的提升。

### **【符號說明】**

#### **【0028】**

10	米勒補償架構
20	疊接式米勒補償架構
30	電壓調整器
40、50	電壓調整器

400	增益級
402	補償模組
404	輸出級
406	米勒補償模組
408	低輸出負載非反相增益單元
500	高頻增益單元
AMP1~AMP4	放大器
A、B、C、D、E	雜訊
$C_L$	電容
$C_{M1}$ 、 $C_{M2}$ 、 $C_{M3}$	米勒電容
$C_{OTA}$	輸出電容
$C_{GD}$ 、 $C_{SD}$	寄生電容
$Gain_{DC}$	基頻增益
G、X、MP1_G	節點
GND	地端
IB	電流源
IN	輸入端
MN1~MN4、MNO1~MNO8	N型電晶體
MP1~MP7、MPO1~MPO8	P型電晶體
OTA	增益級
OUT、OUTOTA	輸出端
VDD	電源
R1	電阻
RFB1、RFB2	回授電阻
Z1、Z2	寄生零點

## 申請專利範圍

1. 一種補償模組，用於一電壓調整器中，該電壓調整器包含有一增益級、一輸出級以及一米勒補償模組，該補償模組包含有：  
一低輸出負載非反相增益單元，耦接於該增益級的一放大輸出端與該輸出級的一輸出級輸入端之間；以及  
一高頻增益單元，耦接於一電源端及該低輸出負載非反相增益單元，用來處理電源中的高頻雜訊並產生一雜訊抑制訊號，輸出至該低輸出負載非反相增益單元。
2. 如請求項 1 所述的補償模組，其中該增益級、該輸出級及該米勒補償模組間的補償方式為疊接米勒補償（Cascode Miller Compensation）。
3. 如請求項 1 所述的補償模組，其中該低輸出負載非反相增益單元根據該雜訊抑制訊號，降低該輸出級中的高頻雜訊。
4. 如請求項 1 所述的補償模組，其中該低輸出負載非反相增益單元包含有：  
一第一放大器，包含有一第一正輸入端耦接於該電壓調整器的該電源端，一第一負輸入端耦接於該增益級的一增益級輸出端，以及一第一輸出端；  
一第二放大器，包含有一第二正輸入端耦接於該電壓調整器的一地端，一第二負輸入端耦接於該第一輸出端，以及一第二輸出端耦接於該第一輸出端；  
一第三放大器，包含有一第三正輸入端耦接於該地端，一第三負輸入端耦接於該第一輸出端，以及一第三輸出端；以及  
一第四放大器，包含有一第四正輸入端耦接於該電源端，一第四負輸入端耦接於該第三輸出端，以及一第四輸出端耦接於該第三輸出端與

該輸出級。

5. 如請求項 4 所述的補償模組，其中該第一放大器、該第二放大器、該第三放大器及該第四放大器分別由一第一 P 型電晶體、一第一 N 型電晶體、一第二 N 型電晶體及一第二 P 型電晶體實現；該第一 P 型電晶體包含有一源極作為該第一正輸入端，一閘極作為該第一負輸入端，以及一汲極作為該第一輸出端；該第一 N 型電晶體包含有一源極作為該第二正輸入端，一閘極作為該第二負輸入端，以及一汲極作為該第二輸出端；該第二 N 型電晶體包含有一源極作為該第三正輸入端，一閘極作為該第三負輸入端，以及一汲極作為該第三輸出端；該第二 P 型電晶體包含有一源極作為該第四正輸入端，一閘極作為該第四負輸入端，以及一汲極作為該第四輸出端。
6. 如請求項 1 所述的補償模組，其中該高頻增益單元包含有：
  - 一放大器，包含有一正輸入端耦接於該地端，一負輸入端耦接於該電源端，以及一輸出端；
  - 一補償電容，包含有一第一端耦接於該放大器之該輸出端，以及一第二端耦接於該低輸出負載非反相增益單元；以及
  - 一補償電阻，包含有一第一端耦接於該補償電容之該第二端，以及一第二端耦接於該輸出級輸入端之間。
7. 一電壓調整器，包含有：
  - 一增益級；
  - 一輸出級，耦接於該增益級；
  - 一米勒補償模組，耦接於該輸出級的一輸出級輸出端與該增益級之間；
  - 以及

一補償模組，包含有：

一低輸出負載非反相增益單元，耦接於該增益級的一增益級輸出端與該輸出級的一輸出級輸入端之間，以及；

一高頻增益單元，耦接於一電源端及該低輸出負載非反相增益單元，用來處理電源中的高頻雜訊並產生一雜訊抑制訊號，輸出至該低輸出負載非反相增益單元。

8. 如請求項 7 所述的電壓調整器，其中該增益級、該輸出級及該米勒補償模組間的補償方式為疊接米勒補償（Cascode Miller Compensation）。

9. 如請求項 7 所述的電壓調整器，其中該低輸出負載非反相增益單元根據該雜訊抑制訊號，降低該輸出級中的高頻雜訊。

10. 如請求項 7 所述的電壓調整器，其中該低輸出負載非反相增益單元包含有：

一第一放大器，包含有一第一正輸入端耦接於該電壓調整器的該電源端，一第一負輸入端耦接於該增益級的一增益級輸出端，以及一第一輸出端；

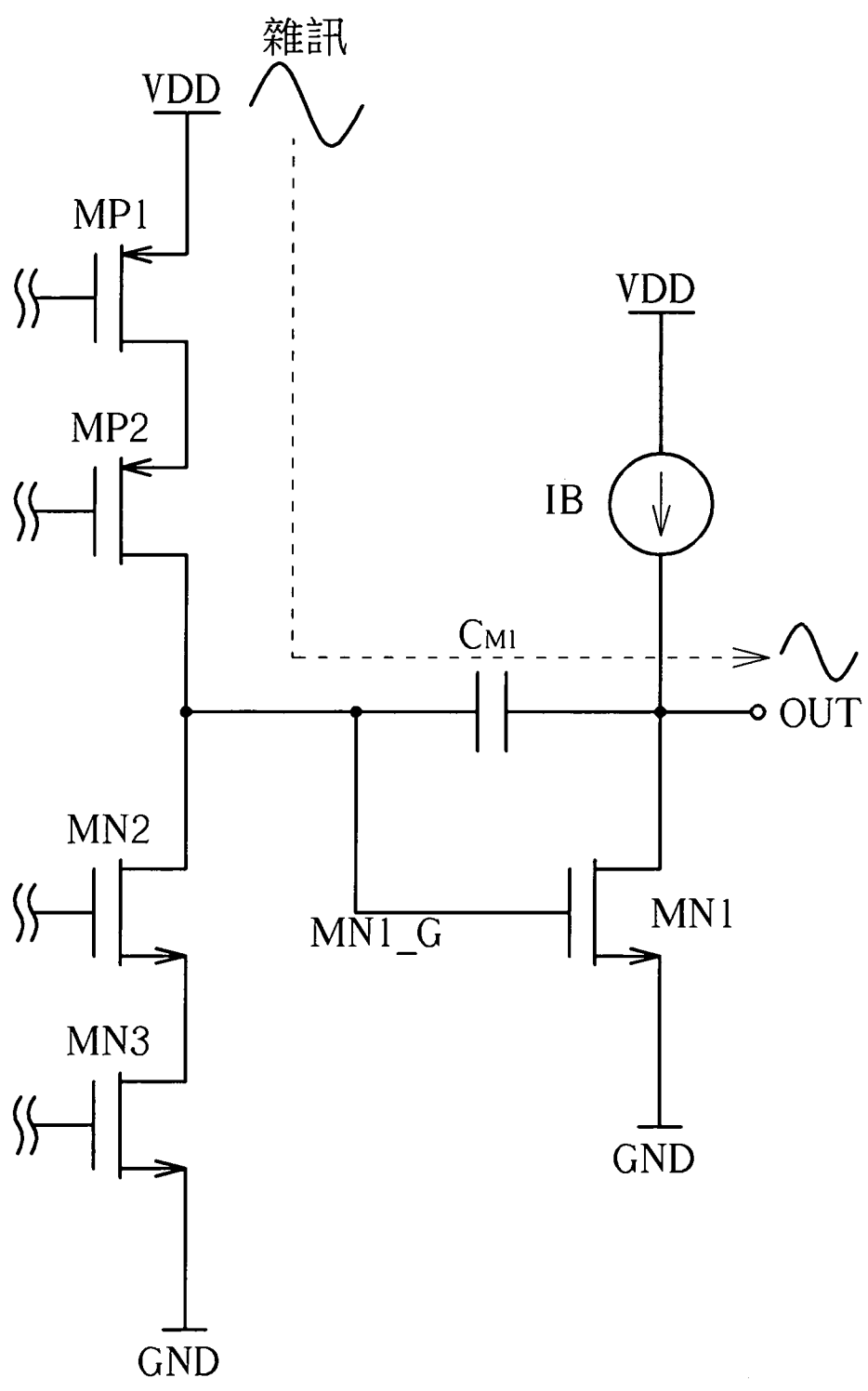
一第二放大器，包含有一第二正輸入端耦接於該電壓調整器的一地端，一第二負輸入端耦接於該第一輸出端，以及一第二輸出端耦接於該第一輸出端；

一第三放大器，包含有一第三正輸入端耦接於該地端，一第三負輸入端耦接於該第一輸出端，以及一第三輸出端；以及

一第四放大器，包含有一第四正輸入端耦接於該電源端，一第四負輸入端耦接於該第三輸出端，以及一第四輸出端耦接於該第三輸出端與該輸出級。

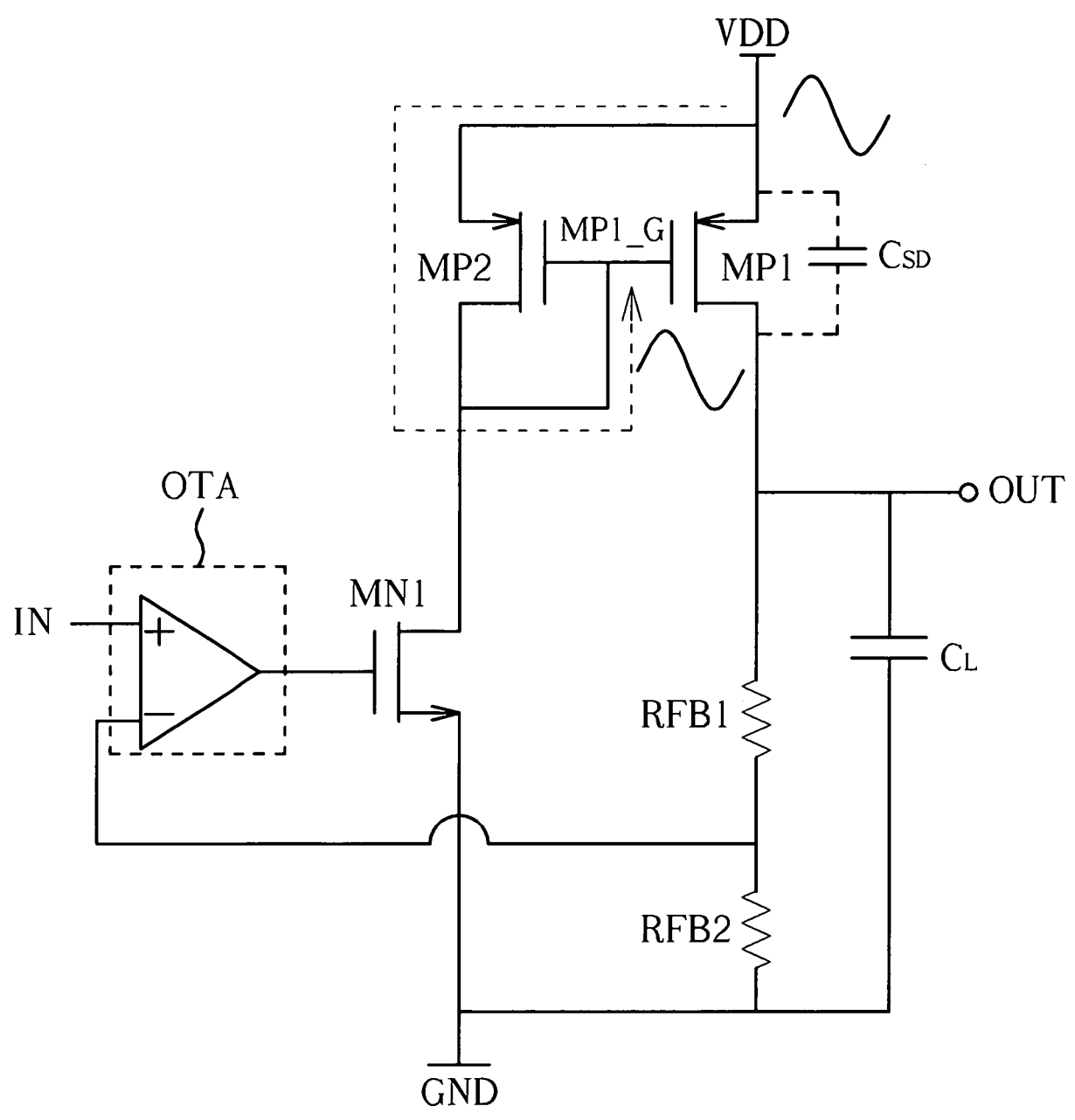
11. 如請求項 10 所述的電壓調整器，其中該第一放大器、該第二放大器、該第三放大器及該第四放大器分別由一第一 P 型電晶體、一第一 N 型電晶體、一第二 N 型電晶體及一第二 P 型電晶體實現；該第一 P 型電晶體包含有一源極作為該第一正輸入端，一閘極作為該第一負輸入端，以及一汲極作為該第一輸出端；該第一 N 型電晶體包含有一源極作為該第二正輸入端，一閘極作為該第二負輸入端，以及一汲極作為該第二輸出端；該第二 N 型電晶體包含有一源極作為該第三正輸入端，一閘極作為該第三負輸入端，以及一汲極作為該第三輸出端；該第二 P 型電晶體包含有一源極作為該第四正輸入端，一閘極作為該第四負輸入端，以及一汲極作為該第四輸出端。
  
12. 如請求項 7 所述的電壓調整器，另包含有一高頻增益單元，包含有：
  - 一放大器，包含有一正輸入端耦接於該地端，一負輸入端耦接於該電源端，以及一輸出端；
  - 一補償電容，包含有一第一端耦接於該放大器之該輸出端，以及一第二端耦接於該低輸出負載非反相增益單元；以及
  - 一補償電阻，包含有一第一端耦接於該補償電容之該第二端，以及一第二端耦接於該輸出級輸入端之間。

圖式



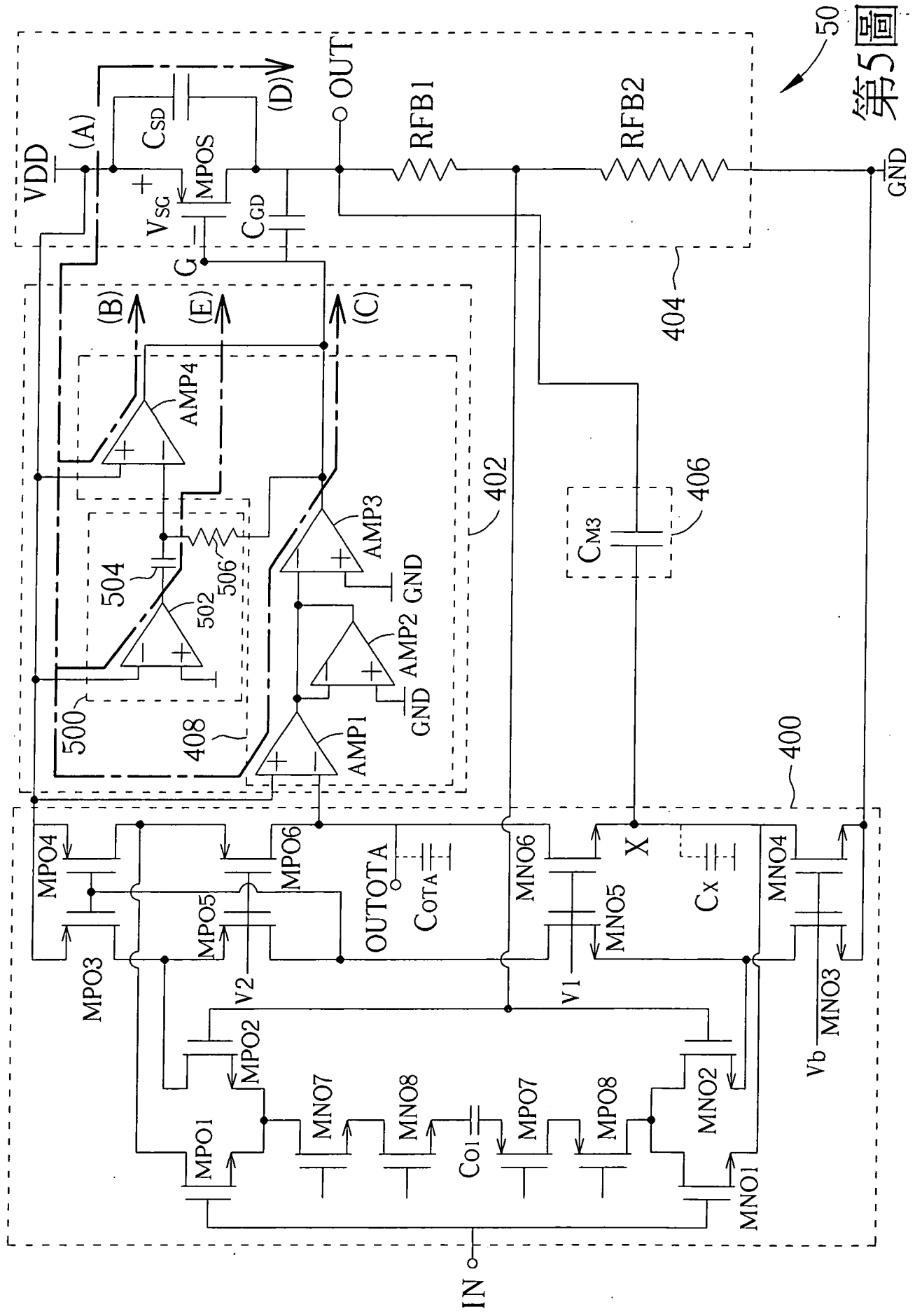
第1圖



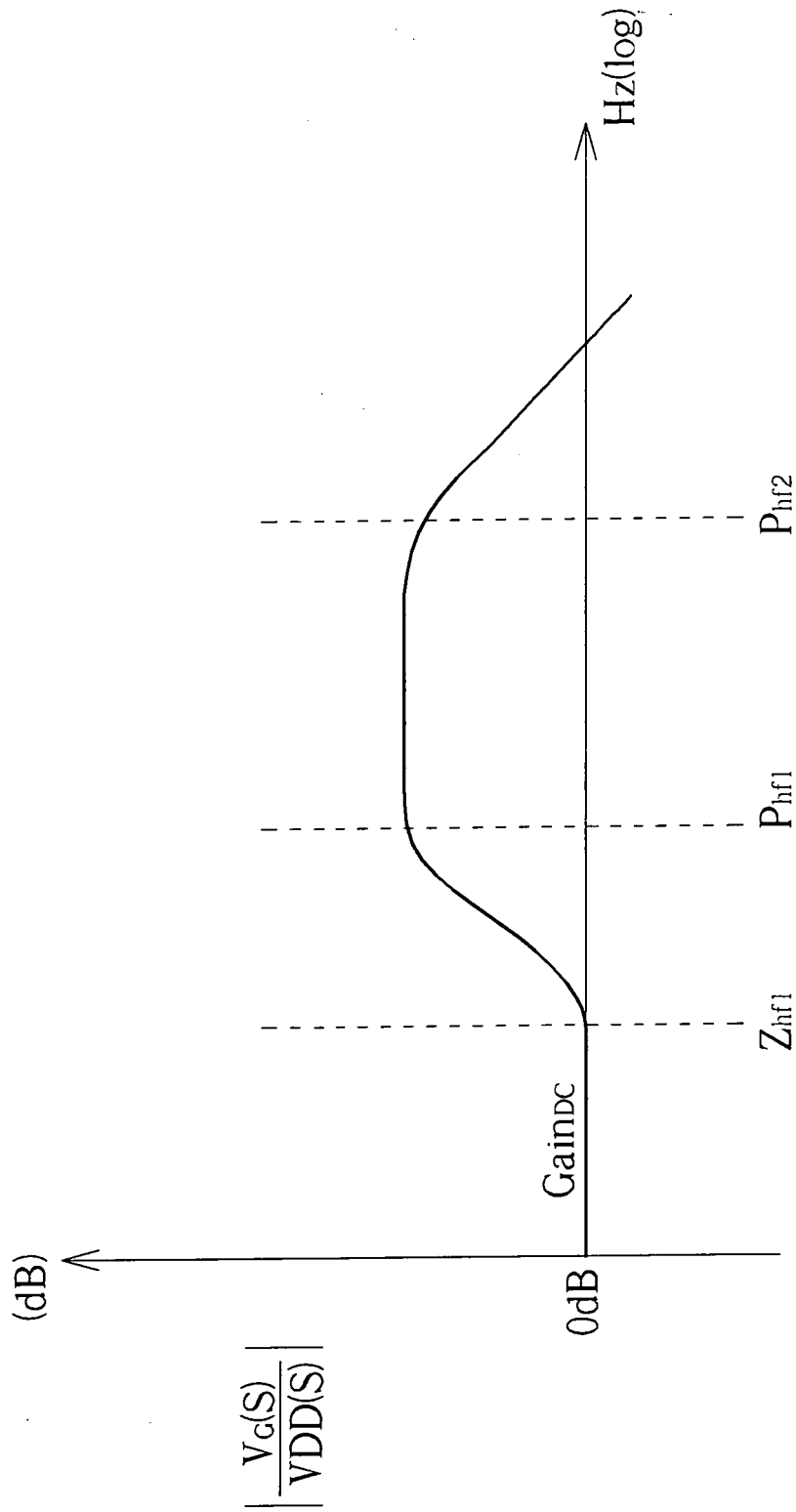


第3圖

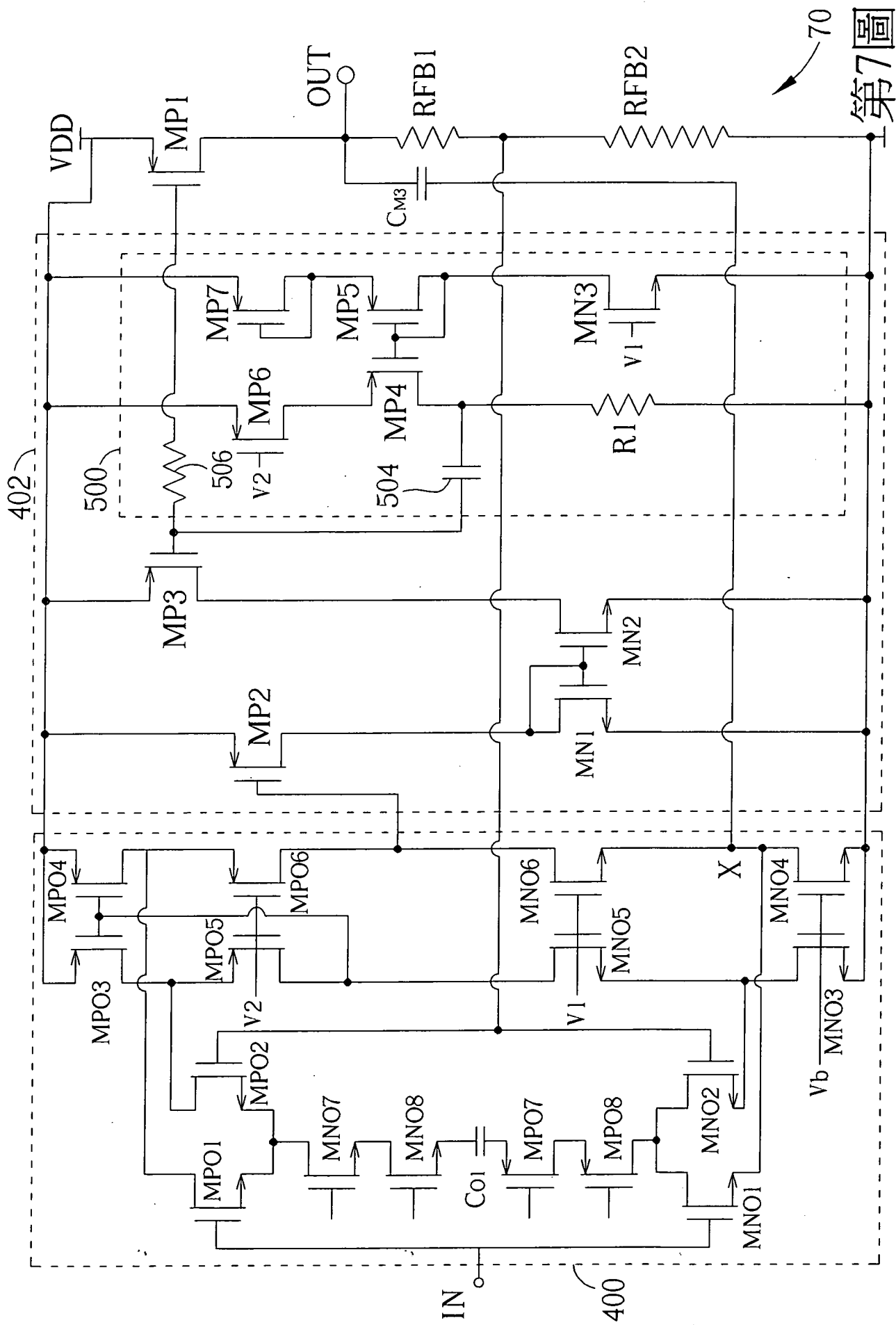




第5圖



第6圖



第7圖