

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96149836

※ 申請日期： 96.12.25

※IPC 分類： G11C 7/10
G11C 7/12

一、發明名稱：(中文/英文)

電阻改變式記憶體胞架構及其操作方法

RESISTANCE CHANGING MEMORY CELL ARCHITECTURE AND OPERATION
METHOD THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

史班遜有限公司

SPANSION LLC

代表人：(中文/英文) 福瑞特茲 羅曼 E / FRITZ, RAYMOND E.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453 桑尼威·郵政信箱 3453 號·德吉尼大道 915 號

915 DeGuigne Drive, P.O. Box 3453, Sunnyvale, CA 94088-3453, U.S.A.

國 籍：(中文/英文) 美國/U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

田口真男 / TAGUCHI, MASAO

國 籍：(中文/英文) 日本國/JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國 2006 年 12 月 29 日 60/877,876 （主張優先權）

2. 美國 2007 年 3 月 16 日 11/724,773 （主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種電阻改變式記憶體單元胞，包含：可操作耦合於位元感測線(bit sense line)之電流控制組件，與耦合於該電流控制組件與字元線(word line)間之電阻改變式記憶體元件。

六、英文發明摘要：

A resistance changing memory unit cell includes a current control component operably coupled to a bit sense line, and a resistance changing memory element coupled between the current control component and a word line.

七、指定代表圖：

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件代表符號簡單說明：

100	電阻改變式單元記憶胞
102	電流控制組件
104	電阻改變式記憶體元件
106	字元線
108	感測位元線
110	控制端
111	控制線
112	控制電路
113	控制端
114	讀取感測電路
116	字元線驅動器電路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

九、發明說明：

【發明所屬之技術領域】

本發明大致上係關於記憶體裝置之領域，且詳言之，係關於與電阻改變式非揮發性(non-volatile)記憶體有關之裝置、架構與方法。

【先前技術】

快閃記憶體與其他形式之電子記憶體裝置係由可個別儲存和提供資料存取之記憶體胞所構成。第一代類型記憶體胞儲存被稱為位元之單一二進位資料片(binary piece of information)，該位元具有兩個可能的狀態其中之一。一般組構成多個記憶體胞單元例如包含 8 個記憶體胞之位元組(bytes)與可包含 16 個或更多個此種記憶體胞(通常由多個 8 個記憶體胞配置成)之字元(word)。這種記憶體裝置架構藉由寫入特定組之記憶體胞(有時稱之為程式化記憶體胞，於此部分該資料可在讀取運作中被讀出)來執行資料儲存。除了程式化(有時被稱為寫入)與讀取運作以外，在記憶體裝置中之記憶體胞群可被抹除(erased)，其中在群裡的每一個記憶體胞被設定至已知的初始狀態(例如，狀態"1")。

典型的單一記憶體胞包含一種適合用以儲存位元資料之半導體結構。例如，很多習知的記憶體胞包括一種可保存二進位資料片之金屬氧化半導體(MOS)裝置。該抹除、程式化與讀取運作通常藉由將適當的電壓施加於該金屬氧化半導體(MOS)裝置之特定端子來實現。在抹除或程

式化運作中提供電壓藉以產生電荷儲存於該單元記憶胞或從該單元記憶胞中移除。在讀取運作中，施加適當電壓用以產生電流流入該記憶體胞，其中這些電流的數量代表儲存於記憶體胞中資料之數值。為了確定儲存於記憶胞中之資料，該記憶體裝置包括用以感測所得記憶體胞電流(resulting cell current)之適當電路，該電流被供應於該裝置之資料匯流排端子用以藉由該記憶體裝置所採用系統中之其他裝置來存取資料。

快閃記憶體是一種不需要電源就可以修改或保存其內容之非揮發性記憶體。習知的單一位元快閃記憶體被組構成一種記憶體胞結構，其中資料之單一位元被儲存於每一個快閃記憶體胞中。這種快閃記憶胞之每一記憶胞均包含一種在基板或摻雜井(doped well)中具有源極、汲極與通道之電晶體結構，而閘極儲存結構(gate storage structure)也覆置於該通道上。該閘極儲存結構可包含形成於摻雜井表面之介電層(dielectric layers)。該介電層通常是一種多層絕緣體例如具有兩氧化層夾住一氮化層之氧化物-氮化物-氧化物層(oxide-nitride-oxide layer)。

已出現之新一代非揮發性記憶體稱為電阻改變式記憶體，其中採用一種可變電阻來確定記憶胞之狀態。這種電阻改變式記憶體裝置具有一些優點可以減少記憶胞之尺寸，因而能改善記憶胞的密度，因此降低記憶體成本。

一個電阻改變式單元記憶胞記憶胞之範例的先前技術顯示於先前技術之第 1 圖的參考數字 10。於第 1 圖中，

該單元記憶胞 10 包含耦合於位元線 14 與選擇電晶體 16 間之一種電阻改變式記憶體元件 12。該選擇電晶體 16 具有耦合於字元線 20 之閘極端 18，且該選擇電晶體 16 被耦合於該記憶體元件 12 與例如接地的共同源極電位 22 之間。第 1 圖先前技術之單元記憶胞 10 被配置於某個稱為 NOR 形陣列架構上。在該 NOR 形架構中，複數個單元記憶胞 10 如圖示被耦合於沿著單一位元線 14 上，且耦接於地。另外，提供複數個位元線或行，而諸字元線 20 或列延長實質垂直於該等位元線。延長的字元線 20 耦合於不同位元線之各自的單元記憶胞。於前述方法中，其中藉由定址單一字元線，而可同時定址複數個記憶胞，那些耦合於定址之字元線上不同位元線之單元記憶胞也被定址。這個同時定址行為有時被稱為頁面模式。

一個電阻改變式單元記憶胞 10 之範例截面圖顯示於先前技術之第 2 圖。該單元記憶胞包含具有一個耦合於該字元線 20(未顯示)之閘電極 18 之選擇電晶體 16。該電晶體 16 具有源極與汲極區，其中該源極區 24 耦合於共同源極電位 22，且該汲極 26 耦合於通過導電接點(conductive contact)28 之該電阻改變式記憶體元件 12。該電阻改變式記憶體元件 12 接著耦合於通過另一導電接點 30 之覆蓋位元線 14。前述之布線相當緊密且有益地提供一種相當高密度之非揮發性記憶體架構。

於非揮發性記憶體技術中提供進一步的改良是大家一直希望達成的。

【發明內容】

以下所提出之簡易摘要係為了能提供本發明之一些態樣的基本瞭解。此摘要並不是本發明之廣泛概觀，也不是試圖去定義本發明之重要或關鍵元件，更不是要描述本發明之範疇。相反地，此摘要之主要目的係以簡易之形式顯示本發明之一些概念作為後面提出之更詳細說明的序言。

根據本發明之一態樣，揭露一種電阻改變式記憶體單元記憶胞，且包括可操作關聯於感測位元線之電流控制組件。該單元記憶胞進一步包括耦合於該電流控制組件與字元線間之電阻改變式記憶體元件。

根據本發明之另一態樣，提供一種電阻改變式記憶體，包括一種耦合於感測位元線之電流控制組件，與一種耦合於該電流控制組件與字元線間之電阻改變式記憶體元件。該記憶體進一步包括耦合於該感測位元線之讀取感測電路，且該感測位元線被配置以確定電阻改變式記憶體元件之狀態。再進一步，該記憶體包括可操作耦合於該電流控制組件之控制端之控制電路。該控制電路被配置用以當該電流控制組件把一狀態寫入該電阻改變式記憶體元件時，將複數個不同控制信號其中之一提供予該電流控制組件。該電流控制組件對該電阻改變式記憶體元件提供局部電流控制且因此能提供獨立於位元線電容之可靠的程式化動作。

根據本發明之再另一態樣，提供一種電阻改變式記憶

體陣列架構包括一種電阻改變式單元記憶胞記憶胞之陣列。每一個單元記憶胞包括電流控制組件與可操作耦合於該電流控制組件之電阻改變式記憶體元件。該陣列被配置成行與列，其中單元記憶胞至少二相鄰的行耦合於共同感測位元線。控制線個別關聯於各行，且耦合於沿著個別行之每一單元記憶胞之每一電流控制組件之控制端子。字元線個別關聯於每一列，且耦合於沿著個別列之每一單元記憶胞之電阻改變式記憶體元件。

於本發明之一態樣中，該陣列架構進一步包括可操作關聯於給定共同感測位元線之感測電路。該感測電路被配置以確定單元記憶胞之資料狀態，該單元記憶胞沿著藉由評估連結該單元記憶胞之電流耦合於共同感測位元線之兩行其中之一行。該陣列架構，於本發明之一態樣中，也包括控制電路，該控制電路配置以獨立地提供控制信號予耦合於該共同感測位元線之兩相鄰行之控制線。於本發明之一態樣中，該控制信號根據資料值被程式化入個別電阻改變式記憶體元件。

根據本發明之又另一態樣，提供一種讀取電阻改變式單元記憶胞記憶胞之方法。該方法包括供應該單元記憶胞之字元線一字元線電壓，且供應該單元記憶胞之控制線一控制線讀取電壓。該單元記憶胞之電阻狀態會接著被感測。於本發明進一步之具體實施例中，該單元記憶胞包括一種耦合於電阻改變式記憶體元件之電流控制組件。該電阻改變式記憶體元件耦合於該字元線，且該電流控制組件

之控制端耦合於該控制線。進一步，該電流控制組件耦合於該電阻改變式記憶體元件與感測位元線之間。於此情形，感測包括在感測位元線上評估連結於該單元記憶胞之電流。

根據本發明之又另一態樣，提供一種可程式化電阻切換記憶體單元記憶胞之方法，該記憶體單元記憶胞包含供應字元線電壓予該單元記憶胞之字元線，並且在該單元記憶胞之感測位元線上提供預定之電位。進一步，該方法包括在該單元記憶胞之控制線上提供控制線程式電壓，其中該控制線電壓指示在單元記憶胞中程式化電流大小。

於本發明進一步之具體實施例中，該單元記憶胞包括一種耦合於電阻改變式記憶體元件之電流控制組件，其中該電阻改變式記憶體元件耦合於該字元線，且該電流控制組件之控制端耦合於該控制線。進一步，該電流控制組件耦合於該電阻改變式記憶體元件與感測位元線之間。

根據本發明另一具體實施例，揭露一種基於二極體(diode-based)電阻改變式單元記憶胞。該記憶體單元記憶胞包括一種耦合於感測位元線之電阻改變式記憶體元件以及耦合於該電阻改變式記憶體元件之二極體。在一個具體實施例中，複數個這種單元記憶胞被組織形成共同使用電流控制組件之單元記憶胞群。藉由共用該電流控制組件，每一個單元記憶胞佔用較少的面積，因此使得記憶體陣列之核心區域較緊密。每一個單元記憶胞包含二極體，該二極體用以防止來自群中被選擇之單元記憶胞之電流去妨礙

群內非選定單元記憶胞內之資料。

於本發明之一個具體實施例中，該基於二極體電阻改變式單元記憶胞包括一種含有串聯連接之記憶體元件與耦合於個別位元線與局部電流匯流排之間之二極體之單元記憶胞。關聯於單元記憶胞群之其他單元記憶胞亦耦合於個別位元線與局部電流匯流排之間。共用電流控制組件耦合於局部電流匯流排與字元線之間。該電流控制組件於讀取運作期間被啟動用以允許電流從已選定之單元記憶胞經由該電流控制組件流動，其中該電流強度是該已選定之單元記憶胞之資料狀態的函數。於寫入運作期間，該電流控制組件選擇性地限制電流導入單元記憶胞群中已選定之單元記憶胞，其中該限制運作係為是否該寫入為抹除運作或程式化運作之函數。該電流限制組件進一步根據理想之資料狀態於寫入函數包括程式化運作時提供複數個不同之電流限制值，其中每一個電流限制值與特定資料狀態有關。

以下的說明與附加的圖式將以詳細方式說明本發明之態樣與實行方式。這些態樣與實行方式僅僅代表本發明操作方式所採用原理之一些不同的方法。

【實施方式】

本發明之一個或更多個實施方式將透過參考附加圖式來詳細說明，其中同樣的參考數字於整個說明書中用來參照同樣的元件。本發明係針對一種電阻改變式記憶體架構與有關於該電阻改變式記憶體架構之定址方法。

為了較完全地了解本發明之各種態樣，由本發明之發

(三)

明人所發現或了解之先前技術與一些關於先前技術限制之較全面的討論將會於以下描述。

參考第 3 圖，顯示一位元線 14，其中顯示複數個單元胞之其中一個被耦合於該位元線 14。另外，電流限制電路 40 被耦合於該位元線用以執行該電阻改變式元件之程式化，其詳細描述討論如下。另外，每一個位元線 14 均具有其所關聯之寄生電容，且顯示於第 3 圖之參考數字 42。操作該電流限制電路 40 用以限制流入該位元線 14 之電流量，以便致能該電阻改變式元件被程式化成對應於不同資料狀態之複數個不同的電阻位準之其中之一。

如先前技術第 4 圖之第一圖形 50 所強調，為了將資料寫入資料元件，第 3 圖之位元線 14 被拉至特定寫入電壓 (V_{wr}) 且與該單元胞 10 關聯的該字元線 20 藉由上升而被觸發，由此導通該選擇電晶體 16。因為該選擇電晶體 16 藉由字元線電壓被完全導通，因此該電晶體無法執行限制流向該電阻改變式元件 12 之電流的任務。結果，第 3 圖之電流限制電路 40 被用以將該位元線電流 I_{BL} 限制到根據被寫入的資料狀態之複數個不同數值 52 的其中之一。舉例來說，於圖形 50 中，顯示了 3 個不同的程式化電流，其中該電流量透過該電阻改變式元件 12 用於固定該元件之狀態。第 4 個狀態也可存在於此範例中，其中該電流限制電路 40 為了抹除該記憶體胞(無顯示)而於操作時並不限制電流。

雖然不欲限制於任何特定的操作理論，但是在金屬-

絕緣體-金屬(metal-insulator-metal)電阻改變式元件之電阻改變裝置中，該二元金屬氧化絕緣體材料之切換動作似乎適用於空間電荷限制傳輸(space-charge-limited-conduction, SCLC)模式。於該模式中，對一種具有未填滿之深層井(deep-level traps)之固體材料，與該深層井填滿時相比，通過其中之電流相當小。當該深層井於井填滿限制電壓下被填滿時該電流會增加，而該井填滿限制電壓為未填滿井密度之函數。所以，可以用狀態變化來概述材料的電阻的不同，該未填滿深井的存在增加該電阻值，當該電阻值漸漸減少或當深井填滿而漸漸增加時，最終在深井填滿限制電壓時達到限制值。

接替上述關於先前技術第 3 圖與第 4 圖的討論，藉由將電流限制在不同的寫入狀態，不同數量之井會在電阻改變式元件 12 中被填滿，因此產生與理想資料狀態有關之特定電阻狀態。

然而，仍參考第 4 圖，在圖形 50 之理想運作不會一般或重覆地於第 3 圖先前技術之 NOR 型架構配置中發生。本發明之發明人確認由於第 3 圖之位元線電容 42 而產生於 50 之性能偏差。由於位元線電容 42，在某些情況下替代藉由該電流限制電路 40 被適當限制之電流，該位元線電容大到足以產生超量(overshoot)電流，如第 4 圖之圖形 60 所示。雖然該電流最後會下降至適當的限制值 52，但是由該位元線電容所造成之超量電流 62 仍會在必要的電流方案中造成損失，因此導致在將資料寫入不同記憶體胞時

可能產生錯誤。

在某些範例中，該電流限制電路 40 之位置距離該有關單元記憶胞 10 相當遠導致該位元線電容產生問題。發明者考慮之一種解決方法係在程式化可靠度上減少該位元線電容之效果，在該 NOR 架構單元胞 10 內使用選擇電晶體 16 作為電流限制裝置。藉由定義，每一個記憶體元件 12 因此自己擁有局部電流限制電流且因而消除了位元線電容於程式化期間任何的負面影響。

這種解決方案顯示於第 5 圖之先前技術中。然而，這種解決方案於 NOR 型架構中會產生於執行程式化時嚴重的限制。能了解到，第 5 圖之架構會妨礙頁面模式之程式化功能，其中數個單元記憶胞沿著給定之字元線 20 以同時的方式進行程式化。舉例來說，若記憶胞 70 與 72 沿著 WL_2 同時進行程式化，但被寫入記憶胞之資料並不相同，故無法進行運作。這種問題會發生係因為如果用於各記憶胞之個別選擇電晶體 74 與 76 被啟動用以將電流限制到不同的電流值，則該字元線電壓於此兩記憶胞並不相同，因此，該等記憶胞無法同時經由共同字元線 WL_2 進行耦合，而此動作在 NOR 架構系必要步驟。這就是所了解的有助於本發明架構的發展之該先前技術的缺點。

參考第 6 圖，根據本發明之一個具體實施例提供電阻改變式單元胞 100。該單元胞 100 包括電流控制組件 102 耦合於電阻改變式元件 104。與習知的單元記憶胞相比，本發明之單元記憶胞 100 具有耦合於字元線 106 而不是耦

合於感測位元線 108 之電阻改變式記憶體元件 104。再者，相較於習知的單元記憶胞，該電流控制組件 102 之控制端 110 經由控制線 111 而不是經由字元線 106 耦合於控制電路 112，且另一端點 113 耦合於該位元線 108。字元線驅動器電路 116 可操作地耦合於該字元線 106，而讀取感測器電路 114 可操作地耦合於該位元線 108。

如第 6 圖所示，本發明之單元記憶胞 100 在 NOR 型架構之記憶體陣列中並不與其他的單元記憶胞耦合或配置。因此，在第 6 圖之配置 100 中，該電流控制組件 102 非常靠近電阻改變式元件 104，且因而該位元線電容將不會對該記憶體元件之程式化造成不利的影響。在本發明之一個具體實施例中，該電流控制組件 102 包含 NMOS 電晶體，然而，任何型態之電流控制組件或電路均可被採用且可預期到將會落入本發明之範疇。在另一沒有限制之範例中，該電流控制組件可包括 PMOS 或雙極(bipolar)裝置，或是任何其他形式的各式開關或電流限制組件或電路。

依據第 6 圖中本發明之一個示範態樣，該單元記憶胞 100 之運作模式將會搭配第 7 圖所提供之圖示來說明。當程式化該電阻改變式元件 104 時，該控制電路 112 於線路 111 上提供朝向該電流控制組件 102 之控制端 110 之控制信號。根據該控制信號，可控制通過該控制組件 102(與經由該電阻改變式元件 104)之電流量。同時，該字元線驅動器電路 116 於該字元線 106 上提供程式化電壓 ($V(WL,pgm)$)。

當該控制電路 112 意圖將該電阻改變式元件 104 程式化為“位準 1”狀態時，該控制電路 112 提供控制信號 ($V(\text{ctrl}, \text{pgm1})$) 至該電流控制組件 102 之控制端 110。該控制信號使該電流控制組件進行導電，但將該導電流限制在限制值 120，如第 7 圖所示。因而，將該電阻改變式元件 104 程式化為“位準 1”狀態所需之必要電流被許可經由電流控制組件 102 傳導，因此而完成所希望之程式化行為。同樣地，若希望以不同位準例如“位準 2”或“位準 3”來進行程式化，則該控制電路 112 經由控制線路 111 提供不同的控制信號至該電流控制組件 102 之控制端 110。於是，該電流控制組件 102 將電流傳導分別限制在適當位準 122 或 124。

如上所強調的，由於電流控制組件 102 之鄰近位置相關於被程式化之該電阻改變式元件 104，故在程式化期間沒有由於位元線電容之超量電流發生。因此，描述於上之程式化可以可重覆、可靠的方法來實現，其中該個別的目標程式化電流位準 120、122、124 並不會超量。在任何一個上述之程式化運作中，該位元線 108 被保持在預先決定之電位，例如在一個具體實施例中之電路接地 (circuit ground)。

仍參考第 6 圖與第 7 圖，在抹除運作情況，該字元線驅動器電路 116 於該字元線 106 上提供抹除電壓 ($V(\text{WL}, \text{erase})$) 以及該控制電路 112 提供控制信號 ($V(\text{ctrl}, \text{erase})$) 至該電流控制組件 102，因此使該電流控制

組件 102 對經由該電阻改變式元件 104 之電流沒有提供任何實質的限制。於此情況，電流快速上升，如第 7 圖中 130 所例示。然而在某些電流位準，因為升高電流流過造成於該元件 104 之功率消散所產生之熱，而造成陷捕其中之電荷(trapped charge)被逐出，因此使得深井未填滿且實質改變該電阻改變式材料電阻至關斷狀態(高電阻值)，如於 132 所示。

第 8 圖與第 9 圖揭示提供進一步清楚的了解本發明之不同的實施態樣，以及本發明之各種態樣與先前技術之間的區別。第 8 圖是具有不同方向的第 6 圖之單元記憶胞 100 之另一個例示。根據本發明之一個具體實際例，此方向例示被提供用以協助進一步了解與先前技術之差別，以及幫助了解在陣列中之單元記憶胞如何與其他單元記憶胞進行耦合。第 9 圖顯示根據本發明一個範例實施例之單元記憶胞 100 之截面圖。如圖中所示，該字元線 106 經由接觸器 150 而與該電阻改變式元件 104 耦合，該接觸器 150 之相對端與該選擇電晶體之閘極耦合。當電晶體 102 之源極 156 通過接觸器 158 與該感測位元線 108 耦合時，該汲極 152 經由接觸器 154 耦合於該電阻改變式元件 104。進一步，該控制端 110 耦合於該控制線 111(未顯示)。

現在參考第 10 圖，顯示依據本發明之一個具體實施例之陣列部分 200。在該陣列部分 200 中，不同的記憶體單元記憶胞(MC)100 被組織成複數個列與行分別關聯於該字元線 106 與控制線 111。可於第 10 圖之範例發現，在此

示範實施例中兩個記憶胞相鄰列係共用單一感測位元線 108。當第 10 圖之陣列部分顯示 4X4 陣列時，應該可以了解此架構可採用任何“n x m”之陣列，且所有的修改預期將會落入本發明之範疇。

如第 10 圖中所示，一個或多個字元線 106 可被選擇用以經由列解碼器電路 202 於該陣列中對被選擇之記憶胞進行定址。同樣地，該等記憶胞可經由感測電路 114 與具有行解碼器電路 206 與選擇電晶體 208 協助之感測控制電路 204 沿著一個或多個感測位元線 108 而被讀取。對於寫入運作，該行解碼器 206 隨著選擇裝置 210a 至 210d 與控制電路 112 進行運作用以產生適當的寫入控制信號至個別之單元記憶胞 100。

更具體來說，於讀取運作中已被定址之該單元記憶胞 100 之字元線 106 提升至適度的電壓，舉例來說，於一個具體實施例中有 0.5V。在一個具體實施例中該字元線電壓大到足夠允許經過該單元記憶胞來傳導，但沒有高到足以在字元線上創造讀取電壓之可能性，若在該字元線上創造讀取電壓則會在耦合於其上之另一非選擇記憶胞上產生讀取干擾。進一步，有讀取控制電壓位於該控制線 111 上以致於該電晶體 102 完全地導通。於此方法中流過該單元記憶胞 100 之電流強度主要歸因於該電阻改變式元件 104 之電阻狀態。同時，關聯於單元記憶胞 100 之感測位元線 108 允許其浮接。於本發明之一個具體實施例中，可利用預先充電電路以將該感測位元線 108 預先充電至預定之電位，

例如於讀取運作期間被允許浮接前充電至電路接地之電位。於該感測位元線 108 上之電流其後由讀取感測器或電路 114 感測，其中該電流量代表電阻改變式元件之狀態。

參考第 10 圖之陣列架構 200，資料可沿著數個感測位元線 108 以同時發生之方式被讀取。於一個範例中，沿著單一感測位元線 108 之讀取運作將描述如下，然而，根據本發明可實施沿著數個感測位元線同時讀取之態樣。讀取運作能操作如下。若行 220 被選擇用來讀取，則該行解碼器 206 驅動電晶體 208 用以將該感測位元線 108 耦合於該感測電路 114，且驅動電晶體 210a 與 210b。在上述方法中該控制線 111a、111b 均耦合於各自該控制電路 112 之控制線 224a、224b。在上述範例中，該控制線 224a 為高電位，因此沿著行 222 驅動每一個單元記憶胞 100 中之電晶體 102，而控制線 224b 保持低電位，因此關斷沿著行 222 之每一個單元記憶胞 100 中之電晶體 102。在上述方法中，每一個沿著非選定行 222 之單元記憶胞 100 與該感測位元線 108 隔離。該列解碼器電路 202 於各自的字元線 106 上進行連續的電壓讀取，使得在行 220 中之每一單元記憶胞以預定順序進行讀取。在上述範例中，顯示四個沿著具有該感測電路 114 之行 220 之記憶胞。或者，相當多的單元記憶胞可與該感測電路 114 關聯。進一步，數個感測電路 114 可沿著給定之行而存在，其中該感測位元線可因此沿著行之數個感測電路而被分割，且其中該行解碼器 206 被配置用以將該等感測電路耦合於控制線與沿著行之感測位

元線。

在第一行 220 以連續方式讀取後，當沿著行 222 之單元記憶胞 100 藉由通過列解碼器 202 之連續字元線被連續讀取時，該控制電路 112 切換電壓於該控制信號 224a、224b 使得該行 220 與該位元線 108 隔離。當同時讀取行 220 與 222 時，行 230 與 232 之讀取也以相似方式產生。在上述方法中，數個單元記憶胞之行可以連續方式被同時讀取。於另一示範實施例中每一行可擁有自己專用之讀取電路。

參考第 11 圖與第 12 圖，根據本發明一個具體實施例提供一種用於讀取該電阻改變式記憶體元件 104 之資料狀態之電路 114。該讀取感測器或感測電路 114 從第 10 圖之感測控制電路 204 接收感測致能信號 250。當該信號為高位準時該感測電路 114 關斷，且當該信號為低位準時該感測電路於此範例中被致能。該感測電路 114 於輸入感測位元線 108 上接收感測電流(I_{sense})且經由輸入電流鏡電路 252 映射該輸入電流至資料存鎖電路 254。同時，藉由位於假單元記憶胞 258 之感測控制電路 204 接收電壓參考信號 256。依據電壓參考信號 256 之數值，有參考電流(I_{ref})流向參考電流鏡電路 260 藉以將該參考電流映射至分別具有輸出節點 262 和 264 之該存鎖器 254 上。依據於存鎖器該映射電流之相對強度，該輸出節點 262、264 存鎖於相反方向，其中可搜尋關於記憶胞被讀取時之資料狀態之資訊。舉例來說，參考第 12 圖，若當 V_{ref} 等於(V_{ref3})時 I_{sense} 大於 I_{ref} ，則節點 262 下降至低位準而節點 264 被拉升至高位準。若

V_{ref} 然後增加到 V_{ref2} 且節點 262 被拉升至高位準而節點 264 下降至低位準，則該被查詢之記憶胞之資料狀態是在“位準 3”，如於第 12 圖之 270 所示。或者，若節點 262 保持低位準而節點 264 保持高位準，則 V_{ref} 會再一次增加到 V_{ref1} 且輸出節點 262、264 會再一次被評估。若該節點切換，則資料狀態為“位準 2”，如第 12 圖之 272 所示。然而，若該節點 262、264 再次不切換，則 V_{ref} 會再一次增加到 V_{ref0} ，其中該等輸出節點會再一次被評估。若該輸出節點切換，則資料狀態為“位準 1”，如顯示於 274。若不發生任何切換動作，則可判定該記憶體元件是在“抹除”狀態。

關於寫入或程式化運作，開始參考第 6 圖到第 8 圖。最初，若判定將被寫入單元記憶胞 100 之資料不是抹除狀態，則該字元線驅動器電路 116 在關聯於個別單元記憶胞之字元線 106 上設置程式化電壓 ($V(WL,pgm)$)。同時，該感測位元線 108 耦合於預先決定之電位，例如於一個具體實施例中之電路接地。該控制電路 112 依據所希望之程式化位準於該控制線 111 上提供適當控制信號。舉例來說，若所希望之程式化狀態為“位準 1”則該控制信號 ($V(ctrl,pgm1)$) 支配該電流控制組件將通過該電阻改變式元件 104 之程式化電流限制在顯示於第 7 圖之位準 120。或者，若希望不同的程式化位準，則該控制電路 112 對該電流控制組件 102 輸出不同且適當的控制信號 (例如, $V(ctrl,pgm2)$ 、 $V(ctrl,pgm3)$)。雖然在第 6 圖與第 8 圖之具體實施例中採用電晶體作為該電流控制組件 102，但是

應該了解任何此種電流限制組件或電路均可使用且預期會落入本發明之範疇內。

若所希望之程式化位準為“抹除”狀態，則當該感測位元線 108 再一次保持在預定之電位例如電路接地時，該字元線驅動器 116 於個別字元線 106 上(例如第 7 圖之 132)產生抹除字元線電壓($V(WL,erase)$)。該控制電路 112 接著對該電流控制組件 102 提供適當控制電壓($V(ctrl,erase)$)，其中通過該電阻改變式元件 104 之電流實質上無限制。參考第 7 圖之 130，當電流快速增加時，因為功率消散產生之熱也增加。據信在某些電流臨界值或限制值，在電阻改變式材料中被先前範圍填滿之深井會變空，導致電阻大量增加，因此使得該電阻改變式元件 104 在“關斷“或”抹除”狀態。

參考第 6 圖與第 8 圖，因為該電流限制組件 102 極度靠近被程式化之電阻改變式元件 104，因此該位元線電容於程式化期間不會產生任何超量電流。結果，該電阻改變式記憶體元件 104 之程式化動作能以可靠之方式將其程式化為數個不同資料狀態之其中一種狀態。

參考第 10 圖之架構 200，最初該感測電路 114 藉由該感測控制電路 204 而禁能，舉例來說，在一個具體實施例中拉升該感測致能信號 SE 至高位準。於該例示之具體實施例中，該控制電路 112 提供兩個獨立之控制線 224a 與 224b，該等控制線分別經由關聯於給定感測位元線 108 之電晶體 210a、210b 而選擇地耦合於個別行(例如，220 與

222)，且該位元線 108 於程式化運作期間耦合於預定電位例如電路接地。結果，於該例示實施例中，兩組行可以同時之方式被程式化。於其他具體實施例中，提供大量的獨立控制線，因此促使大量的行以同時的方式被程式化。這種同時程式化之能力於先前技術架構之限制中提供重要的優點。

於上述具體實施例中，當行 230 與 232 被隔離於行 220 與 222 時行 220 與 222 以同時之方式被程式化。施行於一個實施例中之非選定行 230 與 232 之隔離係藉由行解碼器電路 206 關斷該電晶體 210c 與 210d，因此隔離了來自於該控制電路 112 之控制線 111c 與 111d 之控制信號 224a、224b。該選定之行 220 與 222 藉由導通該電晶體 210a 與 210b 之行解碼器電路 206 來選擇，由此將行 220 與 222 之控制線 111a 與 111b 耦合於該控制電路 112 之個別控制線 224a、224b。

於一個具體實施例中，每一個沿著被選定行之單元記憶胞 100 以某些預定的方式被連續地程式化，例如，從該行一個端末至另一個端末。舉例來說，再參考第 7 圖，當在被選定行上其他單元記憶胞之字元線維持於預定電位例如接地以流過其放電電流時，該列解碼器電路 202 產生程式化電壓 ($V(WL,pgm)$ 或 $V(WL,erase)$) 於一個選定之字元線 106 上 (依據單元記憶胞被程式化或被抹除)。該控制電路 112 接著於個別控制線 111 上提供特定控制信號用以將於已選定單元記憶胞 100 中之電阻改變式元件 104 程式化

至理想狀態。舉例來說，若該資料狀態被程式化為“位準 2”，則該控制電路 112 提供適當控制信號($V(\text{ctrl}, \text{pgm}2)$)予該合適的控制線(例如，線 224a)，其中該控制信號支配該經由已選定單元記憶胞 100 傳導之電流量。當用於先前程式化記憶胞之字元線被帶降至該預定電位例如接地時，此製程接著移動至下一個單元記憶胞，其中用於該單元記憶胞之字元線被提升至該適當的位準。

當上述程式化運作隨著被選定行 220 於預定的順序發生時，其他被選定行 222 之同時程式化會藉由來自該控制電路 112 之其他獨立控制線 224b 而實施。在上述方法中，兩個行被同時程式化，而不是被限制在一次對一行程式化。如上所強調的，在本發明之替代具體實施例中，提供額外的獨立控制線 224，用以促進額外數個行之同時程式化，且這些替代實施例預期落入本發明之範疇。

於本發明之另一個具體實施例中，一種藉由該列解碼器電路 202 與該控制電路 112 執行之控制例行程序可用來將沿著被程式化至相同位準之選定之行之數個單元記憶胞 100 同時程式化。舉例來說，若行 220 是選定之行，且四個例示之單元記憶胞 100 中之三個將被程式化至相同位準，例如“位準 1”，則當該列解碼器電路 202 提供適當字元線電壓($V(\text{WL}, \text{pgm})$)至在同時方式中關聯於該三個單元記憶胞之字元線時，該控制電路 112 提供該程式化控制信號($V(\text{ctrl}, \text{pgm}1)$)。於上述方法中，如果想要的話可以同時將沿著給定行之數個單元記憶胞 100 程式化。當這個程

式化例行程序對於單一行具有速度之優點時，這種例行程序對使用於數行之同時程式化很可能不是優點，由於該列解碼器電路 202 將會提升用於其他行之非選定記憶胞之字元線 106，且如此會導致，在某些情況，有些程式化之位準會干擾非選定記憶胞。然而，本發明並不排除這種程式化方法。

在該選定行 220 與 222 被程式化後，該行解碼器 206 因關斷該電晶體 210a、210b 而解除選擇該等行，且藉由導通該電晶體 210c、210d 選擇下一群之行 230 與 232 用以程式化。然後重複上面搭配行 220 與 222 所描述之程式化例行程序用以重新選擇行 230 與 232。

現在參考第 13 圖與第 14A 至 14B 圖，提供一種用於讀取個別單元記憶胞之方法 340 與一種用於讀取第 10 圖架構中之單元記憶胞之方法 350。雖然方法 340 與 350 被顯示與描述如下作為一連串之動作與事件，但是應了解本發明並不會受限於這些動作與事件之說明順序。舉例來說，除了本文之例示與/或描述外，某些動作可依據本發明於不同順序發生與/或隨著其他動作或事件同時發生。另外，不是所有的說明步驟均有必要用於實施本發明之方法。此外，本發明之方法可結合本文所說明與描述之裝置與系統來實施，同樣也可結合其他沒有說明之結構來實施。

一開始，於步驟 342 中執行與被讀取之記憶胞相關聯之感測位元線 108 之選擇式預充電。於一個具體實施例中，該感測位元線 108 被預先充電至預定之電位例如於一

個範例中之電路接地。之後，該預先充電位元線被允許浮接。然後開始進行方法 340，且於步驟 344 中與被讀取之單元記憶胞相關聯之字元線 106 耦合至字元線電壓。於本發明之一個具體實施例中，該字元線電壓係足夠高用以確保適當的傳導，即反應被感測之電阻改變式元件之狀態，以及同時對關聯於該字元線 106 之其他記憶胞之字元線電壓係足夠低而不會發生干擾。於一個範例中，該字元線讀取電壓大約 0.5V。

繼續參考方法 340，於步驟 346 中關聯於該選定之單元記憶胞 100 之控制線 111 耦合於控制線讀取電壓。如上述第 6 圖之討論，舉例來說，該控制線讀取電壓為一種足以驅動該電流控制組件 102 不去限制於單元記憶胞中之電流的電壓。於一個具體實施例中，該電流控制組件 102 包括電晶體，且該控制線讀取電壓為一種能夠完全驅動該電晶體之電壓。於步驟 348 中該單元記憶胞 100 之電阻改變式元件 104 之狀態藉由感測經由此處之電流傳導而被感測。於本發明之一個具體實施例中，該電流量係為該電阻改變式元件之狀態之函數以及因此利用於確定該狀態。

現在參考第 14A 圖，揭露一種用於從第 10 圖之記憶體架構 200 讀取資料之方法 350。一開始，於步驟 352 中該感測電路 114 耦合於個別位元線 108。舉例來說，如第 10 圖中所示，這種耦合方法可藉由經過該行解碼器 206 驅動該電晶體 208 來達成。雖然一個具體實施例中，藉由將數個感測電路 114 耦合於其個別位元線來讀取資料之多個

位元，但是於另一個具體實施例中，資料可以一次感測一位元。於步驟 354 中該感測位元線被預先充電。於一個具體實施例中可藉由個別感測電路 114 將位元線耦合至預定的電位例如電路接地來執行該感測位元線之預先充電。

接著，於步驟 356 與 358 中兩行(如 222)其中之一會與該感測位元線 108 隔離，同時共用該位元線之其他行(如 220)可操作地耦合於該位元線。於一個具體實施例中該步驟係藉由第 10 圖之控制電路 112 來執行，其中一控制線 224a 被帶到高電位，同時其他控制線 224b 保持低電位。於前述方法中，當被選定行(如 220)之電晶體被導通時，沿著非選定行(如 222)之單元記憶胞之各電晶體 102 被關斷。另外，該行解碼器 206 驅動該電晶體 210a、210b 使得於該控制線 124a、124b 上之電壓分別通過該控制線 111a、111b。

於步驟 360 中沿著被選定行之單元記憶胞 100 一般依據預定程序然後被讀取。於一個具體實施例中，於步驟 362 依據預定程序之第一選定記憶胞之字元線 106 接收字元線讀取電壓，以及然後於步驟 364 執行感測例行程序用以確定該被選定單元記憶胞之狀態。

第 14B 圖顯示第 10 圖中根據本發明一個示範實施例，於單元記憶胞 100 中感測資料狀態之方法之流程圖。然後於步驟 366 中感測該被選定單元記憶胞之電流。然後於步驟 367 初始化初始計數值“N”。於本發明一個具體實施例中，對於每一單元記憶胞之“N+1”個可取得之資

料狀態，該計數值被初始化至“N”。於步驟 368 中產生初始參考電流，舉例來說，如第 11 圖與具有 $V(\text{ref3})$ 之第 12 圖所示。於步驟 370 然後該感測電流(I_{sense})與參考電流(I_{ref})互相比較且預期之結果被評估以確定適當之運作。於步驟 374 然後該參考電流改變且該所得參考電流(如 I_{ref2})會與 I_{sense} 互相比較，並於步驟 376 評估該比較結果。若於步驟 378 於該比較電路之輸出端偵測到變化(是(YES))，則會作出資料狀態之決定。若 $N=2$ ，且步驟 378 的結果為 YES，則該資料狀態就會是“位準 3”，例如第 12 圖所示。

若於該輸出端沒有變化發生(步驟 378 之否(NO))，則該計數值 N 於步驟 382 會減少。如果計數值 N 非負值(步驟 384 之 NO)，則該方法 364 返回至步驟 374 且於步驟 374 中該參考電流會再一次改變，而步驟 376 中新的參考電流會與該感測電流 I_{sense} 互相比較，且會持續決定該資料狀態。然而，如果於步驟 384 中 N 是負值(步驟 384 之 YES)，則決定該單元記憶胞於抹除狀態中進行感測。

回到第 14A 圖，一旦該選定之單元記憶胞已經被讀取，則於步驟 390 決定此單元記憶胞是否為選定之行中之最後的單元記憶胞。如果不是(步驟 390 之 NO)，則該方法 350 進行至步驟 392，其中該已感測單元之字元線電壓會減少或往下掉至其初始電壓，且於步驟 394 根據預定之序列該方法會持續進行至沿著該行之下一個單元記憶胞。然後對該行中次一個單元記憶胞重複作於步驟 362 之依序偏壓適當的字元線與於步驟 364 之資料感測例行程序。

當於步驟 390 中確定於被選定行之所有單元記憶胞已被讀取時(步驟 390 之 YES)，該方法會持續進行至步驟 396，其中判定是否共用該位元線 108 之兩行已被讀取。如果不是(步驟 390 之 NO)，則於步驟 398 該方法進行至下一行，其中該控制電路 112 於先前讀取行之控制線 224a 上減少電壓，以及於下一個被讀取行之控制線 224b 上增加電壓，因此於步驟 400 將於此關聯之單元記憶胞耦合於該感測位元線 108。該方法接著會進行於節點 262 與 264 用以選擇新行之單元記憶胞且於其上讀取資料。進一步，對下一行執行步驟 390、392、394 直到所有單元記憶胞依據該預定程序已被讀取為止。

如果在步驟 396 判定該兩行已被讀取(步驟 396 之 YES)，則該讀取方法 350 會在步驟 402 結束。

現在參考第 15 圖，提供一種程式化第 6 圖之單元記憶胞 100 之方法，且指定為參考數字 450。一開始，於步驟 452 確認所希望之程式化數值，且於步驟 454 詢問是否該程式化運作是在抹除運作。如果是(步驟 456 之 YES)，則於步驟 456 中會於該字元線 106 上產生字元線抹除電壓(如第 7 圖中所示之 $V(WL, erase)$)，以及於該控制線 111 上產生適當控制電壓(如 $V(CTRL, erase)$)。然而，如果於步驟 454 中詢問之答案為否定(步驟 454 之 NO)，則於步驟 458 中會於該字元線 106 上產生程式化電壓(如 $V(WL, pgm)$)，且該感測位元線 108 於步驟 460 之一個範例中會耦合於預定的電位例如電路接地。

進一步，於步驟 462 中詢問關於對該單元記憶胞 100 之電阻改變式元件 104 待程式化之位準是否為“位準 3”。如果是(步驟 462 之 YES)，則於步驟 464 中該控制線 111 會耦合於適當的控制電壓(如第 7 圖之 $V(\text{CTRL}, \text{pgm3})$)。如果不是(步驟 462 之 NO)，則於步驟 466 中會作另一詢問關於該程式化之位準是否為“位準 2”。如果是(步驟 466 之 YES)，則於步驟 468 中該控制線 111 會耦合於適當控制電壓(如第 7 圖之 $V(\text{CTRL}, \text{pgm2})$)。如果不是(步驟 466 之 NO)，則藉由預設定之該所希望之位準為“位準 1”，且該控制線 111 於步驟 470 中接收適當的控制電壓(如第 7 圖之 $V(\text{CTRL}, \text{pgm1})$)。

根據本發明另一個具體實施例，揭露一種基於二極體之電阻改變式記憶體架構，其中單元記憶胞群共用位於其局部之電流控制組件，如第 17 圖之參考數字 600 所示。顯示於第 17 圖，複數個單元記憶胞 602a 至 602n 耦合成為位於個別位元線 604(BL_1 到 BL_n)間之群 603，以及局部電流匯流排 606。進一步，每一個單元記憶胞包含制動開關記憶體元件(restive-switching memory element)608 與二極體 610。雖然於一個範例中採用二極體 610，但是任何一種單一方向之傳導組件均可使用且這些選擇預期落入本發明之範疇。

仍參考第 17 圖，有電流控制組件 612 耦合於該局部電流匯流排 606 與字元線 614 之間，且該電流控制組件之控制端耦合於控制線 616。如第 17 圖所示， n 個單元記憶

胞 602 之群共用單一電流控制組件 612，因此使得每一個單元記憶胞更能有利地縮小佔用空間。該電流控制組件 612 相當靠近於群 603 之單元記憶胞 602，因此減少或完全消除於記憶胞程式化運作時位元線電容造成之影響。以下的討論將會進一步了解，該二極體運作以在該群之其中一單元記憶胞 602 讀取運作期間避免電流於該群 603 之位元線 604 間進行傳導。

第 18 圖是另一個示意圖顯示記憶體單元記憶胞群 603 包括四個耦合於個別位元線 604(BL₁到 BL_n)與局部電流匯流排 606 間之單元記憶胞 602a 至 602d。於第 18 圖之範例中，提供兩個並聯之電流控制組件 612a、612b，其中一個範例之此等組件係沿著該局部電流匯流排 606 間隔開用以減少由任何一個單元記憶胞 602 與共用字元線 614 看入的電阻值差異。進一步，列解碼器 620 運作以對該位元線 604 適當地偏壓用於分別讀取和寫入(程式化)運作。

第 19 圖為電阻改變式記憶體陣列架構之部分 700 之示意圖，其中該單元記憶胞為基於二極體之單元記憶胞。於第 19 圖之範例所示，複數個字元線 614 被組構成為行，同時位元線 604 與該字元線垂直作為列。如圖中所示，位元線被組構於單元記憶胞群 603 中，其中於此範例，四個單元記憶胞 602 提供在各群中。然而，可選擇性地在每一群中使用少量或大量的單元記憶胞且這些選擇態樣預期會落入本發明之範疇。

於一個具體實施例中，如第 19 圖所示，每一個於群

603 中之單元記憶胞 602 耦合於該個別位元線 604 與局部電流匯流排 606 間。關聯於每一個群 603 之局部電流匯流排 606 藉由電流控制組件 612a、612b 而被限制於某一邊且選擇性地耦合於經過此處之字元線 614。更具體來說，於第一群 603 中(群 1)之四個位元線 602a 至 602d 可指定為 $BL_{1,1}$ ； $BL_{2,1}$ ； $BL_{3,1}$ 與 $BL_{4,1}$ ，其中 $BL_{x,y}$ 表示第 x 位元線位於第 y 單元記憶胞群中。雖然第 19 圖中所示範例提供予每一單元記憶胞群 603 兩個電流控制組件 612a、612b，但是如第 17 圖所示也可使用單一電流控制組件，且這些選擇態樣預期會落入本發明之範疇。

第 20 圖顯示感測電路 710 耦合於單元記憶胞群 603 中之選擇之位元線 604b 之示意圖。根據本發明一個具體實施例，該感測電路 710 選擇性地耦合於群中之其中一位元線 604 使得在每一群中一次只讀取其中一單元記憶胞 602。或者，舉例來說，因為於每一單元記憶胞之二極體 610 能夠防止電流從群中其他單元記憶胞干擾於給定位元線中之感測電流(I_{sense})，則複數個於給定群中之單元記憶胞可隨著專用感測電路同時被讀取。

如第 20 圖所示，一個或多個電流控制組件 612a、612b 具有耦合於讀取電位之控制端 616a、616b。在一個具體實施例中該讀取電位($V(RD)$)係高到足以允許所有經過該單元記憶胞之電流(I_{sense})傳導通過。舉例來說， $V(RD)$ 可在當該電流控制組件包括電晶體裝置時作為能完全導通該電晶體之電壓。進一步，該字元線 614 耦合於預定電位例如電

路接地。

依據適當的偏壓，感測於被選定位元線上之電流(I_{sense})表現出該電阻改變式元件 608 之狀態。於本發明之一個具體實施例中，舉例來說，該感測電路 710 藉由比較該感測電流與複數個參考電流(I_{ref})而確定該選定之單元記憶胞之資料狀態，結合第 12 圖描述於上。依據判定該感測電路開關中之存鎖器何時輸出，就可確定該單元記憶胞之資料狀態。舉例來說， V_{ref} 被改變用以產生複數個不同參考電流(I_{ref})，而該參考電流可藉由電流鏡電路與該感測電流(I_{sense})作比較。該感測電路 710 可選擇性地透過將感測致能(SE)信號拉至高位準來致能。

第 21 圖顯示根據本發明之一態樣之單元記憶胞程式化之示意圖。於第 21 圖之例示中，於第一群($BL_{2,1}$)中與第二位元線關聯之單元記憶胞將被程式化。一開始，當其他非選定位元線 604 被允許浮接或耦合於預定的電位例如電路接地時，該字元線 614 耦合於預定的電位例如電路接地。然後根據該寫入步驟是否為該電阻改變式元件 608 之程式化或抹除，該選定的單元記憶胞之位元線 604 耦合於兩個不同電位之其中之一。如第 22 圖所示，抹除狀態之位元線電壓($V(BL,erase)$)係小於用於程式化電壓($V(BL,pgm)$)之位元線電壓，不管欲程式化之位準如何。

一般而言，同時隨著該位元線，該電流控制組件 612 之控制線 616 耦合於寫入電壓且該寫入電壓為該記憶胞是否被抹除或程式化之函數。進一步，如第 22 圖所示，該控

制線電壓進一步有關於特定之理想程式化位準，其中該電壓 ($V(\text{ctrl}, \text{pgmX})$) 操作以限制經由該單元記憶胞傳導之程式化電流 (I_{pgm}) 之數量。對於不同的程式化控制線電壓，會設定不同的電流限制，因此可促使將記憶胞之程式化調整至所希望之不同資料狀態。

於本發明之一個具體實施例中，兩電流控制組件 612a, 612b 可並聯運作以限制經由已選定單元記憶胞之電流傳導。於此範例中，於控制線上之控制電壓被選擇用以說明兩組並聯電流路徑存在的事實，然而，經由單元記憶胞之電流傳導 (I_{pgm}) 必須適合於第 22 圖所設定之相對電流限制值。於本發明另一具體實施例中，只有單一電流控制組件 612 提供予每一個單元記憶胞群 603。進一步，在另一具體實施例中，當群中其他電流控制組件操作以限制所希望之電流時，其中一個電流控制組件可操作以於程式化運作期間將該單元記憶胞群 603 與相鄰群電性隔離。

於第 21 圖中能了解到，該群 603 中之每一個非選定單元記憶胞中之二極體 610 用以阻擋於已選定單元記憶胞中之程式化或抹除電流傳導以避免干擾非選定單元記憶胞中之資料。進一步，從第 19 圖與第 21 圖能了解到，每一個單元記憶胞群 603 可同時於寫入運作被定址，使得可執行程式化運作。於說明範例中，每一個群中組構四個單元記憶胞，整個陣列部分 700 可被以四個連續運作來程式化。更概括來說，對每個群中具有 "n" 個單元記憶胞之架構，程式化可以 "n" 個連續程式化運作來完成。

現在將揭露定址該基於二極體架構之方法。雖然該方法被說明與描述如下為一連串之動作與事件，但是應了解本發明並不會受限於這些動作與事件之說明順序。舉例來說，除了本文之說明與/或描述外，某些動作可依據本發明於不同順序發生與/或隨著其他動作或事件同時發生。另外，不是所有的說明步驟均有必要用於實施本發明之方法。此外，依照本發明之方法可結合本文所說明與描述之裝置與系統來實施，同樣也可結合其他沒有說明之結構來實施。

現在參考第 23 圖，提供一種如第 17 圖所示架構用以於基於二極體單元記憶胞架構中讀取該電阻改變式單元記憶胞之方法，且大抵指示於 750。於單元記憶胞群中關聯於已選定單元記憶胞之位元線於步驟 752 中耦合於感測電路。於本發明之一個具體實施例中，該感測電路包括感測放大器，係配置根據經由此處感測之讀取電流用以確定已選定單元記憶胞之狀態。於一個具體實施例中連結於該單元記憶胞群之非選定位元線於步驟 754 中耦合於預定電位例如電路接地。或者，非選定位元線可允許其浮接。

仍參考第 23 圖之方法 750，於步驟 756 關聯於包含選擇之單元記憶胞之該單元記憶胞群之字元線耦合於預定電位例如電路接地。於第 17 圖中例如線 616 之控制線接著於步驟 758 中耦合於讀取電位，其中該讀取電位驅動關聯於包含已選定單元記憶胞的群 603 之電流控制組件 612，且同時不會以人工方式限制經由該單元記憶胞之讀取電流。

換言之，該讀取電位致能一條用於該已選定單元記憶胞之電流路徑以使該選擇之單元記憶胞輔助其感測。

然後於步驟 756 中感測傳導通過已選定單元記憶胞 602 之讀取電流，其中該電流強度表示其資料狀態。於一個具體實施例中，該已選定單元記憶胞之資料狀態藉由比較通過已選定記憶胞傳導之感測電流與複數個不同參考電流來決定。該單元記憶胞之資料狀態接著藉由評估不同的比較結果來作決定。

於本發明一個具體實施例中每一個與給定單元記憶胞群 603 連結之單元記憶胞以連續的方式被讀取，其中每一個單元記憶胞均單獨被讀取。在這種範例中，該感測電路可連續地切換至該群中之單元記憶胞，因此允許共用感測電路。於本發明之另一具體實施例中，每一個於群中之單元記憶胞具有與其相關聯之專用的感測電路，其中每一個於群中之單元記憶胞均同時被讀取。

現在參考第 24 圖，提供一種如第 17 圖所示基於二極體架構中對電阻改變式單元記憶胞執行寫入運作之方法 770。一開始，於單元記憶胞群 603 中之非選定位元線於步驟 772 中每一個耦合於預定電位例如電路接地或允許其浮動。連結於包含該已選定單元記憶胞之單元記憶胞群之字元線 614 然後於步驟 774 中耦合於預定電位例如電路接地。於步驟 776 中作出決定是否待執行之該寫入運作是抹除或程式化運作。如果判定該已選定單元記憶胞 602 被抹除，則於步驟 778 中位元線抹除電壓耦合於該已選定單元

記憶胞 602 之位元線 604，且關聯於該已選定單元記憶胞用以在該單元記憶胞群中控制電流之控制線(或諸線)於步驟 780 中耦合於控制抹除電位。如第 22 圖所示，舉例來說，當該位元線抹除電位($V(BL,erase)$)為適度值時，控制抹除電位($V(ctrl,erase)$)並不對流經該已選定單元記憶胞傳導之電流提供任何實質的限制。

如果該已選定單元記憶胞之程式化動作很理想，則該方法 770 進行至 782，其中該字元線耦合於程式化電壓($V(BL,pgm)$)以及控制線 616 耦合於程式化電位($V(ctrl,pgmX)$)，而該程式化電位為所希望程式化資料位準的函數。舉例來說，如第 22 圖所示，依據所希望之資料狀態，特定控制線電壓操作以控制電流控制組件 612 用以將經由該已選定記憶胞傳導之電流限制在適當的電流位準。

雖然本發明已根據一個或多個實施方式來圖示及說明，但在不背離該附加的申請專利範圍的精神及範疇下可對所圖示的範例作替代及/或修改。特別是有關於以上描述的元件或結構(組零件、裝置、電路、系統等)所執行的各種功能，用於說明此種組件的用辭(包括對"機構(means)"之參考)，除非有其他的指示，意指對應於執行該所描述組件之特定功能之任何組件或結構(例如，就是功能性相等)，即使不是結構上相等於在本發明此中所圖示示範的實施方式中執行該功能之所揭露之結構。此外，雖然本發明之特定特徵已根據幾個實施方式中的一個來作揭露，然而此種特徵可與有需要及有利於任何給定或特定應用之其它

實施方式的一個或多個其它特徵來結合。此外，該用辭”含有”、“包含”、“具有”、“擁有”、“帶有”或其變形的範圍係用於說明書與該申請專利中，此種用辭係類似於該用辭”包括”的方式而意指包含整個範圍的。

<工業上應用>

該架構、裝置及方法係運用於半導體領域中之非揮發記憶體裝置與相關之通訊產品。

【圖式簡單說明】

第 1 圖顯示於先前技術中配置於習知 NOR 型非揮發記憶體陣列架構之電阻改變式單元記憶胞之示意圖；

第 2 圖顯示於先前技術第 1 圖中配置於 NOR 型非揮發記憶體陣列架構之電阻改變式單元記憶胞之先前技術之部分截面圖；

第 3 圖顯示於先前技術中配置於習知 NOR 型非揮發記憶體陣列架構之電阻改變式記憶體之位元線之示意圖；

第 4 圖顯示關聯於第 3 圖之先前技術電阻改變式陣列架構之不同操作特性之圖示；

第 5 圖顯示在習知 NOR 形陣列架構中之電阻改變式記憶體之部分陣列示意圖，其顯示該先前技術之限制；

第 6 圖顯示根據本發明之一個具體實施例之電阻改變式記憶體單元記憶胞之結合方塊/示意圖；

第 7 圖顯示根據本發明之具體實施例第 6 圖之電阻改變式記憶體單元記憶胞之一個或多個運作狀態之電壓/電流關係圖；

第 8 圖顯示第 6 圖之電阻改變式記憶體單元記憶胞於另一個方向之示意圖，以便輔助對本發明與先前技術間之各種差異的了解；

第 9 圖顯示根據本發明之具體實施例第 6 圖與第 8 圖之電阻改變式記憶體單元記憶胞之部分截面圖；

第 10 圖顯示根據本發明另一具體實施例之電阻改變式記憶體之陣列架構之方塊/示意圖；

第 11 圖顯示根據本發明之一個具體實施例之電阻改變式記憶體用以讀取資料狀態之讀取感測電路之示意圖；

第 12 圖顯示根據本發明之一個具體實施例第 11 圖之利用讀取感測電路的電阻改變式記憶體，其用於確定資料狀態之讀取狀況圖形；

第 13 圖顯示根據本發明之另一態樣讀取電阻改變式記憶體單元之方法之流程圖；

第 14A 到 14B 圖顯示根據本發明之又另一態樣第 10 圖之電阻改變式記憶體陣列架構中讀取資料之方法的流程圖；

第 15 圖顯示根據本發明之另一態樣程式化電阻改變式記憶體單元記憶胞之方法之流程圖；以及

第 16 圖顯示根據本發明之再另一態樣第 10 圖之電阻改變式記憶體陣列架構中程式化資料之方法之流程圖；

第 17 圖顯示根據本發明之一個具體實施例之基於二極體電阻改變式單元記憶胞之結合方塊/示意圖；

第 18 圖顯示根據本發明之另一具體實施例，將基於

二極體電阻改變式記憶體單元記憶胞組合於單元記憶胞群中之另一結合方塊/示意圖；

第 19 圖顯示根據本發明另一具體實施例，基於二極體電阻改變式陣列架構顯示複數個單元記憶胞群之示意圖；

第 20 圖顯示根據本發明之態樣，在正被讀取之單元記憶胞群內基於二極體電阻改變式單元記憶胞之示意圖；

第 21 圖顯示根據本發明之態樣，在正被抹除或程式化之單元記憶胞群內基於二極體電阻改變式單元記憶胞之示意圖；

第 22 圖顯示根據本發明之具體實施例，於第 20 圖與第 21 圖中基於二極體電阻改變式單元記憶胞之一個或多個運作狀態之電壓/電流關係圖；

第 23 圖顯示根據本發明再另一態樣，於第 19 圖之基於二極體電阻改變式記憶體陣列架構中讀取資料方法之流程圖；以及

第 24 圖顯示根據本發明另一態樣之寫入基於二極體電阻改變式記憶體單元記憶胞之方法之流程圖。

【主要元件符號說明】

10	電阻改變式單元記憶胞		
12	電阻改變式記憶體元件		
14	位元線	16	選擇電晶體
18	閘電極	20	字元線
22	共同源極電位	24	源極區

26	汲極區	28	導電接點
30	導電接點	40	電流限制電路
42	寄生電容	50	第一圖形
52	複數個位元線電流 I_{BL} 數值	60	第二圖形
62	超量電流	70	記憶胞
72	記憶胞	74	選擇電晶體
76	選擇電晶體	100	電阻改變式單元記憶胞
102	電流控制組件	104	電阻改變式記憶體元件
106	字元線	108	感測位元線
110	控制端	111	控制線
111a	控制線	111b	控制線
111c	控制線	111d	控制線
112	控制電路	113	控制端
114	讀取感測器電路	116	字元線驅動器電路
120	電流位準	122	電流位準
124	電流位準	130	電流位準
132	電流位準	150	接觸器
152	汲極	154	接觸器
156	源極	158	接觸器
200	陣列部分	202	列解碼器電路
204	感測控制電路	206	行解碼器電路
208	電晶體	210a	驅動電晶體
210b	驅動電晶體	210c	電晶體
210d	電晶體	220	行

222	行	224a	控制線
224b	控制線	230	行
232	行	250	感測致能信號
252	輸入電流鏡電路	254	資料存鎖電路
256	電壓參考信號	258	假單元記憶胞
260	參考電流鏡電路	262	輸出節點
264	輸出節點	270	位準 3
272	位準 2	274	位準 1
340	讀取個別單元記憶胞之方法		
342、344、346、348	步驟		
350	方法		
352、354、356、358、360	步驟		
362、364、390、392、394、396、398、400、402	步驟		
364	方法		
366、367、368、370、372、374、376、378、380、382、384、386	方法		
450	方法		
452、454、456、457、458、460、462、464、466、468、470	步驟		
600	基於二極體電阻改變式記憶體架構		
602a	單元記憶胞		
602d	單元記憶胞		
602n	單元記憶胞		
603	單元記憶胞群		
604	位元線(BL ₁ 到 BL _n)		
604a	位元線		

- 604b 位元線
- 604c 位元線
- 604d 位元線
- 606 局部電流匯流排
- 608 制動開關記憶體元件(電阻改變式元件)
- 610 二極體
- 612 電流控制組件
- 612a 電流控制組件
- 612b 電流控制組件
- 614 字元線
- 616 控制線
- 616a 控制端
- 616b 控制端
- 620 列解碼器
- 700 電阻改變式記憶體陣列架構之部分
- 710 感測電路
- 750 方法
- 752、754、756、758、760 步驟
- 770 方法
- 772、774、776、778、780、782、784 步驟

十、申請專利範圍：

1. 一種電阻改變式記憶體單元胞(100)，包括：

電流控制組件(102)，可操作耦合於感測位元線(108)；

電阻改變式記憶體元件(104)，串接於該電流控制組件(102)的電流傳導路徑與字元線(106)之間，而該電流傳導路徑的相對端則連接至該感測位元線；以及

字元線驅動器，耦合於該字元線(106)且藉由在程式化模式期間針對不同的程式化狀態將字元線程式化電壓施加至該字元線(106)及在抹除模式期間施加抹除電壓而促進將不同的資料狀態寫入該電阻改變式記憶體元件(104)，其中，該字元線程式化電壓不同於該抹除電壓。

2. 如申請專利範圍第 1 項之記憶體單元胞，其中，該電流控制組件(102)包括用以接收複數個不同控制信號(V(ctrl,pgm))之控制端(110)，該控制端(110)提供一種電流限制功能，該電流限制功能包括複數個大於 2 之不同電流位準(120、122、124)，以回應該等不同控制信號(V(ctrl,pgm))。

3. 一種電阻改變式記憶體，包括：

電流控制組件(102)，耦合於感測位元線(108)；

電阻改變式記憶體元件(104)，串接於該電流控制組件(102)的電流傳導路徑與字元線(106)之間，而該電流傳導路徑的相對端則連接至該感測位元線；

讀取感測電路(114)，耦合於該位元感測線(108)，且用以決定該電阻改變式記憶體元件(104)之狀態；以及

字元線驅動器，耦合於該字元線(106)且藉由在程式化模式期間針對不同的程式化狀態將字元線程式化電壓施加至該字元線(106)及在抹除模式期間施加抹除電壓而促進將不同的資料狀態寫入該電阻改變式記憶體元件(104)，其中，該字元線程式化電壓不同於該抹除電壓。

4. 如申請專利範圍第 3 項之記憶體，進一步包括控制電路(112)，可操作耦合於該電流控制組件(102)之控制端(110)，且配置以於該控制端上提供複數個不同控制信號之其中之一以將狀態寫入該電阻改變式記憶體元件(104)。
5. 一種電阻改變式記憶體陣列架構(200)，包括：

配置成行與列之電阻改變式記憶體單元胞(100)陣列，其中，至少有兩個相鄰的行共用感測位元線(108)；

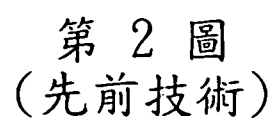
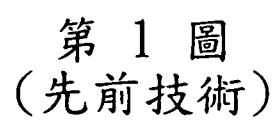
個別關聯於各行之控制線(111)，其中，於沿著個別行之每一個單元胞中之電流控制組件(102)耦合於個別控制線；以及

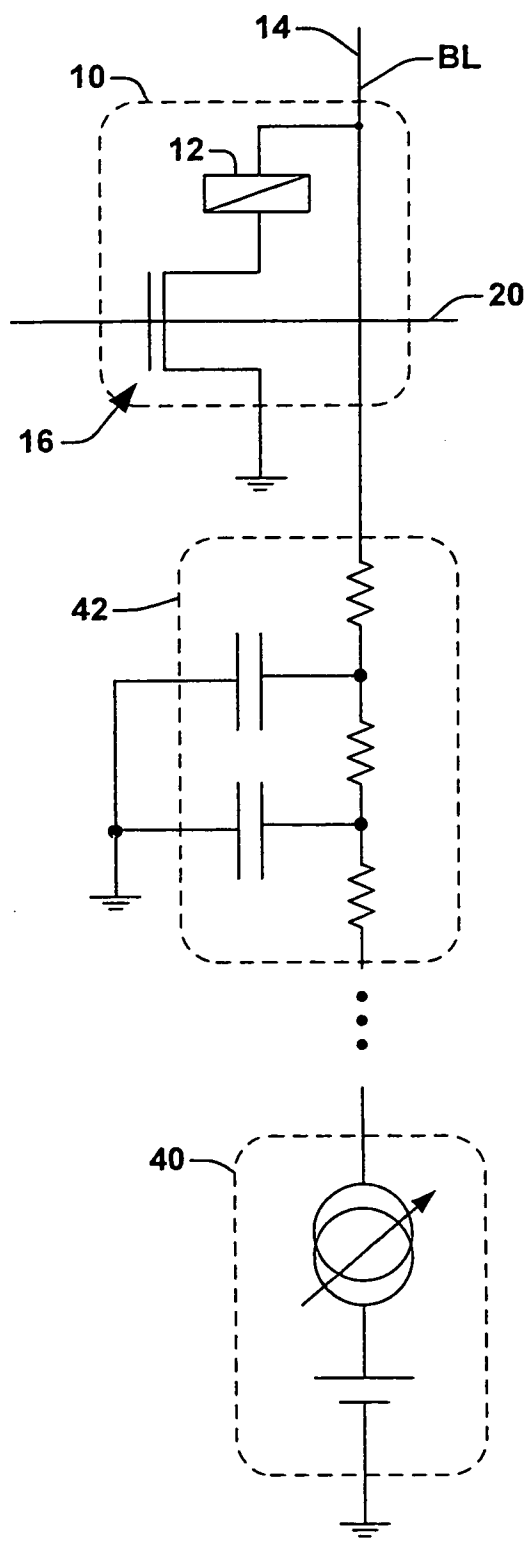
各關聯於個別列之複數個字元線(106)，其中，關聯於沿著個別列之每一個單元胞之電阻改變式元件(104)串接於個別字元線與該電流控制組件的電流傳導路徑之間，而該電流傳導路徑的相對端則連接至該感

測位元線；以及

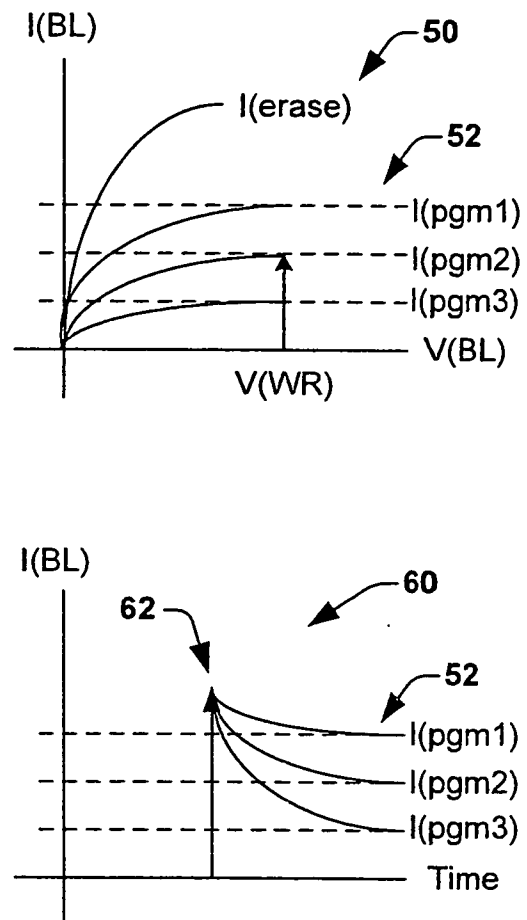
字元線驅動器，耦合於該複數個字元線(106)且藉由在程式化模式期間針對不同的程式化狀態將字元線程式化電壓施加至該字元線(106)及在抹除模式期間施加抹除電壓而促進將不同的資料狀態寫入該電阻改變式元件(104)，其中，該字元線程式化電壓不同於該抹除電壓。

6. 如申請專利範圍第 5 項之陣列架構，進一步包括感測電路(114)，選擇性耦合於該共用感測位元線(108)且配置以感測有關聯於共用該感測位元線之相鄰行中的單元記憶胞之電阻改變式元件之資料狀態。
7. 如申請專利範圍第 6 項之陣列架構，進一步包括控制電路(112)，配置以沿著該控制線(111)提供不同的控制信號予共用該感測位元線之行。

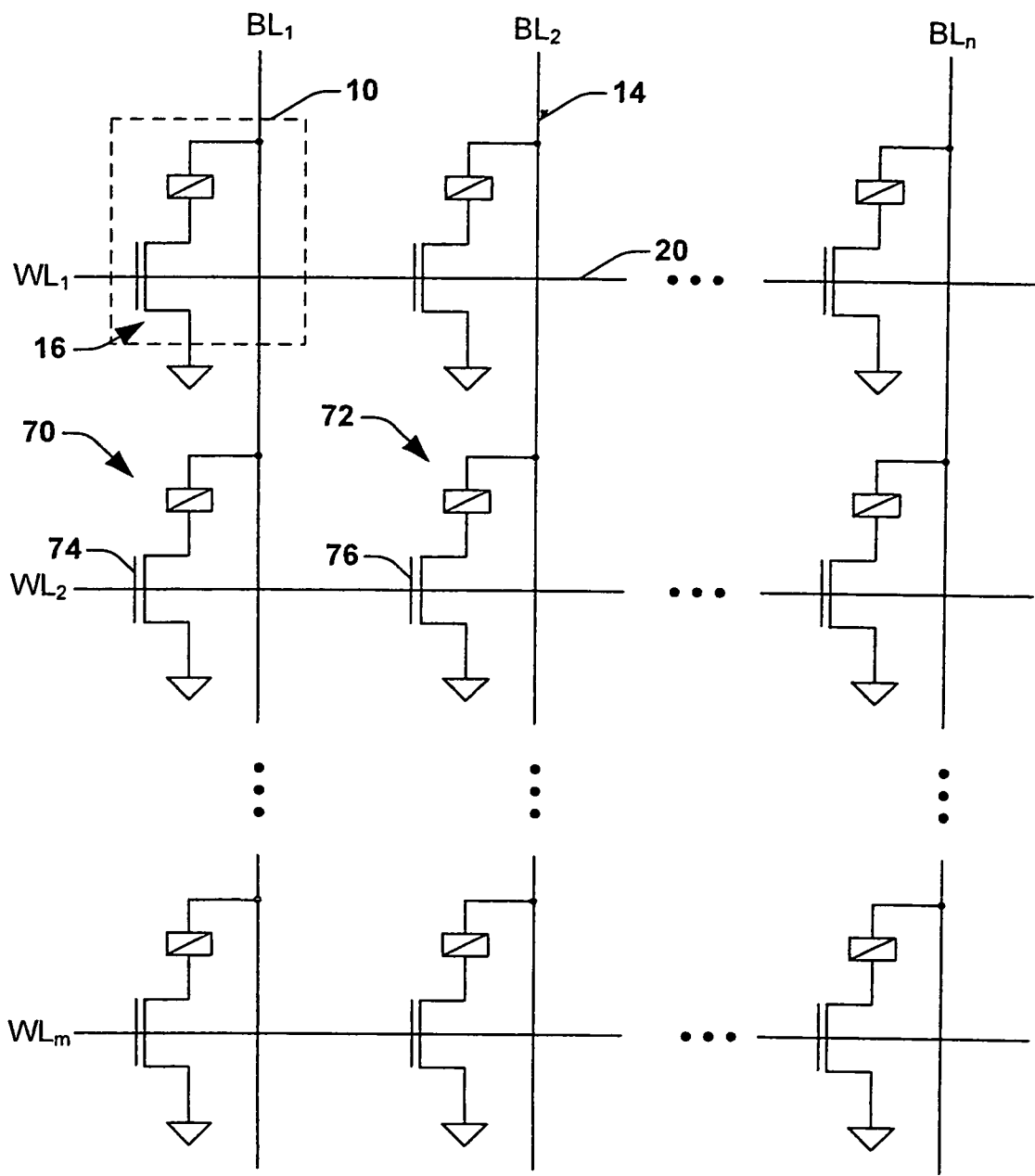




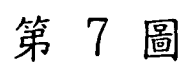
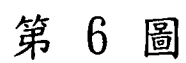
第 3 圖
(先前技術)

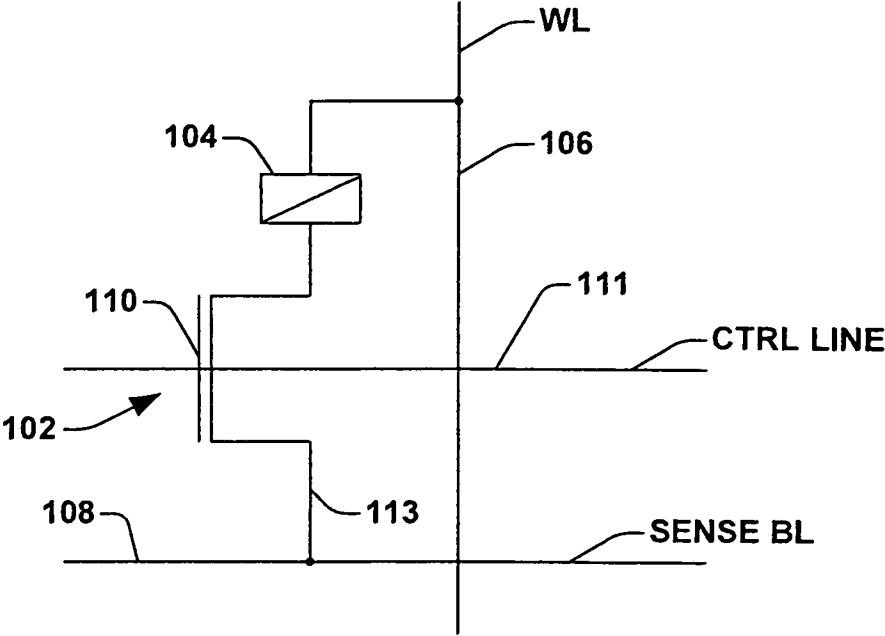


第 4 圖
(先前技術)

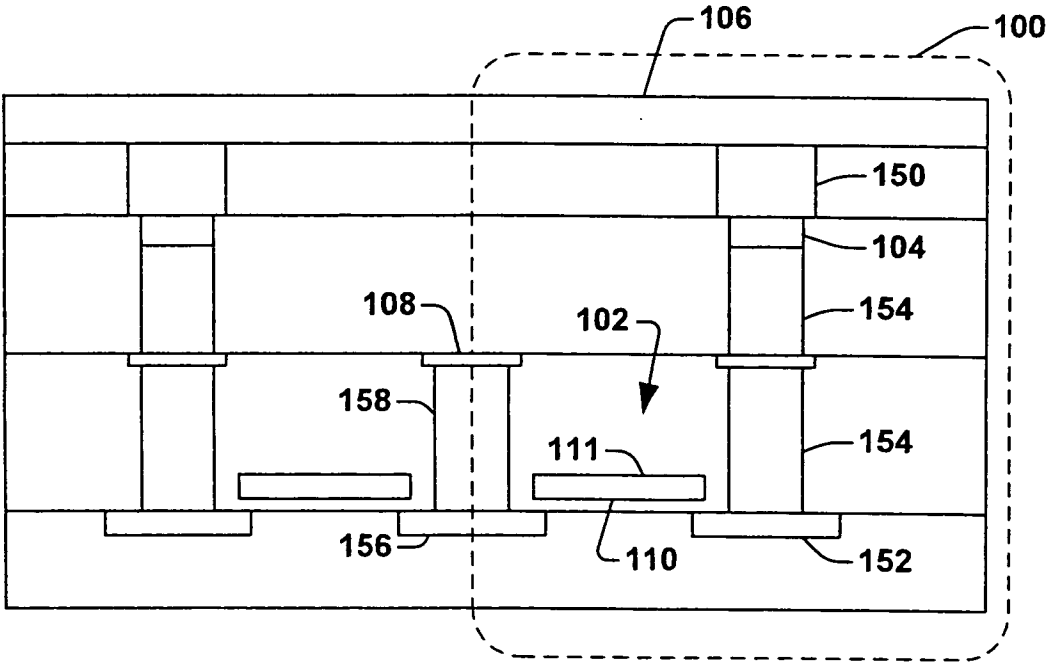


第 5 圖
(先前技術)

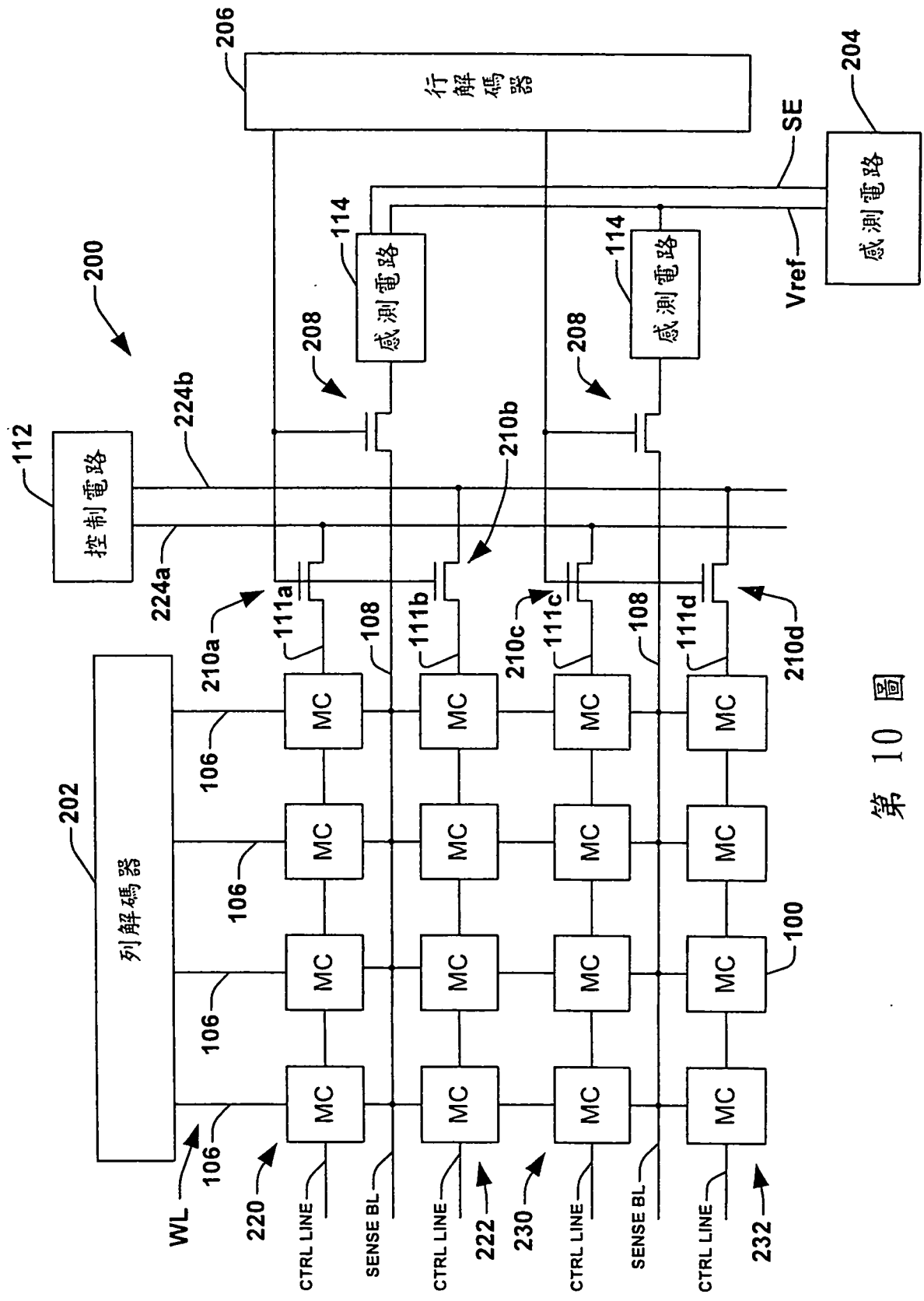




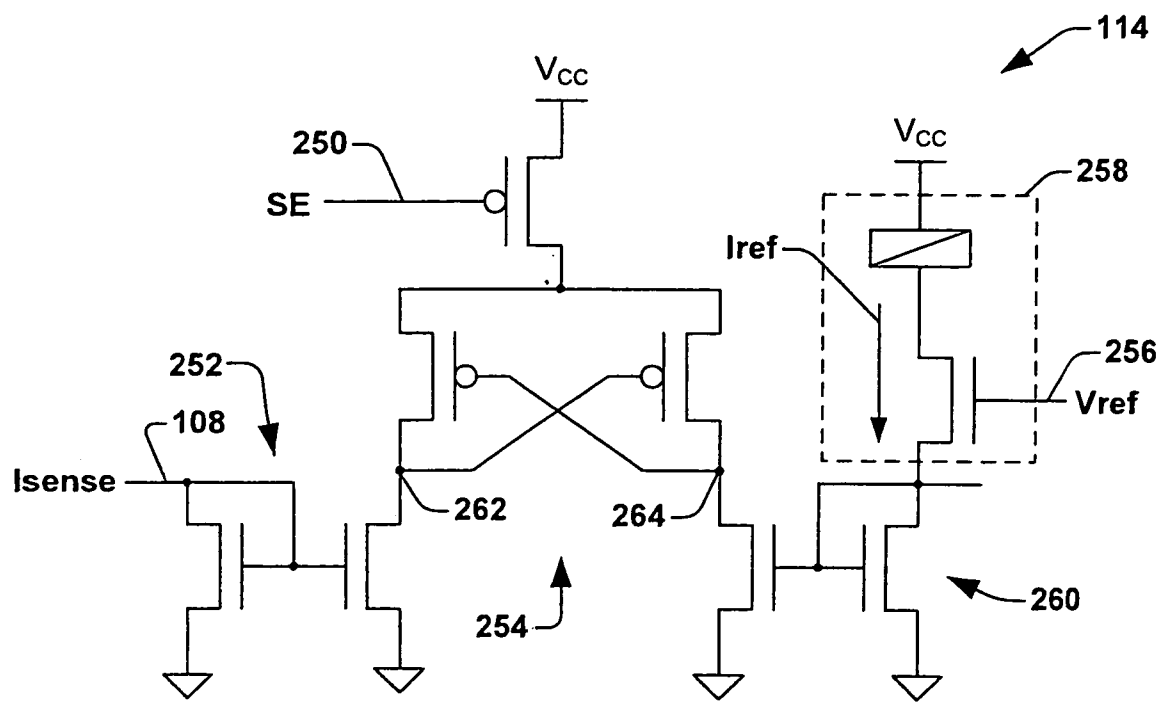
第 8 圖



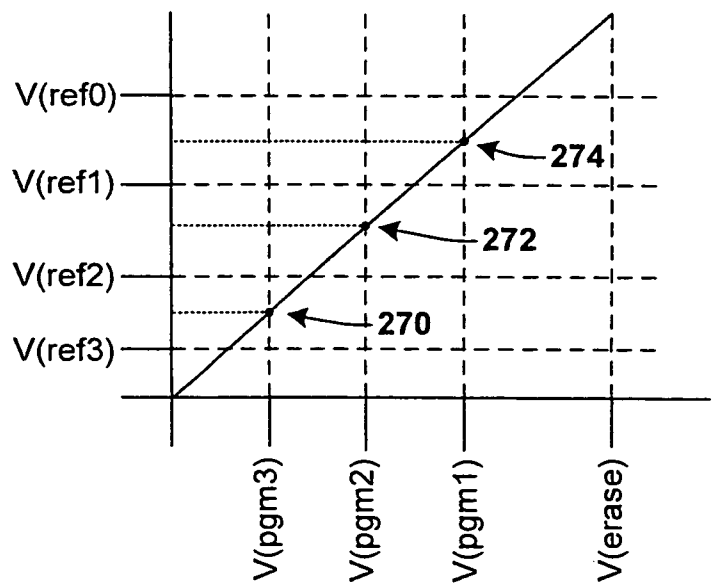
第 9 圖



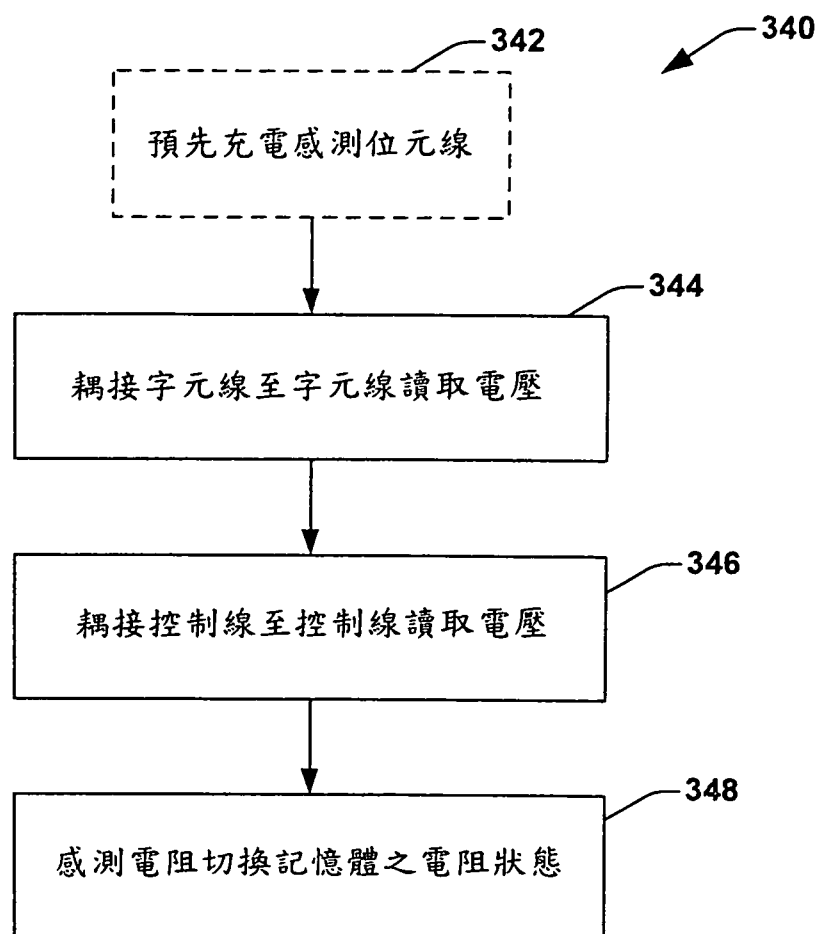
第 10 圖



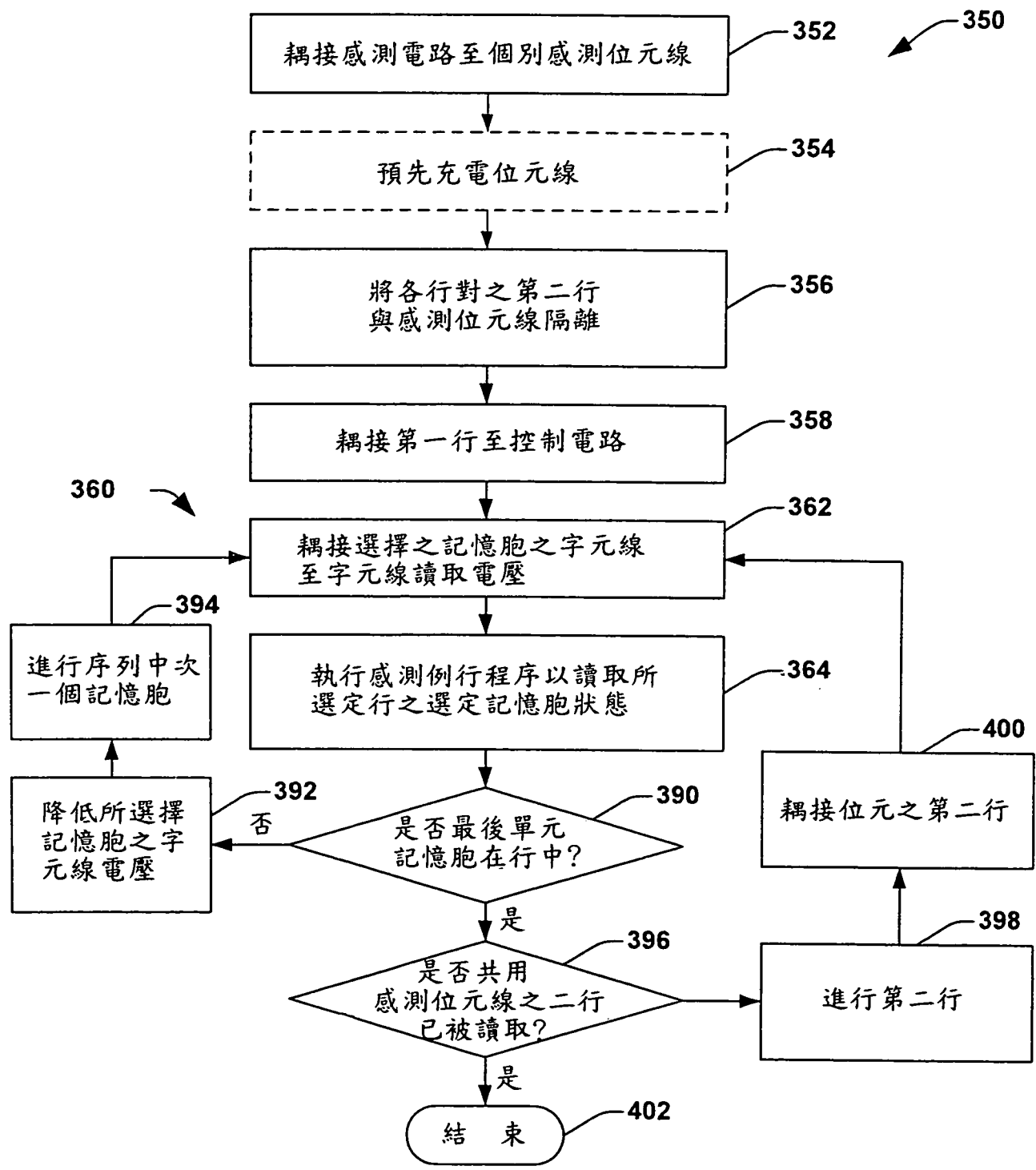
第 11 圖



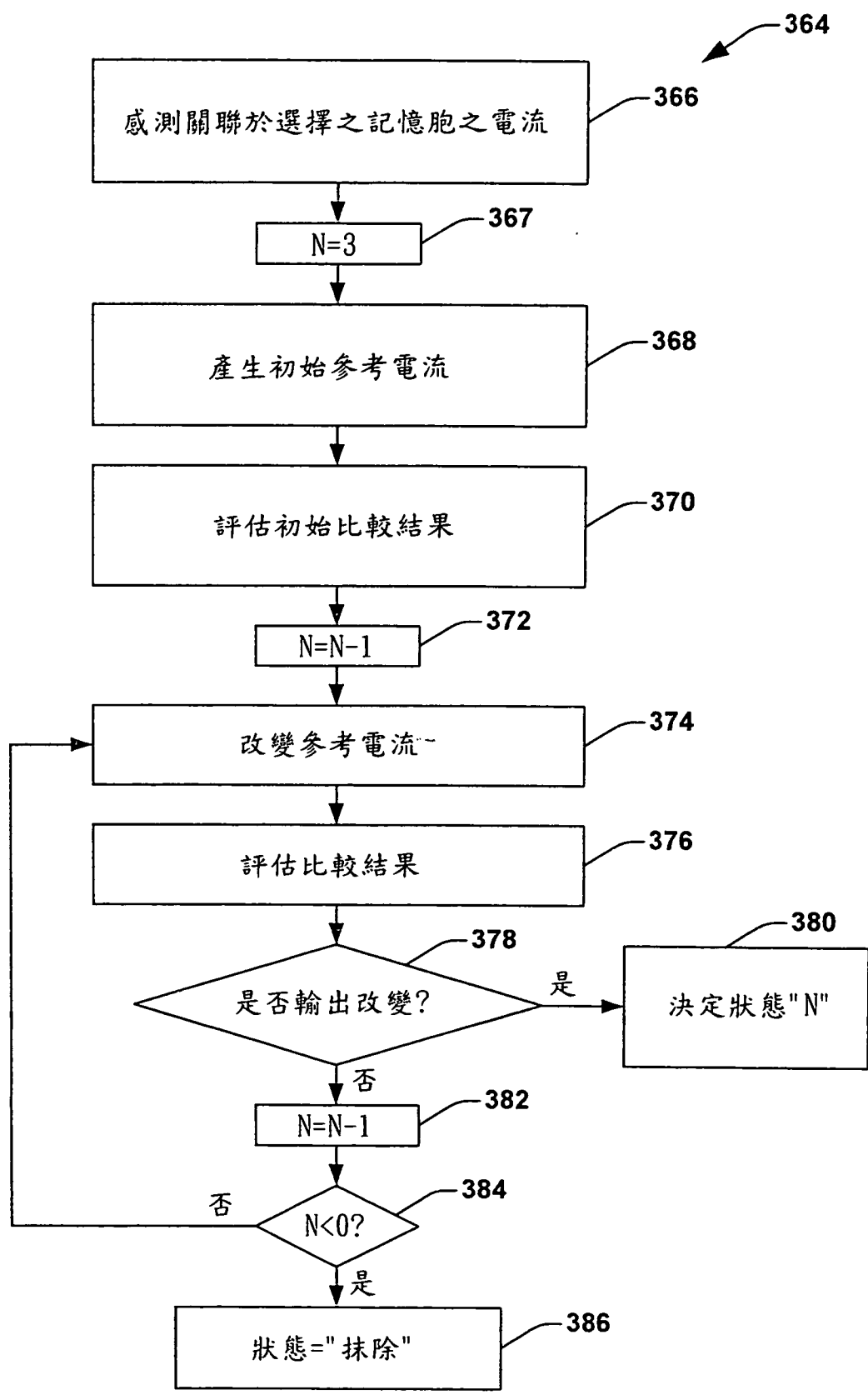
第 12 圖



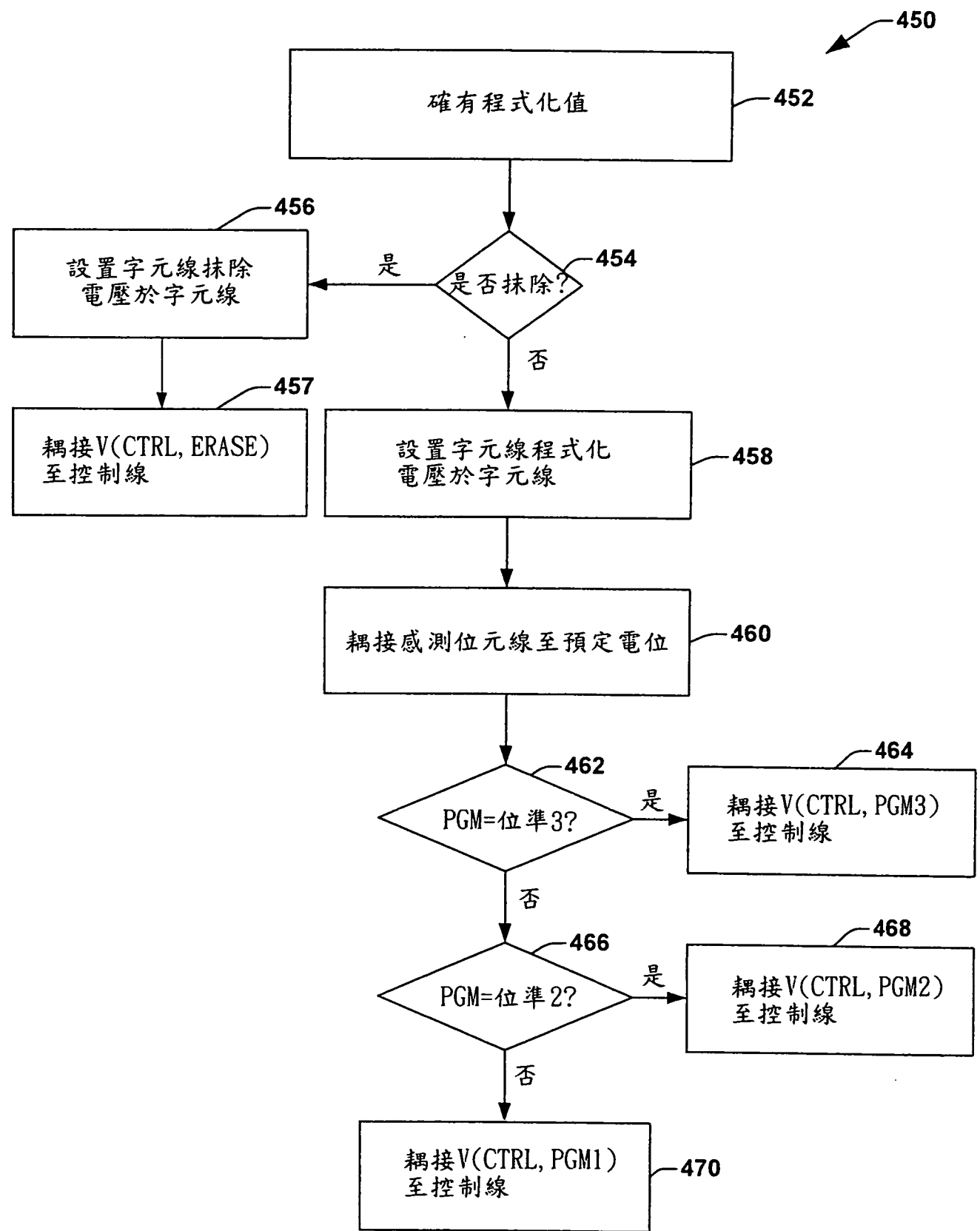
第 13 圖



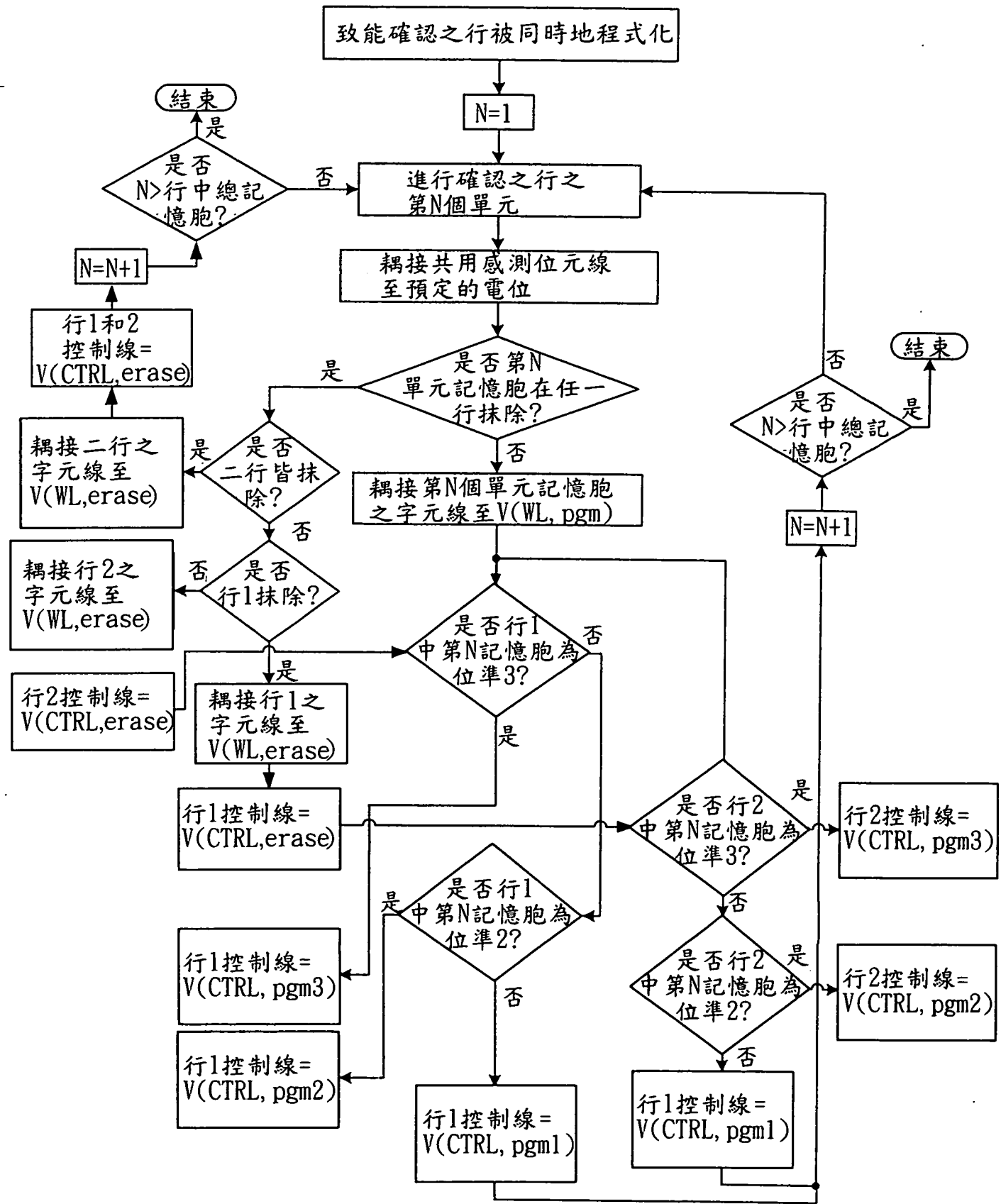
第 14A 圖



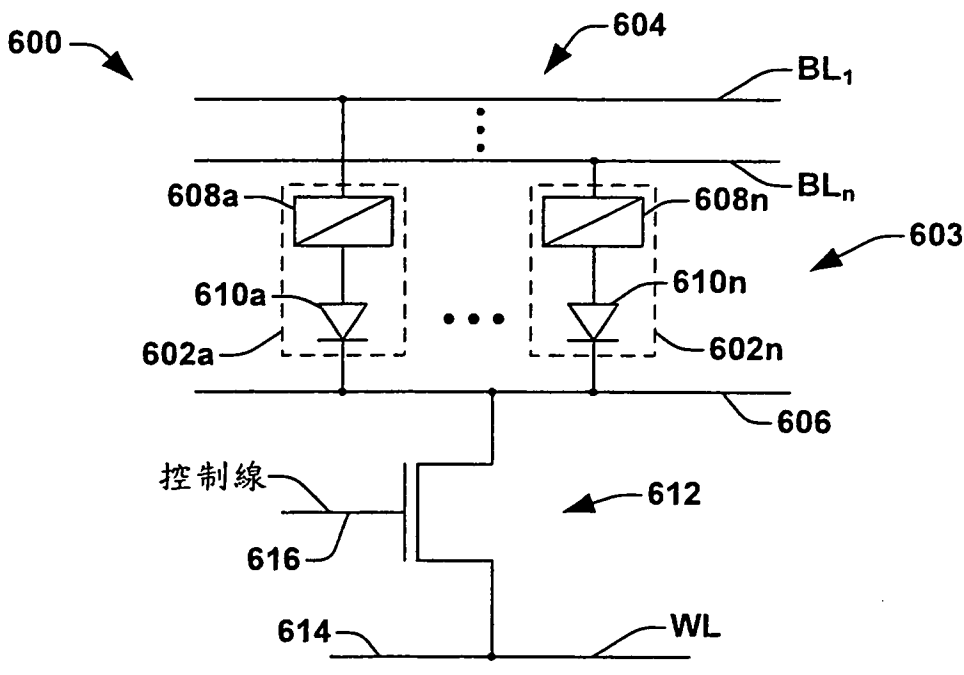
第 14B 圖



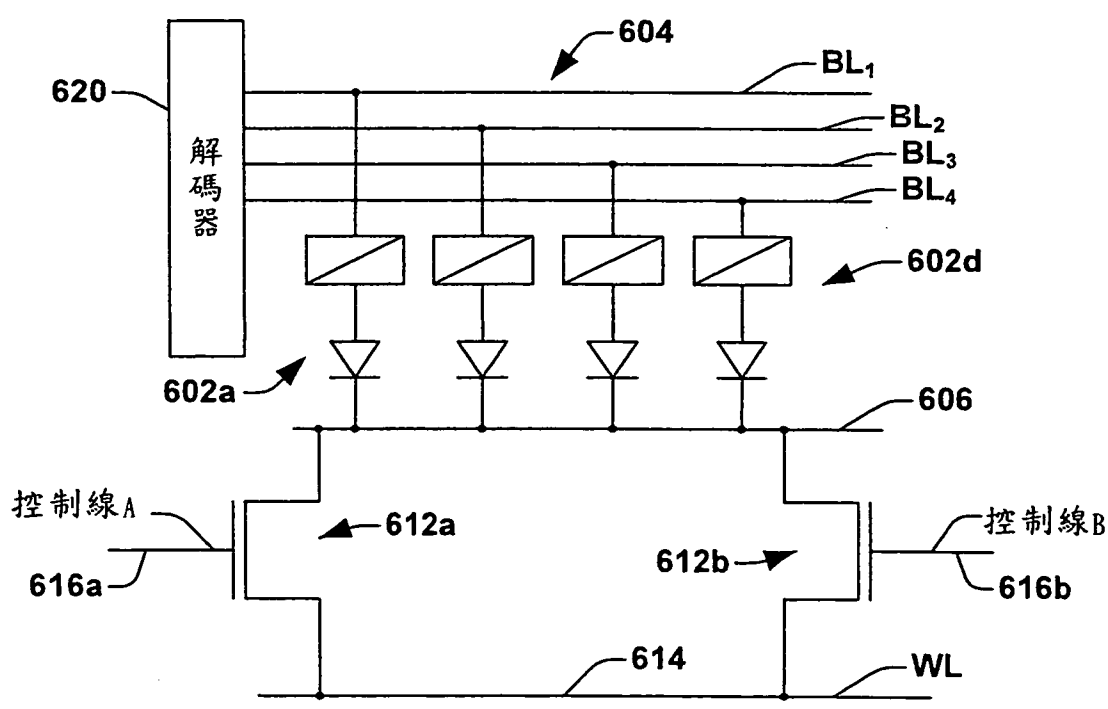
第 15 圖



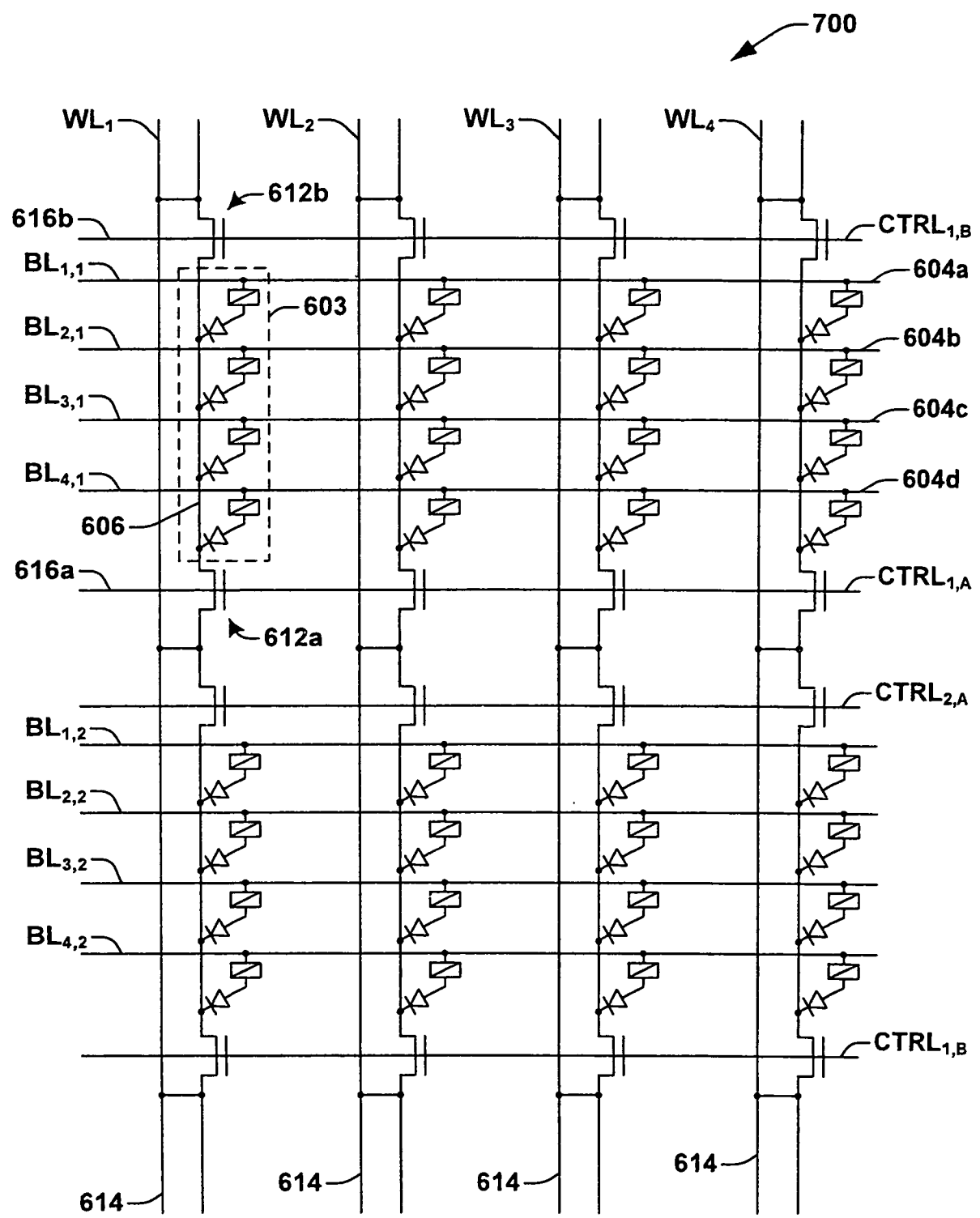
第 16 圖



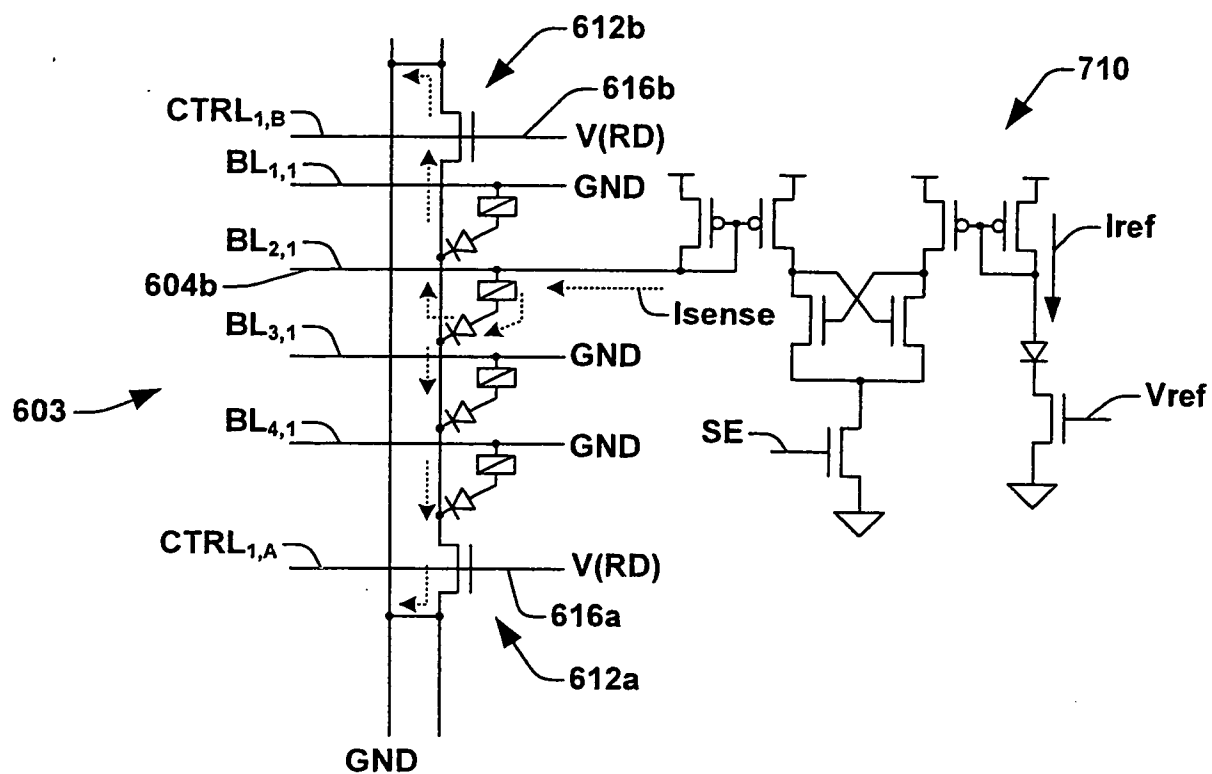
第 17 圖



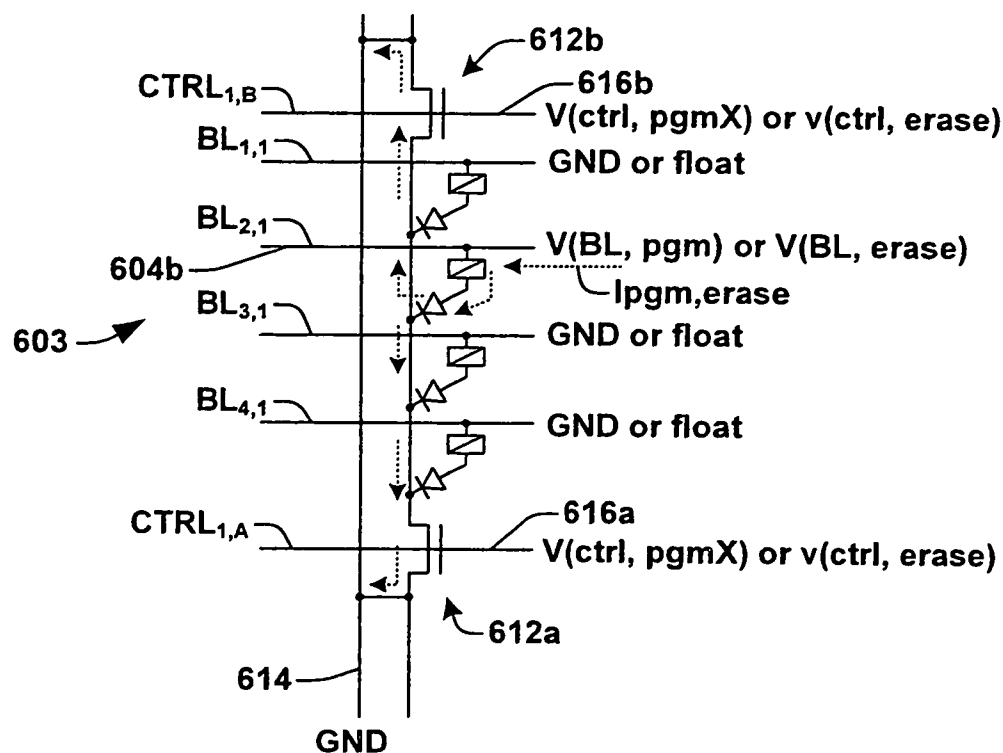
第 18 圖



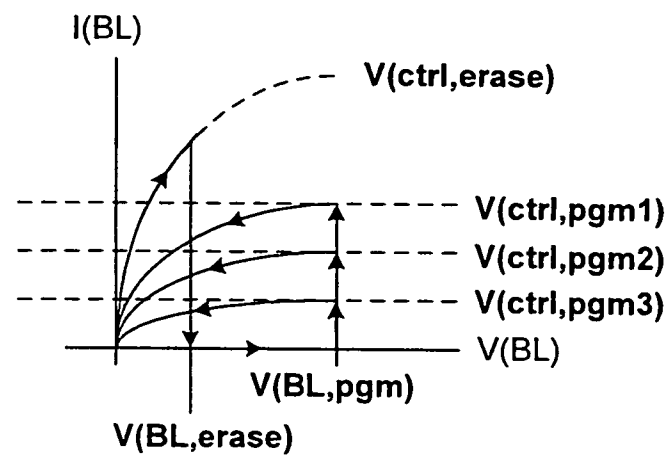
第 19 圖



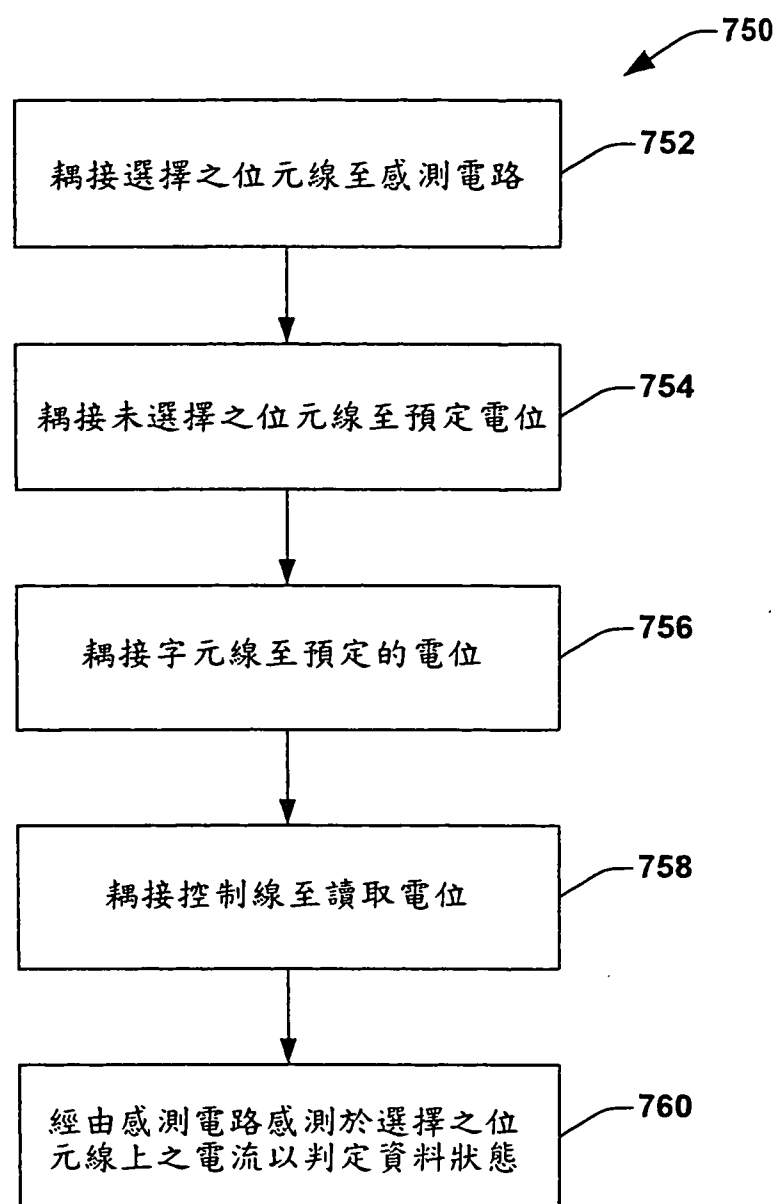
第 20 圖



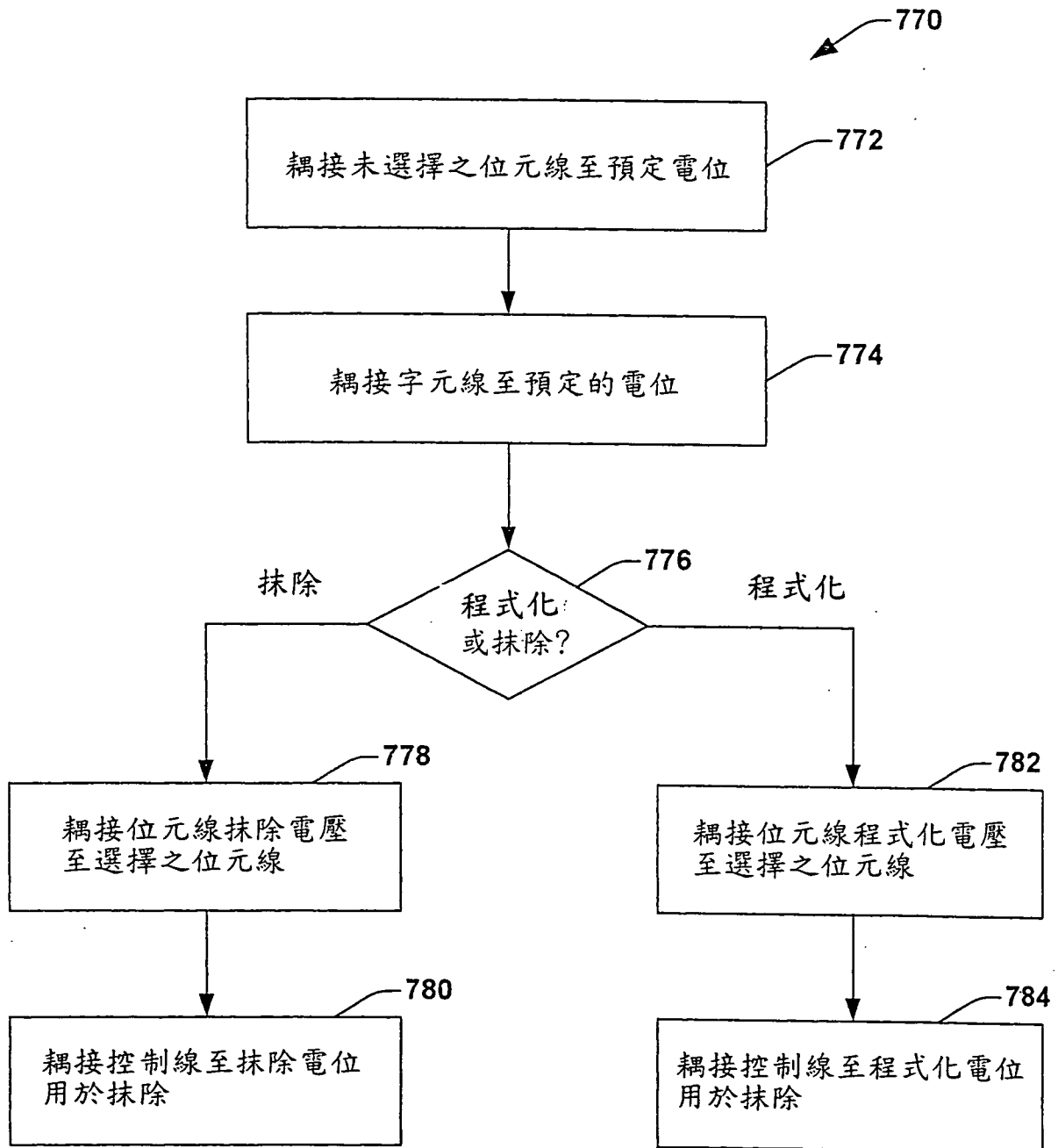
第 21 圖



第 22 圖



第 23 圖



第 24 圖