(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5191106号
(P5191106)

(45)発行日　平成25年4月24日(2013.4.24)　(24)登録日　平成25年2月8日(2013.2.8)

(51)Int.Cl.		F I		
H01L 29/786	(2006.01)	H01L	29/78	613Z
G06K 19/07	(2006.01)	G06K	19/00	H
G06K 19/077	(2006.01)	G06K	19/00	K
H01L 21/20	(2006.01)	H01L	21/20	
H01L 21/336	(2006.01)	H01L	29/78	618A

請求項の数 15　外国語出願　(全 24 頁)　最終頁に続く

(21)出願番号　特願2006-186310 (P2006-186310)
(22)出願日　平成18年7月6日 (2006.7.6)
(65)公開番号　特開2007-59880 (P2007-59880A)
(43)公開日　平成19年3月8日 (2007.3.8)
審査請求日　平成19年11月19日 (2007.11.19)
(31)優先権主張番号　60/697,599
(32)優先日　平成17年7月8日 (2005.7.8)
(33)優先権主張国　米国 (US)
(31)優先権主張番号　11/452,108
(32)優先日　平成18年6月12日 (2006.6.12)
(33)優先権主張国　米国 (US)

(73)特許権者　504263587
コヴィオ　インコーポレイテッド
アメリカ合衆国、９５１３４　カリフォルニア州、サンノゼ、ザンカー　ロード　２８６５
(74)代理人　100104156
弁理士　龍華　明裕
(72)発明者　ジェームス　モンタギュー　クリーブス
アメリカ合衆国、９４０６２　カリフォルニア州、レッドウッド　シティ、サミット　ドライブ　５５１
(72)発明者　ジェイ　デビン　マッケンジー
アメリカ合衆国、９４０７０　カリフォルニア州、サン　カルロス、ポートフィーノ　ドライブ　ナンバー　４　４０４

最終頁に続く

(54)【発明の名称】集積回路を製造する方法および装置

(57)【特許請求の範囲】
【請求項１】
集積回路を製造する方法であって、
ａ）シリコンを含む第１インクを用いて、誘電体層の第１表面上に第１パターンで複数の第１半導体層要素を形成し、前記誘電体層は、導電性および／または半導電性の特性を持つ基板上に形成されており、前記複数の第１半導体層要素は、前記基板の第１領域におけるトランジスタのチャネル領域および前記基板の第２領域における第１ダイオード層要素を備え、
ｂ）シリコンを含む第２インクを用いて、前記複数の第１半導体層要素および前記誘電体層の前記第１表面の少なくとも１つの上に、前記複数の第１半導体層要素とは異なる複数の第２半導体層要素を第２パターンで形成し、前記複数の第２半導体層要素は、前記基板の前記第１領域における第２半導体層要素および前記基板の前記第２領域における第２ダイオード層要素を備え、
ｃ）複数の金属要素を、前記複数の第１半導体層要素および前記複数の第２半導体層要素の上に形成し、前記複数の金属要素は、前記基板の前記第１領域における金属ゲートおよび金属コンタクト、または、前記基板の前記第２領域におけるショットキダイオードコンタクトを備える
方法。
【請求項２】
前記基板は金属箔を含む

請求項１に記載の方法。
【請求項３】
前記複数の金属要素の形成工程の後に
前記金属箔を用いてアンテナまたはインダクタを形成すること
をさらに含む請求項２に記載の方法。
【請求項４】
前記第２インクとは異なる、シリコンを含む第３インクを用いて、前記基板上の前記複数の第２半導体層要素のうち少なくとも１つの上に、第３パターンで第３半導体層要素を少なくとも１つ形成することをさらに含み、前記第３半導体層要素は、前記基板の前記第２領域における第３ダイオード層要素、ならびに、前記基板の前記第１領域におけるトランジスタのソース端子およびドレイン端子、のうち少なくとも１つを備える
請求項１から３のいずれか一項に記載の方法。
【請求項５】
前記複数の第１半導体層要素は、前記基板の前記第２領域における複数の第１ダイオード層要素および前記基板の前記第１領域における前記トランジスタのチャネル領域を各々複数備える
請求項１から４のいずれか一項に記載の方法。
【請求項６】
前記複数の第１半導体層要素は、前記基板の第３領域における第１コンデンサプレートをさらに備え、前記複数の金属要素は、前記基板の第３領域における第２コンデンサプレートをさらに備える
請求項１から５のいずれか一項に記載の方法。
【請求項７】
装置であって、
ａ）金属アンテナおよび／またはインダクタ、
ｂ）集積回路を支持し、前記金属アンテナおよび／またはインダクタから前記集積回路を絶縁する、前記金属アンテナおよび／またはインダクタの少なくとも一部の上に形成された誘電体層、
ｃ）前記装置の第２領域における前記誘電体層上に形成された１以上のダイオード、および、前記装置の第１領域における前記誘電体層上に形成され、前記１以上のダイオードと同じ複数の半導体層を有する複数のトランジスタ、
ｄ）前記装置の第３領域において（ｉ）前記誘電体層上または前記誘電体に接触して形成され、（ｉｉ）前記金属アンテナおよび／またはインダクタおよび前記１以上のダイオードの少なくとも一部と電気的に接続されている複数のコンデンサであって、前記１以上のダイオードと同じ半導体層を少なくとも１つ有し、および／または、前記ダイオードおよび前記複数のトランジスタに対するコンタクトと同じ金属層を少なくとも１つ有する複数のコンデンサ
を備え、
前記１以上のダイオードおよび前記複数のトランジスタが有する前記複数の半導体層は互いに異なる
装置。
【請求項８】
前記互いに異なる複数の半導体層のうちの１つの半導体層は、前記１以上のダイオードの下側ダイオード層、ならびに、前記複数のトランジスタのソース端子およびドレイン端子を含む
請求項７に記載の装置。
【請求項９】
前記少なくとも２つの半導体層のうち第１の層はドーピング濃度の低い無機半導体を含み、前記少なくとも２つの半導体層のうち第２の層はドーピング濃度の高い無機半導体を含む

請求項８に記載の装置。
【請求項１０】
電力変換ブロック、論理回路ブロックおよびメモリブロックを備え、前記電力変換ブロックは、前記金属アンテナおよび／またはインダクタから信号を受信し、複数設けた前記ダイオードの第１サブセットおよび前記複数のコンデンサのサブセットを少なくとも１つ含み、前記論理回路ブロックは、前記電力変換ブロックから電力を受け取り、前記メモリブロックと通信を行い、前記複数のトランジスタの第１サブセットを含み、前記メモリブロックは、複数の前記ダイオードの第２サブセットおよび／または前記複数のトランジスタの第２サブセットを含む
請求項７から９のいずれか一項に記載の装置。
【請求項１１】
クロック回復および／または復調器ブロックであって、前記金属アンテナおよび／またはインダクタから前記信号を受信し、複数の前記ダイオードの第３サブセットおよび／または前記複数のトランジスタの第３サブセットを含むクロック回復および／または復調器ブロック、
変調器ブロックであって、前記論理回路ブロックから情報を受信し、前記金属アンテナおよび／またはインダクタへ出力信号を供給し、前記複数のダイオードの第４サブセットおよび／または前記複数のトランジスタの第４サブセットを含む変調器ブロック、
前記クロック回復および／または復調器ブロックから入力信号を受信し、前記情報を前記変調器ブロックに供給し、前記複数のトランジスタの第５サブセットを含む入出力制御ブロックまたは入出力制御サブブロック
をさらに含む請求項１０に記載の装置。
【請求項１２】
集積回路を製造する方法であって、
ａ）シリコンを含むインクを用いて、第１誘電体層の第１表面上に複数の半導体層要素をパターン形成し、前記第１誘電体層は導電性および／または半導電性の特性を持つ基板上に形成されており、前記複数の半導体層要素は前記基板上の第１領域におけるトランジスタのチャネル領域および前記基板上の第２領域における第１ダイオード層要素を含み、
ｂ）前記基板の前記第１領域における前記トランジスタのチャネル領域の上にゲート層を形成し、
ｃ）（ｉ）ソース端子およびドレイン端子ならびに（ｉｉ）第２ダイオード層要素を形成し、前記ソース端子および前記ドレイン端子は、前記トランジスタの前記チャネル領域を含む前記複数の半導体層要素上に形成され、前記第２ダイオード層要素は、前記第１ダイオード層要素上に前記トランジスタの前記ソース端子および前記ドレイン端子とともに形成され、
ｄ）（ｉ）前記ゲート層上、（ｉｉ）前記第２ダイオード層要素の上、および（ｉｉｉ）前記第１誘電体層の前記第１表面の少なくとも一部の上に第２誘電体層を形成し、前記第２誘電体層は、前記ゲート層および前記複数の半導体層要素が有する複数の端子に対するコンタクト用に開口部を有し、
ｅ）前記複数の半導体層要素の上および前記ゲート層上に金属要素を形成すること
を含み、
前記金属要素は、（ｉ）前記基板の前記第２領域におけるダイオードコンタクトを有し、（ｉｉ）前記複数の端子のうちの第１端子と前記複数の端子のうちの第２端子と、および／または前記複数の端子のうち１つと前記ゲート層とを、電気的に相互接続する
方法。
【請求項１３】
集積回路を製造する方法であって
ａ）半導体を含む第１インクを用いて、誘電体層の第１表面上に第１パターンで複数の第１半導体層要素を形成し、前記誘電体層は、導電性および／または半導電性の特性を持つ基板上に形成されており、前記複数の第１半導体層要素は、前記基板の第１領域におけ

るトランジスタのチャネル領域および前記基板の第２領域における第１ダイオード層要素を備え、
ｂ）半導体を含む第２インクを用いて、前記複数の第１半導体層要素および前記誘電体層の前記第１表面の少なくとも１つの上に、前記複数の第１半導体層要素とは異なる複数の第２半導体層要素を第２パターンで形成し、前記複数の第２半導体層要素は、前記基板の前記第１領域における第２半導体層要素および前記基板の前記第２領域における第２ダイオード層要素を備え、
ｃ）複数の金属要素を、前記複数の第１半導体層要素および前記複数の第２半導体層要素の上に形成し、前記複数の金属要素は、前記基板の前記第１領域における金属ゲートおよび金属コンタクト、または、前記基板の前記第２領域におけるショットキダイオードコンタクトを備える
方法。
【請求項１４】
前記複数の第１半導体層要素は、前記基板の第３領域における第１コンデンサプレートをさらに備え、前記複数の金属要素は、前記基板の第３領域における第２コンデンサプレートをさらに備える
請求項１３に記載の方法。
【請求項１５】
集積回路を製造する方法であって
ａ）半導体を含むインクを用いて、第１誘電体層の第１表面上に複数の半導体層要素をパターン形成し、前記第１誘電体層は導電性および／または半導電性の特性を持つ基板上に形成されており、前記複数の半導体層要素は前記基板上の第１領域におけるトランジスタのチャネル領域および前記基板上の第２領域における第１ダイオード層要素を含み、
ｂ）前記基板の前記第１領域における前記トランジスタのチャネル領域の上にゲート層を形成し、
ｃ）（ｉ）ソース端子およびドレイン端子ならびに（ｉｉ）第２ダイオード層要素を形成し、前記ソース端子および前記ドレイン端子は、前記トランジスタの前記チャネル領域を含む前記複数の半導体層要素上に形成され、前記第２ダイオード層要素は、前記第１ダイオード層要素上に前記トランジスタの前記ソース端子および前記ドレイン端子とともに形成され、
ｄ）（ｉ）前記ゲート層上、（ｉｉ）前記第２ダイオード層要素の上、および（ｉｉｉ）前記第１誘電体層の前記第１表面の少なくとも一部の上に第２誘電体層を形成し、前記第２誘電体層は、前記ゲート層および前記複数の半導体層要素が有する複数の端子に対するコンタクト用に開口部を有し、
ｅ）前記複数の半導体層要素の上および前記ゲート層上に金属要素を形成すること
を含み、
前記金属要素は、（ｉ）前記基板の前記第２領域におけるダイオードコンタクトを有し、（ｉｉ）前記複数の端子のうちの第１端子と前記複数の端子のうちの第２端子と、および／または前記複数の端子のうち１つと前記ゲート層とを、電気的に相互接続する
方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ＲＦＩＤタグおよびその製造方法に関する。本願は米国仮出願（第６０／６９７，５９９号、代理人整理番号：第ＩＤＲ０５０１号、出願日：２００５年７月８日）および米国出願（第１１／＿，＿号、代理人整理番号：ＩＤＲ０５０２、出願日：２００６年６月１２日）による恩恵を請求し、これらの出願の内容はすべて参照することにより本明細書に組み込むとする。
【背景技術】
【０００２】

ＲＦＩＤタグまたは電子バーコードは通常製品に取り付けられ、当該製品に関する識別情報などの情報を無線リンクを介して読み取り器に提供する。読み取り器は受け取った情報を、普通はデジタル形式で、データベースや政策決定システムなどさまざまな電子管理システムに提供する。読み取り器の無線送受信部がやり取りされる情報を無線通信によって取得する。ここで、読み取り器は通常、無線電力、クロック信号および変調・符号化コマンドを運べる搬送周波数を送信する。

【０００３】

受動タグはタグ上に電源を設けずにすむので一般的に低コストが要求されるタグに最適で、搬送周波数信号によりチップの電源となる無線電源を得る。クロック信号の回復や同期もまた重要な特徴／機能で、読み取り器からタグに送信される無線信号によってたいてい可能となる。クロック周波数により、動作周波数およびタグと読み取り器間のデータ通信速度が決まる。

【０００４】

短波（ＨＦ）の場合、各国での規制のため周波数帯域幅に関して問題が生じる。このため、タグ回路は搬送周波数を分割することによってクロック信号を得ることが多い。極超短波（ＵＨＦ）やそれ以上の場合は通常、搬送周波数上の副搬送周波数を変調することによりクロック信号を得るが、これには以下のような理由がある。欧州や米国では、ＨＦ帯に比べると８６９ＭＨｚや９１５ＭＨｚ程度の周波数の場合、帯域幅に関する問題はそれほど深刻ではない。このため、読み取り器とタグ間で高速データ通信を可能とするために必要な周波数の副搬送波変調も行うことができる。また、搬送周波数を分割するにはＧＨｚレベルのクロック速度を持つ回路が必要となり、それらの回路についてエネルギー損失が発生してしまうが、10^4～10^5Ｈｚの副搬送波信号の復調または変調は、簡単且つ損失の少ない薄膜トランジスタ（ＴＦＴ）やダイオード、コンデンサ、インダクタおよびレジスタなどから構成されるサブ回路を用いて行うことができる。

【０００５】

タグから読み取り器への通信は通常、インピーダンス変調によって行われる。ＨＦ帯やそれ以下の帯域の場合、タグの位置は普通読み取り器の近傍に設定され、誘導結合の範囲にあり、ＲＦ搬送波の自由空間波長よりもかなり短くなる。この場合、搬送周波数またはその近傍に調整されたインダクタ／コンデンサ（ＬＣ）共振ループを有するタグと読み取り器との間では、インダクタを用いた単純なＡＣ変圧器の１次コイルと２次コイル間と同様に、誘導結合が生じる。タグが有するＬＣループの共振特性を変調する場合、（トランジスタによって発生する）可変負荷抵抗が通常用いられる。このようにして共振特性を変調すると、読み取り器のフロントエンド回路で検出可能なインピーダンス変化が生じる。このような変調信号を用いることによって、タグ回路は逐次データを読み出す。

【０００６】

ＵＨＦの場合、読み取り器とタグ間の距離はＨＦ帯の場合より大きく、搬送波波長は短い。このため、読み取り器とタグ間の無線リンクは、レーダーやＡＭ／ＦＭラジオ、携帯電話の技術分野を同様に、電磁波伝播の範囲内となる。この場合、タグは反射された後方散乱信号によって読み取り器に接続される。タグ側のアンテナのインピーダンスを変えることによって、反射されて読み取り器に戻る信号の電力レベルや位相、周波数を変更することができ、この変調方式によって時変信号を符号化できる。このようなインピーダンスの変調は抵抗を用いて行うことが可能で、トランジスタ、あるいはタグのアンテナのインピーダンスの虚部を変調するバラクタを用いて行ってもよい。

【０００７】

一般的なＲＦＩＤタグの回路は基本的に、以下に挙げる機能の一部またはすべてを持つ。

１．読み取り器からＲＦエネルギーを回収

２．ＲＦ信号をチップに電力を供給する直流信号へ変換

３．読み取り器から送信されるＲＦ信号に含まれたクロック信号、タイミング信号および／またはコマンド信号を復調

４．入力される命令またはあらかじめ記憶された命令に基づいて動作する、ステートマシーン的な政策決定・制御論理

５．メモリアレイなどから（例：センサからの出力）受信するデジタルデータをカウンタまたはレジスタを用いて読出

６．読み出し器により読み出されるおよび／またはセキュリティを確保するため行われる認証で使用されるＩＤコードなどの情報を記憶する記憶素子（例：メモリ）

７．タグに対応した読み取り器への送信のため、タグのアンテナに戻される符号化データ、タイミング信号またはコマンドを変調

なお、本出願に対応する外国の特許出願においては下記の文献が発見または提出されている。

【特許文献１】米国特許出願公開第２００５／０２１４６８８号明細書
【特許文献２】米国特許出願公開第２００５／０２１０３０２号明細書
【特許文献３】米国特許出願公開第２００５／０１９４６４５号明細書
【特許文献４】米国特許出願公開第２００５／０１６８３３９号明細書
【特許文献５】米国特許出願公開第２００５／０１３４４３５号明細書
【特許文献６】米国特許出願公開第２００５／０１３４４６３号明細書
【特許文献７】米国特許出願公開第２００４／０１６４３０２号明細書
【特許文献８】米国特許第６，４１３，７９０号明細書
【特許文献９】米国特許第４，２３３，８３０号明細書
【特許文献１０】米国特許出願公開第２００５／０１８１５６６号明細書
【特許文献１１】米国特許出願公開第２００５／０１４８１２１号明細書
【特許文献１２】米国特許出願公開第２００５／０１３４４６３号明細書
【特許文献１３】米国特許出願公開第２００５／０１３３７９０号明細書
【特許文献１４】米国特許出願公開第２００２／０１６３４３４号明細書
【特許文献１５】米国特許出願公開第２００１／００４０５０７号明細書
【特許文献１６】米国特許第６，５０９，２１７号明細書
【特許文献１７】米国特許第６，３４８，２９５号明細書
【特許文献１８】米国特許第６，２９４，４０１号明細書
【特許文献１９】米国特許第５，９８９，９４４号明細書
【特許文献２０】米国特許出願公開第２００２／０１６３４３４号明細書
【特許文献２１】米国特許出願公開第２００１／００４０５０７号明細書
【特許文献２２】米国特許第６，４００，２７１号明細書
【特許文献２３】米国特許第６，０９１，６０７号明細書
【特許文献２４】米国特許第５，８４１，３５０号明細書
【特許文献２５】米国特許第５，５１０，７６９号明細書
【特許文献２６】米国特許第５，２１８，１８９号明細書
【特許文献２７】米国特許第４，６６６，７３５号明細書
【特許文献２８】米国特許第６，３５６，１９７号明細書
【特許文献２９】米国特許第５，６２５，３４１号明細書
【特許文献３０】米国特許第７，１５２，８０４号明細書
【非特許文献１】J. H. Lee et al.; The Improvement of Reliability in the Poly-Si TFTs Employing Laser Irradiation on Gate Oxide; AM-LCD '03 pp. 169 et seq.
【非特許文献２】Hongmei Wang et al.; High Frequency Performance of Large-Grain Polysilicon-on-Insulator MOSFETs; IEEE Transactions on Electron Devices, Vol. 48, No. 7, July 2001.

【発明の開示】
【発明が解決しようとする課題】
【０００８】
本発明の実施形態は、ＲＦＩＤ装置、ＲＦＩＤ装置製造方法およびＲＦＩＤ装置用集積回路の製造方法に関する。

【課題を解決するための手段】
【０００９】
本発明に係る方法は、（ａ）シランを含む第１インクを用いて、誘電体層の第１表面上に少なくとも１つの第１半導体層素子を形成し、前記誘電体層は電気的にアクティブな基板上に形成されており、前記第１半導体層素子はコンデンサプレート、トランジスタのチャネル領域および第１ダイオード層のうち少なくとも１つを備え、（ｂ）シランを含む第２インクを用いて、前記第１半導体層素子のうち少なくとも１つの上および前記誘電体層の前記第１表面に、前記第１半導体層素子とは異なる第２半導体層素子を少なくとも１つ形成し、前記第２半導体層素子は、第２ダイオード層、トランジスタのソース端末およびドレイン端末（前記第１インクによって前記トランジスタのチャネル領域を形成する場合）および前記トランジスタのチャネル領域（前記第１インクによって前記トランジスタのチャネル領域を形成しない場合）のうち少なくとも１つを備え、（ｃ）少なくとも１つの金属素子を、前記第１半導体層素子および前記第２半導体層素子のうち少なくとも１つの上に形成し、前記金属素子は金属コンタクト、ショットキダイオードコンタクト、第２コンデンサプレートおよび金属ゲート（前記第２インクによって前記トランジスタのソース端末およびドレイン端末を形成しない場合）のうち少なくとも１つを備える。
【００１０】
また、本発明に係る方法は、誘電体層および／またはアクティブ基板上に、ドープされたN^+型またはP^+型シラン含有インクを（例えば、印刷またはインクジェット印刷により）堆積すること、ドーピングされたシラン含有インクから成るドープされたシリコン膜を結晶化させること、ドーピングされたN^-型またはP^-型シラン含有インクを（１）トランジスタ形成用領域および（２）ドープされたN^+型またはP^+型シラン含有インク上の垂直ダイオード形成用領域に、（例えば、印刷またはインクジェット印刷により）堆積すること、ドープされたシラン含有インクから成る膜のうち１以上をパターニングして独立トランジスタ領域およびダイオード形成用メサ領域を形成すること（この工程の実施は任意）、コンデンサ誘電体（例えばドーピング濃度が高い領域上に）および／またはゲート誘電体（例えばドーピング濃度が低い領域および／またはトランジスタチャネル領域上に）として機能する酸化物膜を成長または堆積すること、ゲート伝導体を堆積および／またはパターニングすること、ソース領域およびドレイン領域に選択的にドーピングを行うこと、ソース領域およびドレイン領域を活性化すること、コンタクトホールが形成された誘電体膜をトランジスタ領域およびダイオード領域に堆積すること、コンタクトホールにコンタクト層を（例えばケイ素化合物で）形成すること（この工程の実施は任意）、および接続用配線を形成すべく、トランジスタ領域およびダイオード領域に直接または間接的に接した状態の伝導体を堆積およびパターニングすることを含むとしてもよい。上記の方法を採用すると、単一基板上にコンデンサ、ダイオードおよびトランジスタを配設する場合に、必ずしも単一のフォトリソグラフィー用マスクを用いる必要はない。
【００１１】
ＲＦＩＤ装置は、（１）金属アンテナおよび／またはインダクタ、（２）アンテナまたはインダクタに接続され、少なくとも一部が電気伝導性を有するインターポーザーストラップ（任意）、（３）集積回路を支持し、前記金属アンテナおよび／またはインダクタから前記集積回路を絶縁する、前記金属アンテナおよび／またはインダクタ上に形成された誘電体層、（４）前記誘電体層上に形成された、同じ層を少なくとも１つ有する複数のダイオードおよび複数のトランジスタ、（５）前記金属アンテナおよび／またはインダクタおよび前記複数のダイオードの少なくとも一部と電気的に接続されている複数のコンデンサであって、前記複数のダイオードと同じ層を少なくとも１つ有し、および／または、前記複数のダイオードおよび前記複数のトランジスタとのコンタクトと同じ金属層を少なくとも１つ有する複数のコンデンサを含む。
【発明の効果】
【００１２】
本発明によれば、費用対効果が高いＲＦＩＤ回路製造方法に、液状Ｓｉの堆積処理を組

み込むことができる。ダイオードやトランジスタといった、アクティブな半導体構成要素の多くは薄膜構造を持つ。Ｓｉ含有インクから成る半導体膜の性能を、移動度、ドーピング／キャリア濃度といったパラメータについて検証したところ、長波（ＬＦ）、短波（ＨＦ）、極超短波（ＵＨＦ）およびマイクロ波の周波数帯の搬送周波数において利用可能なＲＦＩＤタグを実現することができる。本発明に係る、Ｓｉ含有インクを用いた薄膜形成方法の優れた点は、単位領域当たりのコストが比較的低くてすむので、さらなるコスト削減を達成できるとともに、比較的大きなダイを得ることができる。このようなダイは、直接アンテナに組み込む工程が低コストですみ、導電接着剤や圧着接合などの処理を用いてアンテナに接着する工程も低コストかつ短時間で実施することができる。またさらに、本発明によれば、有機電子デバイスを含むタグに比べ性能が向上した（例えば、電気特性が高くなった）ＲＦＩＤタグを実現することができる。

【００１３】

以下に本明細書で開示される新規性概念を列挙するが、本発明は必ずしも以下のいずれかもしくは組み合わせに限定されるものではない。

・市販可能な質のＲＦＩＤタグ／装置に必要な構成要素のうち一部またはすべてを、シリコン（本発明では液体状）による被膜および／またはシリコンを選択的に堆積させることによって形成

・市販可能な質のＲＦＩＤタグ／装置に必要な構成要素すべてを、工程数が比較的少ない処理フローで形成

・トランジスタゲート酸化物およびコンデンサ誘電体をそれぞれ形成すべく、ドーピング濃度が低いトランジスタチャネル領域およびドーピング濃度が高いコンデンサプレート領域上で同時に酸化物膜を成長

・寄生容量を制限するべく、アクティブ回路素子の一部の下方にある基板を形成する金属を除去

・絶縁体（例えば、印刷または従来どおり堆積されたスピンオングラス（ＳＯＧ）または化学気相堆積（ＣＶＤ）法で形成された酸化物および／または窒化物）で封止および／または被膜されたステンレススチール基板を使用するので、移動性および／または導電性が高いシリコンおよびゲート酸化物の形成に、加熱炉によるＳｉの結晶化およびＳｉの熱酸化の利用が可能

・ダイオードの下側の電極へのコンタクトを（横方向）に伸長し、伸長されたアクティブ領域の比較的近くに位置させることにより、ダイオードに対する金属コンタクト間の直列抵抗を制限し、集積を単純化および低コスト化

・ドーピング濃度が高い、ダイオード用の底部コンタクト／接続層を形成して、金属接続層を設けずにすみ、コンデンサ誘電体
層を同時に成長させることができるように構成する（ダイオードは、Ｐ／金属接合のショットキダイオード、Ｎ／金属接合のショットキダイオードおよびＰＮダイオードのいずれかであってもよい）

・コンデンサの底部コンタクトを形成すべく、ステンレススチールまたは障壁金属上に、ドーピング濃度の高いシラン含有インクを直接印刷または堆積

・酸化処理中などに、金属基板（例えばステンレススチール）を、裏面も含め、スピンオンガラス（ＳＯＧ）などの絶縁層で封止および／または保護

・酸化処理中などに、シリコン領域および／またはパターニングしたＳＯＧ領域によって、金属基板を保護。保護される部分には、上面および裏面のアクティブ領域および非アクティブ領域が含まれる（Ｓｉ領域の場合は、ドーピングによりN^+型またはP^+型とすることによって、金属基板との電気的接続を実現）。

・後続の製造／処理工程（特にスパッタエッチング工程）において生じる、金属基板に起因する汚染を制限するべく、金属基板の上面を全面にわたって酸化物で被膜（ただし、Ｓｉで覆われている部分は除く）

・コンデンサまたはコンデンサ電極を、双極子（アンテナ）からは分離した状態で且つ寄生容量が比較的低くなるように、箔状基板（例えばステンレススチールまたはアルミ

ニウム）または箔状基板がない領域の上に設けられた酸化膜上に配設
・回路のさまざまな構成要素（金属基板と双極子のコンタクト、ゲート伝導体と接続層およびコンデンサとのコンタクト、Ｓｉとダイオードのコンタクト、トランジスタのソース端末およびドレイン端末とのコンタクト）に対して設けられる金属接続層を１つのみとすることで、金属層の総数を減らすことができる（従って処理コストも削減されるが、レイアウト、集積化／製造処理、ビア／中間誘電層（ＩＬＤ）／メタライゼーション処理を、適切な回路構成を実現でき且つ互いに両立可能となるように、慎重に検討する必要がある。ショットキ接合の構成を持つレイアウトを実現する場合を例に挙げると、一般的なメタライゼーション層（Ｔｉ／Ａｌ）は、ドーピングされていないまたはドーピング濃度の低い半導体層と接している箇所において、接続層およびショットキ層として機能する）
・シラン含有インクを用いて行われる自己整合ゲート方式の処理により、チャネル長が短く、容量が低く、サイズが小さく且つ高速の、論理演算・ＲＦ動作用デバイスを実現する。自己整合方式では、ソース領域およびドレイン領域のドーピング用に、注入、固体ソースのドーピング（例えばＳＯＧを利用）またはドーピングされたシランを使用するとしてもよく、ソース領域およびドレイン領域はゲート領域に対して自己整合されているとしてもよい。

【００１４】
本発明の効果は、上述したものも含め、以下に記す最良の実施形態の詳細な説明によって明らかにする。

【図面の簡単な説明】

【００１５】
【図１】図１は、本発明の一実施形態に係る製造方法によって製造された装置の構造の一例を示す断面図である。

【００１６】
【図２】図２は、本発明の別の実施形態に係る製造方法によって製造された装置の構造の一例を示す断面図である。

【００１７】
【図３】図３は、装置の断面図の一例および本発明に係る、ダイオードおよびコンデンサと接続されたトランジスタの製造処理フローを示す。

【００１８】
【図４】図４は、図３に一例として示す処理フローに従って製造された、ダイオードと接続されているトランジスタの一例の断面図を示す。

【００１９】
【図５】図５は、本発明の一実施形態に係る装置を示すレイアウト図である。

【００２０】
【図６Ａ】図６Ａは、本発明の実施形態に係る、短波（ＨＦ）用タグの機能を示すブロック図である。

【００２１】
【図６Ｂ】図６Ｂは、本発明の実施形態に係る、極超短波（ＵＨＦ）用タグの機能を示すブロック図である。

【００２２】
【図７】図７は、本発明に係る、市販可能な特性を持つ１９段のオシレータの一例を示す回路図である。

【００２３】
【図８】図８は、本発明に係る方法に従って製造されたショットキダイオードと市販のショットキダイオードの電力変換効率を比較したグラフである。

【００２４】
【図９】図９は、本発明に係る方法に従って製造されたシングルダイオードによる最高ＧＨｚレベルの整流動作を示すグラフである。

【００２５】

【図１０】図１０は、図７に示したオシレータを１０Ｖから２０Ｖの範囲で動作させた場合の結果を示す。
【００２６】
【図１１】図１１Ａおよび図１１Ｂは、図７に示したオシレータのシミュレーション結果を示し、図１１Ａではオンチップの場合の結果を示し、図１１Ｂではオシロスコープにバッファを載置した場合の結果を示す。
【００２７】
【図１２Ａ】図１２Ａは、図９に関連した装置にさらに水素化処理を施した場合について、市販可能なレベルのスイッチング速度、ステージ遅延およびＮＭＯＳトランジスタのしきい値電圧を示すグラフである。
【００２８】
【図１２Ｂ】図１２Ｂは、図９に関連した装置にさらに水素化処理を施した場合について、市販可能なレベルのスイッチング速度、ステージ遅延およびＮＭＯＳトランジスタのしきい値電圧を示すグラフである。
【発明を実施するための最良の形態】
【００２９】
本発明の最良の実施形態を以下で詳細に説明し、添付の図面にて実施形態の例を示す。最良の実施形態を用いて本発明を説明するが、本発明は例示する実施形態に限定されるものではなく、本発明の開示範囲を超えない限り、本発明には代替例、変形例および相当例も含むものとする。以下の説明では本発明への理解を深めるべく数多くの具体例を挙げているが、開示していない具体例に基づいて本発明を実施してもよいのは明らかである。また、公知の方法、処理手順、構成要素および回路については、本発明の実施形態に対する理解を不必要に妨げないよう詳細な記載を避けている。
【００３０】
例を参照しつつ、本発明のさまざまな実施形態を以下で詳細に説明する。
ＲＦＩＤタグ製造方法の一例
【００３１】
図１は、第１の例に係るＲＦＩＤタグ１０を示す。ＲＦＩＤタグ１０は、アンテナ２０、アンテナ２０に接続されたコンデンサ３０、ダイオード４０およびトランジスタ５０を含む。ＲＦＩＤタグ１０の製造方法の例を以下に示す。ＲＦＩＤタグ１０の断面図の例および具体的な処理フローは第３５頁にも示されている。ＰＮダイオード用に変形された処理フロー（およびその場合製造されるタグの断面図）は第３６頁に示す。
【００３２】
まず、スピンオンガラス（ＳＰＧ）層１２を従来から使用されている金属箔に堆積するとしてもよい（例えば、米国特許出願第１０／８８５，２８３号、出願日：２００４年７月６日、代理人整理番号：ＩＤＲ０１２１）、名称：「ＭＯＳ電子商品監視タグ／装置、ＲＦタグ／装置および／またはＲＦＩＤタグ／装置、およびその製造方法および使用方法」参照。なお、当該出願の関連箇所は参照により本願に組み込まれている。）ここで、電気的にアクティブな基板とは一般的に、所定の電気特性および／または電気的機能を有する基板を指す。そのような電気特性および／または電気的機能の例としては、信号送受信（特に、所定の周波数範囲において行われるものを指す）、電荷蓄積（例えば、コンデンサ電極として）、信号切り替え、整流および／またはフィルタリングなどが挙げられる。このような基板は、導電性および／または半導電性の特性を持っているのが望ましい。堆積は、従来用いられているスピン・コーティング、印刷（例えばインクジェット（ＩＪ）印刷）、ブレードコーティング、浸漬被覆、メニスカスコーティング、スロットコーティング、グラビア印刷、スプレーコーティングなどの方法を用いて、従来用いられているＳＯＧ構成成分、従来のＳＯＧ構成成分用の従来の溶媒、従来の界面活性剤、張力低下剤、結合剤および／または増粘剤などから成るＳＯＧインク用複合材料を塗布するとしてもよい。ＳＯＧ層１２の堆積工程の後には通常、従来の硬化工程および洗浄工程が行われる。
【００３３】

続いて、ドーピング濃度が高い半導体層３２を堆積する（例えば、Ｎ型にドーピングされたシランなどのシリコン含有インクを印刷またはインクジェット印刷する。米国特許出願第１０／９５０，３７３号（出願日：２００４年9月２４日、代理人整理番号：ＩＤＲ０３０１）、米国特許出願第１０／９４９，０１３号（出願日：２００４年9月２４日、代理人整理番号：ＩＤＲ０３０２）、米国特許出願第１０／９５６，７１４号（出願日：２００４年１０月１日、代理人整理番号：ＩＤＲ０３０３）、米国特許出願第１１／２４６，０１４号（出願日：２００５年１０月６日、代理人整理番号：ＩＤＲ０４２２）、米国特許出願第１１／２４９，１６７号（出願日：２００５年１０月１１日、代理人整理番号：ＩＤＲ０４２３）以上の出願を参照のこと。各出願の関連箇所は参照により本願に組み込まれている。）。半導体層３２は、ＳＯＧ層１２および箔の一部でコンデンサ３０およびダイオード４０に対応する部分に堆積される（また、後で形成されるアンテナ２０と少なくとも部分的に接する）。使用されるシリコン含有インクはさらに以下を含むとしてもよいし、以下に挙げる成分からだけ構成するとしてもよい。例えば、半導体化合物（例えば、従来の処理によって共有結合された基を除去することによりシリコン含有膜を形成するための直鎖型、分岐型、環式または多環式シリコン前駆体化合物）および／または半導体ナノ粒子（例えば、Ｓｉ、Ｇｅ、ＳｉＧｅなどの第ＩＶ族元素のナノ粒子）などである。また、このインクは半導体化合物（従来の処理によってリガンドおよび／または共有結合された基を除去することにより半導体膜［ＧａＡｓ、ＣｄＳｅ、ＣｄＴｅ、ＺｎＯ、ＺｎＳなど］を形成するための有機半導体化合物または半導体前駆体化合物）、および／または半導体ナノ粒子（例えば、ＧａＡｓなどの半導体材料、ＺｎＯ、ＺｎＳ、ＣｄＳｅ、ＣｄＴｅなどのカルコゲニド半導体）を含むとしてもよい。このインクは普通、上で挙げたナノ粒子および／または化合物が溶解可能またはけん濁可能な溶媒（例えば、ハロゲンで置換可能な分岐のあるアルカンまたは分岐のないアルカン［C_6～C_{20}］、分岐のあるアルケンおよび分岐のないアルケン［C_6～C_{20}］、ハロゲンで置換する分岐のあるアルケンおよび分岐のないアルケン［C_2～C_6］、シクロヘキサン、シクロオクタンまたはデカリンといったシクロアルカン［C_5～C_{20}］、トルエンやキシレン、テトラリン、少なくとも炭素原子を計４つ持つジアルキルエーテル［C_1～C_{10}］などの芳香族溶剤［C_6～C_{10}］および／またはテトラヒドロフランやジオキサンなどの環状アルキルエーテル［C_4～C_{10}］、米国特許出願第１０／６１６，１４７号、出願日：２００３年7月8日［代理人整理番号ＫＯＶ－００４］を参照のこと。当該出願の関連箇所は参照により本願に組み込まれる）を含む。このインクは、表面張力低下剤、界面活性剤、結合剤および／または増粘剤をさらに含むとしてもよいが、より良い効果を得るため含まないとしてもよい。

【００３４】

現在のショットキダイオード製造方法は、ショットキダイオードの機能層を形成する際にまずドーピング濃度が高い半導体層を形成または堆積する。ダイオード４０とコンデンサ３０は、例えば両者間にストラップが形成されるように層３２を形成、印刷またはパターニングすることによって、または金属製の接続部分を設けることによって接続されるとしてもよい。ドーピング濃度が高い半導体層３２に含まれるアモルファスＩＶＡ族元素含有材料（例えばＳｉおよび／またはＧｅ）に応じて、次の層を堆積する前に、この半導体層３２を結晶化するのが好ましい。その後、ドーピング濃度の低い半導体層４４／４６を、同様に基板上のダイオード４０およびトランジスタ５０に対応する領域に、堆積または印刷する。このドーピング濃度が低い（例えばN^-型とする）半導体（シリコン、シランまたはシクロシラン）含有インクの組成は、上で言及した米国特許出願第１０／９５０，３７３号、米国特許出願第１０／９４９，０１３号、米国特許出願第１０／９５６，７１４号、米国特許出願第１１／２４９，１６７号で開示されている。同様に印刷によって、N^+型領域またはN^-型領域を形成する直前または直後に、P^+型層およびP^-型層を形成するとしてもよい。これらの半導体領域はその後、加熱炉を用いたアニーリングまたはレーザ結晶化によって結晶化さる（この時、領域中のドーパントの一部もしくはほぼすべてを活性化するのが好ましい。）。続いて、活性化されたアイランドを形成するべくパタ

ーニングされる。その上に、薄膜酸化被覆層１４を（普通は、酸素などの酸化雰囲気中で加熱またはレーザ照射を行うことによって）成長させる。この酸化工程によって、ゲート誘電体およびコンデンサ誘電体が形成される。ゲート誘電体およびコンデンサ誘電体は、従来と同じく誘電体材料の堆積およびパターニングにより形成するとしてもよい。

【００３５】

次に、トランジスタ５０のゲート５２およびコンデンサ３０の上側プレート３４を形成すべく、トランジスタ領域５０のほぼ中央に、ドーピングされたまたはドーピングされていない液相シリコン含有（例えばシラン）複合材料を堆積する（例えば、米国特許出願第１０／６１６，１４７号、出願日：２００３年７月８日［代理人整理番号ＫＯＶ－００４］、米国特許出願第１０／７８９，３１７号、出願日：２００４年２月２７日［代理人整理番号ＩＤＲ－００２０］、米国特許出願第１０／９５０，３７３号、米国特許出願第１０／９４９，０１３号および／または米国特許出願第１０／９５６，７１４号を参照のこと）。このように、一実施形態によると、シリコン複合材料の堆積にはシラン含有インクの印刷（例えばインクジェット印刷）が含まれる。ドーピングされたシラン複合材料を使用する場合、層を複数形成するとしてもよい。ドーピングされていないシラン複合材料の場合は、形成する層は１つで、金属層（例えばコバルト［Ｃｏ］やニッケル［Ｎｉ］などの層）をめっきによって（または選択的に成長または堆積することによって）、（普通は誘電体層１６を、例えば高分解能パターニング、従来用いられているフォトリソグラフィーまたはレーザリソグラフィー／パターニングなどにより形成した後に［以下のパラグラフ「００３５」を参照のこと］）形成するとしてもよい。続いて（結晶化を行うためおよび／またはゲート材料からケイ素化合物を形成するために十分な温度で）熱処理が行われ、ゲート５２およびコンデンサプレート３４が形成される。ゲート５２およびコンデンサプレート３４はたいていの場合、これ以上の処理を行う必要はない。

【００３６】

しかし一実施形態によると、ゲート金属層はフォトリソグラフィーまたはレーザによってパターニングするとしてもよい（［ｉ］堆積した金属層を熱処理用レジストなどの従来用いられているＩＲ染料を含むレジストで被覆、［ｉｉ］当該レジストを選択的にレーザで照射することによって行うのが好ましい。例えば、米国特許出願第１１／０８４，４４８号［出願日：２００５年３月１８日、代理人整理番号：ＩＤＲ０２１１］および米国特許出願第１１／２０３，５６３号［出願日：２００５年８月１１日、代理人整理番号：ＩＤＲ０２１３］を参照のこと。当該出願の関連箇所は参照により本願に組み込まれる。）。この時、余分なゲート金属材料はエッチングにより除去する（ウェットエッチングが好ましい）。これ以外にも、エンボス加工、インプリントまたはその他の高分解能パターニング技術などほかのリソグラフィー方法によってゲート金属層を生成するとしてもよい。

【００３７】

従来どおり除去工程（例えば、フォトレジストの必要および／または所望の部分を除去する）および／または洗浄工程を行った後、別のＳＯＧ層１６を印刷または被覆によって形成するとしてもよい。印刷の場合、コンデンサ３０、ダイオード４０および／またはトランジスタ５０のうちいくつかが露出したままとなっていてもよい（少なくともトランジスタ５０は露出しているのが好ましい）。被覆の場合、ＳＯＧ層１６のうちコンデンサプレート３４、ダイオード層４６およびトランジスタ５０に当たる部分は、フォトリソグラフィー（従来どおりのＳＯＧ硬化工程に続いて、フォトレジストで被膜、マスクを介して当該フォトレジストを照射、エッチング［ウェットエッチングが好ましい］、フォトレジスト除去、表面の洗浄という一連の工程）またはレジストを用いたレーザ処理によって除去するとしてもよい。この除去工程については、米国特許出願第１１／２０３，５６３号（出願日：２００５年８月１１日、代理人整理番号ＩＤＲ０２１３、当該出願の関連箇所は参照により本願に組み込まれる）を参照されたい。このエッチング工程を、適切な条件下で公知のエッチング複合材料を使って行い、露出した酸化薄膜１４および任意で、低ドーピング濃度のポリシリコン層４４／４６のうち一部分（例えば最高約３０ｎｍ）を除去するとしてもよい。上述した照射工程およびエッチング工程により、ゲート層５２全体を

露出させ、ＳＯＧ層１６のうちゲート層５２の両側にあるドーピング濃度が低い半導体層４４／４６を被覆している部分を、ドーピング濃度が高いソース端末およびドレイン端末層および導電性コンタクトを形成するために十分な大きさだけ、除去するのが好ましい。酸化薄膜１４が一部でも露出されたまま残っていれば、その後の処理を行う前にエッチングして（洗浄を行い）、露出部分を除去する。

【００３８】

次に、高いドーピング濃度を持つ半導体層を、トランジスタ５０の露出表面（例えば、ドーピング濃度が低いポリシリコン層４４／４６およびゲート層５２）に印刷または堆積し、熱硬化、レーザ照射、非結晶化部分を選択的ウェットエッチングによる除去という一連の工程を行い、ソースコンタクト層およびドレインコンタクト層（５４ａ、５４ｂ）を形成する。ソースコンタクト層およびドレインコンタクト層（５４ａ、５４ｂ）はゲート層５２に対して自己整合がとれているとしてもよい（米国特許出願第１１／０８４，４４８号、出願日：２００５年3月１８日［代理人整理番号ＩＤＲ０２１１］および米国特許出願第１１／２０３，５６３号、出願日：２００５年8月１１日［代理人整理番号ＩＤＲ０２１３］を参照のこと。当該出願の関連箇所は参照により本願に組み込まれる。）。別の方法としては、ドーパント原子を、注入、プラズマ蒸着、レーザ分解、蒸着などの方法で、露出したＳｉ表面中または表面上に導入し、その後アニーリングを用いてドーピングされたシリコンをソースコンタクトおよびドレインコンタクトへと変化させる。上述したように、N^+型領域とP^+型領域の堆積は別々に行うとしてもよい（しかし、硬化、レーザ照射、ウェットエッチングという一連の工程では同時に処理される）。

【００３９】

コンタクト（および第１メタライゼーション層）は、集積回路／半導体製造分野で従来使用されてきたメタライゼーション処理によって形成するとしてもよい（例えば、比較的厚みの小さい、Ｔｉ、ＴｉＮまたはＴｉＮとＴｉの二重層などから成る障壁および／または接着層６２をスパッタリングで形成、次に比較的厚みの大きい、Ａｌまたは（Ｃｕを０．５～４重量パーセント含む）ＡｌＣｕ合金などから成る導電体層６４をスパッタリングで形成し、次に従来と同様にフォトリソグラフィーを用いてコンタクトや金属配線などの輪郭を決め、エッチングを行う［従来と同様に、ケイ化金属に対してＡｌ、ＴｉＮ、Ｔｉといった金属を選択的にエッチングする、NH_4OH／H_2O_2エッチング複合材料を用いたウェットエッチングが好ましい］。）。別の方法としては、ゲート層５２と同様に、コンデンサプレート３４、ダイオード層４６、トランジスタ５０の露出面に、シリコンまたは障壁金属の層６２を印刷、堆積または形成し、その上に導電金属６４を選択的にめっき、堆積または印刷する（層６２の構成成分が基本的にシリコンである場合、任意でケイ化金属を生成するため熱処理またはアニーリングをさらに行う）。コンデンサおよびダイオード用のコンタクトおよびメタライゼーション層の形成と同時に、ゲート層５２用のコンタクトおよび／またはメタライゼーション層を、ソース領域およびドレイン領域以外の部分に形成するとしてもよい。その後、従来と同様に、フォトレジストを除去、洗浄を行うとしてもよい。別の方法としては、コンタクトおよび／またはメタライゼーション層は、レジストを用いたレーザ処理を用いてパターニングするとしてもよいし（米国特許出願第１１／２０３，５６３号、出願日：２００５年8月１１日、代理人整理番号ＩＤＲ０２１３、当該出願の関連箇所は参照により本願に組み込まれる）、ほかのレーザ処理で実現してもよい（米国特許出願第１０／７２２，２５５号、出願日：２００３年１１月２４日、代理人整理番号ＫＯＶ－０１５、当該出願の関連箇所は参照により本願に組み込まれる）。

【００４０】

続いて、製造した装置（図１には不図示、図２に図示および以下で説明）に、ＳＯＧ層を印刷（例えば、インクジェット印刷）、または全面に堆積（例えば、従来用いられているスピンコーティング、ブレードコーティング、スクリーン印刷、浸漬被覆、メニスカスコーティング、スロットコーティング、グラビア印刷、スプレーコーティングなどの方法を用いる）して、仕上げる。メタライゼーション処理によってもう１つ層を設けたい場合

、メタライゼーション層６２／６４の所定の位置に対応してコンタクトホールを従来と同じくＳＯＧ層中に形成し（または、印刷工程後もコンタクトホールが残るようにする）、第２のメタライゼーション層はメタライゼーション層６２／６４と同様の方法で形成するとしてもよい。次に、最上層または保護層（例えばＳＯＧ層を含む）を、装置全体にわたって形成・硬化し、（任意で）さらに封止剤、支持剤または接着剤を積層するとしてもよい。

【００４１】

次に、装置の裏側（つまり、アンテナおよび／またはインダクタ２０が形成されている金属箔または金属シート）またはインターポーザーにマスクを施し（例えば、従来用いられているフォトレジスト、レーザでパターニングしたレジストまたは印刷されたレジスト／マスク材料［ＳＯＧなど］で被覆する）、エッチングを行い（例えば、従来どおり金属ウェットエッチングを用いる）、洗浄してアンテナ／インダクタ／インターポーザー２０を形成する。最後に、封止剤（例えば、従来と同じく、熱可塑性樹脂または熱硬化性樹脂を含む耐水性または撥水性封止剤、この封止剤は図１では不図示だが、図２に図示され以下で説明する）を、エッチングを行った装置の裏面に設け、ＲＦＩＤ装置１０を完成するとしてもよい。

【００４２】

図２は、別の実施形態に係る、ほぼ完成間近の装置１００を示す断面図である。装置１００は、図１に示す装置１０を変形したもので（例えば、誘電体が２つある実施形態）、いくつか相違点がある。装置１００は障壁誘電体１０２を備えているので、高いパッケージ密度を実現できる密閉されていないコンタクトを持ち、且つ寄生電力の低いコンデンサを実現できる。

【００４３】

図２に示すとおり、高誘電体誘電体材料（例えばHfO_X）からなる薄膜１０２を誘電体１１２上に印刷、堆積または形成するとしてもよい（例えば、ゾル・ゲル処理を用いる）。その上に、先述したポリシリコン層４４および４６の形成と同様の方法で、トランジスタ１５０ａおよび１５０ｂ用のチャネル層１４４および、後でドーピングを行うダイオード１４０ａおよび１４０ｂ用のベース層１４２を形成するために（ベース層１４２の形成は任意）、ドーピング濃度の低いポリシリコン層を（例えば、印刷またはインクジェット印刷で）形成または堆積するとしてもよい。別の方法としては、全面に堆積されたシリコン層または金属層（印刷されたシリコン層または金属層でもよい）をさらにレーザによりパターニングしてもよい（レジストを用いる場合はレーザ露光を行う）。別の方法としては、これらの層（例えば金属層および／またはシリコン層）を直接「レーザ書き込み」でパターニングしてもよい（例えば、米国特許出願第１１／２０３，５６３号［出願日：２００５年８月１１日、代理人整理番号：ＩＤＲ０２１３］を参照のこと。当該出願の関連箇所は参照により本願に組み込まれる。）。ここで挙げた処理方法は、図１に例示した方法や装置の対応する層に応用するとしてもよい。この後、図１に示す誘電体層１４およびゲート５２と同様の方法で、ゲート誘電体層（例えば１１４）を成長させ、その上にゲート材料を印刷または堆積し、ゲート１５２ａおよび１５２ｂを形成するとしてもよい。続いて酸化物の露出部分に対してエッチングを行うが、このエッチングによりトランジスタ１５０ａおよび１５０ｂのソース領域およびドレイン領域の酸化物を除去するとともに、ダイオード形成用ポリシリコン層１４２上に形成された酸化物も除去する。

【００４４】

次に、上述したソース端末およびドレイン端末５４またはポリシリコン層３２と同様の方法で、ドーピング濃度が高い下側ダイオード層１４６、およびトランジスタ１５０ａ・１５０ｂ用のソース端末およびドレイン端末１５４ａ・１５４ｂを形成する。つまり、下側ダイオード層１４６とソース端末およびドレイン端末１５４ａ・１５４ｂは、上述したように、イオン注入またはドーピング濃度が高いシラン含有インクを印刷することによって形成するとしてもよい。一実施形態に係る下側ダイオード層１４６は、N^+型にドーピングされたシリコン層を含む。（本明細書に限らず他の文献でも説明されているように）

結晶化およびドーパントの活性化を行った後、第２のＳＯＧ層を印刷またはほかの方法で形成、その後従来どおり開口部を設けて、層間絶縁膜（ＩＬＤ）１１６ａ～１１６ｇ・１１８を形成するとしてもよい。この上に、上述したポリシリコン層３２に類似した、比較的厚みが大きくドーピング濃度の低いポリシリコン層を（特にダイオード領域１４０ａ～１４０ｂ内のコンタクト用開口部に）印刷または堆積させ、上側ダイオード層１４８を形成する。下側ダイオード層１４６がドーピング濃度の高い層を含む場合、ポリシリコン層１４８はドーピング濃度が低い層としてもよい。本実施形態においては、下側ダイオード層１４６と上側ダイオード層１４８のドーパント濃度が異なる構成としている（例えば、下側ダイオード層１４６がN^+型にドープされ、上側ダイオード層１４８がN^-型にドープされるとしてもよい）。別の実施形態においては、下側ダイオード層１４６と上側ダイオード層１４８のドーパントの種類が異なる（または相互補完的な）構成としている（例えば、下側ダイオード層１４６がN^+型にドープされ、上側ダイオード層１４８がP^-型にドープされ、さらに表面にP^+型にドーピングされた層を任意で設けるとしてもよい）。この後、上述したメタライゼーション層６２／６４と略同じ方法で、コンデンサ１２０ａ・１２０ｂの上方プレート、トランジスタ１５０ａ・１５０ｂおよびダイオード１４０ａ・１４０ｂのソース・ドレイン・ゲート端末とのコンタクトを形成すべく、メタライゼーション層１６４を形成するとしてもよい。

【００４５】

続いて、従来の堆積方法（例えば、スピンコーティング、スプレーコーティング、インクジェット印刷など）によって装置全体に、最上膜または保護層１７０（例えばＳＯＧ層を含む）を形成し、硬化するとしてもよい。アンテナ、インダクタまたは共振器（電気的に接続されたインダクタおよびコンデンサ）２０を形成した後、封止剤、支持剤または接着剤１８０をその上に積層するとしてもよい。任意で、略同一のインダクタ２０ａ・２０ｂを形成してもよい。この工程を除いては、図１に例示する装置１０の製造方法で装置１００を製造する。本製造方法の変形例は、上述した工程に従って処理を行うが、垂直ダイオード部分は形成しない。この変形例に従って形成されるＲＦＩＤ回路は、直流電力生成および信号復調用のダイオードとしてダイオードを接続したトランジスタ（例えばソースとゲート間を短絡させることによって実現される）を用いる。

【００４６】

図３は、アンテナ／インダクタ１８６に接続された装置１８４の断面図１８２を示すと共に、ダイオードおよびコンデンサが接続されたトランジスタを製造する方法の処理フローを示す。図４はダイオードが接続された装置１８８を例示する。装置１８８では、ゲート１９０とソース端末またはドレイン端末１９２間は短絡させられており、端末１９２は隣接する装置１９６のソース端末またはドレイン端末（または下側ダイオード層／端末）１９４に接続されている。ソース端末とドレイン端末が互いに接続されている、コンデンサが接続されたトランジスタも同様の方法で形成することができる。図３に示すフローによると、トランジスタは従来と同様の配線を持ち、コンデンサは、ソースとドレインを短絡させ一方の端末として用いて、ゲートを他方の端末とするよう構成されている。図３の処理フローは、図１および図２に示す装置を製造する処理フローに比べると、非常に短くなっており、工程の数も少ない。具体的には、図３の処理フローではシラン含有インクの印刷を行う工程は１つしかないとしてもよい（相補型ＭＯＳトランジスタの場合は、Ｎチャネル型装置用とＰチャネル型装置用とシラン含有インク印刷工程が２つあるフローを利用してもよい）。このような装置（ダイオードおよびコンデンサに接続されたトランジスタなど）の性能特性は、１３．５６ＭＨｚのＲＦＩＤタグでの使用にふさわしいものとなっている。図３に示す断面図は（ｉ）ゲートと（ｉｉ）ソースコンタクトまたはドレインコンタクトの間を短絡させるための配線（およびソースコンタクトおよびドレインコンタクト間を短絡させるための配線）は当然ながら図示していない。そのような配線はトランジスタのレイアウト上、紙面を含む平面の手前または奥に設けられている。図３に示すフローによると、インクジェット方式によりシラン含有層が１層形成される（工程４）。このシラン含有層の結晶化工程および酸化工程は加熱炉を用いる処理工程を一度行うのみで

実施することができる（工程５）。イオン注入工程が別々に設けられているが（工程１０および工程１３）、それぞれＮＭＯＳトランジスタ／装置およびＰＭＯＳトランジスタ／装置の形成が行われる。

ＲＦＩＤ装置の例

【００４７】

本発明の別の実施形態は、図１から図４に例示する装置のように、さまざまな構成領域を有するレイアウトに関する。図５に装置２００のレイアウトの一例を示す。当該レイアウトは論理領域２１０、アンテナ領域２２０と２２５および電荷ポンプ領域２３０を備える。装置２００の寸法は、長さ１ｍｍ～２５ｍｍ（５ｍｍ～２０ｍｍが好ましい）、幅１ｍｍ～５ｍｍ（１ｍｍ～３ｍｍが好ましい）および総面積１ｍｍ^2～１００ｍｍ^2（１０ｍｍ^2～５０ｍｍ^{2}が好ましい）としてもよい。装置寸法の一例を挙げると、２ｍｍ×１２．５ｍｍである。論理領域２１０は入出力制御部分、メモリまたは情報記憶部分、クロック回復部分および／または情報／信号変調部分を含むとしてもよいが、詳細については図４Ａおよび図４Ｂを参照して後述する。

【００４８】

アンテナ領域２２０は、Ｌ字型バス２２２によって電荷ポンプ領域２３０と接続されている。電荷ポンプ領域２３０は、一部がアンテナ領域２２５とも重複している。従来技術によると、電荷ポンプ領域２３０はコンデンサ、ダイオードおよび／またはインターコネクトによりアンテナ領域２２０および２２５と接続される。例えば、電荷ポンプ領域２３０は複数の段を有し（一例を挙げると８段）、電荷ポンプ領域２３０に含まれるコンデンサは各アンテナについて１００平方ミクロン～４００平方ミクロンの重複部分（電荷ポンプ領域２３０のうちバス２２２もしくはアンテナ領域２２５と重複している部分を指す）を持つとしてもよい。

【００４９】

図６ＡはＨＦタグの構成を示すブロック図で、図６ＢはＵＨＦタグの構成を示すブロック図である。ＨＦタグはアンテナ３０５、クロック回復ブロック３１０、復調器ブロック３２０、ＲＦ－ＤＣ変換器ブロック３３０、変調器ブロック３４０、論理・入出力制御ブロック３５０およびメモリ３６０を備える。一方、ＵＨＦタグはダイポールアンテナ３５５、復調器／クロック回復ブロック３７０、ＵＨＦ－ＤＣ変換器ブロック３８０、変調器ブロック３４０’、論理・入出力制御ブロック３５０およびメモリ３６０を備える。クロック回復ブロック３１０、アンテナ３０５・３５５、アンテナと復調器ブロック３２０・３７０間を接続するバス、アンテナと電力変換器ブロック３３０・３８０間を接続するバスは搬送周波数またはその近傍の周波数で動作するので、高速デバイスでなければならない。

【００５０】

上述の回路ブロックは、以下に挙げる薄膜構造を持つデバイスで構成してもよい：

１．アンテナ：ＨＦの場合、製造コストが最も低くなるのは、平面らせん構造を持つインダクタコイルとそれに接続された共振タンクコンデンサを有するアンテナ（例えば、図５に示す電荷ポンプ領域２３０に配設される）である。高品質（高圧／高電力取り出し効率）のＬＣコイルを実現するためには、抵抗を低くしなければならないので、金属箔または印刷厚膜を使用する必要がある。ＵＨＦの場合、通常使用されるアンテナは、コイルのように大きい直流伝導や長い伝導距離を用いずとも交流波送信（受信も）を可能とする、全波または半波ダイポールまたはダイポールに似た構成を持つ。また、アンテナでの励起の深さはＵＨＦの場合のほうが浅い。このため、ＵＨＦタグのアンテナは、薄い金属箔やＡｇペーストなどの材料から形成される導電印刷膜であってもよい。実施形態によって、ＨＦアンテナまたはＵＨＦアンテナは、集積回路の基礎となる金属基板中に直接形成してもよいし、基板に中程度の寸法（例えば、アンテナ全体の大きさと半導体デバイスを備える集積回路部分の大きさで定義される範囲に収まる寸法）を持つインターポーザーまたはストラップ（例えば、後で形成されるシリコン装置で使用される基板となる薄いプラスチックシートまたはガラスシート）を形成し、形成したインターポーザーまたはストラッ

プを外部のアンテナに接続するとしてもよい。

２．ＲＦ－ＤＣ変換：この機能は、利用可能な周波数の整流器（通常は倍電圧整流器）またはシラン含有インクを用いて形成する、ＵＨＦまたはＨＦ周波数の薄膜ダイオード構造によって実現するとしてもよい。ＨＦタグの場合、ダイオードに接続された薄膜トランジスタ（ＴＦＴ：つまりトランジスタのゲートが同じトランジスタのソースまたはドレインに接続されているもの）を使用することもできる。上述した薄膜ダイオードおよびダイオードに接続されたＴＦＴは、ＤＣ変換用および／またはＤＣ電圧出力用の電圧固定および／または電圧固定回路に用いることもできる。シラン含有インクによって形成される層を含む薄膜デバイスであって、ダイオードの輸送方向に１０ｃｍ^{2}／ｖｓより大きい移動度を持ち、１０^{17}～１０^{20}ｃｍ$^{-3}$の範囲内でドーピングが行われ、コンタクト抵抗が約１０$^{-5}$オームｃｍ^{2}であるものは、ＧＨｚシステムで整流を行うことができ、ＲＦＩＤ回路に電力を供給するために必要な効率を達成することができる。本明細書で開示する方法で形成された、シラン含有インクによって構成される垂直薄膜ダイオード構造および自己整合ＴＦＴ構造については、ＧＨｚレベルでの直流への整流と２ナノ秒未満のゲート遅延を達成できることが実験で証明されている。

３．復調器：ＲＦ搬送波信号上の副搬送波として符号化された、もしくは副搬送波変調を行って得られたクロック信号およびデータ信号の復調は、本明細書で開示する薄膜ダイオードもしくはダイオードに接続されたＴＦＴを含む単純な構成の電圧検知器を用いて行うことができる。信号抽出を最適に行うためには、フィルタリングおよび周波数の合ったコンデンサを使用することが必要であるとしてもよい。

４．制御機能および読み出し（Ｉ／Ｏ）機能を実現する論理回路は、本明細書で開示する材料に基づき、ＣＭＯＳ型・ＮＭＯＳ型ＴＦＴを用いて実現するとしてもよい。ＣＭＯＳは電力効率の点で大きな利点を持つが、ＮＭＯＳと比べると処理ステップが多くなってしまう。

５．メモリ：製造過程に形成されるデジタル抵抗回路網によって、単純な読み出し専門メモリ（ＲＯＭ）が得られる。プログラムの書き込みが一度しかできない（ＯＴＰ）ＲＯＭは従来と同じようにヒューズまたはアンチヒューズ構造を有するとしてもよい。また薄膜構成を持つ不揮発性ＥＥＰＲＯＭは、フローティングゲートを備えるＴＦＴから成るとしてもよい。プログラミングおよび消去回路（およびプログラミング電圧および消去電圧に耐えるよう設計されたデバイス）は従来と同じ構成を有し、本明細書で開示する方法に従って製造するとしてもよい。

６．変調器：ＨＦの場合、変調には通常、共振コンデンサと並行して分路トランジスタを用いる負荷変調を利用する（分路トランジスタと共振コンデンサは、例えば変調器ブロック内、またはアンテナと同じ層に形成されている。例えば、米国特許出願第１０／８８５，２８３、出願日：２００４年７月６日、代理人整理番号：ＩＤＲ０１２１、米国特許出願第１１／２４３，４６０、出願日：２００５年１０月３日、代理人整理番号：ＩＤＲ０２７２を参照のこと）。シラン含有インクを用いて製造するＴＦＴで構成する変調器がエンハンスメントモードにある場合、トランジスタをオンにすると、タグのアンテナを構成しているＬＣコイルは短絡する可能性があり、この結果回路のＱ値や読み取り器のコイルへの接続が大幅に減少してしまう。ＴＦＴを「オフ」とすると、ＬＣコイルのＱ値が回復する。このようにして、変調信号をタグから読み取り器へと渡すことができる。一方ＵＨＦの場合は、同様にアンテナの散乱断面積に変化を生じさせ、読み取り器への後方散乱信号を変調する。この処理は、アンテナのインピーダンスを変化させてその結果後方散乱信号を変える、負荷変調を行うＴＦＴを用いて達成できる。上述の技術を用いた場合電力損失が生じ得るので、バラクタによる変調を利用するとしてもよい。このバラクタによる変調では、本明細書で開示された、論理回路を構成するＴＦＴ、整流器および／または復調器となるダイオード用の、ＴＦＴ・ダイオード形成方法によって形成するＭＯＳコンデンサデバイスまたはバラクタダイオードを用いて、ＵＨＦタグのアンテナのインピーダンスの虚部をシフトする。

【００５１】

本発明において、論理回路およびメモリ用に構成されたＴＦＴのレイアウトは、８μｍおよび２μｍのデザインルールに従って設計されている。８μｍのデザインルール（レジストレーション／アライメント変更のため±２μｍのマージンをとってある）によると、トランジスタの平均面積は９，７７６μｍ^{2}なので、１ｍｍ^{2}当たり約１００個のトランジスタを配設することができる。２μｍのデザインルールの場合は、トランジスタの平均面積は３，２６４μｍ^{2}なので、１ｍｍ^{2}当たり約３００個のトランジスタを配設することができる。

【００５２】

ＲＦＩＤタグは通常、ＲＦフィールド（および電力）が起動に必要なレベルに達しなければ作動しない。タグが起動し必要な電圧を維持できるようになれば、タグと読み取り器間で通信を行えるようになる。

実施例および性能

【００５３】

本明細書に開示したダイオード製造方法を用いて、１ＧＨｚを超える周波数で整流を行うことができる、ケイ化チタンコンタクト層を持つショットキダイオードを製造した。ＲＦフロントエンド回路の見本を複数製作し、９００ＭＨｚでどのように動作するか確認した。移動度が５０ｃｍ^2／ｖｓを超え最高１００ｃｍ^2／ｖｓであるＮＭＯＳトランジスタおよび移動度が４０ｃｍ^2／ｖｓを超えるＰＭＯＳトランジスタを上述の製造方法に従って製造した。また、上述した方法で製造したトランジスタを相互に接続し、ＣＭＯＳインバータおよびオシレータを形成した。このオシレータは１０ＭＨｚ～２５ＭＨｚでの動作が可能であった。直列に接続されたインバータ間（例えば、リングオシレータのステージ間）のステージ遅延は１０ナノ秒～１．１ナノ秒であった。このことから、この製造方法で得られる論理回路の最大スイッチング速度が９５０ＭＨｚを超えることが分かる。上述のデータやほかの情報（例えば、回路の各ブロックに関するデータおよび／またはシミュレーションデータ）を見れば、本発明により、ＲＦＩＤ技術のＵＨＦ・ＨＦでの利用が可能になることが分かる。

【００５４】

ショットキダイオードの性能（９００ＭＨｚの場合）　本発明に従って（例えばシリコン含有インクを用いて）、ケイ化チタンコンタクト層を持つショットキダイオード（「コビオ社のＳｉダイオード」）を製造したが、９００ＭＨｚの場合の電力変換効率は５％を超えた。図７に示すライン４１０（本発明）とライン４２０（ＨＳＭＳ－８２５０ショットキダイオード、アジレント・テクノロジー社）を比較されたい。製造工程を最適化、例えば漏れやショートを減少させることで、このダイオードの性能をさらに向上させることが可能であると考えられる。

【００５５】

ＲＦフロントエンド　図８のライン５１０で示されるように、本発明に従って製造されたダイオード（「コビオ社のＳｉダイオード」）について、９００ＭＨｚの場合、ＧＨｚレベルの整流動作を行うとシングルダイオードの電力交換効率が１０％～２０％となることが確認された。このように、本発明に従って製造されたダイオードは、９００ＭＨｚで動作して直流電力を生成できる、自由空間デバイスを備えている。製造工程における集積化と回路デザインをさらに最適化すれば、周波数応答および整流効率がさらに向上すると考えられる。

【００５６】

ＵＨＦ／ＤＣ整流器ブロック（例えば、図６Ｂのブロック３８０を参照のこと）に上述した２種類のダイオードを用いた場合、１００ミリワットの読み取り器に電気接続されたＬＥＤを点灯させるための半波ダイポールアンテナを備えるＲＦＩＤタグに備えられた（このＬＥＤと読み取り器が図６Ｂに示すＲＦＩＤタグに備えられた論理・入出力制御ブロック３５０に当たる）、９００ＭＨｚの搬送周波数信号を供給するＵＨＦソースに基づいて十分な電力が生成された。

【００５７】

本発明に従って製造されたショットキダイオードを備えるＲＦＩＤタグのフロントエンド機能ブロックの試作品（例えば、ブロック３１０～３３０およびブロック３７０～３８０を参照のこと）は、下記の表１に示す特性を持つことが分かった。

【００５８】

【表１】

処理	Ｓｉ含有インク＋ＣｏＳｉショットキ	Ｓｉ含有インク＋ＴｉＳｉショットキ
理想係数	１．７５	１．５
I_0［ｎＡ］	５００	１３００
R_S［Ω］	１０１	１９
R_{leak}［ｋΩ］	６０	５

【表１】ＲＦＩＤフロントエンドの試作品の特性

【００５９】

表１に示したとおり、「Ｓｉ含有インク＋ＴｉＳｉショットキ」処理を用いて製造したデバイスの特性は４つともすべて、品物ごとに利用可能な、ＵＨＦ帯のＩＤタグとして市販可能なレベルに達している。

【００６０】

論理回路について　本明細書で開示したようにシリコン含有インクを用いて製造した（ただし、シリコン含有インクを使用して製造したのはＮＭＯＳＴＦＴとＰＭＯＳＴＦＴのみ）、図４Ａと図４Ｂに示した論理・入出力制御ブロック３５０用のデバイス（例えばＭＯＳトランジスタ）および回路の試作品については、１ＭＨｚをはるかに上回る性能を持つことが分かった。このような周波数で動作できれば、市販可能なＵＨＦ帯またはＨＦ帯でのＲＦＩＤタグとしては十分である。このようなシリコン含有インクを利用して製造したＣＭＯＳＩＣデバイスは、シリコン含有インクを用いる自己整合方式のＴＦＴ処理フローに従って製造された場合（例えば、米国特許出願第１１／０８４，４４８号、出願日：２００５年３月１８日［代理人整理番号ＩＤＲ０２１１］を参照のこと。当該出願の関連箇所は参照により本願に組み込まれる。）、移動度が１００ｃｍ^2／Ｖｓと高い。このことから、本明細書で開示している製造方法により、ＲＦＩＤタグの商業生産が低コストで行えることが分かる。このような処理フローを用いて製造されるＣＭＯＳインバータの発振速度は、ＭＨｚレベルとなる（つまり、１マイクロ秒未満でのスイッチングが可能である）。さらに、このような処理フローを用いて製造されるＮＭＯＳデバイスのしきい電圧は、市販可能なＵＨＦ帯およびＨＦ帯のＲＦＩＤタグに適切なレベルである。

【００６１】

シリコン含有インクを用いて形成したＣＭＯＳオシレータについて　図７に示す構成を持つ１９段のリングオシレータ６００は、実効長６μｍのトランジスタを持つＣＭＯＳＴＦＴバッファステージ６１０ａ～６１０ｔを用いて製造された。１０Ｖで動作させた場合のステージ遅延は０．１ミリ秒未満であった。図１０は、このオシレータを１０Ｖから２０Ｖの範囲で動作させたときの結果を示す（一番下の曲線７１０は１０Ｖで動作させた場合を示し、真ん中の曲線７２０は１５Ｖの場合、一番上の曲線７３０は２０Ｖの場合を示す）。プローブ負荷の影響も示す。このため、本願で開示する、シリコン含有インクを用いて製造されたＣＭＯＳトランジスタは、ＵＨＦ帯用のＲＦＩＤ論理回路（１ＭＨｚ～５ＭＨｚ）およびＨＦ帯用のＲＦＩＤ論理回路（１３．５６ＭＨｚ）に利用可能である。非常に高速の短チャネルデバイスを実現することができる（最高２μｍのトランジスタを１０Ｖで動作させる場合、１ステージ当たり１０ナノ秒未満となる。）。

【００６２】

図１１Ａおよび図１１Ｂでは、１９段のオシレータを１０Ｖで動作させた場合のシミュレーション結果を示す。図１１Ａではオンチップ型、図１１Ｂではオシロスコープにバッファが載置されている場合を示す。シミュレーションでは、図８を参照して説明したデバイスから抽出したモデルデータを用いた。図１１Ａおよび図１１Ｂでは、データ抽出・デ

ータ測定の性能および証明した結果が正しいものであることを示すために、上述した論理（ＣＭＯＳ）デバイスについて測定したデータとシミュレーションで得たデータを比較している。このオシレータのシミュレーションは、実効長が６μｍ（L_{eff}＝６μｍ）であるトランジスタを有する、ＣＭＯＳ型ＴＦＴから構成されたバッファ段を用いて行われた。振動数は３５０ｋＨｚで、ステージ遅延は７０ナノ秒であった。図１１Ｂを見れば分かるように、曲線８６０は図８に示す曲線と形状が非常によく似ている。図１２Ａと図１２Ｂおよび下記の表２に示す結果によれば、図８が示すデバイスがさらに水素化処理を受けた場合、スイッチング速度（f_{switch}＞１０ＭＨｚ）、ステージ遅延（t_d＜０．１マイクロ秒）、ＮＭＯＳトランジスタのしきい電圧（V_t＜０．５Ｖ）など市販可能な特性を持つことが分かる。図１２Ａおよび図１２Ｂに示す２つの曲線は、ＣＭＯＳＴＦＴオシレータで、各々チャネル長が最高６μｍまたは２μｍのものに対応している。

【００６３】

【表２】

グラフ	５Ａ	５Ｂ
L_{eff}	６μｍ	２μｍ
F_{osc}	３．３ＭＨｚ	２５ＭＨｚ
t_d	８ナノ秒	１．１ナノ秒
$F_{max\,switch}$	１３０ＭＨｚ	９５０ＭＨｚ

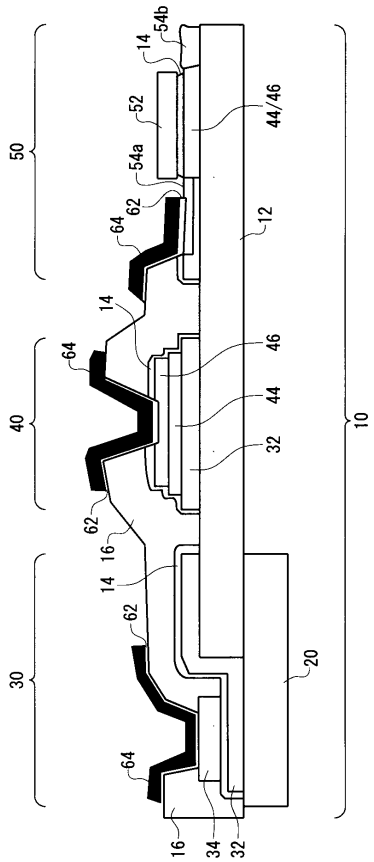
【表２】図１２Ａおよび図１２Ｂに示すオシレータの特性

結論／要約

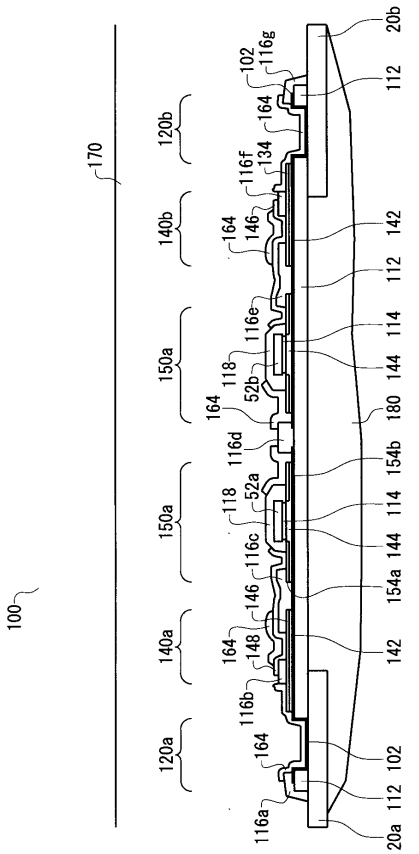
【００６４】

本発明の具体的な実施形態について上記で説明したが、これらはすべて説明を目的とするものであり、すべての実施形態を網羅したものではなくまた本発明を開示した具体例に限定するものでもない。上述の教示を基に、さまざまな変形例の実施が可能である。上記の実施形態は本発明の内容および実践方法を最も良く説明するものとして選ばれたにすぎない。このため、当業者であれば本発明を利用して、ある目的を達成すべくさまざまな変形例を含む別の実施形態を実施することができる。本発明の開示範囲は、本明細書に添付された請求の範囲およびそれに類するものによって定義されるものとする。

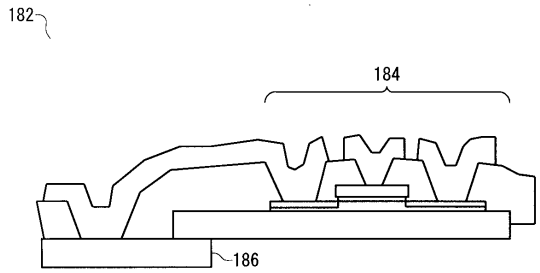
【図１】



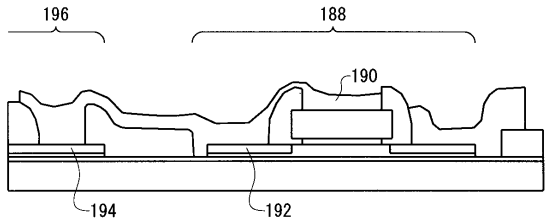
【図２】



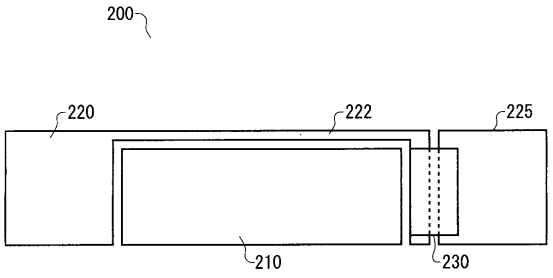
【図３】



【図４】

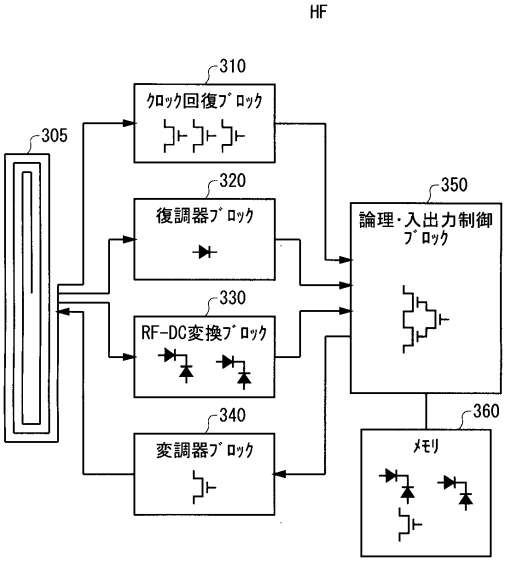


【図５】

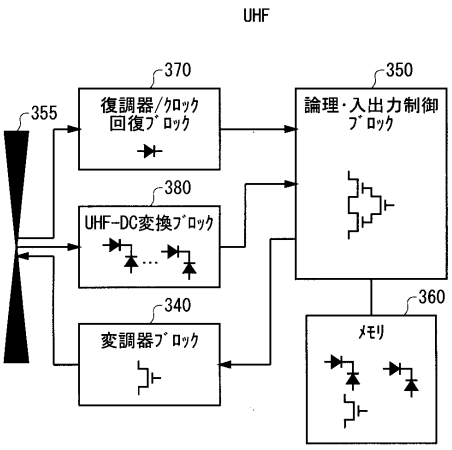


1. SOGをインクジェット印刷
2. 硬化
3. 洗浄
4. N−型をインクジェット印刷
5. 加熱炉で結晶化および酸化
6. アルミニウムを用いてスパッタリング
7. ゲートマスク
8. ゲートエッチング
9. フォトマスク
10. N+型作成のため注入
11. 洗浄
12. フォトマスク
13. P+型作成のため注入
14. 洗浄
15. レーザ活性化
16. SOGをインクジェット印刷
17. フォトマスク
18. SOGをウェットエッチング
19. 洗浄
20. アルミニウムを用いてスパッタリング
21. フォトマスク
22. アルミニウムをウェットエッチング
23. 洗浄
24. 保護膜形成

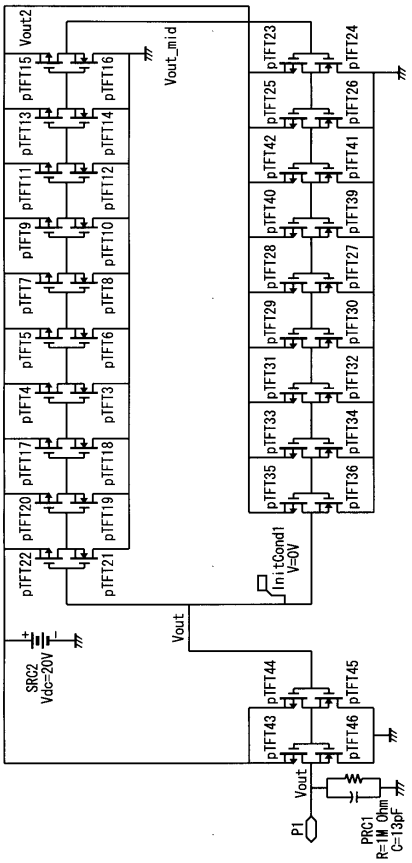
【図６Ａ】


HF
305
310
ｸﾛｯｸ回復ﾌﾞﾛｯｸ
320
復調器ﾌﾞﾛｯｸ
330
RF-DC変換ﾌﾞﾛｯｸ
340
変調器ﾌﾞﾛｯｸ
350
論理・入出力制御ﾌﾞﾛｯｸ
360
ﾒﾓﾘ

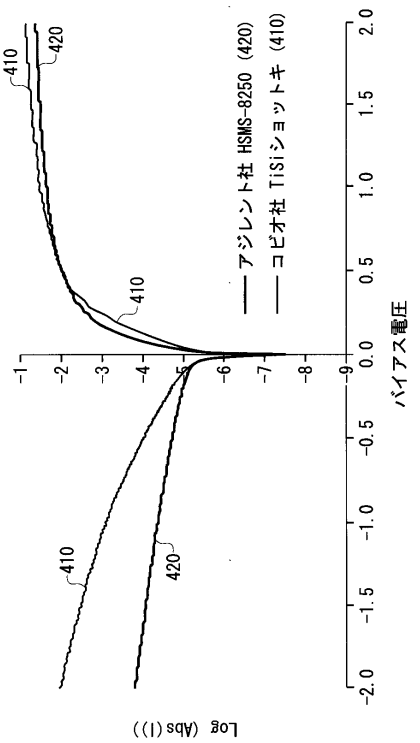
【図６Ｂ】


UHF
355
370
復調器/ｸﾛｯｸ回復ﾌﾞﾛｯｸ
380
UHF-DC変換ﾌﾞﾛｯｸ
340
変調器ﾌﾞﾛｯｸ
350
論理・入出力制御ﾌﾞﾛｯｸ
360
ﾒﾓﾘ

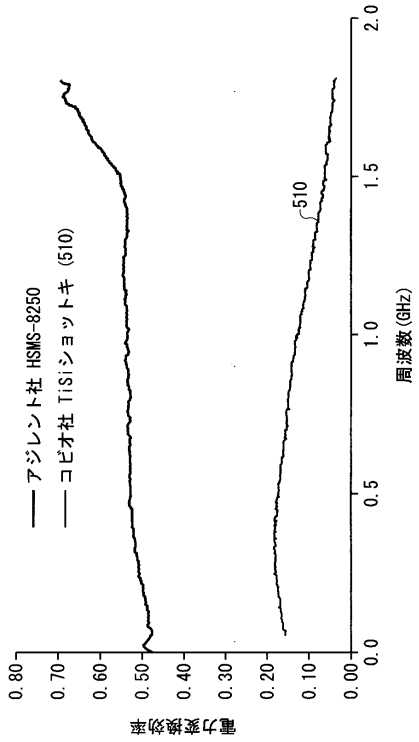
【図７】


Vout2
pTFT15
pTFT16
pTFT13
pTFT14
pTFT11
pTFT12
pTFT9
pTFT10
pTFT7
pTFT8
pTFT5
pTFT6
pTFT4
pTFT3
pTFT17
pTFT18
pTFT20
pTFT19
pTFT22
pTFT21
Vout_mid
pTFT23
pTFT24
pTFT25
pTFT26
pTFT42
pTFT41
pTFT40
pTFT39
pTFT28
pTFT27
pTFT29
pTFT30
pTFT31
pTFT32
pTFT33
pTFT34
pTFT35
pTFT36
InitCond1
V=0V
Vout
SRC2
Vdc=20V
pTFT44
pTFT45
pTFT43
pTFT46
Vout
P1
PRC1
R=1M Ohm
C=13pF

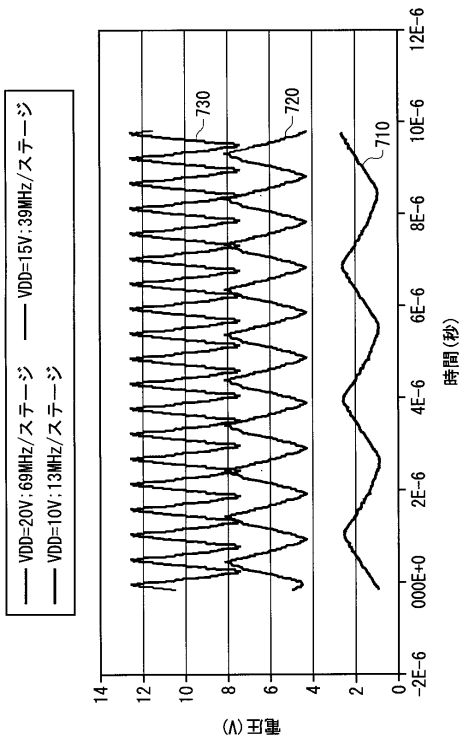
【図８】


410
420
410
420
410
420
アジレント社 HSMS-8250 (420)
コビオ社 TiSiショットキ (410)
バイアス電圧
Log (Abs(I))
2.0
1.5
1.0
0.5
0.0
-0.5
-1.0
-1.5
-2.0
-1
-2
-3
-4
-5
-6
-7
-8
-9

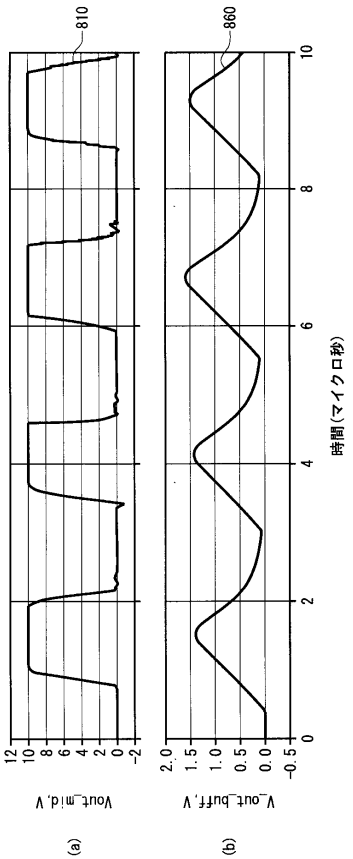
【図９】



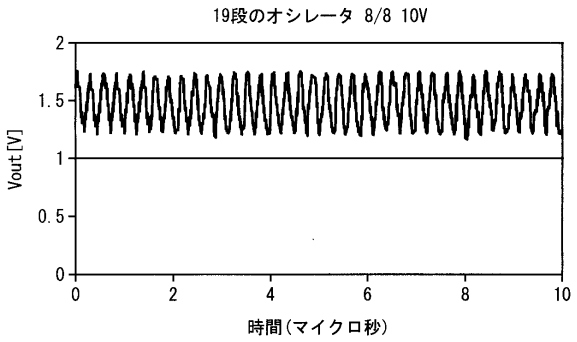
【図１０】



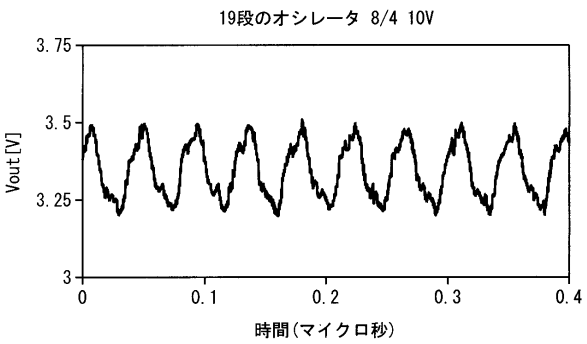
【図１１】



【図１２Ａ】



【図１２Ｂ】



フロントページの続き

(51)Int.Cl. F I

H01L 21/822	***(2006.01)***	H01L	27/04	L
H01L 27/04	***(2006.01)***	H01L	27/04	C
H01L 21/8234	***(2006.01)***	H01L	27/06	102A
H01L 27/06	***(2006.01)***	H01L	27/08	331E
H01L 27/08	***(2006.01)***			

(72)発明者 アルバンド カマス
アメリカ合衆国、９４０４３ カリフォルニア州、マウンテン ビユー、タイレラ コート ３２

審査官 鈴木 聡一郎

(56)参考文献 特開２００５－１８３７４１（ＪＰ，Ａ）
特開２００４－２２１５７０（ＪＰ，Ａ）
特開２００３－３１８１２０（ＪＰ，Ａ）
特開２００５－０５１２２２（ＪＰ，Ａ）
特開平０６－２６８１８５（ＪＰ，Ａ）
特表２００５－５３６８８１（ＪＰ，Ａ）
特開２００５－１８３８０４（ＪＰ，Ａ）
特開平０２－０６５１３８（ＪＰ，Ａ）
特開平０６－１８８２６３（ＪＰ，Ａ）
特開平０７－００５８５１（ＪＰ，Ａ）
特開２００４－２００４４５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)

Ｇ０６Ｋ １９／００－１９／０６
Ｇ０６Ｋ １９／０７－１９／１０
Ｈ０１Ｇ ４／１２
Ｈ０１Ｌ ２１／１８－２１／２０
Ｈ０１Ｌ ２１／３２９
Ｈ０１Ｌ ２１／３３６
Ｈ０１Ｌ ２１／３４－２１／３６
Ｈ０１Ｌ ２１／８２２
Ｈ０１Ｌ ２１／８２３４－２１／８２３８
Ｈ０１Ｌ ２１／８２４９
Ｈ０１Ｌ ２１／８４
Ｈ０１Ｌ ２７／０４
Ｈ０１Ｌ ２７／０６
Ｈ０１Ｌ ２７／０８
Ｈ０１Ｌ ２７／０８８－２７／０９２
Ｈ０１Ｌ ２９／７８６
Ｈ０１Ｌ ２９／８６
Ｈ０１Ｌ ２９／８６１
Ｈ０１Ｌ ２９／８６４－２９／８７
Ｈ０１Ｌ ２９／８８
Ｈ０１Ｌ ２９／９２－２９／９６
Ｈ０１Ｌ ５１／０５