

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-62262

(P2010-62262A)

(43) 公開日 平成22年3月18日(2010.3.18)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H O 1 L 29/739 (2006.01)</b>	H O 1 L 29/78 6 5 5 A	
<b>H O 1 L 29/78 (2006.01)</b>	H O 1 L 29/78 6 5 2 E	
<b>H O 1 L 21/336 (2006.01)</b>	H O 1 L 29/78 6 5 8 E	
	H O 1 L 29/78 6 5 8 F	
	H O 1 L 29/78 6 5 5 B	
審査請求 未請求 請求項の数 20 O L (全 43 頁) 最終頁に続く		

(21) 出願番号	特願2008-225031 (P2008-225031)	(71) 出願人	503121103
(22) 出願日	平成20年9月2日(2008.9.2)		株式会社ルネサステクノロジ
			東京都千代田区大手町二丁目6番2号
		(74) 代理人	100080001
			弁理士 筒井 大和
		(72) 発明者	岸本 大輔
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内
		(72) 発明者	細谷 哲央
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内
		(72) 発明者	中沢 芳人
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内

(54) 【発明の名称】 半導体装置およびその製造方法

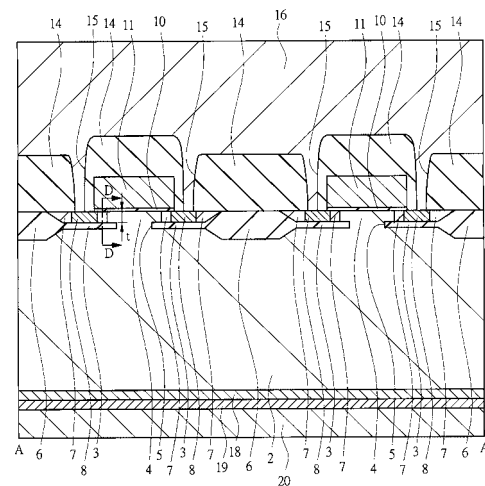
## (57) 【要約】

【課題】 I G B T の特性を向上できる技術、特に、定常損失、ターンオフ時間およびターンオフ損失を低減できる I G B T を容易かつ安定した製造工程で製造できる技術を提供する。

【解決手段】 ベース層 2、開口部 5 を備えた埋め込み絶縁膜 3、開口部 5 下でベース層 2 と接続する表面半導体層 4、表面半導体層 4 に形成された p 型チャネル形成層 7、n<sup>+</sup> 型ソース層 8、p<sup>+</sup> 型エミッタ層、表面半導体層 4 上にゲート絶縁膜 10 を介して形成されたゲート電極 11、n<sup>+</sup> 型バッファ層 18 および p 型コレクタ層 19 等を有する I G B T において、表面半導体層 4 の厚さを 20 nm ~ 100 nm 程度とする。

【選択図】 図 1

図 1



- |                 |                           |
|-----------------|---------------------------|
| 2: ベース層         | 8: n <sup>+</sup> 型ソース層   |
| 3: 埋め込み絶縁膜(薄膜部) | 10: ゲート絶縁膜                |
| 4: 表面半導体層       | 11: ゲート電極                 |
| 5: 開口部(離間部)     | 18: n <sup>+</sup> 型バッファ層 |
| 7: p型チャネル形成層    | 19: p型コレクタ層               |

## 【特許請求の範囲】

## 【請求項 1】

- I G B Tを含む半導体装置であって、
- ( a ) p 型を有する前記 I G B Tのコレクタ層と、
  - ( b ) 前記コレクタ層上に形成された、 n 型を有する前記 I G B Tのバッファ層と、
  - ( c ) 前記バッファ層上に形成された、 n 型を有する前記 I G B Tのベース層と、
  - ( d ) 前記ベース層上に選択的に形成された複数の埋め込み絶縁膜と、
  - ( e ) 前記ベース層上にて、前記複数の埋め込み絶縁膜間に形成された、 n 型を有する表面半導体層と、
  - ( f ) 前記表面半導体層内に形成された、 p 型を有する前記 I G B Tのチャネル形成層と
- 10
- 、
- ( g ) 前記表面半導体層内にて、前記チャネル形成層と接するように形成され、前記チャネル形成層より高濃度の p 型を有する前記 I G B Tのエミッタ層と、
  - ( h ) 前記表面半導体層内に形成された、 n 型を有する前記 I G B Tのソース層と、
  - ( i ) 前記表面半導体層の表面の一部および前記チャネル形成層の表面の一部に選択的に形成された、前記 I G B Tのゲート絶縁膜と、
  - ( j ) 前記ゲート絶縁膜上に形成された、前記 I G B Tのゲート電極と、
  - ( k ) 前記コレクタ層の裏面に形成され、前記コレクタ層と電氣的に接続された、前記 I G B Tのコレクタ電極と、
  - ( l ) 前記エミッタ層上および前記ソース層上に形成され、前記エミッタ層および前記ソ
- 20
- ース層と電氣的に接続された、前記 I G B Tのエミッタ電極と、
- を有し、

前記チャネル形成層の厚さは、20 nm ~ 100 nmであることを特徴とする半導体装置。

## 【請求項 2】

- 請求項 1 記載の半導体装置において、
- 前記複数の埋め込み絶縁膜の各々は、膜厚の厚い厚膜部と前記厚膜部より膜厚の薄い薄膜部とを含み、
- 前記厚膜部の表面は、前記表面半導体層の表面と同一平面内にあり、
- 前記チャネル形成層および前記ソース層は、前記複数の埋め込み絶縁膜の前記薄膜部上に
- 30
- に形成されていることを特徴とする半導体装置。

## 【請求項 3】

- 請求項 2 記載の半導体装置において、
- 前記複数の埋め込み絶縁膜の各々における前記薄膜部には、離間部が形成され、
- 前記ベース層と前記表面半導体層は、前記薄膜部の前記離間部に接していることを特徴とする半導体装置。

## 【請求項 4】

- 請求項 1 記載の半導体装置において、
- 前記ベース層および前記表面半導体層は、単結晶シリコンから形成されていることを特徴とする半導体装置。
- 40

## 【請求項 5】

- 請求項 1 記載の半導体装置において、
- 前記 I G B Tのオン時における前記エミッタ電極に流れる電流の構成比は、ホール電流が 20 % 以下であり、電子電流が 80 % 以上であることを特徴とする半導体装置。

## 【請求項 6】

- 請求項 1 記載の半導体装置において、
- 前記コレクタ層の厚さは、5  $\mu$  m 以下であることを特徴とする半導体装置。

## 【請求項 7】

- I G B Tを含む半導体装置であって、
- ( a ) p 型を有する前記 I G B Tのコレクタ層と、
- 50

- (b) 前記コレクタ層上に形成された、n型を有する前記IGBTのバッファ層と、
  - (c) 前記バッファ層上に形成された、n型を有する前記IGBTのベース層と、
  - (d) 前記ベース層中に選択的に形成された複数の埋め込み絶縁膜と、
  - (e) 前記複数の埋め込み絶縁膜上の前記ベース層内に形成された、p型を有する前記IGBTのチャンネル形成層と、
  - (f) 前記複数の埋め込み絶縁膜上の前記ベース層内にて、前記チャンネル形成層と接するように形成され、前記チャンネル形成層より高濃度のp型を有する前記IGBTのエミッタ層と、
  - (g) 前記複数の埋め込み絶縁膜上の前記ベース層内に形成された、n型を有する前記IGBTのソース層と、
  - (h) 前記複数の埋め込み絶縁膜上の前記ベース層の表面の一部および前記チャンネル形成層の表面の一部に選択的に形成された、前記IGBTのゲート絶縁膜と、
  - (i) 前記ゲート絶縁膜上に形成された、前記IGBTのゲート電極と、
  - (j) 前記コレクタ層の裏面に形成され、前記コレクタ層と電氣的に接続された、前記IGBTのコレクタ電極と、
  - (k) 前記エミッタ層上および前記ソース層上に形成され、前記エミッタ層および前記ソース層と電氣的に接続された、前記IGBTのエミッタ電極と、
- を有し、

10

前記チャンネル形成層の厚さは、20nm～100nmであることを特徴とする半導体装置。

20

#### 【請求項8】

請求項7記載の半導体装置において、

前記複数の埋め込み絶縁膜の各々は、膜厚の厚い厚膜部と前記厚膜部より膜厚の薄い薄膜部とを含み、

前記エミッタ層および前記ソース層と、前記IGBTの前記エミッタ電極との接続部は、前記複数の埋め込み絶縁膜の前記厚膜部上に形成されていることを特徴とする半導体装置。

#### 【請求項9】

請求項7記載の半導体装置において、

前記ベース層は、単結晶シリコンから形成されていることを特徴とする半導体装置。

30

#### 【請求項10】

請求項7記載の半導体装置において、

前記IGBTのオン時における前記エミッタ電極に流れる電流の構成比は、ホール電流が20%以下であり、電子電流が80%以上であることを特徴とする半導体装置。

#### 【請求項11】

IGBTを含む半導体装置の製造方法であって、

(a) 前記IGBTのベース層となるn型を有する基板の主面上に、膜厚の厚い厚膜部と前記厚膜部より膜厚の薄い薄膜部とを含む埋め込み絶縁膜を形成する工程、

(b) 前記埋め込み絶縁膜の前記薄膜部に前記基板に達する離間部を形成する工程、

(c) 前記埋め込み絶縁膜の前記薄膜部上に前記離間部を埋め込む厚さ20nm～100nmのn型を有する表面半導体層を形成する工程、

40

(d) 前記表面半導体層の表面の一部に選択的に前記IGBTのゲート絶縁膜を形成する工程、

(e) 前記ゲート絶縁膜上に前記IGBTのゲート電極を形成する工程、

(f) 前記表面半導体層内にp型を有する前記IGBTのチャンネル形成層を形成する工程、

(g) 前記表面半導体層内にて、前記チャンネル形成層と接するように前記チャンネル形成層より高濃度のp型を有する前記IGBTのエミッタ層を形成する工程、

(h) 前記表面半導体層内にn型を有する前記IGBTのソース層を形成する工程、

(i) 前記基板を裏面から薄くし、前記IGBTの前記ベース層を形成する工程、

50

(j) 前記基板の裏面に n 型を有する前記 I G B T のバッファ層を形成する工程、  
(k) 前記基板の裏面に p 型を有する前記 I G B T のコレクタ層を形成する工程、  
(l) 前記コレクタ層の裏面に前記コレクタ層と電氣的に接続する前記 I G B T のコレクタ電極を形成する工程、  
(m) 前記エミッタ層上および前記ソース層上に前記エミッタ層および前記ソース層と電氣的に接続する前記 I G B T のエミッタ電極を形成する工程、  
を含むことを特徴とする半導体装置の製造方法。

【請求項 1 2】

請求項 1 1 記載の半導体装置の製造方法において、  
前記表面半導体層は、前記基板以上の濃度の n 型を有し、  
前記 (c) 工程における前記表面半導体層の形成は、前記離間部において前記基板から結晶が格子レベルで連続するようにエピタキシャル法で行うことを特徴とする半導体装置の製造方法。

10

【請求項 1 3】

請求項 1 1 記載の半導体装置の製造方法において、  
前記厚膜部の表面は、前記表面半導体層の表面と同一平面内に形成することを特徴とする半導体装置の製造方法。

【請求項 1 4】

請求項 1 1 記載の半導体装置の製造方法において、  
前記基板および前記表面半導体層は、単結晶シリコンから形成されていることを特徴とする半導体装置の製造方法。

20

【請求項 1 5】

請求項 1 1 記載の半導体装置の製造方法において、  
前記 (c) 工程における前記表面半導体層は、p 型を有するシリコン膜を前記離間部において前記基板から結晶が格子レベルで連続するようにエピタキシャル法で形成した後、前記シリコン膜に n 型の不純物を導入することで形成することを特徴とする半導体装置の製造方法。

【請求項 1 6】

請求項 1 1 記載の半導体装置の製造方法において、  
前記基板は、複数のチップ領域に区画され、  
前記複数のチップ領域の各々の主面は、活性領域と、前記活性領域を取り囲む外周部とが規定され、

30

前記 (a) 工程は、  
(a 1) 前記複数のチップ領域の各々において、前記外周部が前記活性領域より低くなるように前記複数のチップ領域の各々の前記主面に段差を形成する工程、  
を含み、

前記 (a 1) 工程は、前記埋め込み絶縁膜を形成する前に行うことを特徴とする半導体装置の製造方法。

【請求項 1 7】

請求項 1 6 記載の半導体装置の製造方法において、  
前記段差は、前記埋め込み絶縁膜の前記厚膜部の厚さと同程度であることを特徴とする半導体装置の製造方法。

40

【請求項 1 8】

請求項 1 1 記載の半導体装置の製造方法において、  
前記コレクタ層の厚さは、5  $\mu$ m 以下であることを特徴とする半導体装置の製造方法。

【請求項 1 9】

I G B T を含む半導体装置の製造方法であって、  
(a) 前記 I G B T のベース層となる n 型を有する基板に対し主面から酸素イオンを導入し、前記基板中に膜厚が厚く離間部を備えた厚膜部と前記厚膜部より膜厚の薄い薄膜部とを含む埋め込み絶縁膜を選択的に形成する工程、

50

(b) 前記基板の主面の一部に選択的に前記 I G B T のゲート絶縁膜を形成する工程、  
(c) 前記ゲート絶縁膜上に前記 I G B T のゲート電極を形成する工程、  
(d) 前記埋め込み絶縁膜上の前記基板に p 型を有する前記 I G B T のチャネル形成層を形成する工程、  
(e) 前記埋め込み絶縁膜上の前記基板に前記チャネル形成層と接するように前記チャネル形成層より高濃度の p 型を有する前記 I G B T のエミッタ層を形成する工程、  
(f) 前記埋め込み絶縁膜上の前記基板に n 型を有する前記 I G B T のソース層を形成する工程、  
(g) 前記基板を裏面から薄くし、前記 I G B T の前記ベース層を形成する工程、  
(h) 前記基板の裏面に n 型を有する前記 I G B T のバッファ層を形成する工程、  
(i) 前記基板の裏面に p 型を有する前記 I G B T のコレクタ層を形成する工程、  
(j) 前記コレクタ層の裏面に前記コレクタ層と電氣的に接続する前記 I G B T のコレクタ電極を形成する工程、  
(k) 前記エミッタ層上および前記ソース層上に前記エミッタ層および前記ソース層と電氣的に接続する前記 I G B T のエミッタ電極を形成する工程、  
を含み、

10

前記埋め込み絶縁膜は、前記基板の前記主面から前記厚膜部までの間隔が  $20\text{ nm} \sim 100\text{ nm}$  となるように形成し、

前記エミッタ層および前記ソース層と、前記 I G B T の前記エミッタ電極との接続部は、前記埋め込み絶縁膜の前記厚膜部上に形成することを特徴とする半導体装置の製造方法

20

#### 【請求項 20】

請求項 19 記載の半導体装置の製造方法において、

前記基板および前記埋め込み絶縁膜上の表面半導体層は、単結晶シリコンから形成されていることを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、半導体装置およびその製造技術に関し、特に、プレーナゲート型 I G B T ( Insulated Gate Bipolar Transistor ) およびその製造技術に適用して有効な技術に関するものである。

30

#### 【背景技術】

#### 【0002】

I G B T は、制御性に優れた M O S 構造の制御ゲート端子を備え、バイポーラ動作に基づく伝導度変調による低オン電圧を示すことから、中容量のインバータを中心に、産業用から民生用まで幅広く適用され、パワーエレクトロニクス用スイッチングデバイスの主役となっている。

#### 【0003】

図 6 1 は、トレンチゲート型 I G B T の一例を示す要部断面図であり、図 6 2 は、図 6 1 中の A - A 線に沿った位置における基板の深さとオン状態でのキャリア密度との関係を示す説明図である。

40

#### 【0004】

図 6 1 に示すようなトレンチゲート型 I G B T では、オン状態において裏面側の p <sup>+</sup> 型半導体基板 1 0 1 ( 下面のコレクタ金属電極 1 0 2 を含む ) から n 型バッファ層 1 1 8 を経由して n <sup>-</sup> 型ベース層 1 0 2 へのホール ( 正孔 ) の注入が盛んとなる。また、主面側では、前記ホールが p 型チャネル層 1 0 7 と p <sup>+</sup> 型エミッタ層 1 0 9 とを通過して、エミッタ金属電極 1 1 6 へ抜ける構造となっている。また、エミッタ金属電極 1 1 6 は、n <sup>+</sup> 型ソース領域 1 0 8 を貫いて、その下部の p <sup>+</sup> 型エミッタ層 1 0 9 に達する構造となっている。その結果として、オン状態においては、キャリア ( ホール ) 密度分布がエミッタ側に比べてコレクタ側 ( 裏面側 ) に偏重することとなる ( 図 6 2 参照 ) 。

50

## 【0005】

上記トレンチゲート型IGBTでは、オン状態からターンオフする際に、エミッタ側に比べてコレクタ側に高密度で存在していたホールが、厚い $n^-$ 型ベース層102を通過し、さらにp型チャネル層107と $p^+$ 型エミッタ層109とを介してエミッタ電極116に流入する。ここで、ホールは移動速度が遅いことから、ターンオフに要する時間が延びてしまい、トレンチゲート型IGBTのスイッチング動作が低速となり、かつターンオフ損失（熱損失）が多くなってしまう課題を抱えている。

## 【0006】

このような課題の対策として、特開2006-100779号公報（特許文献1）は、プレーナゲート型IGBTでの例を開示している。図63は、そのプレーナゲート型IGBTの一例を示す要部断面図であり、図64は、図63中のA-A線に沿った位置における基板の深さとオン状態でのキャリア密度との関係を示す説明図である。

10

## 【0007】

図63に示すようなプレーナゲート型IGBTでは、 $n^-$ 型ベース層102の主面上に、埋め込み絶縁膜103を介して、 $n^-$ 型の表面半導体層104が形成されている。また、上記トレンチゲート型IGBTにおける $p^+$ 型半導体基板101より不純物濃度の低いp型コレクタ層119（下面のコレクタ金属電極120を含む）を用いていることから、オン状態において、p型コレクタ層119から $n^-$ 型ベース層102へのホール（正孔）の注入効率は下がる。一方、主面側においては、埋め込み絶縁膜103によってホールがブロックされ、埋め込み絶縁膜103に形成された開口部105からのみホールが流入するため、ホール電流が制限され、ホールがエミッタ側に蓄積しやすい構造となっている。そのため、オン状態においては、キャリア（ホール）密度分布がベース側（裏面側）に比べてエミッタ側（主面側）に偏重することとなる（図64参照）。

20

## 【0008】

上記プレーナゲート型IGBTにおいては、オン状態では埋め込み絶縁膜103の直下にホールが蓄積するので、 $n^+$ 型ソース領域108からチャネル反転層（p型チャネル層107）を介して $n^-$ ベース層102への電子の注入が活発になり、導電率が向上する、いわゆるIE（Injection Enhancement）効果が現れるようになる。このようなオン状態からターンオフする際、ホールの大部分はエミッタ付近に存在していることから、素早くエミッタ金属電極116へ流入する。その結果、図63に示したプレーナゲート型IGBTでは、スイッチング動作が高速化し、ターンオフ損失も低減できるようになる。

30

## 【0009】

また、「Akio Nakagawa, "Theoretical Investigation of Silicon Limit Characteristics of IGBT", Proceedings of the 18th International Symposium on Power Semiconductor Devices & IC's June 4-8, 2006 Naples, Italy」（非特許文献1）は、トレンチゲート型IGBTにおいて、隣接するゲート電極の間隔を狭くし、幅狭になったp型チャネル層を完全反転させることでホール電流を0へ近づけ、前述のIE効果を顕著にする技術を開示している。

40

【特許文献1】特開2006-100779号公報

【非特許文献1】Akio Nakagawa, "Theoretical Investigation of Silicon Limit Characteristics of IGBT", Proceedings of the 18th International Symposium on Power Semiconductor Devices & IC's June 4-8, 2006 Naples, Italy

【発明の開示】

【発明が解決しようとする課題】

## 【0010】

50

ところで、図 6 5 および図 6 6 は、それぞれ I G B T におけるオン電圧  $V_{ce(sat)}$  とターンオフ損失（熱損失） $E_{off}$  との関係、およびターンオフ時間  $t_f$  とオン電圧  $V_{ce(sat)}$  との関係を示す説明図である。また図 6 6 中の I C および V G S は、それぞれコレクタ電流およびゲート - ソース間電圧を示す。

【 0 0 1 1 】

図 6 5 および図 6 6 に示すように、I G B T におけるオン電圧  $V_{ce(sat)}$  とターンオフ損失（熱損失） $E_{off}$  との関係、およびターンオフ時間  $t_f$  とオン電圧  $V_{ce(sat)}$  との関係は、トレードオフの関係にあり、これら 2 つの関係は、ほぼ連動して変動する。すなわち、I G B T の定常損失低減を図ってオン電圧  $V_{ce(sat)}$  が小さくなるように設計した場合には、ターンオフ時間およびターンオフ損失（スイッチング損失）が増大してしまい、ターンオフ時間およびターンオフ損失を低減できるよう設計した場合には、定常損失が増大してしまうというものである。

【 0 0 1 2 】

本発明者らは、上記 I G B T における定常損失、ターンオフ時間およびターンオフ損失を低減するという観点から上記特許文献 1 および非特許文献 1 に開示された技術について検討した。

【 0 0 1 3 】

特許文献 1 に開示された技術は、前述の I E 効果が現れることによって、スイッチング動作が高速化し、ターンオフ損失も低減できるようになる。しかしながら、p 型チャネル層 1 0 7（図 6 3 参照）の厚さの規定について何ら開示も示唆もなされていない。すなわち、I G B T のオン状態時において、p 型チャネル層 1 0 7 を完全反転させることについて、何ら考慮されていない。p 型チャネル層 1 0 7 が完全反転しない場合には、埋め込み絶縁膜 1 0 3 によってホール電流の経路が制限され、ホールが蓄積しやすい構造となっても、ホール電流は所定値以下にはすることができない。そのため、十分な I E 効果が得られず、スイッチング動作の高速化およびターンオフ損失の低減は、ある程度までは実現できても、それ以上は実現が困難となってしまう。

【 0 0 1 4 】

また、非特許文献 1 に開示された技術は、前述したように、隣接するゲート電極の間隔を狭くし、幅狭になった p 型チャネル層を完全反転させることでホール電流を 0 へ近づけ、I E 効果を顕著にするものである。しかしながら、十分な I E 効果を得るためには、隣接するゲート電極の間隔を加工が困難もしくは不可能なほどにまで狭めることになってしまう。

【 0 0 1 5 】

本発明の目的は、I G B T の特性を向上できる技術、特に、定常損失、ターンオフ時間およびターンオフ損失を低減できる技術を提供することにある。

【 0 0 1 6 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 7 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 8 】

本発明による半導体装置は、I G B T を含み、  
( a ) p 型を有する前記 I G B T のコレクタ層と、  
( b ) 前記コレクタ層上に形成された、n 型を有する前記 I G B T のバッファ層と、  
( c ) 前記バッファ層上に形成された、n 型を有する前記 I G B T のベース層と、  
( d ) 前記ベース層上に選択的に形成された複数の埋め込み絶縁膜と、  
( e ) 前記ベース層上にて、前記複数の埋め込み絶縁膜間に形成された、n 型を有する表面半導体層と、

10

20

30

40

50

- (f) 前記表面半導体層内に形成された、p型を有する前記IGBTのチャネル形成層と、  
(g) 前記表面半導体層内にて、前記チャネル形成層と接するように形成され、前記チャネル形成層より高濃度のp型を有する前記IGBTのエミッタ層と、  
(h) 前記表面半導体層内に形成された、n型を有する前記IGBTのソース層と、  
(i) 前記表面半導体層の表面の一部および前記チャネル形成層の一部に選択的に形成された、前記IGBTのゲート絶縁膜と、  
(j) 前記ゲート絶縁膜上に形成された、前記IGBTのゲート電極と、  
(k) 前記コレクタ層の裏面に形成され、前記コレクタ層と電氣的に接続された、前記IGBTのコレクタ電極と、  
(l) 前記エミッタ層上および前記ソース層上に形成され、前記エミッタ層および前記ソース層と電氣的に接続された、前記IGBTのエミッタ電極と、  
を有し、

10

前記チャネル形成層の厚さは、20nm～100nmである。

【0019】

また、本発明の半導体装置の製造方法は、IGBTを含む半導体装置の製造方法であって、

- (a) 前記IGBTのベース層となるn型を有する基板の主面上に、膜厚の厚い厚膜部と前記厚膜部より膜厚の薄い薄膜部とを含む埋め込み絶縁膜を形成する工程、  
(b) 前記埋め込み絶縁膜の前記薄膜部に前記基板に達する離間部を形成する工程、  
(c) 前記埋め込み絶縁膜の前記薄膜部上に前記離間部を埋め込む厚さ20nm～100nmのn型を有する表面半導体層を形成する工程、  
(d) 前記表面半導体層の表面の一部に選択的に前記IGBTのゲート絶縁膜を形成する工程、  
(e) 前記ゲート絶縁膜上に前記IGBTのゲート電極を形成する工程、  
(f) 前記表面半導体層内にp型を有する前記IGBTのチャネル形成層を形成する工程、

20

- (g) 前記表面半導体層内にて、前記チャネル形成層と接するように前記チャネル形成層より高濃度のp型を有する前記IGBTのエミッタ層を形成する工程、  
(h) 前記表面半導体層内にn型を有する前記IGBTのソース層を形成する工程、  
(i) 前記基板を裏面から薄くし、前記IGBTの前記ベース層を形成する工程、  
(j) 前記基板の裏面にn型を有する前記IGBTのパッファ層を形成する工程、  
(k) 前記基板の裏面にp型を有する前記IGBTのコレクタ層を形成する工程、  
(l) 前記コレクタ層の裏面に前記コレクタ層と電氣的に接続する前記IGBTのコレクタ電極を形成する工程、  
(m) 前記エミッタ層上および前記ソース層上に前記エミッタ層および前記ソース層と電氣的に接続する前記IGBTのエミッタ電極を形成する工程、  
を含む。

30

【発明の効果】

【0020】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

40

【0021】

定常損失、ターンオフ時間およびターンオフ損失を低減できるIGBTを容易かつ安定した製造工程で製造できる。

【発明を実施するための最良の形態】

【0022】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

50



## 【 0 0 2 3 】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

## 【 0 0 2 4 】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。また、実施例等において構成要素等について、「A からなる」、「A よりなる」と言うときは、特にその要素のみである旨明示した場合等を除き、それ以外の要素を排除するものでないことは言うまでもない。

10

## 【 0 0 2 5 】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

## 【 0 0 2 6 】

また、材料等について言及するときは、特にそうでない旨明記したとき、または、原理的または状況的にそうでないときを除き、特定した材料は主要な材料であって、副次的要素、添加物、付加要素等を排除するものではない。たとえば、シリコン部材は特に明示した場合等を除き、純粋なシリコンの場合だけでなく、添加不純物、シリコンを主要な要素とする 2 元、3 元等の合金（たとえば Si Ge）等を含むものとする。

20

## 【 0 0 2 7 】

また、本実施の形態を説明するための全図において同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。

## 【 0 0 2 8 】

また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするために部分的にハッチングを付す場合がある。

## 【 0 0 2 9 】

また、本実施の形態における用語の定義として、「ターンオン」とは、スイッチング素子（本実施の形態では IGBT）を導通状態に変化させるための動作を言い、「オン」とは、スイッチング素子が実際に導通状態であることを言う。また、「ターンオフ」とは、スイッチング素子を非導通状態に変化させるための動作を言い、「オフ」とは、スイッチング素子が実際に非導通状態であることを言う。

30

## 【 0 0 3 0 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

## 【 0 0 3 1 】

（実施の形態 1）

図 1 は、本実施の形態 1 の IGBT の断面図を示している。本実施の形態 1 の IGBT は、たとえば  $n^-$  型の単結晶シリコンからなるベース層 2 の主面上に、埋め込み絶縁膜（薄膜部）3 を介して、 $n^-$  型の単結晶シリコンからなる複数の表面半導体層 4 が形成され、ベース層 2 と表面半導体層 4 とは、埋め込み絶縁膜 3 に形成された開口部（離間部）5 で接続した構造となっている。また、複数の厚いフィールド絶縁膜（埋め込み絶縁膜の厚膜部）6 によってベース層 2 の主面上では複数の活性領域が規定され、それら複数の活性領域の各々に前記表面半導体層 4 が形成されている。埋め込み絶縁膜 3 上の表面半導体層 4 には、 $p$  型チャネル形成層 7、 $n^+$  型ソース層 8 および  $p^+$  型エミッタ層 9 が形成されている。ベース層 2 の裏面には、ベース層 2 に近い順から  $n^+$  型バッファ層 18、 $p$  型コレクタ層 19 およびコレクタ電極 20 が形成されている。さらに詳細については後述する。

40

## 【 0 0 3 2 】

本発明者らは、IGBT における定常損失、ターンオフ時間およびターンオフ損失を低

50

減するという課題を解決するために、IGBTのオン電圧 $V_{ce(sat)}$ と表面半導体層4の厚さ $t$ (図63におけるp型チャネル層107の厚さに対応)との関係に着目した。

#### 【0033】

本発明者らは、上記表面半導体層4の厚さ $t$ を変化させながら、IGBTの出力特性をシミュレーションにより計算した。 $V_{ge} = 15V$ における出力特性(横軸： $V_{ce}$ 、縦軸： $I_c$ )を示したのが、図2である。表面半導体層4の厚さ $t$ が薄くなるほど、出力電流が立ち上がる $V_{ce}$ が小さくなっていることがわかる。つまり、低いオン電圧 $V_{ce}$ で、大きい電流を流すことができる。

#### 【0034】

図2の比較において、条件を変化させたのは、表面半導体層4の厚さ $t$ のみであって、ライフタイムや裏面コレクタ層の厚みおよび不純物濃度など、IGBTの特性に影響するその他一切の条件は同一としてシミュレーション計算を行い、比較している。

#### 【0035】

次に、図2において、出力電流密度 $I_c = 180A/cm^2$ のポイントで $V_{ce(sat)}$ を求めたのが図3である。ここで $V_{ce(sat)}$ とは、ゲート電圧 $V_{ge}$ の値によらず出力電流密度 $I_c$ がほぼ一定となる時のコレクタとエミッタ間の電圧を言う。

#### 【0036】

図3は、本発明者らがシミュレーションにより求めた上記表面半導体層4の厚さ $t$ とオン電圧 $V_{ce(sat)}$ との関係を示した説明図であり、図4は、オン電圧 $V_{ce(sat)}$ とターンオフ損失 $E_{off}$ とのトレードオフ関係を示した説明図であり、図4では、種々の表面半導体層4の厚さの場合のトレードオフ曲線を示している。また、図3におけるプロットは、表面半導体層4の膜厚が、順に20nm、40nm、100nm、200nm、300nm、500nm、1 $\mu m$ および2 $\mu m$ の時のものである。

#### 【0037】

ところで、図3から、表面半導体層4の膜厚 $t$ を薄くすると、 $V_{ce(sat)}$ を大幅に低減できることが判明した。このことは、IGBTを利用したインバータなどの運転中に、定常損失を大幅に低減できることを意味する。しかしながら、もし、その代償としてターンオフ損失が増大したならば意味がない。そこで、ターンオフ損失の増減を確認するのが、図4である。

#### 【0038】

図4は、表面半導体層4の厚さを種々変化させた場合のオン電圧 $V_{ce(sat)}$ とターンオフ損失 $E_{off}$ とのトレードオフ関係を示している。図4において、各トレードオフ曲線は、裏面コレクタ層の不純物濃度を変化させることにより、求めた。図4からは、IGBTの表面半導体層4の厚さ $t$ をある一定の値に固定して見たとき、裏面コレクタ層のp型不純物濃度を低く作ると、オン電圧 $V_{ce(sat)}$ が大きくなると同時にターンオフ損失 $E_{off}$ が小さくなり、逆に裏面コレクタ層のp型不純物濃度を高く作ると、オン電圧 $V_{ce(sat)}$ が小さくなると同時にターンオフ損失 $E_{off}$ が大きくなるという関係において、1本のトレードオフ曲線を形成していることがわかる。

#### 【0039】

図4において、表面半導体層4の膜厚が薄くなるにしたがって、トレードオフ曲線が左方向(または左下方向)に移動していることがわかる。すなわち、同じ $V_{ce(sat)}$ で比較すれば、表面半導体層4の膜厚が薄いほど、 $E_{off}$ を小さく設計できる。また、同じ $E_{off}$ で比較すれば、表面半導体層4の膜厚が薄いほど、 $V_{ce(sat)}$ を低く設計できる。

#### 【0040】

つまり、表面半導体層4の膜厚を薄くする結果としてもたらされる効果は、図3に示したように $V_{ce(sat)}$ を低減する効果だけにとどまらず、ターンオフ損失も含めた熱損失を低減できる方向にトレードオフ曲線が動き、熱損失が小さく、また放熱設計の容易なIGBTを提供できることが、図4から読み取れる。

10

20

30

40

50

## 【0041】

ところで、現状のIGBTは、600V耐圧品の場合にはオン電圧 $V_{ce(sat)}$ は1.2V~2.0V程度、1200V耐圧品の場合では1.6V~2.5V程度である。これらの値は、IGETをはじめとする近年開発された表面構造と、薄いコレクタ層の適用など近年開発された裏面構造を駆使してようやく達成できる数字である。これら、表面におけるIGET構造と裏面における薄ウエハ技術の組み合わせ以上に、ターンオフ損失 $E_{off}$ を増やすことなく、上記のオン電圧 $V_{ce(sat)}$ を大幅に低減できる現実的な手段は見つかっていない。

## 【0042】

これに対し本発明においては、表面半導体層4の厚みを100nm以下、より望ましくは40~20nmの範囲とすることで、たとえば600V耐圧のIGBTの場合にオン電圧 $V_{ce(sat)}$ を0.9V~1.1V程度、1200V耐圧のIGBTにおいても1.0V~1.2V程度とすることが可能になる。

## 【0043】

表面半導体層4の厚みが100nm以下となった時、半導体内で起こっている現象を、表面半導体層4の厚みがより厚い場合と比較して、以下に説明する。

## 【0044】

図5~図7はIGBTのオン状態において、図1中に示すD-D線に沿った切断線上でのエネルギーバンド図を示している。

## 【0045】

図5~7は、表面半導体層4の厚さが100nmを超える場合、40nm程度の場合、20nm程度の場合をそれぞれ示している。

## 【0046】

表面半導体層4の厚さ $t$ が100nmを超える場合(図8参照)には、図5に示すように、ゲート電極11下のp型チャネル形成層7の導電型が完全に反転せず、ゲート絶縁膜10との界面から20nm程度までしかn型反転層7Aとならない。そのため、導電型が反転しなかったp型チャネル形成層7は、IGBTのオン時にホールが通過できる(p型伝導を示す)状態となっているため、図14に示すように、開口部5を通じてベース層2からp型チャネル形成層7へホールが流入し、そのホールはさらにp<sup>+</sup>型エミッタ層9を通過してエミッタ電極16へと流れていく。その結果、埋め込み絶縁膜3下のベース層2には、ホールが蓄積し難くなる。

## 【0047】

一方、図6および図7に示すように、表面半導体層4の厚さが薄く、IGBTのオン時にゲート電極11下のp型チャネル形成層7の導電型が完全に反転してn型反転層7Aとなる場合には、IGBTのオン時にそのn型反転層7Aの存在によって、ベース層2からのホールがp<sup>+</sup>型エミッタ層9およびエミッタ電極16へと通過できなくなる。そのため、埋め込み絶縁膜3下のベース層2にホールが蓄積する状況となる。なお、表面半導体層4の厚さが40nm程度の場合には、実際にはIGBTのオン時にゲート電極11下のp型チャネル形成層7の導電型が完全に反転せず、わずかに導電型が反転しなかったp型チャネル形成層7が残るが、埋め込み絶縁膜3がエネルギーバンドを引き下げる効果などにより、ここにはn型反転層7Aに比べればn型反転の緩いn<sup>-</sup>型反転層が形成され、埋め込み絶縁膜3の開口部5を通じてベース層2から流入してくるホールを表面半導体層4の厚さ100nm程度の場合よりさらに制限することができる。このような状況を示したのが図9に示す要部断面図である。図9に示すように、本実施の形態1のIGBTは、表面半導体層4の厚さ $t_2$ が図8に示したIGBTの表面半導体層4の厚さ $t_1$ より薄くなっている。そのため、本実施の形態1のIGBTは、オン状態となると、埋め込み絶縁膜3とゲート絶縁膜10との間のp型チャネル形成層7の導電型が完全に反転してn型反転層7Aとなる。このような状況下では、図9中に矢印で示すホール電流は、ベース層2の裏面のコレクタ側から表面半導体層4へ流入することができなくなる。すなわち、ターンオンの瞬間に、ベース層2のうち埋め込み絶縁膜3の直下付近に流入したホールが蓄積した

10

20

30

40

50

後は、半導体内においてホールの移動がほぼなくなるのである。ただし、ベース層 2 においてライフタイムは有限な時間であるから、蓄積したホールの一部は再結合によって失われ、その分を補充するホール電流がコレクタ層 19 からベース層 2 に注入されるので、わずかなホール電流が流れる。しかし、薄いコレクタ層をもつ IGBT においては、現在ではライフタイム制御を行わないことが主流になっており、過去のライフタイム制御されていた IGBT に比べれば、単位時間当たりのホールの再結合率は低い。従って、再結合によって失われたホールを補充するホール電流も、主電流と比較すると数%以下の小さなものとなる。

#### 【0048】

図 10、図 11 および図 12 は、IGBT のオン状態において、ベース層 2 の内部におけるキャリア密度を、表面からの深さ  $d$  (図 13 参照) を横軸にとって表したグラフであり、それぞれ表面半導体層 4 の厚さ  $t$  が 500 nm、300 nm、40 nm の場合を表している。それぞれのグラフ中においてはコレクターエミッタ間電圧  $V_{ce}$  を 1.5 V、2.0 V、2.5 V、3.0 V と変化させた時の深さ  $d$  とキャリア密度の関係が示してある。ここで、表面半導体層 4 の厚さ  $t$  が 500 nm および 300 nm の場合と 40 nm の場合とは、それぞれ図 8 と図 9 との構造に相当するものと考えられる。

10

#### 【0049】

実際の動作点におけるオン電圧  $V_{ce(sat)}$  は 0.9 ~ 1.1 V 付近であるが、キャリア分布の特徴が現れやすいので、やや高めの  $V_{ce(sat)}$  までプロットしてある。

20

#### 【0050】

図 10 および図 11 に示すように、表面半導体層 4 の厚さ  $t$  が厚い IGBT では、前述したように、オン状態ではコレクタ側から流入したホールが、埋め込み絶縁膜 3 下に蓄積せずにエミッタ電極 16 へ流れ込んでしまう。その結果、キャリア密度はエミッタに近い表面側 ( $d$  が浅い側) では低く、コレクタに近い裏面側 ( $d$  が深い側) で高くなる傾向がある。表面半導体層 4 の厚さ  $t$  が 300 nm の場合には、図 14 に示すホール電流の経路がやや狭くなる結果、 $t$  が 500 nm の場合に比べればホールの蓄積効果がわずかに発生し、埋め込み絶縁膜 3 直下のキャリア密度がやや高くなる。しかし、この程度の蓄積効果では、 $V_{ce(sat)}$  を大幅に下げるために十分とは言えない。

#### 【0051】

30

一方、表面半導体層 4 の厚さ  $t$  が 40 nm の IGBT では、キャリア密度はエミッタに近い表面側で高く、コレクタに近い裏面側で低くなる。厚さ  $t$  が薄い場合にエミッタ側偏重のキャリア分布になる原因は、ホール電流が反転層 7A によってブロックされ、ホールが表面の埋め込み絶縁膜 3 直下に蓄積し、この蓄積したホールが、電子をソース領域 8 からチャネル反転層 7A を介して引き出す効果をもつためである。すなわち、表面半導体層 4 が薄い本実施の形態 1 の IGBT (図 1 および図 9 参照) によれば、表面半導体層 4 が厚い比較対象の IGBT (図 8 および図 14 参照) に比べて、はるかに大きな IE 効果 (Injection Enhancement) を得ることができる。その結果、本実施の形態 1 の IGBT によれば、図 8 のような構造の IGBT に比べて、オン電圧  $V_{ce(sat)}$  を低減しつつ、スイッチング動作を高速化し、ターンオフ損失も低減できるようになる。

40

#### 【0052】

ところで、オン時に p 型チャネル形成層 7 の導電型が完全に反転して n 型反転層 7A となるという点のみを考慮した場合には、表面半導体層 4 の厚さが約 20 nm よりさらに薄くすることも考えられる。しかしながら、このような場合には、n 型反転層 7A での電子電流まで絞られてしまい、この領域が高い直列抵抗成分をもつため、オン電圧  $V_{ce(sat)}$  が大きくなってしまふことになる。オン電圧が大きくなってしまった場合には、IGBT の定常損失が増大する。そのため、本実施の形態 1 のように、表面半導体層 4 の厚さは、20 nm 程度以上とすることが好ましい。

#### 【0053】

50

また、表面半導体層 4 の厚さが約 100 nm である場合には、図 15 に示すように、n 型反転層 7 A が形成されるのは、ゲート絶縁膜 10 との界面から厚さ 20 nm 程度の領域に止まる。しかしながら、ゲート絶縁膜 10 の対面には、埋め込み絶縁膜 3 が存在し、これがバンドエネルギーをわずかに引き下げる効果をもつことから、表面半導体層 4 のうち n 型反転層 7 A となっていない残りの厚さ 80 nm 程度の領域でも、n 型反転層 7 A のバンド構造が影響して電子が広がって流れることから、n 型反転層 7 A に比べれば n 型反転の緩い n<sup>-</sup> 型反転層 7 B が形成される。それにより、ホールがベース層 2 の裏面のコレクタ側から表面半導体層 4 へ流入し難くすることができるようになる。すなわち、本実施の形態 1 のように、表面半導体層 4 の厚さは、100 nm 程度以下とすることが好ましい。さらに、p 型チャネル形成層 7 の導電型が完全に反転して n 型反転層 7 A となるという観点から、表面半導体層 4 の厚さは 40 nm 程度以下とするのが望ましい。

10

#### 【0054】

本発明者らは、シミュレーションにより、エミッタ電流  $I_E$  を構成するホール電流  $I_h$  と電子電流  $I_e$  との内訳を求めた。ここで、 $I_E = I_h + I_e$  という関係が成り立つ。

#### 【0055】

図 16 は、本実施の形態 1 に該当する表面半導体層 4 の厚さ  $t$  が 40 nm の IGBT の全エミッタ電流  $I_E$  と、これを構成するホール電流  $I_h$  および電子電流  $I_e$  の内訳を、コレクタ - エミッタ間バイアス電圧  $V_{ce}$  を横軸にとって表したものである。図 17、図 18 はそれぞれ、表面半導体層 4 の厚さ  $t$  が 300 nm、1  $\mu$ m の IGBT の、全エミッタ電流  $I_E$  と、これを構成するホール電流  $I_h$  および電子電流  $I_e$  の内訳を、コレクタ - エミッタ間バイアス電圧  $V_{ce}$  を横軸にとって表したものである。

20

#### 【0056】

前述のように、表面半導体層 4 が厚い IGBT では、開口部 5 を通じて表面半導体層 4 に流入したホール電流がエミッタパッド（エミッタ電極）16 へ流れ込むため、全エミッタ電流  $I_E$  の内、ホール電流  $I_h$  が占める割合が高くなる。

#### 【0057】

一方、本実施の形態 1 の IGBT では、オン状態になると、埋め込み絶縁膜 3 とゲート絶縁膜 10 との間の p 型チャネル形成層 7 の導電型が完全に反転して n 型反転層 7 A となり、ホール電流が通過できず、エミッタパッド（エミッタ電極）16 に到達できない。その結果、エミッタ電流  $I_E$  のほとんどの成分を電子電流  $I_e$  が占め、ホール電流  $I_h$  は 0 または極めて微小となる。

30

#### 【0058】

その結果、図 16 ではホール電流  $I_h$  がほとんど流れないのに対して、図 17 および図 18 ではホール電流成分  $I_h$  が全エミッタ電流  $I_E$  に占める割合が非常に大きくなる。ここで、エミッタ電流  $I_E$  が 180 A / cm<sup>2</sup> となる動作点で両者を比較してみる。比較例である表面半導体層 4 の厚みが 300 nm の IGBT は、ホール電流成分および電子電流成分がそれぞれ約 41 A および約 139 A であり、ホール電流成分および電子電流成分の電流構成比は、それぞれ約 23 % および約 77 % となっている。また、表面半導体層 4 の厚みが 1  $\mu$ m の IGBT は、ホール電流成分および電子電流成分がそれぞれ約 48 A および約 132 A であり、ホール電流成分および電子電流成分の電流構成比は、それぞれ約 27 % および約 73 % となっている。表面半導体層 4 が厚くなるにつれて、ホール電流の構成比が上がるのがわかる。ホール電流の構成比が増えるということは、表面半導体層 4 が厚くなるほど  $I_E$ （Injection Enhancement）効果が失われ、IGBT の性能は低下する（ $V_{ce(sat)}$  大、ターンオフ損失  $E_{off}$  大）ことを示している。なお、表面半導体層 4 が 1  $\mu$ m と厚くなっても、ホール電流  $I_h$  が電子電流  $I_e$  を上回るほど劇的に増加しないのは、裏面コレクタ層 19 が薄く（約 5  $\mu$ m 以下）、p 型不純物濃度が低く作られているためである。そのため、裏面におけるコレクタ層からベース層へのホールの注入効率がもともと低い。現状の IGBT は裏面の工夫によって、ホール電流の構成比をかなり下げること成功していると言える。しかし、裏面の工夫によるホール電流抑制は限界に来ており、本発明で示すように、表面半導体層 4 の厚みを薄くすることによって、表面

40

50

においてもホール電流構成比をさらに下げる構造を導入することが必要になる。

【0059】

一方、図16に示すように、表面半導体層4の厚みが40nmである本実施の形態1のIGBTでは、ホール電流 $I_h$ の、全エミッタ電流 $I_E$ に対する電流構成比が約5%まで下がっている。すなわち、本実施の形態1のIGBTによれば、オン状態でコレクタ側から流入したホールを埋め込み絶縁膜3下に蓄積し、エミッタ電極16への流れ込みを防止できることが図16～図18に示したシミュレーション結果からも確認できる。

【0060】

次に、本発明のIGBTを含む半導体装置について詳細を説明する。

【0061】

図19は、本実施の形態1のIGBTを形成する半導体チップ（以下、単にチップと記す）1の要部平面図であり、上述した図1は図19中のA-A線に沿った断面を示したものである。

【0062】

本実施の形態1のIGBTは、上述したように、たとえば $n^-$ 型の単結晶シリコンからなるベース層2の主面上に、埋め込み絶縁膜（薄膜部）3を介して、 $n^-$ 型の単結晶シリコンからなる複数の表面半導体層4が形成され、ベース層2と表面半導体層4とは、埋め込み絶縁膜3に形成された開口部（離間部）5で接続した構造となっている。また、複数の厚いフィールド絶縁膜（埋め込み絶縁膜の厚膜部）6によってベース層2の主面上では複数の活性領域が規定され、それら複数の活性領域の各々に前記表面半導体層4が形成されている。ベース層2の厚さは、たとえば60 $\mu$ m～150 $\mu$ m程度であるが、これはIGBTの耐圧に合わせて決定されるものであり、耐圧600Vであれば60 $\mu$ m～100 $\mu$ m程度とし、耐圧1200Vであれば120 $\mu$ m～150 $\mu$ m程度とすることを例示できる。また、上述したように本実施の形態1における表面半導体層4の厚さは、20nm～100nm程度とすることを特徴としている。

【0063】

埋め込み絶縁膜3上の表面半導体層4には、p型チャネル形成層7、 $n^+$ 型ソース層8および $p^+$ 型エミッタ層9が形成されている。 $p^+$ 型エミッタ層9中の不純物濃度は、p型チャネル形成層7中の不純物濃度より高くなっている。また、フィールド絶縁膜6上のp型チャネル形成層7は、熱によって発生する応力を緩和する機能を有する。

【0064】

各々の表面半導体層4上には、ゲート絶縁膜10を介して多結晶シリコンからなるゲート電極11がパターンニングされており、平面ではすべてのゲート電極11が連結したパターンとなっている。また、ゲート電極11の一部は、平面で複数の表面半導体層4を取り囲むパターンとなっている。

【0065】

チップ1の外周側には、平面で上記複数の表面半導体層4およびゲート電極11を囲むように複数のp型フィールドリミットリング（Field Limiting Ring）12が形成され、さらにそれら複数のp型フィールドリミットリング12を囲むようにn型ガードリング13が形成されている。p型フィールドリミットリング12は、電圧が固定されないフローティング状態にされている。図19では、2本のp型フィールドリミットリング12が形成されている例を図示しているが、さらに多数形成されていてもよい。上記のような複数本のp型フィールドリミットリング12を形成することにより、IGBTがオフ時において、最大電界部分が順次外側のp型フィールドリミットリング12のコーナー部へ移り、最外周のp型フィールドリミットリング12で降伏するようになり、本実施の形態1のIGBTを高耐圧とすることが可能となる。

【0066】

複数のp型フィールドリミットリング12を取り囲むように形成されたn型ガードリング領域13は、半導体ウエハからチップ1が個片化された後でチップ1中のIGBT素子を保護する機能を有する。

10

20

30

40

50

## 【0067】

表面半導体層4およびフィールド絶縁膜6上には、ゲート電極6を覆うようにPSG (Phospho Silicate Glass) 膜等からなる絶縁膜14が形成されている。この絶縁膜14には、 $n^+$ 型ソース層8および $p^+$ 型エミッタ層9に達する開口部15と、ゲート電極11に達する開口部(図示は省略)とが形成されている。

## 【0068】

$n^+$ 型ソース層および $p^+$ 型エミッタ層に達する開口部15と、ゲート電極に達する開口部とが形成された状況下で、絶縁膜14上には、開口部15の底部で $n^+$ 型ソース層8および $p^+$ 型エミッタ層9と接続するエミッタパッド(エミッタ電極)16と、ゲート電極11に達する開口部の底部でゲート電極11と接続するゲートパッド17とが、互いに離間して形成されている。これらエミッタパッド16およびゲートパッド17は、たとえばAl(アルミニウム)等から形成されている。また、ゲート電極11のうち、前述の複数の表面半導体層4を取り囲むパターンの上部には、ゲートパッド17と連続してAl等からゲートフィンガー17Aが形成されている。ゲートフィンガー17Aは、その下部の絶縁膜14に形成された開口部下でゲート電極11と接続している。

## 【0069】

図示は省略するが、エミッタパッド16およびゲートパッド17を覆うようにポリイミド膜が形成されており、そのポリイミド膜には、エミッタパッド16の一部およびゲートパッド17の一部の表面をそれぞれ露出する開口部が形成されている。これら開口部は、チップ1を外部と電氣的に接続するためのボンディングワイヤを接続するためのボンディングパッドとなる。

## 【0070】

ベース層2の裏面には、ベース層2に近い順から $n^+$ 型バッファ層18、 $p$ 型コレクタ層19およびコレクタ電極20が形成されている。 $p$ 型コレクタ層19は、導入されている $p$ 型を示す不純物の濃度が低いことに起因して比抵抗が高くなっている。そのため、 $p$ 型コレクタ層19が有する直列抵抗成分を下げるために薄く形成することが求められ、その厚さは、 $5\mu\text{m}$ 程度以下とすることが好ましい。さらに、 $p$ 型コレクタ層19に導入されている $p$ 型を示す不純物であるB(ホウ素)の拡散係数が小さいことを考慮した場合には、 $p$ 型コレクタ層19の厚さは、 $1\mu\text{m}$ 程度以下とすることが好ましい。コレクタ電極20は、 $p$ 型コレクタ層19に近い順からAl膜、Ti(チタン)膜、Ni(ニッケル)膜およびAu(金)膜を積層した金属膜、 $p$ 型コレクタ層19に近い順からNi膜、Ti膜、Ni膜およびAu膜を積層した金属膜、もしくは $p$ 型コレクタ層19に近い順からTi膜、Ni膜およびAu膜を積層した金属膜から形成されている。

## 【0071】

## (実施の形態2)

次に、前記実施の形態1のIGBTの製造工程について、図20~図41を用いて説明する。これら図20~図41のうち、図20、図22、図27、図30、図33、図36および図39は、図19中のC-C線に沿った位置での工程中の断面を示し、図21、図23、図24、図25、図26、図28および図29は、図19中のA-A線に沿った位置およびB-B線に沿った位置での工程中の断面を示し、図31、図34、図37および図40は、図19中のA-A線に沿った位置での工程中の断面を示し、図32、図35、図38および図41は、図19中のB-B線に沿った位置での工程中の断面を示している。

## 【0072】

まず、図20および図21に示すように、 $n^-$ 型の単結晶シリコンからなる高抵抗の半導体基板(以下、単に基板と記す)2Aを用意する。基板2Aを形成する結晶の種類としては、フローティングゾーン法で製造されたFZ(Float Zoning)結晶、またはチョクラルスキー法(引き上げ法)で製造されたCZ(Czochralski)結晶が望ましい。基板2Aとして、FZ結晶もしくはCZ結晶のどちらを採用するか判断基準について、安定した高抵抗の基板2Aを低コストで入手するという点では、FZ結晶を採用した方が好ましい

。ただし、本実施の形態 2 では、後の工程でエピタキシャル法によって基板 2 A 上に成膜を行う。一般に F Z 結晶は、酸素原子の含有量が少なく、機械的にも柔らかく、熱応力によってスリップ転移が入りやすい。そのため、F Z 結晶からなる基板 2 A は、エピタキシャル炉に導入には不向きとも言える。一方、基板 2 A を C Z 結晶から形成した場合には、酸素原子を不純物として結晶格子中に取り込んでいることから、機械的強度が向上している。そのため、C Z 結晶からなる基板 2 A は、エピタキシャル炉に導入するなら、C Z 結晶からなる基板 2 A の方が好ましいとも言える。

#### 【0073】

そこで、本実施の形態 2 では、基板 2 A として F Z 結晶もしくは C Z 結晶のどちらを採用するかの判断基準について、次のことを例示する。

#### 【0074】

すなわち、高抵抗の数値が安定しており、結晶品質も良質で安定しており、品質の高さに割に低コストなのが F Z 結晶である。F Z 結晶は、L O C O S (local oxidation of silicon) 法等によって結晶表面に酸化膜を形成することで、その酸化膜による補強で基板の機械的強度が向上させることができる。また、L O C O S 法による酸化膜形成時には、基板中に微量の酸素が浸入し、その微量な酸素の浸入によっても基板の機械的強度が向上させることができる。これらの要因による基板の機械的強度の向上によって、基板の機械的強度がエピタキシャル工程に耐えうるほどに強くなっていることが期待できるのであれば、品質を重視して基板 2 A として F Z 結晶を選択することを例示できる。

#### 【0075】

一方、F Z 結晶に比べると、高抵抗の数値がやや不安定で、結晶品質も及ばない反面、F Z 結晶よりも低コストで、機械的強度もエピタキシャル工程に耐えうるほどに強いのが C Z 結晶であることから、低コストと機械的強度とを重視するなら、基板 2 A として C Z 結晶を選択することを例示できる。

#### 【0076】

また、基板 2 A として F Z 結晶もしくは C Z 結晶のいずれを選択した場合でも、主面（素子形成面）の結晶方位は (100) 面または (100) 面と等価な面とすることが好ましい。ここで、(100) 面と等価な面としては、(010) 面および (001) 面等を例示することができる。なお、以降の本実施の形態では、(100) 面および (100) 面と等価な面を {100} 面と記す場合がある。

#### 【0077】

次に、基板 2 A に熱処理を施して、基板 2 A の主面に薄い酸化シリコン膜 2 B を形成する。次いで、その酸化シリコン膜 2 B 上に窒化シリコン膜 2 C を堆積する。続いて、フォトリソグラフィ技術によってパターンングされたフォトレジスト膜をマスクとしたエッチングでその窒化シリコン膜 2 C をパターンングし、後の工程でフィールド絶縁膜 6 が形成される領域の窒化シリコン膜 2 C を除去する。

#### 【0078】

次に、フォトリソグラフィ技術によってパターンングされたフォトレジスト膜 2 D をマスクとして基板 2 A の主面に p 型の導電型の不純物（たとえば B（ホウ素））を導入し、p 型フィールドリミッティングリング 12 および p 型ウエル 12 A（図 19 も参照）を形成する。

#### 【0079】

次に、図 22 および図 23 に示すように、L O C O S 法によって基板 2 A に熱処理を施すことによって、膜厚の厚いフィールド絶縁膜 6 を形成する。このフィールド絶縁膜 6 によって基板 2 A の主面では活性領域（平面でフィールド絶縁膜 6 の存在しない領域）が規定される。本実施の形態 2 では、フィールド絶縁膜 6 が形成されると、図 19 に示したように、基板 2 A の主面の活性領域では、膜厚の厚いフィールド絶縁膜 6 が形成された領域と、フィールド絶縁膜 6 のない領域（図 19 中ではゲート電極 11 が配置されている）とが交互にストライプ状に並ぶ。このストライプの向きは、基板 2 A の主面の結晶方位に合わせて選択するものであるが、その理由については後述する。

10

20

30

40

50



## 【0080】

次に、図24に示すように、フッ酸系の溶液を用いて基板2Aを洗浄することによって、基板2Aの主面上の窒化シリコン膜2Cを除去する。次いで、フォトリソグラフィ技術によってパターンニングされたフォトレジスト膜をマスクとして酸化シリコン膜2Bをエッチングする。それにより、開口部5を備えた埋め込み絶縁膜3を形成することができる。この時、開口部5の底面には基板2Aの表面が露出する。

## 【0081】

次に、図25に示すように、埋め込み絶縁膜3の開口部5からシリコン結晶が格子レベルで連続するように、エピタキシャル法で比抵抗が基板2Aとほぼ同じの $n^-$ 型単結晶シリコン膜4Aを成膜する。この時、埋め込み絶縁膜3の表面に多結晶シリコンが堆積しないようにするために、選択性を有するエピタキシャル成膜条件とする。すなわち、基板2Aをエピタキシャル炉に導入してから、主成分が $H_2$ （水素）ガスのキャリアガスを用い、 $SiHCl_3$ （トリクロロシラン）および $HCl$ （塩酸）の混合ガスを炉内に供給する手段や、主成分が $H_2$ ガスのキャリアガスを用い、 $SiH_2Cl_2$ （ジクロロシラン）および $HCl$ （塩酸）の混合ガスを炉内に供給する手段を例示することができる。エピタキシャル炉内に導入するガスのうち、 $HCl$ ガスは、シリコン結晶に対して軽いエッチング性を有しており、埋め込み絶縁膜3上に多結晶シリコンが堆積してしまうことを阻止することができる。しかし、 $HCl$ ガスのエッチング力は、開口部5下の結晶（基板2A）から連続して成膜される結晶シリコンのエピタキシャル成膜を阻止するほどの強いエッチング力ではないので、開口部5からの選択エピタキシャル成膜が可能となる。

## 【0082】

上記 $n^-$ 型単結晶シリコン膜4Aのエピタキシャル成膜工程では、下部の基板2Aの表面の結晶面方位によって成膜速度が大きく異なる、いわゆる成膜速度の異方性が存在する。本実施の形態2においては、後の工程でCMP（Chemical Mechanical Polishing）法によって $n^-$ 型単結晶シリコン膜4Aを研磨することから、CMP工程での負担を軽減するために、 $n^-$ 型単結晶シリコン膜4Aは基板2Aの厚さ方向で薄く、基板2Aの主面に沿った方向で厚く（長く）成膜していることが好ましく、そのように $n^-$ 型単結晶シリコン膜4Aを成膜するためには、基板2Aの主面の面方位および前述の活性領域におけるフィールド絶縁膜6によるストライプパターンの方位の組み合わせを適当に選択する必要がある。

## 【0083】

ところで、後の工程で形成するゲート絶縁膜10は、 $(100)$ 面上に形成する。そのため、基板2Aは、 $(100)$ 面を主面とする結晶基板を用いることが前提となる。この前提のために、活性領域におけるフィールド絶縁膜6によるストライプパターンの方向は、制約を受けることになる。

## 【0084】

そこで、本発明者らは、実験により、 $(100)$ 面を主面とする基板2A上に、種々の方向に延在するフィールド絶縁膜6によるストライプパターンを形成し、さらに上記 $n^-$ 型単結晶シリコン膜4Aを選択エピタキシャル成膜して、 $n^-$ 型単結晶シリコン膜4Aが基板2Aの厚さ方向に比べて基板2Aの主面に沿った方向で厚く（長く）成膜するフィールド絶縁膜6によるストライプパターンの方向について調べた。その結果、本実施の形態2では、以下のような条件を例示することができる。

## 【0085】

すなわち、フィールド絶縁膜6によるストライプパターンの延在方向を $\langle 010 \rangle$ 方向、または $\langle 010 \rangle$ 方向と等価な $\langle 001 \rangle$ 方向とする。ここで、たとえば $(100)$ 面とは、 $\langle 100 \rangle$ 方向を法線ベクトルとして有する結晶面を表し、 $\langle 010 \rangle$ 方向とはベクトルそのものの方向を表すものとする。すなわち、本実施の形態2においては、基板2Aの活性領域にてストライプパターンを形成するフィールド絶縁膜6の各々の延在方向を $\langle 010 \rangle$ 方向または $\langle 001 \rangle$ 方向とするものである。それにより、 $n^-$ 型単結晶シリコン膜4Aの成膜厚さを基板2Aの厚さ方向と基板2Aの主面に沿った方向とでほぼ1：

1とすることができる。

【0086】

次に、図26に示すように、フィールド絶縁膜6をストッパ（研磨終点）としたCMP法により $n^+$ 型単結晶シリコン膜4Aを研磨し、フィールド絶縁膜6による段差で厚さが規定される表面半導体層4を形成する。

【0087】

前記実施の形態1において、表面半導体層4の厚さは20nm～40nm程度とすることを前述したが、後の工程で表面半導体層4の表面は、所定の厚さだけゲート絶縁膜10の形成工程で犠牲になってしまうことから、本工程では、そのゲート絶縁膜10の形成工程で犠牲になってしまう厚さ分（ゲート絶縁膜10の厚さ自体も含む）を考慮して表面半導体層4の厚さを規定する必要がある。すなわち、ゲート絶縁膜10の形成工程では、ゲート絶縁膜10自体を形成する前に、表面半導体層4の表面に付着した異物等を除去するために、基板2Aの熱酸化処理によって表面半導体層4の表面に犠牲酸化膜を形成し、その犠牲酸化膜を除去した後で改めて基板2Aの熱酸化処理によって表面半導体層4の表面にゲート絶縁膜10を形成する。つまり、前記犠牲酸化膜およびゲート絶縁膜10の厚さ分だけ表面半導体層4の厚さが失われてしまうことを考慮して、上記CMP工程後に残る表面半導体層4の厚さを規定しなければならない。たとえば、IGBTのゲート絶縁膜の厚さは100nm程度であることから、本実施の形態2では、そのCMP工程後に残る表面半導体層4の厚さは、100nm～300nm程度、好ましくは120nm～200nm程度とすることを例示できる。また、このCMP工程後に残る表面半導体層4の厚さは、フィールド絶縁膜6による段差で決定されるものであるから、CMP工程後に残る表面半導体層4の厚さがそのような値となるようにフィールド絶縁膜6を形成しなければならないことは言うまでもない。

【0088】

次に、図27および図28に示すように、基板2Aに熱処理を施すことによって表面半導体層4の表面に前述の犠牲酸化膜を形成する。また、その犠牲酸化膜は、表面半導体層4の表面だけでなく、基板2A（p型ウエル12A）の露出した表面にも形成される。続いて、基板2Aを洗浄することでその犠牲酸化膜を除去し、清浄な表面半導体層4および基板2A（p型ウエル12A）の表面を得る。

【0089】

続いて、基板2Aに熱処理を施すことによって表面半導体層4および基板2A（p型ウエル12A）の表面に厚さは100nm程度のゲート絶縁膜10を形成する。

【0090】

続いて、基板2A上に多結晶シリコン膜を堆積し、その多結晶シリコン膜をフォトリソグラフィ技術によってパターンニングされたフォトレジスト膜をマスクとしたエッチングによりパターンニングする。それにより、ゲート電極11を形成することができる。

【0091】

次に、図29に示すように、ゲート電極11の存在下で表面半導体層4にp型の導電型の不純物（たとえばB）を導入し、次いで、基板2Aに熱処理を施すことにより、そのp型の導電型の不純物を拡散させ、p型チャネル形成層7を形成する。

【0092】

次に、図30および図31に示すように、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜8Aをマスクとして、p型チャネル形成層7および基板2Bにn型の導電型の不純物（たとえばAs（ヒ素）またはP（リン））を導入する。次いで、基板2Aに熱処理を施すことにより、そのn型の導電型の不純物を拡散させ、 $n^+$ 型ソース層8およびn型ガードリング領域13を形成する。

【0093】

次に、図32に示すように、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜9Aをマスクとして、p型チャネル形成層7にp型の導電型の不純物（たとえばB）を導入する。次いで、基板2Aに熱処理を施すことにより、そのp型の導電型の不

10

20

30

40

50

純物を拡散させ、 $p^+$ 型エミッタ層9を形成する。

【0094】

上記 $n^+$ 型ソース層8および $p^+$ 型エミッタ層9は、同一断面の中に形成することは不可能である。そのため、図19に示したように、これら $n^+$ 型ソース層8および $p^+$ 型エミッタ層9は、平面では1本のストライプパターン中にて交互に配置されることになる。

【0095】

また、フィールド絶縁膜6の端部（バースピーク）付近に作用する応力を緩和するために、 $p^+$ 型エミッタ層9とフィールド絶縁膜6との間には、 $p$ 型チャネル形成層7を残すように $p^+$ 型エミッタ層9を形成し、 $p^+$ 型エミッタ層9とフィールド絶縁膜6の間は、不純物濃度が $p^+$ 型エミッタ層9より薄い $p$ 型領域とする。

10

【0096】

ここまでの工程により、本実施の形態2のIGBTの素子を形成することができる。

【0097】

次に、図33～図35に示すように、基板2Aの主面上に、PSG膜等からなる絶縁膜14を堆積する。続いて、フォトリソグラフィ技術によりパターンニングされたフォトリソ膜をマスクとして絶縁膜14をエッチングし、 $n^+$ 型ソース層8、 $p^+$ 型エミッタ層9、ゲート電極11、 $p$ 型ウエル12および $n$ 型ガードリング13のそれぞれに達する開口部15を形成する。

【0098】

次に、図36～図38に示すように、たとえばスパッタリング法により基板2Aの主面上にAl（アルミニウム）膜を堆積する。次いで、フォトリソグラフィ技術によりパターンニングされたフォトリソ膜をマスクとしてそのAl膜をエッチングし、 $n^+$ 型ソース層8および $p^+$ 型エミッタ層9と電氣的に接続するエミッタパッド16、ゲート電極10と電氣的に接続するゲートパッド17（図19参照）、ゲート電極10と電氣的に接続しゲートパッド17と連続したパターン（図19参照）を有するゲートフィンガー17A、および $n$ 型ガードリング領域13電氣的に接続するガードリング電極13Aを形成する。

20

【0099】

図示は省略するが、エミッタパッド16、ゲートパッド17、ゲートフィンガー17Aおよびガードリング電極13Aを形成した後、基板2Aの主面上に表面保護膜としてポリイミド膜を堆積する。次いで、エミッタパッド16上およびゲートパッド17上のポリイミド膜に、エミッタパッド16およびゲートパッド17のそれぞれに達する開口部を形成する。これら開口部は、基板2Aを個々のチップ1（図19参照）へ分割し、チップ1をリードフレームのダイパッドに搭載した後で、ボンディングワイヤを用いてエミッタパッド16およびゲートパッド17のそれぞれを対応するリードと電氣的に接続するために形成するものである。

30

【0100】

次に、図39～図41に示すように、基板2Aの裏面を研削し、ベース層2を形成する。前記実施の形態1で説明したように、ベース層2の厚さは、IGBTの耐圧に合わせて決定するものであり、耐圧600Vであれば $60\mu\text{m} \sim 100\mu\text{m}$ 程度となるまで、また耐圧1200Vであれば $120\mu\text{m} \sim 150\mu\text{m}$ 程度となるまで基板2Aの裏面を研削するものである。

40

【0101】

続いて、ベース層2（基板2A）の裏面にPおよびBを順次導入し、 $n^+$ 型バッファ層18および $p$ 型コレクタ層19を形成する。

【0102】

続いて、ベース層2（基板2A）の裏面にコレクタ電極20を形成する。このコレクタ電極20は、たとえばスパッタリング法または蒸着法により、 $p$ 型コレクタ層19に近い順からAl膜、Ti膜、Ni膜およびAu膜を積層することで形成することができる。また、 $p$ 型コレクタ層19に近い順からNi膜、Ti膜、Ni膜およびAu膜を積層したコレクタ電極20、もしくは $p$ 型コレクタ層19に近い順からTi膜、Ni膜およびAu膜

50

を積層したコレクタ電極 20 としてもよい。

【0103】

次いで、基板 2A を分割領域（ダイシングライン）に沿って切断することにより、個々のチップ 1（図 19 参照）へ個片化する。続いて、リードフレームを用意し、個変化されたチップ 1 をリードフレームのダイパッドに搭載した後で、ボンディングワイヤを用いてエミッタパッド 16 およびゲートパッド 17 のそれぞれを対応するリードと電氣的に接続する。その後、封止用樹脂でチップ 1、リードフレームおよびボンディングワイヤを封止して、本実施の形態 2 の半導体装置を製造する。

【0104】

（実施の形態 3）

次に、本実施の形態 3 の IGBT の製造工程について、図 42 を用いて説明する。

【0105】

本実施の形態 3 の IGBT の製造工程は、前記実施の形態 2 で説明した IGBT の製造工程のうち、図 20 ~ 図 24 を用いて説明した工程までは同様である。

【0106】

その後、前記実施の形態 1 で示した n 型単結晶シリコン膜 4A の代わりに、n 型単結晶シリコン膜 4A および基板 2A より n 型の不純物濃度が高い n 型単結晶シリコン膜 4B を、埋め込み絶縁膜 3 の開口部 5 からシリコン結晶が格子レベルで連続するようにエピタキシャル法で成膜する。

【0107】

その後、前記実施の形態 2 において図 26 ~ 図 41 を用いて説明した工程を経て本実施の形態 3 の半導体装置を製造する。

【0108】

上記のような本実施の形態 3 の製造工程で製造した IGBT は、表面半導体層 4 中の n 型の不純物濃度が前記実施の形態 2 の IGBT より高くなる。たとえば、表面半導体層 4 および p 型チャネル形成層 7 が所望の厚さよりやや厚く形成されてしまった場合には、コレクタ側からエミッタ側へホール電流が流れ込んで IGBT のスイッチング動作速度を低下させてしまうことが懸念される。しかしながら、本実施の形態 3 によれば、前記実施の形態 1 よりも表面半導体層 4 中の n 型の不純物濃度が高くなっていることから、そのホール電流を表面半導体層 4 で抑制することができる。すなわち、本実施の形態 3 によれば、表面半導体層 4 の厚さが意図せず所望の厚さより厚くなってしまった場合でも、所望の特性の IGBT を得ることができる。

【0109】

上記のような本実施の形態 3 によっても、前記実施の形態 2 と同様の効果を得ることができる。

【0110】

（実施の形態 4）

次に、本実施の形態 4 の IGBT の製造工程について、図 43 および図 44 を用いて説明する。

【0111】

本実施の形態 4 の IGBT の製造工程は、前記実施の形態 1 で説明した IGBT の製造工程のうち、図 20 ~ 図 24 を用いて説明した工程までは同様である。

【0112】

その後、図 43 に示すように、前記実施の形態 2 で示した n 型単結晶シリコン膜 4A の代わりに、p 型の導電型の不純物がドーブされた p 型単結晶シリコン膜を、埋め込み絶縁膜 3 の開口部 5 からシリコン結晶が格子レベルで連続するようにエピタキシャル法で成膜する。この時、ドーブする p 型の導電型の不純物の濃度は、本実施の形態 4 の IGBT のチャネル形成層でしきい値電圧を決めるのに最適な濃度となるようにする。

【0113】

次いで、フィールド絶縁膜 6 をストッパ（研磨終点）とした CMP 法によりその p 型単

10

20

30

40

50

結晶シリコン膜を研磨し、フィールド絶縁膜 6 による段差で厚さが規定される p 型チャネル形成層 7 A を形成する。

【 0 1 1 4 】

次に、図 4 4 に示すように、フォトリソグラフィ技術によりパターニングされたフォトレジスト膜をマスクとして、平面での p 型チャネル形成層 7 A の中央部、すなわち開口部 5 上の p 型チャネル形成層 7 A に n 型の導電型の不純物（たとえば P）を導入し、表面半導体層 4 D を形成する。この時、導入する n 型の導電型の不純物の濃度については、その理由と併せて後述する。

【 0 1 1 5 】

次いで、前記実施の形態 1 において、図 2 7 および図 2 8 を用いて説明した工程と同様の工程によってゲート絶縁膜 1 0 およびゲート電極 1 1 を形成する。その後、前記実施の形態 2 において図 2 9 ~ 図 4 1 を用いて説明した工程を経て本実施の形態 4 の半導体装置を製造する。

【 0 1 1 6 】

上記のような本実施の形態 4 の製造工程で製造した I G B T では、埋め込み絶縁膜 3 に設けられた開口部 3 下において、ベース層 2 が n 型の表面半導体層 4 D と接続しなければならない。そのため、n 型の表面半導体層 4 D を形成するには、p 型チャネル形成層 7 A の p 型を打ち消して n 型に変えられるだけの濃度の n 型の導電型の不純物の導入が必要となる。その結果、表面半導体層 4 D 中の不純物濃度はベース層 2 中の不純物濃度よりも高くなり、比抵抗では、表面半導体層 4 D はベース層 2 よりも低くなる。また、表面半導体層 4 D 中では、n 型の導電型の不純物の濃度が高くなっていることから、前記実施の形態 3 と同様に、ホール電流を表面半導体層 4 D で抑制することができる。すなわち、本実施の形態 4 によれば、前記実施の形態 3 と同様に、表面半導体層 4 の厚さが意図せず所望の厚さより厚くなってしまった場合でも、所望の特性の I G B T を得ることができる。

【 0 1 1 7 】

また、表面半導体層 4 D は、前記実施の形態 2 での表面半導体層 4 と同様に 2 0 n m ~ 4 0 n m 程度と非常に薄くなることから、前記実施の形態 2 のように表面半導体層 4 の形成後に表面半導体層 4 に p 型の不純物を導入することで p 型チャネル形成層 7 を形成すると、p 型チャネル形成層 7 中での不純物濃度の制御が難しくなり、不純物濃度のばらつきが大きくなる等の不具合も懸念される。一方、本実施の形態 4 によれば、p 型単結晶シリコン膜のエピタキシャル成膜の段階で p 型チャネル形成層 7 A 中の不純物濃度のばらつきが決定される。つまり、その不純物濃度のばらつきはエピタキシャル炉の性能によって決まるものであり、イオン注入によって不純物導入を行う方法に比べると、不純物濃度のばらつきを小さく抑えることが可能となる。その結果、本実施の形態 4 の I G B T のしきい値電圧が安定する等の効果を得ることが可能となる。

【 0 1 1 8 】

上記のような本実施の形態 4 によっても、前記実施の形態 2、3 と同様の効果を得ることができる。

【 0 1 1 9 】

（実施の形態 5）

次に、本実施の形態 5 の I G B T の製造工程について、図 4 5 ~ 図 5 3 を用いて説明する。

【 0 1 2 0 】

本実施の形態 5 は、前記実施の形態 1 で示した L O C O S 法により形成したフィールド絶縁膜 6 の代わりに、熱処理または C V D（Chemical Vapor Deposition）法等で堆積した絶縁膜を用いるものであり、平面パターンは、前記実施の形態 2 で示した図 1 9 におけるフィールド絶縁膜 6 が本実施の形態 5 の絶縁膜に変わるのみである。

【 0 1 2 1 】

まず、図 4 5 および図 4 6 に示すように、基板 2 A に熱処理を施して、基板 2 A の主面に薄い酸化シリコン膜 2 B を形成する。

10

20

30

40

50

## 【 0 1 2 2 】

次に、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜 2 D をマスクとして基板 2 A の主面に p 型の導電型の不純物（たとえば B）を導入し、p 型フィールドリミットングリング 1 2 および p 型ウエル 1 2 A（図 1 9 も参照）を形成する。

## 【 0 1 2 3 】

次に、図 4 7 および図 4 8 に示すように、たとえば熱処理または C V D 法による酸化シリコン膜の堆積により、基板 2 A 上に膜厚 6 0 0 n m 程度の絶縁膜（埋め込み絶縁膜の厚膜部）6 A を形成する。前記実施の形態 1 におけるフィールド絶縁膜 6 と同様に、この絶縁膜 6 A の膜厚によって後の工程で形成する表面半導体層 4 の厚さが決定されるものであり、本実施の形態 5 においても表面半導体層 4 の厚さが 2 0 n m ~ 4 0 n m 程度となるように絶縁膜 6 A の膜厚を調整しなければならない。

10

## 【 0 1 2 4 】

次に、図 4 9 および図 5 0 に示すように、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜をマスクとしたエッチングにより絶縁膜 6 A をパターニングし、基板 2 A に達する複数の開口部 6 B を形成する。本実施の形態 5 では、これら複数の開口部 6 B および残った絶縁膜 6 A によって、基板 2 A の主面では活性領域（平面で開口部 6 B が形成された領域）が規定される。

## 【 0 1 2 5 】

次に、図 5 1 および図 5 2 に示すように、基板 2 A に熱処理を施すことにより、開口部 6 B の底部に露出した基板 2 A の表面に薄い酸化シリコン膜 2 E を形成する。次いで、図 5 3 に示すように、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜をマスクとして酸化シリコン膜 2 E をエッチングする。それにより、開口部 5 を備えた埋め込み絶縁膜 3 を形成することができる。この時、開口部 5 の底面には基板 2 A の表面が露出する。

20

## 【 0 1 2 6 】

その後、前記実施の形態 2 において図 2 5 ~ 図 4 1 を用いて説明した工程と同様の工程を経て、本実施の形態 5 の半導体装置を製造する。

## 【 0 1 2 7 】

上記のような本実施の形態 5 によっても、前記実施の形態 2 と同様の効果を得ることができる。

30

## 【 0 1 2 8 】

（実施の形態 6）

次に、本実施の形態 6 の I G B T の製造工程について、図 5 4 ~ 図 5 7 を用いて説明する。

## 【 0 1 2 9 】

本実施の形態 6 の I G B T の製造工程は、前記実施の形態 5 において説明した p 型フィールドリミットングリング 1 2 および p 型ウエル 1 2 A を形成する工程までは、前記実施の形態 5 と同様である。

## 【 0 1 3 0 】

その後、図 5 4 に示すように、基板 2 A の主面に対して選択的に酸素イオンを注入することによって、基板 2 A 中に開口部 5 を備えた埋め込み絶縁膜 3 を形成する。

40

## 【 0 1 3 1 】

次に、図 5 5 に示すように、前記実施の形態 1 において図 2 7 および図 2 8 を用いて説明した工程と同様の工程によって、ゲート絶縁膜 1 0 およびゲート電極 1 1 を形成する。

## 【 0 1 3 2 】

続いて、ゲート電極 1 1 の存在下で基板 2 A の主面に p 型の導電型の不純物（たとえば B）を導入し、次いで、基板 2 A に熱処理を施すことにより、その p 型の導電型の不純物を拡散させ、p 型チャネル形成層 7 を形成する。

## 【 0 1 3 3 】

次に、図 5 6 および図 5 7 に示すように、前記実施の形態 1 において図 3 0 および図 3

50

1を用いて説明した工程と同様の工程によって、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜をマスクとして、p型チャネル形成層7および基板2Bにn型の導電型の不純物(たとえばAsまたはP)を導入する。次いで、基板2Aに熱処理を施すことにより、そのn型の導電型の不純物を拡散させ、n<sup>+</sup>型ソース層8およびn型ガードリング領域13(図19も参照)を形成する。

【0134】

その後、前記実施の形態2において図32~図41を用いて説明した工程と同様の工程を経て、本実施の形態6の半導体装置を製造する。

【0135】

本実施の形態6において、前記実施の形態2~5で説明した表面半導体層4、4Dに相当するのは、基板2Aのうちの埋め込み絶縁膜3上の部分である。すなわち、この基板2Aのうちの埋め込み絶縁膜3上の部分の厚さが20nm~40nm程度となるように埋め込み絶縁膜3を形成するものであるが、これはゲート電極11付近でのことであり、他の部分、たとえばn<sup>+</sup>型ソース層8およびp<sup>+</sup>型エミッタ層9に達するコンタクトホール15(たとえば図1参照)の下部となる部分は、より厚くなっていてもよい。コンタクトホール15を形成する際のエッチングにより、コンタクトホール15下のシリコンもわずかではあるがエッチングされてしまうため、基板2Aのうちの埋め込み絶縁膜3上の部分の厚さが20nm~40nm程度まで薄くなっていると、コンタクトホール15と埋め込み絶縁膜3との間のシリコン層がなくなってしまう虞があり、むしろコンタクトホール15と埋め込み絶縁膜3との間のシリコン層のみは、厚い方が好ましいことになる。

10

20

【0136】

本実施の形態6では、埋め込み絶縁膜3を基板2Aの主面に対して選択的に酸素イオンを注入することで形成していることから、局所的に複数回の酸素イオン注入を行うことで埋め込み絶縁膜3の厚さを局所的に厚くすることが可能である。それにより、基板2Aのうちの埋め込み絶縁膜3上の部分についても、局所的に厚さを変えることが可能となる。その結果、コンタクトホール15と埋め込み絶縁膜3との間のシリコン層を局所的に厚くできるので、コンタクトホール15を形成した際にコンタクトホール15と埋め込み絶縁膜3との間のシリコン層がなくなってしまう不具合を防ぐことが可能となる。

【0137】

上記のような本実施の形態6によっても、前記実施の形態2と同様の効果を得ることができる。

30

【0138】

(実施の形態7)

次に、本実施の形態7のIGBTの製造工程について、図58を用いて説明する。

【0139】

本実施の形態7のIGBTの製造工程は、前記実施の形態1のIGBTの製造工程とほぼ同様であるが、図58に示すように、チップ1の外周部において、基板2Aの主面に予めフィールド絶縁膜6の厚さと同程度の段差2Fを設け、チップ1の外周部における基板2Aの主面を他の領域より低くしておくものである。

【0140】

たとえばエッチング工程等の影響によって、チップ1の外周部に形成されたフィールド絶縁膜6の高さと、表面半導体層7が形成される活性領域のフィールド絶縁膜6の高との間に差が生じてしまった場合で、特に活性領域のフィールド絶縁膜6がチップ1の外周部に形成されたフィールド絶縁膜6より低くなってしまった場合には、表面半導体層7を形成する際のCMP工程に不具合を生じてしまう虞がある。すなわち、そのCMP工程は、フィールド絶縁膜6を研磨終点として行うものであることから、高さの高い方のフィールド絶縁膜6が基準となって研磨が終点となってしまうことになる。そのため、そのCMP工程後において、活性領域のフィールド絶縁膜6上に表面半導体層7が延在してしまう等の好ましくない形状で表面半導体層7が残ってしまう虞がある。

40

【0141】

50

そこで、本実施の形態 7 のように、チップ 1 の外周部において、基板 2 A の主面に予めフィールド絶縁膜 6 の厚さと同程度の段差 2 F を設け、チップ 1 の外周部における基板 2 A の主面を他の領域より低くしておくことにより、活性領域のフィールド絶縁膜 6 がチップ 1 の外周部に形成されたフィールド絶縁膜 6 より低くなってしまうことを防ぐことができる。それにより、表面半導体層 7 が好ましくない形状で残ってしまう不具合を防ぐことが可能となる。

#### 【 0 1 4 2 】

( 実施の形態 8 )

本実施の形態 8 は、前記実施の形態 2 ~ 7 で説明した I G B T の適用例であり、後述する図 5 9 および図 6 0 に示す回路図中の I G B T が前記実施の形態 2 ~ 7 で説明した I G B T に該当する。

10

#### 【 0 1 4 3 】

図 5 9 は、一相インバータの基本回路図である。図 5 9 に示すように、基本的な一相インバータは、直流電源 V d d 、 4 個の I G B T T r 1 および 1 個のコイル L 1 から形成されている。4 個の I G B T T r 1 のそれぞれには、エミッタとコレクタとの間にフリーホイールダイオード D 1 が並列に接続されている。I G B T T r 1 が電氣的に接続された負荷が容量性負荷もしくは誘導性負荷の場合には、オンしているスイッチング方向とは逆の方向に負荷電流を流すモードを備えているが、I G B T T r 1 は、単体ではこの逆方向電流を流し得る機能を有していない。そのため、I G B T T r 1 のスイッチング方向とは逆並列方向にフリーホイールダイオード D 1 が接続されているのである。

20

#### 【 0 1 4 4 】

また、図 6 0 は、モータ駆動等に用いられる三相インバータの基本回路図である。図 6 0 に示すように、基本的な三相インバータは、直流電源 V d d 、 6 個の I G B T T r 1 および 3 個のコイル L 1 から形成されている。一相インバータの場合 ( 図 5 9 参照 ) と同様に、6 個の I G B T T r 1 のそれぞれには、エミッタとコレクタとの間にフリーホイールダイオード D 1 が並列に接続されている。

#### 【 0 1 4 5 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

30

#### 【 0 1 4 6 】

たとえば、前記実施の形態では、埋め込み絶縁膜を酸化シリコン膜から形成する場合について説明したが、酸化シリコン膜の代わりに窒化シリコン膜から形成してもよい。

#### 【 産業上の利用可能性 】

#### 【 0 1 4 7 】

本発明の半導体装置およびその製造方法は、たとえば鉄道車両およびハイブリッドカーにおけるモータドライブ用インバータ等の種々のインバータに適用することができる。

#### 【 図面の簡単な説明 】

#### 【 0 1 4 8 】

【 図 1 】本発明の実施の形態 1 の半導体装置である I G B T を有するチップの要部断面図である。

40

【 図 2 】本発明の実施の形態 1 の I G B T について、シミュレーションによって求めたオン電圧とコレクタ電流との関係 ( 直流出力特性 ) を表面半導体層の厚さ毎に示す説明図である。

【 図 3 】本発明の実施の形態 1 の I G B T における表面半導体層の厚さとオン電圧との関係を示した説明図である。

【 図 4 】本発明の実施の形態 1 の I G B T におけるオン電圧とターンオフ損失との関係 ( 特性 ) を示した説明図である。

【 図 5 】プレーナ型 I G B T におけるホールの動きを説明するエネルギーバンド図である。

50



【図 6】プレーナ型 I G B T におけるホールの動きを説明するエネルギーバンド図である。

【図 7】プレーナ型 I G B T におけるホールの動きを説明するエネルギーバンド図である。

【図 8】本発明の実施の形態 1 の I G B T と比較した I G B T を有するチップの要部断面図である。

【図 9】本発明の実施の形態 1 の I G B T のオン状態での動作を示す説明図である。

【図 10】本発明の実施の形態 1 の I G B T と比較した I G B T における表面半導体層、ベース層、 $n^+$ 型バッファ層および p 型コレクタ層を通じた深さと、キャリア密度との関係を示した説明図である。

【図 11】本発明の実施の形態 1 の I G B T と比較した I G B T における表面半導体層、ベース層、 $n^+$ 型バッファ層および p 型コレクタ層を通じた深さと、キャリア密度との関係を示した説明図である。

【図 12】本発明の実施の形態 1 の I G B T における表面半導体層、ベース層、 $n^+$ 型バッファ層および p 型コレクタ層を通じた深さと、キャリア密度との関係を示した説明図である。

【図 13】本発明の実施の形態 1 の半導体装置である I G B T を有するチップの要部断面図である。

【図 14】本発明の実施の形態 1 の I G B T と比較した I G B T のオン状態での動作を示す説明図である。

【図 15】本発明の実施の形態 1 の I G B T のオン状態での動作を示す説明図である。

【図 16】本発明の実施の形態 1 の I G B T における動作電圧に対するエミッタ電流の内訳を示す説明図である。

【図 17】本発明の実施の形態 1 の I G B T と比較した I G B T における動作電圧に対するエミッタ電流の内訳を示す説明図である。

【図 18】本発明の実施の形態 1 の I G B T と比較した I G B T における動作電圧に対するエミッタ電流の内訳を示す説明図である。

【図 19】本発明の実施の形態 1 の半導体装置である I G B T を有するチップの要部平面図である。

【図 20】本発明の実施の形態 2 である I G B T の製造方法を説明する要部断面図である。

【図 21】本発明の実施の形態 2 である I G B T の製造方法を説明する要部断面図である。

【図 22】図 20 に続く I G B T の製造工程中の要部断面図である。

【図 23】図 21 に続く I G B T の製造工程中の要部断面図である。

【図 24】図 23 に続く I G B T の製造工程中の要部断面図である。

【図 25】図 24 に続く I G B T の製造工程中の要部断面図である。

【図 26】図 25 に続く I G B T の製造工程中の要部断面図である。

【図 27】本発明の実施の形態 2 である I G B T の製造工程中の要部断面図である。

【図 28】図 26 に続く I G B T の製造工程中の要部断面図である。

【図 29】図 28 に続く I G B T の製造工程中の要部断面図である。

【図 30】本発明の実施の形態 2 である I G B T の製造工程中の要部断面図である。

【図 31】本発明の実施の形態 2 である I G B T の製造工程中の要部断面図である。

【図 32】本発明の実施の形態 2 である I G B T の製造工程中の要部断面図である。

【図 33】図 30 に続く I G B T の製造工程中の要部断面図である。

【図 34】図 31 に続く I G B T の製造工程中の要部断面図である。

【図 35】図 32 に続く I G B T の製造工程中の要部断面図である。

【図 36】図 33 に続く I G B T の製造工程中の要部断面図である。

【図 37】図 34 に続く I G B T の製造工程中の要部断面図である。

【図 38】図 35 に続く I G B T の製造工程中の要部断面図である。

10

20

30

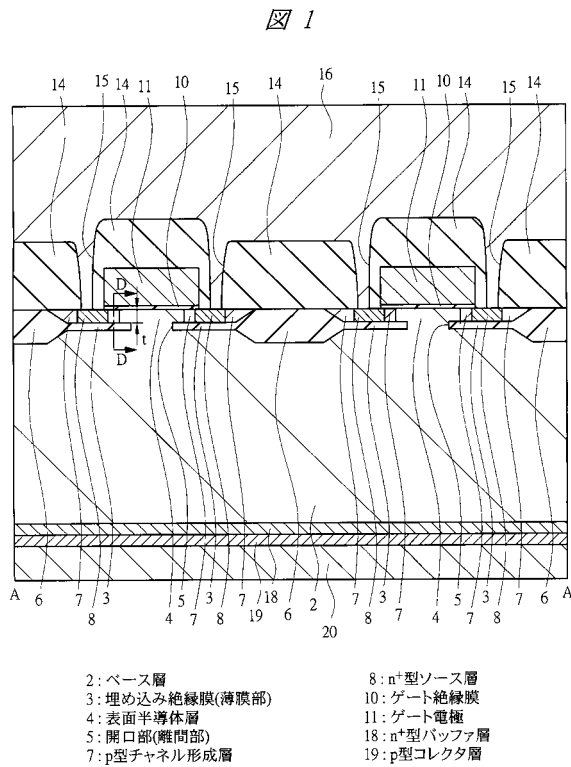
40

50

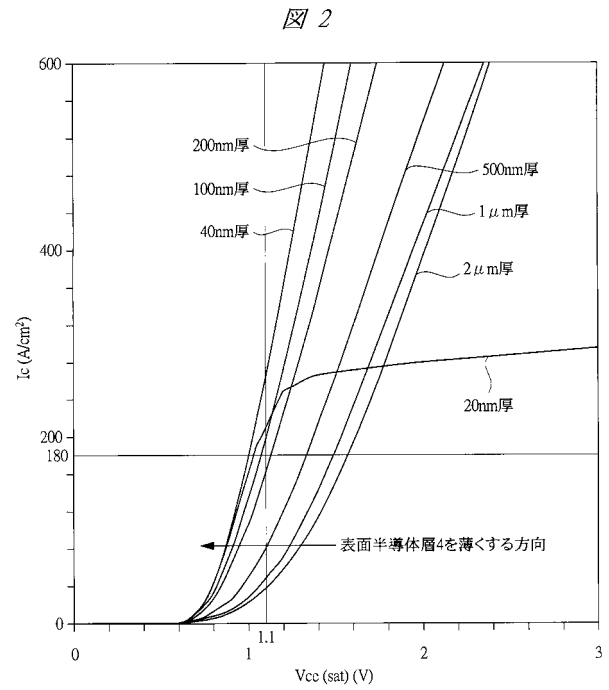
- 【図 3 9】図 3 6 に続く I G B T の製造工程中の要部断面図である。
- 【図 4 0】図 3 7 に続く I G B T の製造工程中の要部断面図である。
- 【図 4 1】図 3 8 に続く I G B T の製造工程中の要部断面図である。
- 【図 4 2】本発明の実施の形態 3 の半導体装置である I G B T の製造工程中の要部断面図である。
- 【図 4 3】本発明の実施の形態 4 の半導体装置である I G B T の製造工程中の要部断面図である。
- 【図 4 4】図 4 3 に続く I G B T の製造工程中の要部断面図である。
- 【図 4 5】本発明の実施の形態 5 の半導体装置である I G B T の製造方法を説明する要部断面図である。 10
- 【図 4 6】本発明の実施の形態 5 の半導体装置である I G B T の製造方法を説明する要部断面図である。
- 【図 4 7】図 4 5 に続く I G B T の製造工程中の要部断面図である。
- 【図 4 8】図 4 6 に続く I G B T の製造工程中の要部断面図である。
- 【図 4 9】図 4 7 に続く I G B T の製造工程中の要部断面図である。
- 【図 5 0】図 4 8 に続く I G B T の製造工程中の要部断面図である。
- 【図 5 1】図 4 9 に続く I G B T の製造工程中の要部断面図である。
- 【図 5 2】図 5 0 に続く I G B T の製造工程中の要部断面図である。
- 【図 5 3】図 5 2 に続く I G B T の製造工程中の要部断面図である。
- 【図 5 4】本発明の実施の形態 6 の半導体装置である I G B T の製造方法を説明する要部断面図である。 20
- 【図 5 5】図 5 4 に続く I G B T の製造工程中の要部断面図である。
- 【図 5 6】図 5 5 に続く I G B T の製造工程中の要部断面図である。
- 【図 5 7】本発明の実施の形態 6 の半導体装置である I G B T の製造工程中の要部断面図である。
- 【図 5 8】本発明の実施の形態 7 の半導体装置である I G B T の製造方法を説明する要部断面図である。
- 【図 5 9】本発明の実施の形態 8 の半導体装置である I G B T を含む一相インバータの基本回路図である。
- 【図 6 0】本発明の実施の形態 8 の半導体装置である I G B T を含む三相インバータの基本回路図である。 30
- 【図 6 1】本発明者らが検討したトレンチゲート型 I G B T の一例を示す要部断面と基板中のキャリア密度とを示す説明図である。
- 【図 6 2】本発明者らが検討したトレンチゲート型 I G B T における基板深さとキャリア密度との関係を示す説明図である。
- 【図 6 3】本発明者らが検討したプレーナゲート型 I G B T の一例を示す要部断面と基板中のキャリア密度とを示す説明図である。
- 【図 6 4】本発明者らが検討したプレーナゲート型 I G B T における基板深さとキャリア密度との関係を示す説明図である。
- 【図 6 5】本発明者らが検討したトレンチゲート型 I G B T およびプレーナゲート型 I G B T におけるオン電圧とターンオフ損失（熱損失）との関係を示す説明図である。 40
- 【図 6 6】本発明者らが検討したトレンチゲート型 I G B T およびプレーナゲート型 I G B T におけるターンオフ時間とオン電圧との関係を示す説明図である。
- 【符号の説明】
- 【 0 1 4 9 】
- 1 チップ
  - 2 ベース層
  - 2 A 基板
  - 2 B 酸化シリコン膜
  - 2 C 窒化シリコン膜
- 50

2 D	フォトレジスト膜	
2 E	酸化シリコン膜	
2 F	段差	
3	埋め込み絶縁膜（薄膜部）	
4、4 D	表面半導体層	
4 A	n <sup>-</sup> 型単結晶シリコン膜	
4 B	n型単結晶シリコン膜	
4 C	p型チャネル形成層	
5	開口部（離間部）	
6	フィールド絶縁膜（埋め込み絶縁膜の厚膜部）	10
6 A	絶縁膜（埋め込み絶縁膜の厚膜部）	
6 B	開口部	
7、7 A	p型チャネル形成層	
7 A	n型反転層	
7 B	n <sup>-</sup> 型反転層	
8	n <sup>+</sup> 型ソース層	
8 A	フォトレジスト膜	
9	p <sup>+</sup> 型エミッタ層	
9 A	フォトレジスト膜	
10	ゲート絶縁膜	20
11	ゲート電極	
12	p型フィールドリミッティングリング	
12 A	p型ウエル	
13	n型ガードリング領域	
13 A	ガードリング電極	
14	絶縁膜	
15	開口部	
16	エミッタパッド（エミッタ電極）	
17	ゲートパッド	
17 A	ゲートフィンガー	30
18	n <sup>+</sup> 型バッファ層	
19	p型コレクタ層	
20	コレクタ電極	
101	p <sup>+</sup> 型半導体基板	
102	n <sup>-</sup> ベース層	
103	埋め込み絶縁膜	
104	表面半導体層	
105	開口部	
107	p型チャネル層	
108	n <sup>+</sup> 型ソース領域	40
109	p <sup>+</sup> 型エミッタ層	
110	ゲート絶縁膜	
116	エミッタ電極	
118	n型バッファ層	
119	p型コレクタ層	
120	コレクタ金属電極	
D1	フリーホイールダイオード	
L1	コイル	
Tr1	I G B T	
V d d	直流電源	50

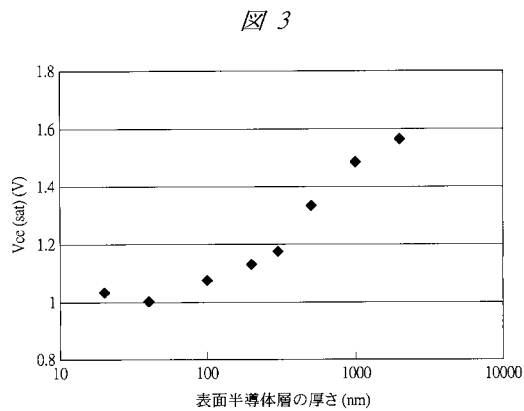
【図1】



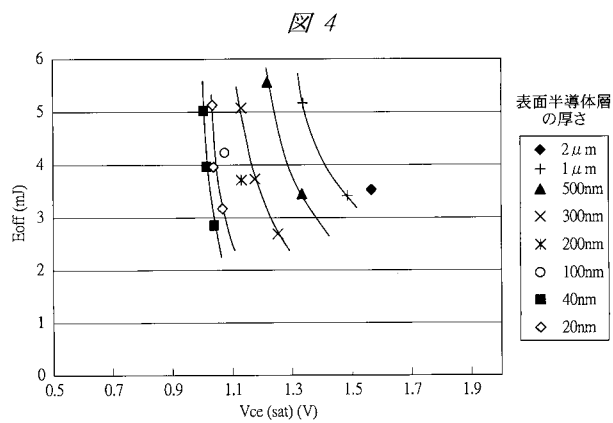
【図2】



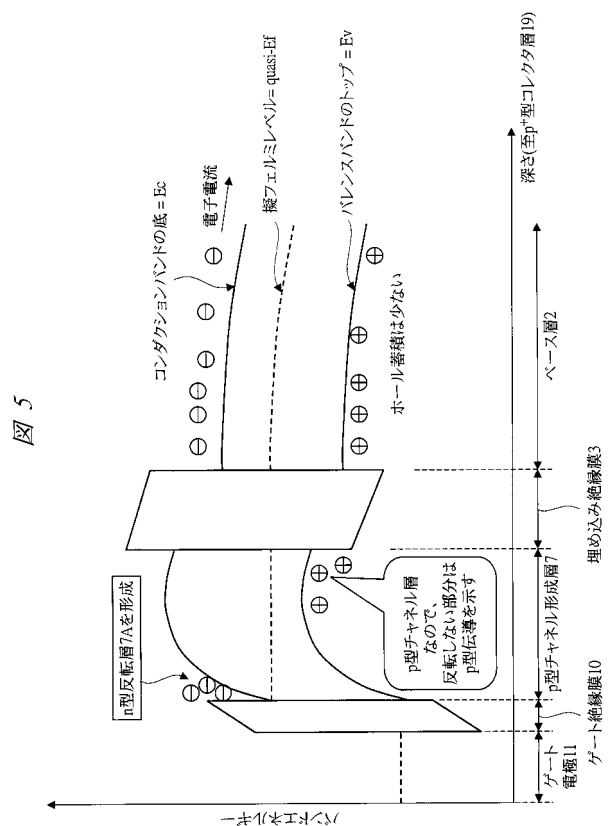
【図3】



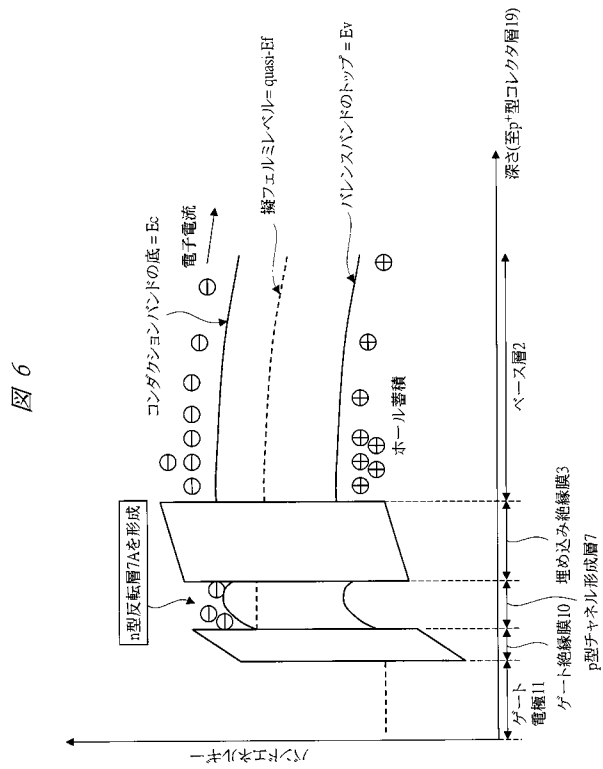
【図4】



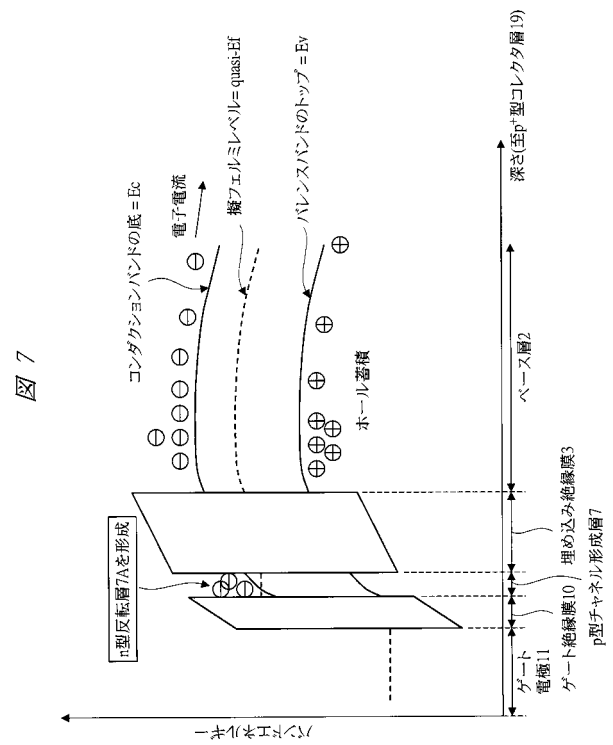
【図5】



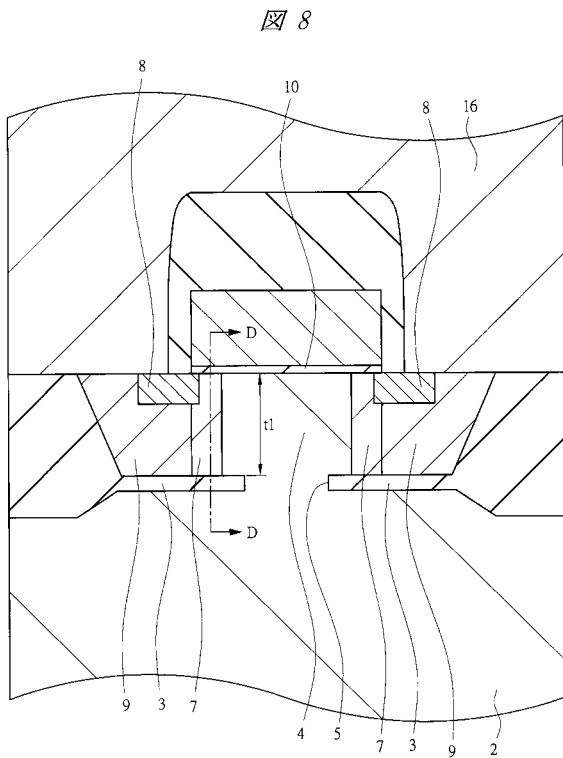
【図 6】



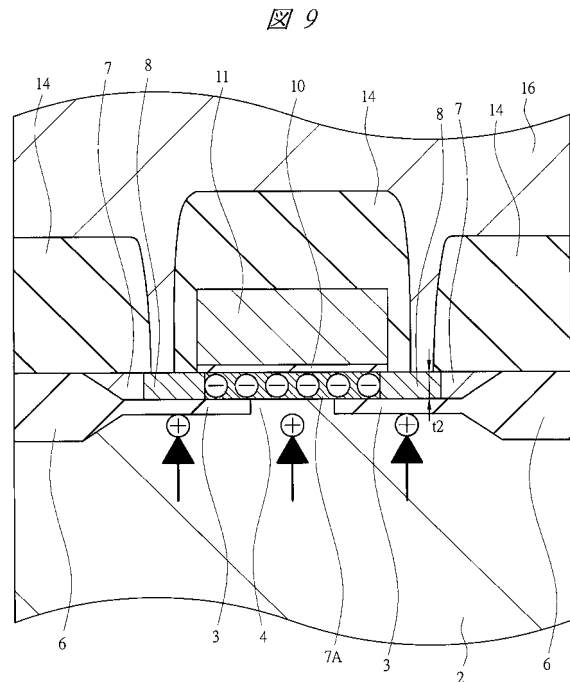
【図 7】



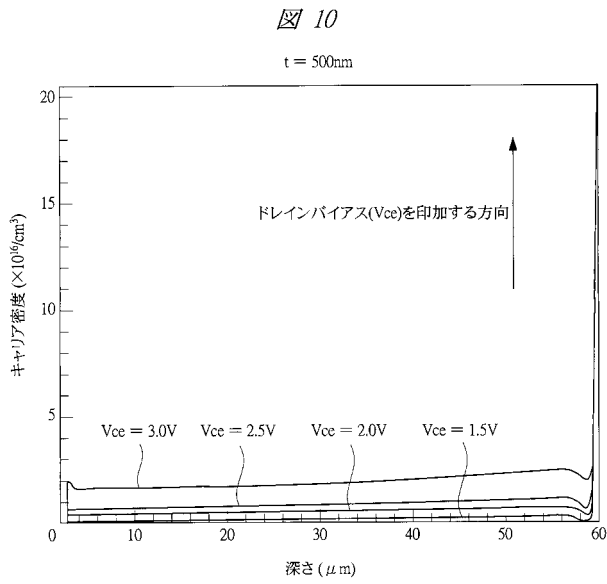
【図 8】



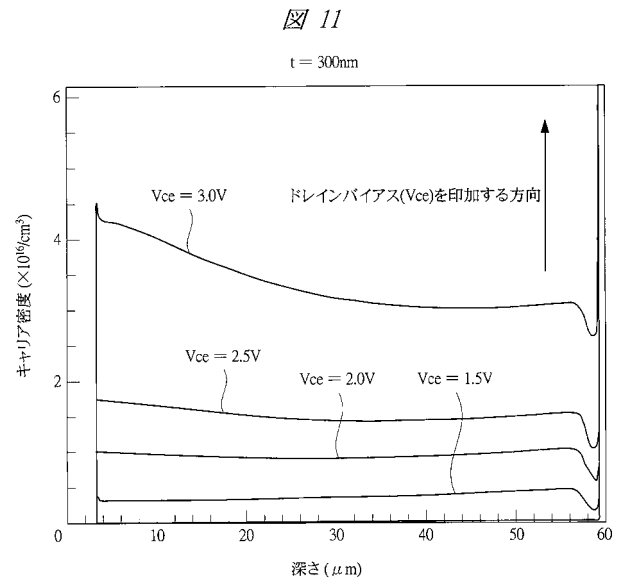
【図 9】



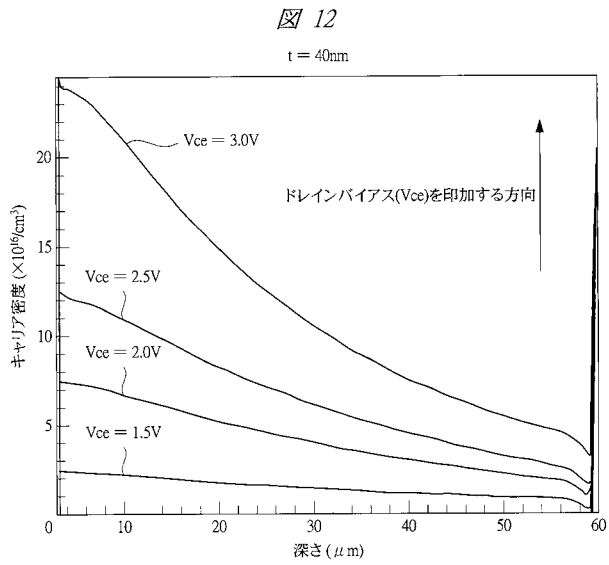
【図 10】



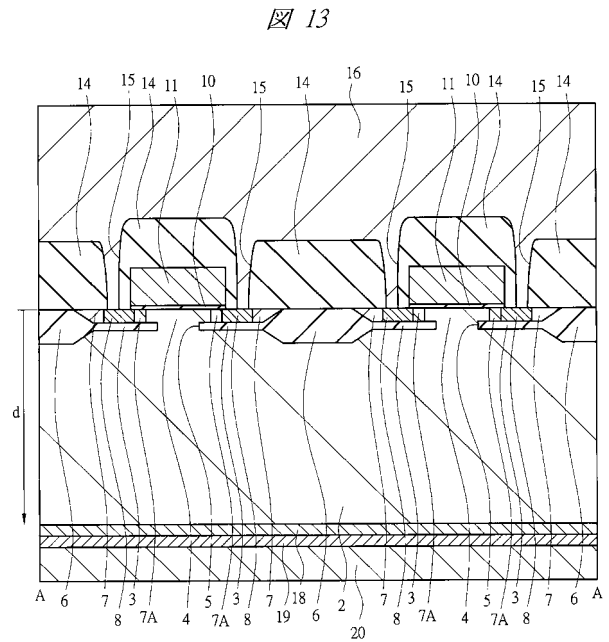
【図 11】



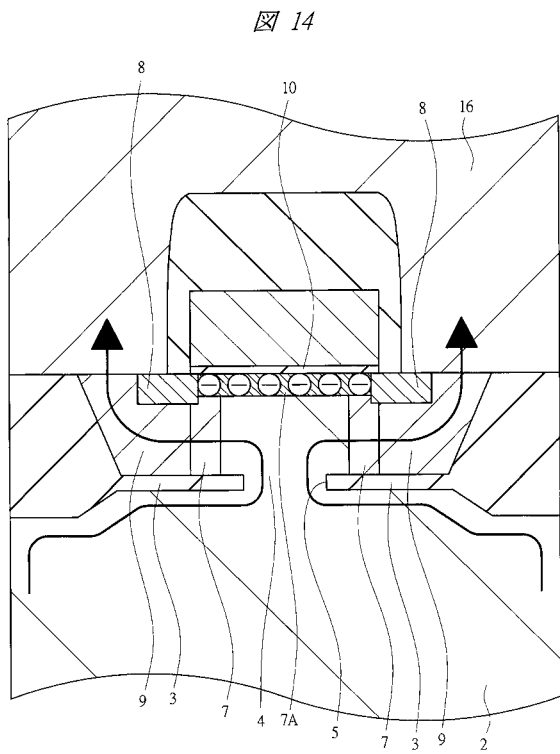
【図 12】



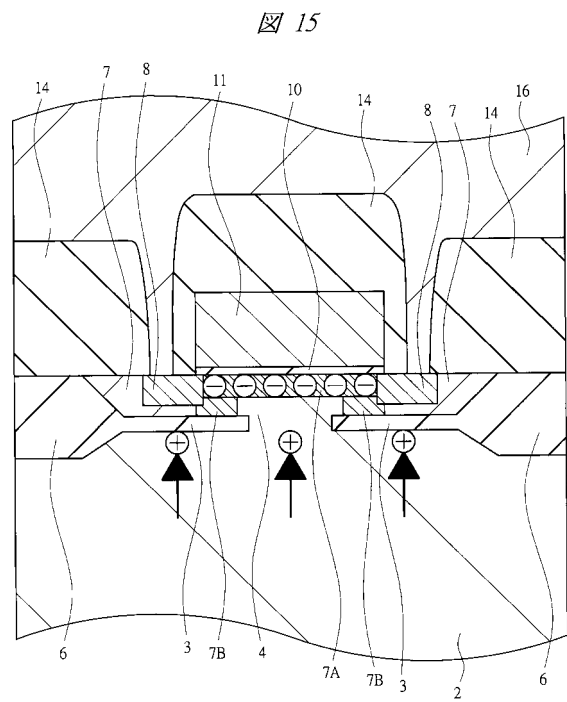
【図 13】



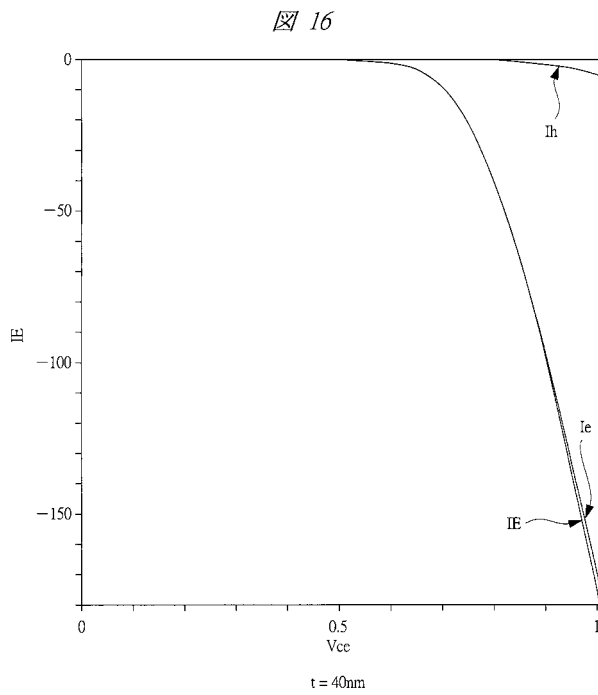
【図 14】



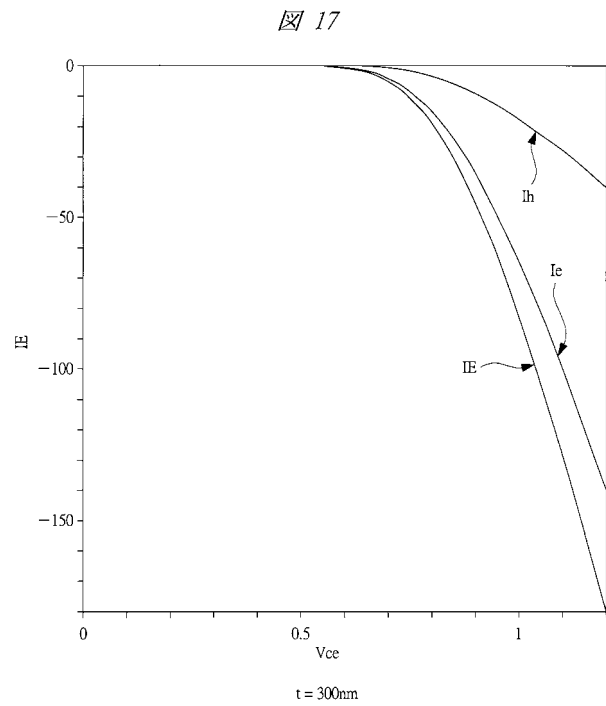
【図 15】



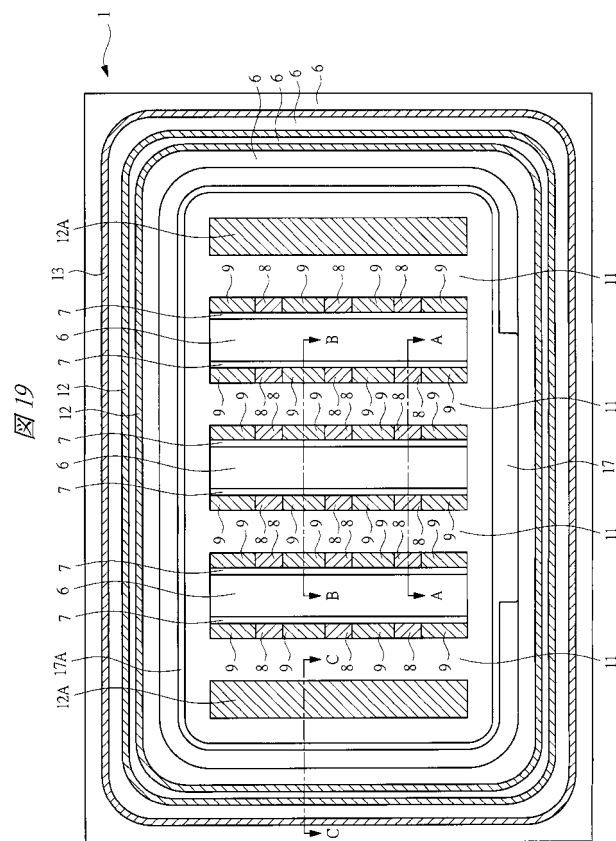
【図 16】



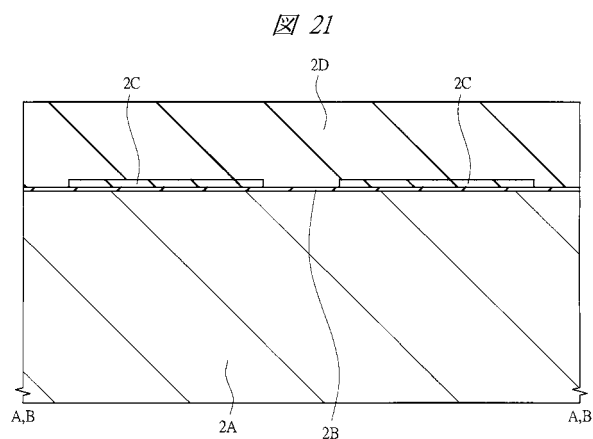
【図 17】



【 図 1 9 】

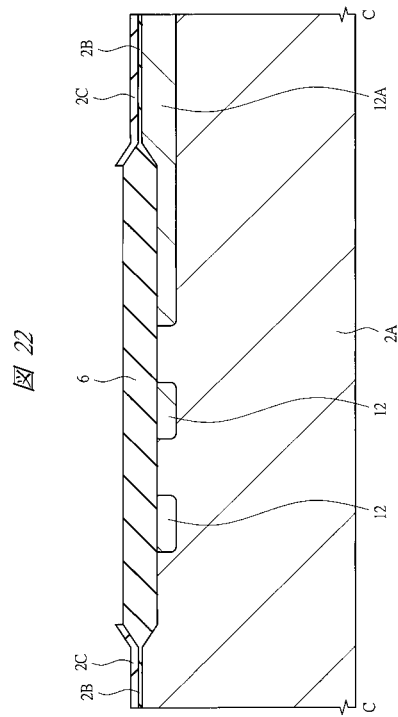


【 図 2 1 】

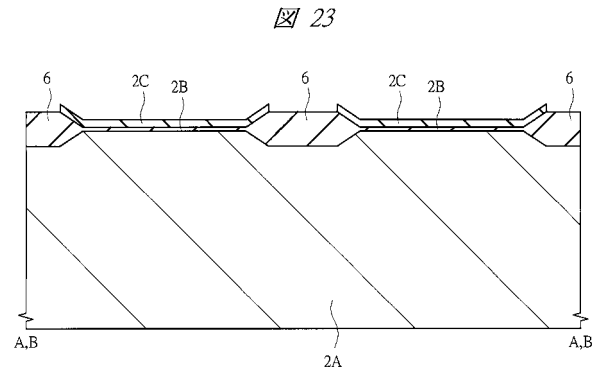




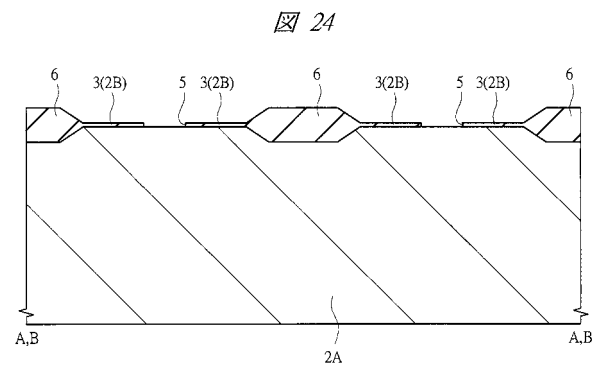
【図 22】



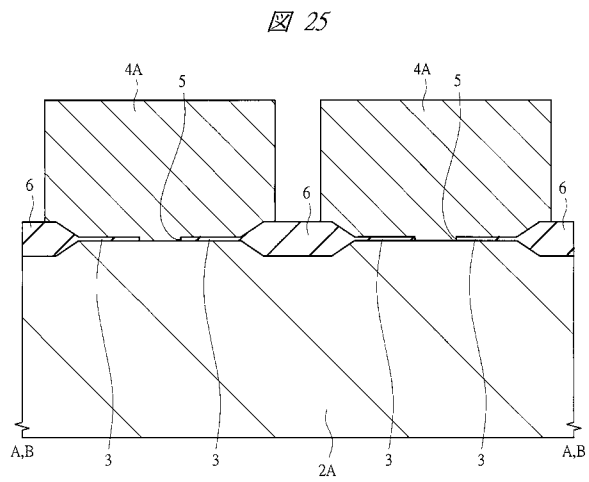
【図 23】



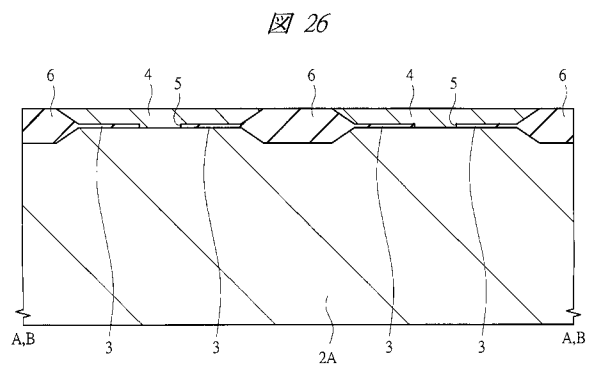
【図 24】



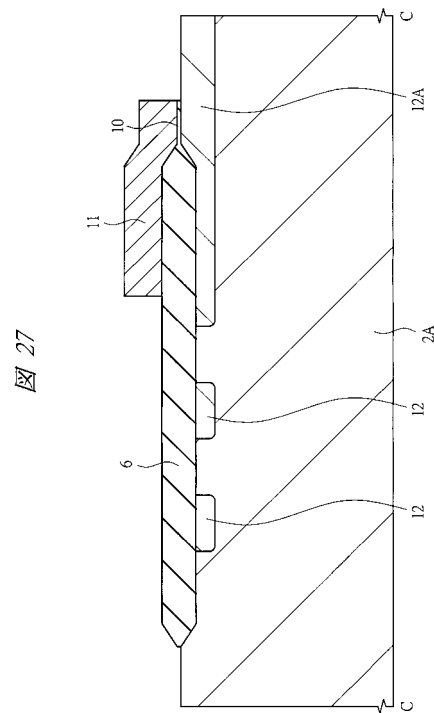
【図 25】



【図 26】

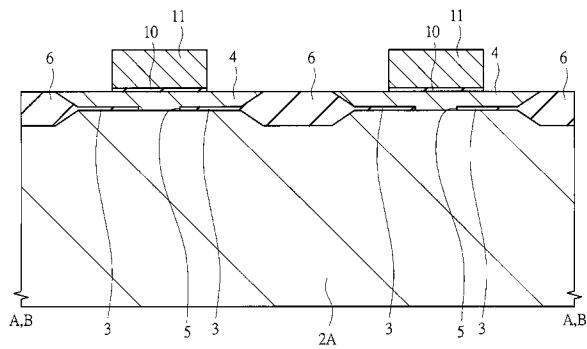


【図 27】



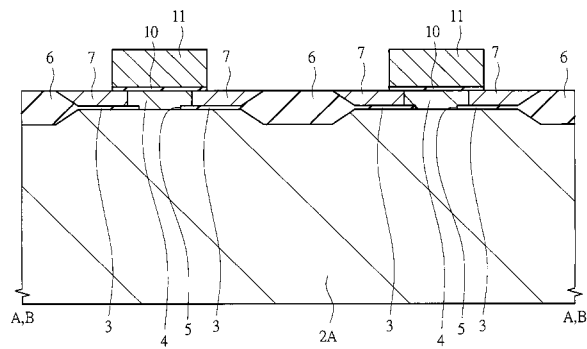
【図 28】

図 28



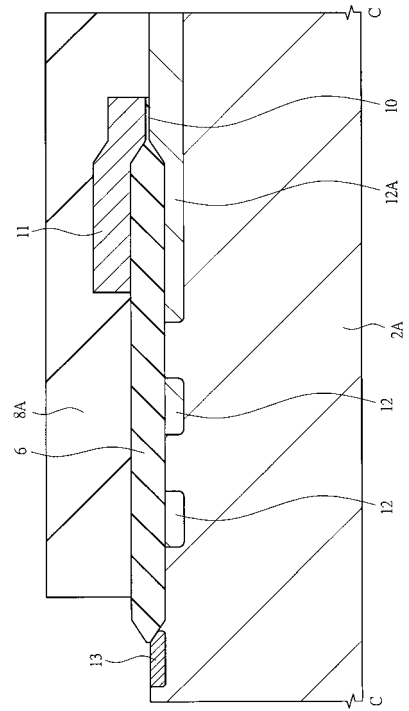
【図 29】

図 29



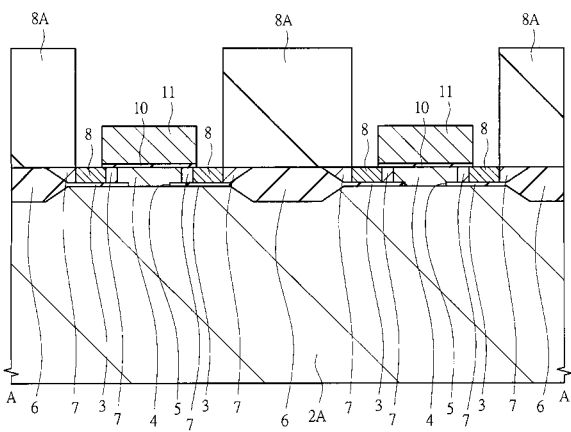
【図 30】

図 30



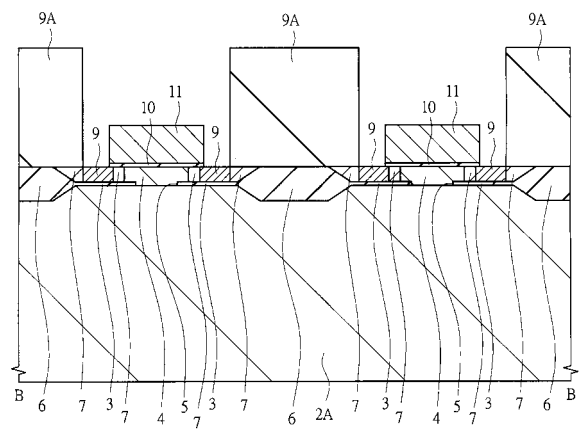
【図 31】

図 31

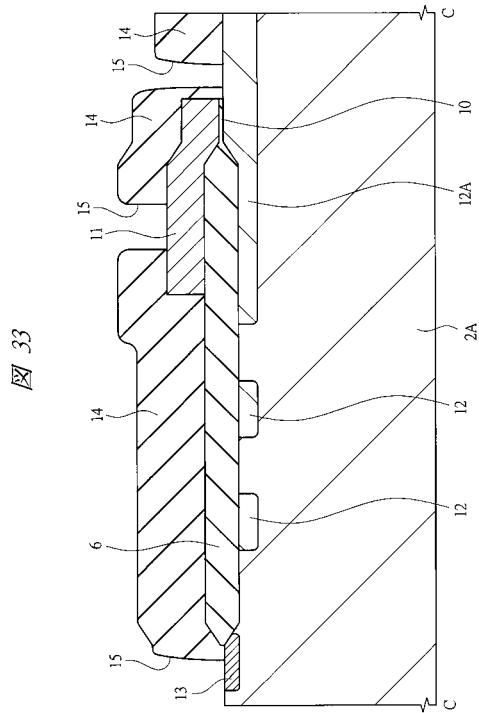


【図 32】

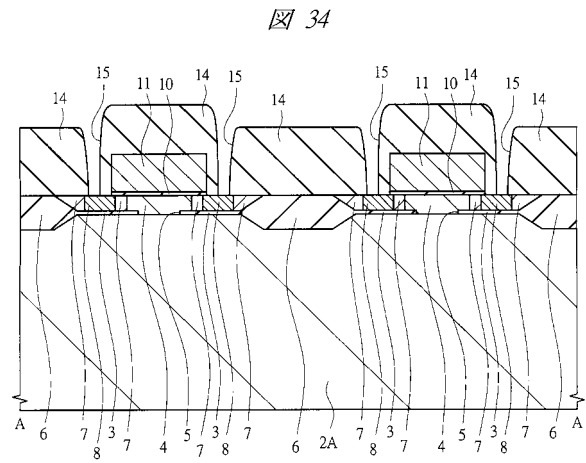
図 32



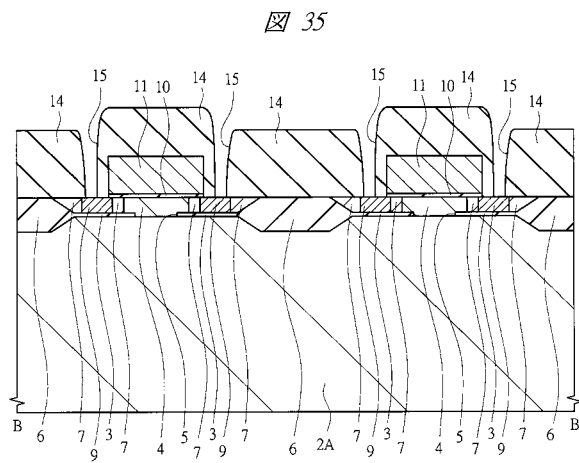
【図 33】



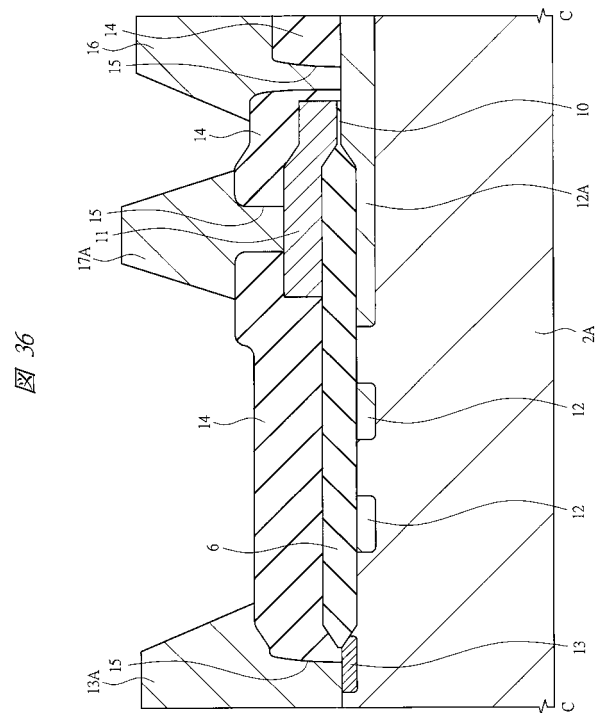
【図 34】



【図 35】

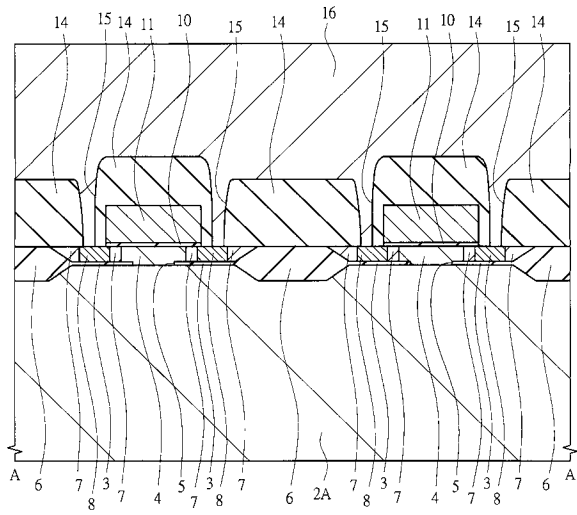


【図 36】



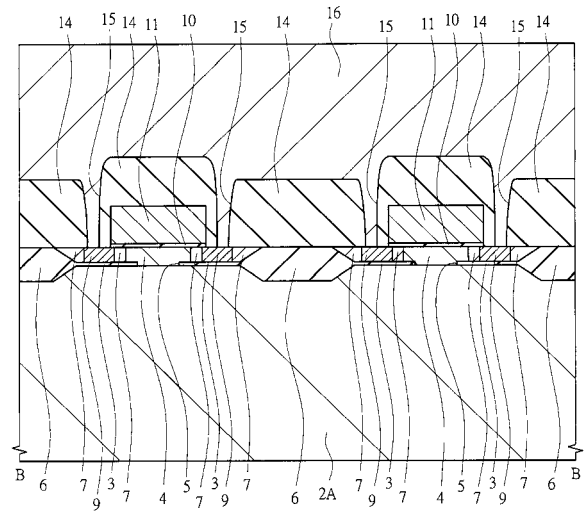
【図 37】

図 37



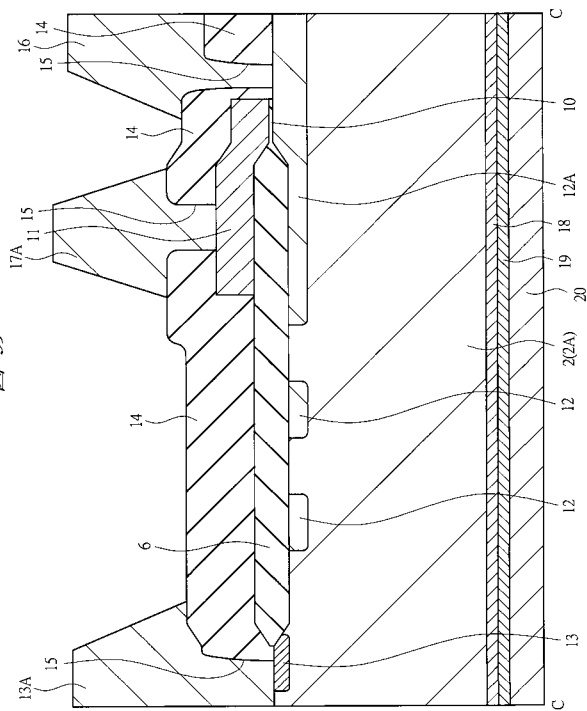
【図 38】

図 38



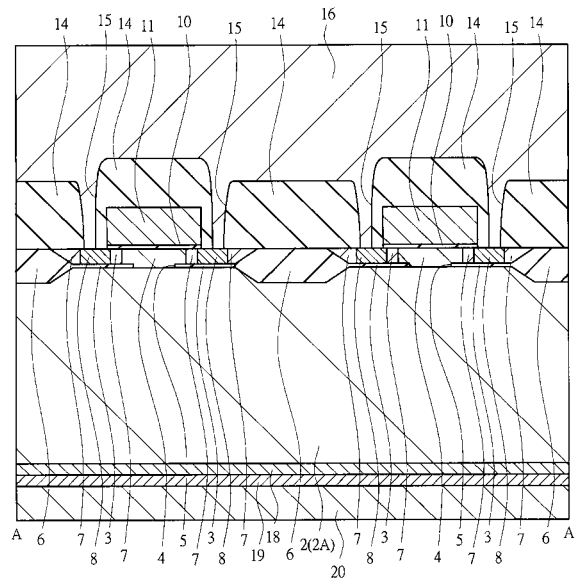
【図 39】

図 39

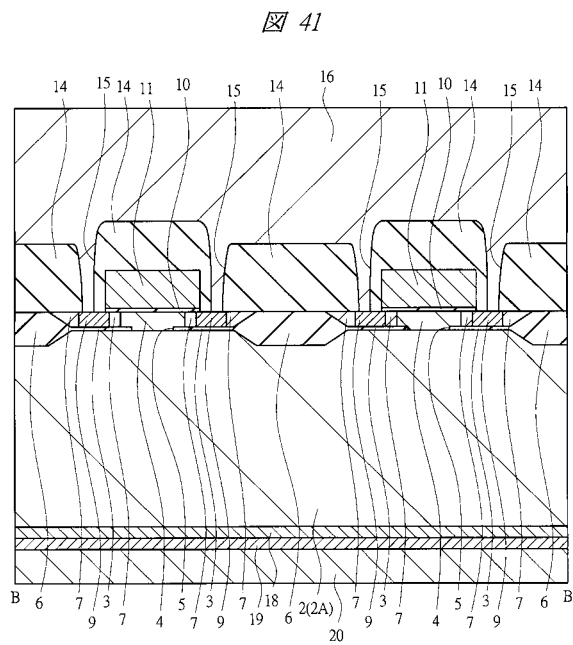


【図 40】

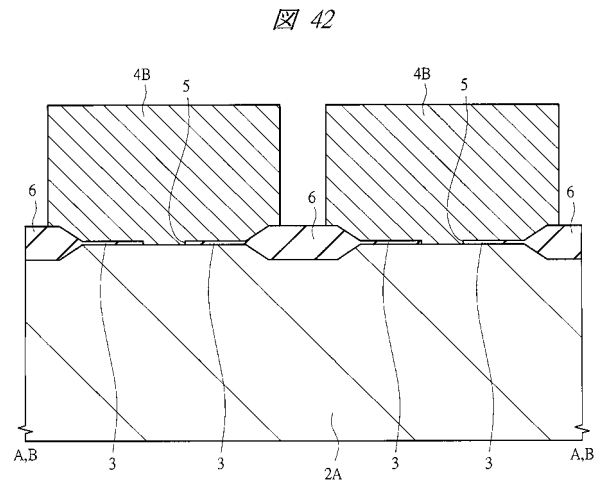
図 40



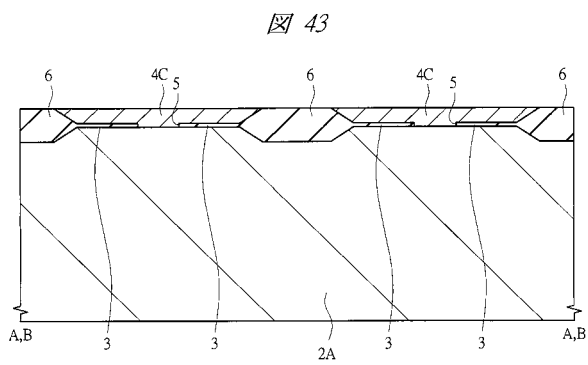
【図 4 1】



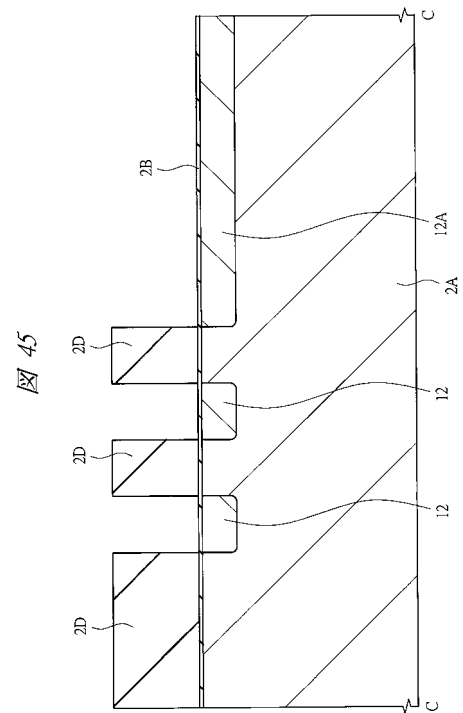
【図 4 2】



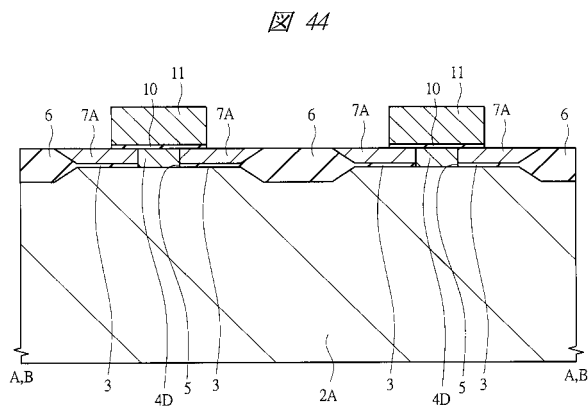
【図 4 3】



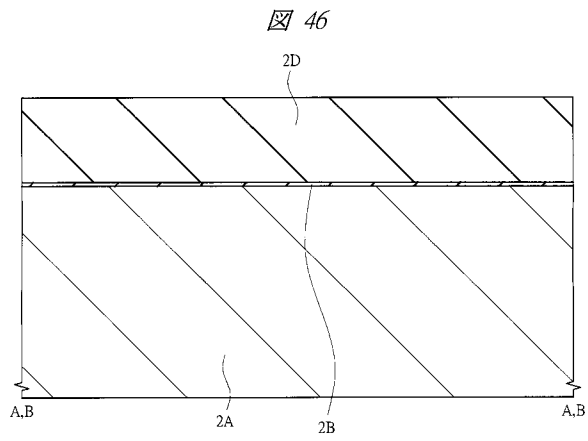
【図 4 5】



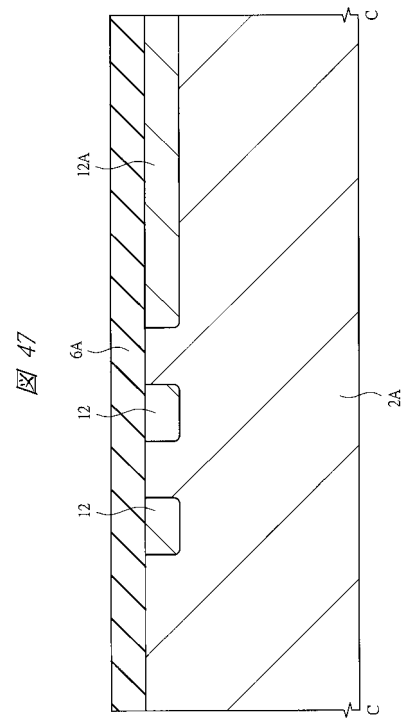
【図 4 4】



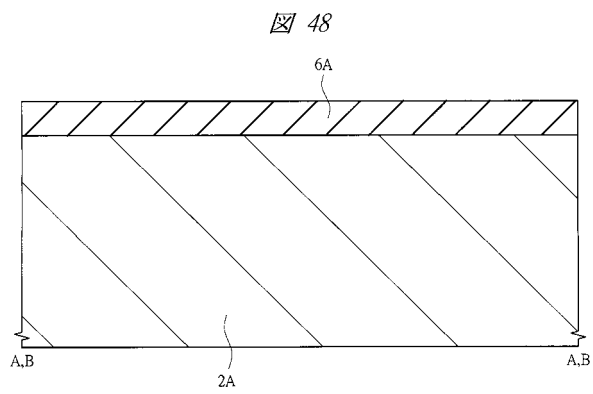
【図 46】



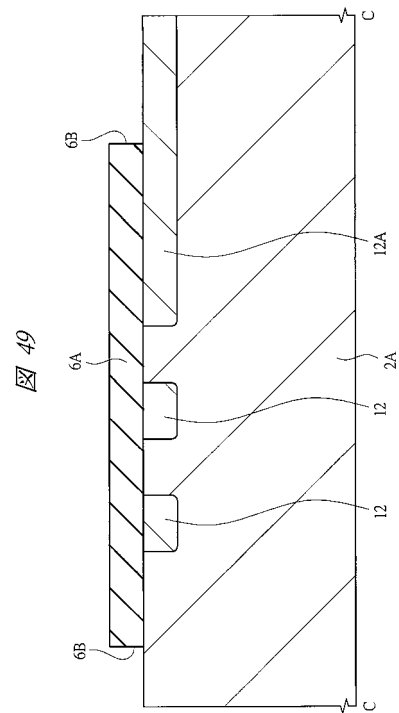
【図 47】



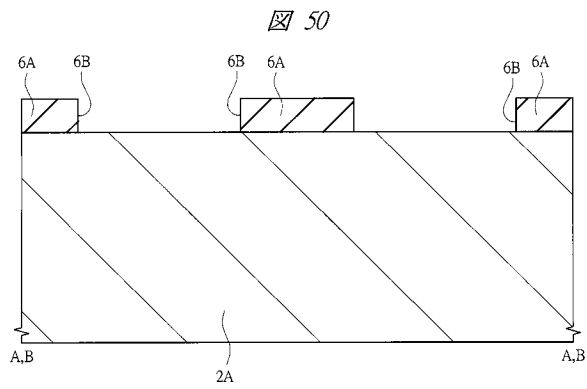
【図 48】



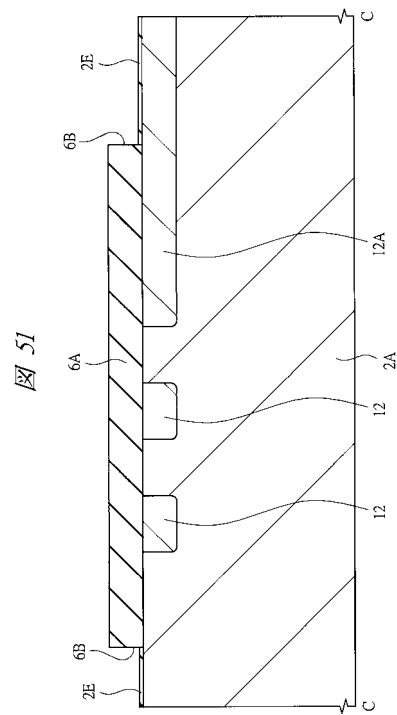
【図 49】



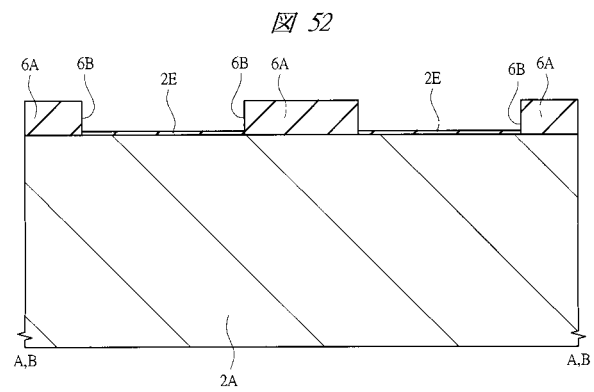
【図 50】



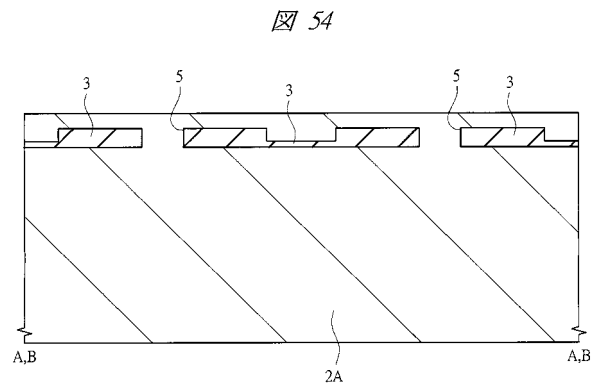
【図 51】



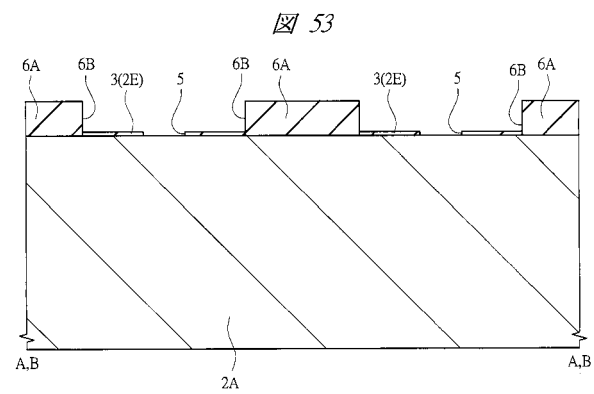
【図 52】



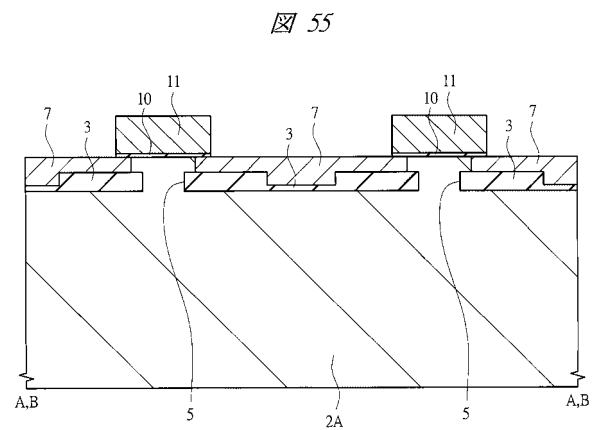
【図 54】



【図 53】

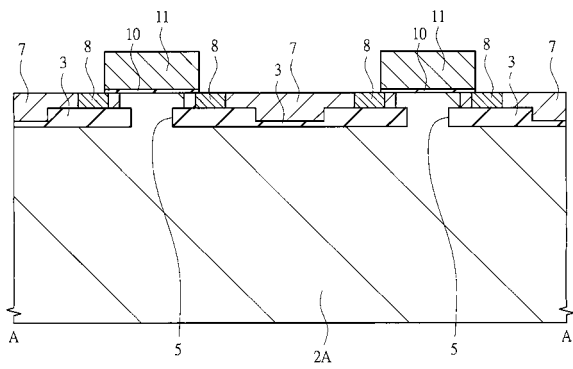


【図 55】



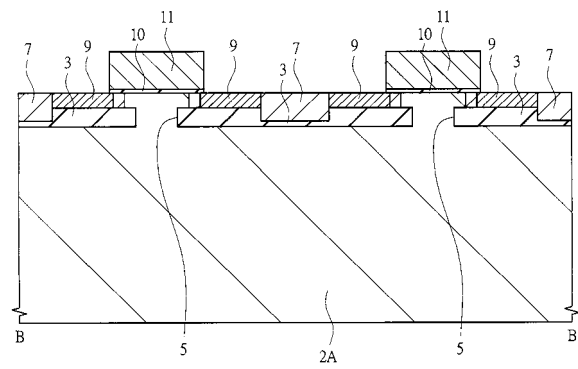
【図 56】

図 56



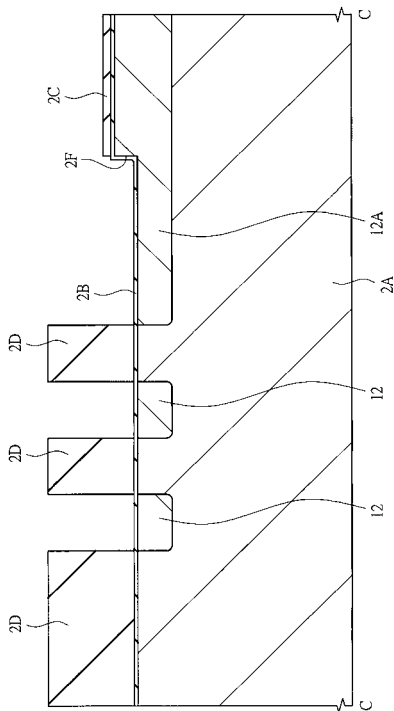
【図 57】

図 57



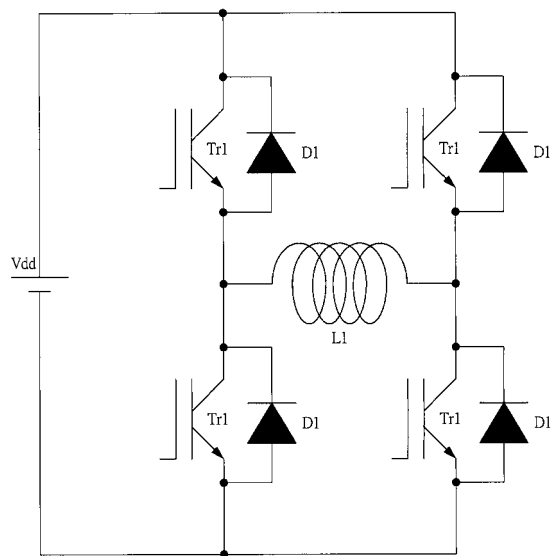
【図 58】

図 58



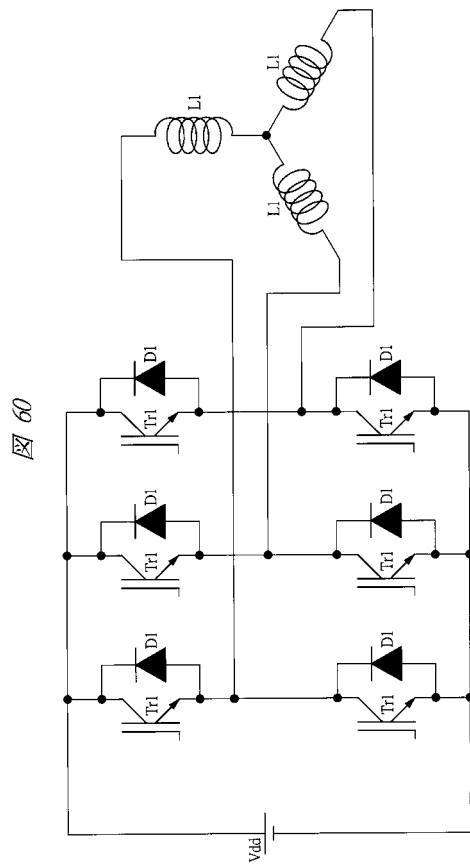
【図 59】

図 59

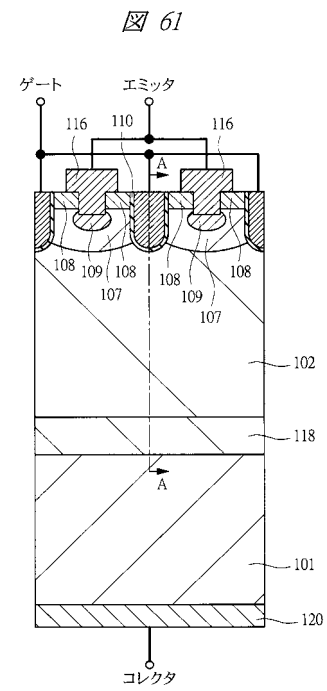




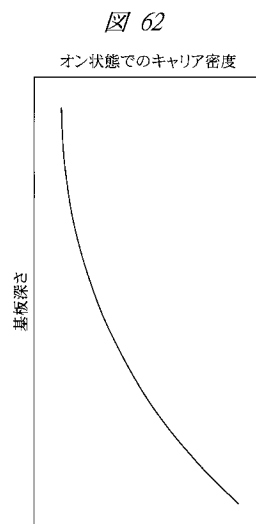
【図 60】



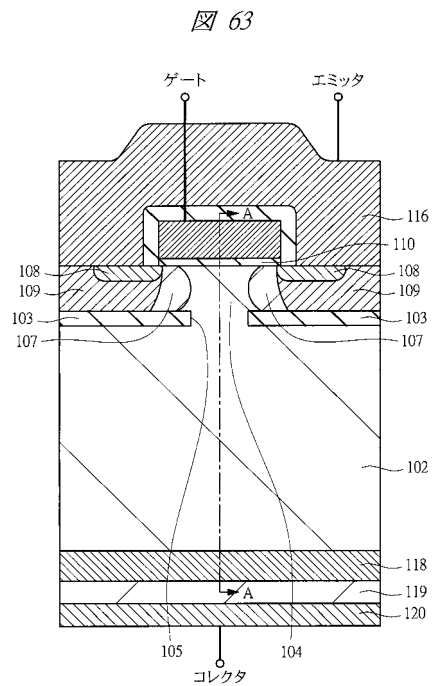
【図 61】



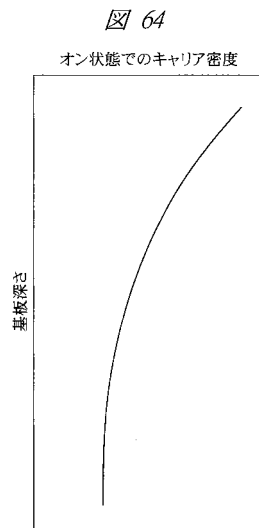
【図 62】



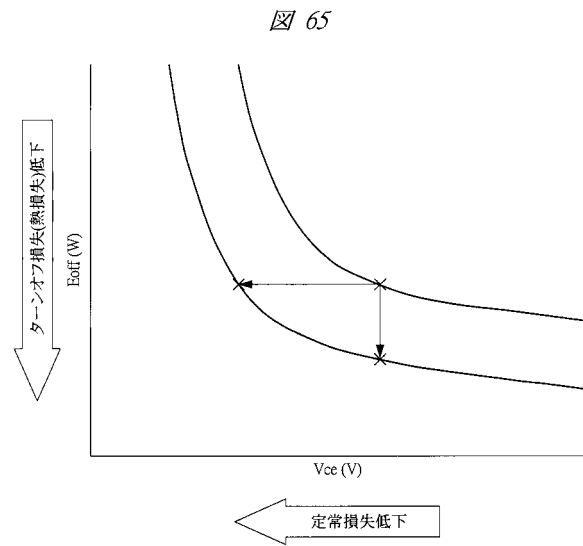
【図 63】



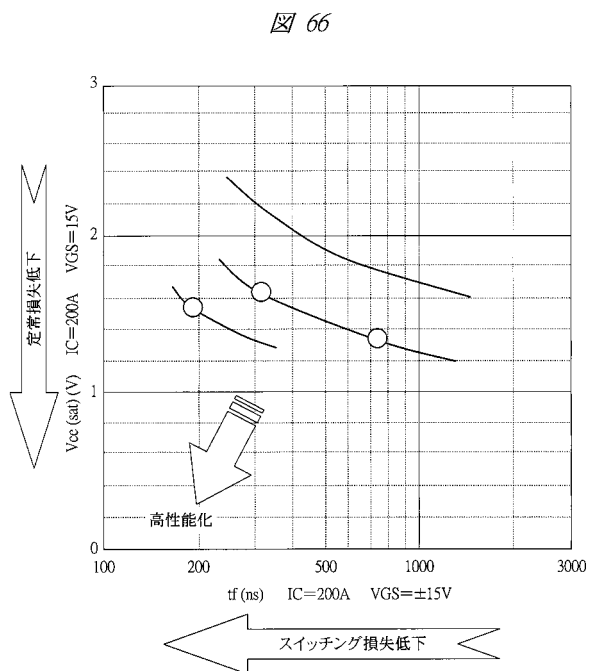
【図 6 4】



【図 6 5】



【図 6 6】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 5 8 A