

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7447703号
(P7447703)

(45)発行日 令和6年3月12日(2024.3.12)

(24)登録日 令和6年3月4日(2024.3.4)

(51)国際特許分類		F I	
H O 1 L	21/3205(2006.01)	H O 1 L	21/88 T
H O 1 L	21/768(2006.01)	H O 1 L	21/28 3 0 1 R
H O 1 L	23/522(2006.01)	H O 1 L	29/78 6 5 2 M
H O 1 L	21/28 (2006.01)	H O 1 L	29/78 6 5 2 Q
H O 1 L	29/78 (2006.01)	H O 1 L	29/78 6 5 3 C
請求項の数 5 (全10頁) 最終頁に続く			
(21)出願番号	特願2020-110887(P2020-110887)	(73)特許権者	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(22)出願日	令和2年6月26日(2020.6.26)	(74)代理人	110001128 弁理士法人ゆうあい特許事務所
(65)公開番号	特開2022-7762(P2022-7762A)	(72)発明者	赤松 和夫 愛知県刈谷市昭和町1丁目1番地 株式 会社デンソー内
(43)公開日	令和4年1月13日(2022.1.13)	(72)発明者	藤原 剛 愛知県刈谷市昭和町1丁目1番地 株式 会社デンソー内
審査請求日	令和4年6月15日(2022.6.15)	審査官	早川 朋一
		最終頁に続く	

(54)【発明の名称】 半導体装置およびその製造方法

(57)【特許請求の範囲】

【請求項1】

半導体基板（10）と電氣的に接続される電極（20）を有する半導体装置であって、
前記半導体基板と、
前記半導体基板上に形成され、コンタクトホール（19a）が形成された層間絶縁膜（19）と、

前記半導体基板上に配置され、前記コンタクトホールを通じて前記半導体基板と電氣的に接続される前記電極と、を備え、

前記電極は、前記コンタクトホールに配置される埋込部（200）と、前記層間絶縁膜上のうちの半導体基板側に配置され、前記埋込部と電氣的に接続される下層金属層（212）と、前記下層金属層上に配置される上層金属層（214）と、前記下層金属層と前記上層金属層との間に配置される中間層（213）とを有し、

前記下層金属層および前記上層金属層は、アルミニウム、またはアルミニウムに元素が添加されたアルミニウム合金で構成され、

前記中間層は、前記上層金属層および前記下層金属層よりも水酸基と反応し難い材料で構成され、前記半導体基板の面方向に沿って形成され、厚さが一定とされており、

前記埋込部は、タングステンプラグで構成されている半導体装置。

【請求項2】

前記中間層は、前記下層金属層、前記中間層、前記上層金属層の積層方向において、前記積層方向における中心よりも前記上層金属層側に配置されている請求項1に記載の半導

体装置。

【請求項 3】

前記中間層は、酸化アルミニウム膜、シリコン酸化膜とシリコン窒化膜とが積層された膜、シリコン酸化膜およびシリコン窒化膜のうちの一方の膜、または窒化アルミニウム膜である請求項 1 または 2 に記載の半導体装置。

【請求項 4】

半導体基板（10）と電氣的に接続される電極（20）を有する半導体装置の製造方法であって、

前記半導体基板を用意することと、

前記半導体基板上に、コンタクトホール（19a）が形成された層間絶縁膜（19）を配置することと、

前記半導体基板上に前記電極を配置することと、を行い、

前記電極を配置することでは、前記コンタクトホールに埋込部（200）を配置することと、前記層間絶縁膜上に前記埋込部と電氣的に接続される下層金属層（22a）を配置することと、前記下層金属層上に中間層（22c）を配置することと、前記中間層上に上層金属層（22b）を配置することと、を行い、

前記埋込部を配置することでは、タングステンプラグで構成される前記埋込部を配置し、

前記下層金属層および前記上層金属層を配置することでは、アルミニウム、またはアルミニウムに元素が添加されたアルミニウム合金で構成された前記下層金属層および前記上層金属層を配置し、

前記中間層を配置することでは、前記上層金属層および前記下層金属層よりも水酸基と反応し難い材料で構成され、前記半導体基板の面方向に沿って形成され、厚さが一定とされた前記中間層を配置する半導体装置の製造方法。

【請求項 5】

前記下層金属層を配置することでは、スパッタ法によって前記下層金属層を配置し、

前記中間層を配置することでは、スクラバー洗浄を行うことを含む請求項 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体基板上に半導体基板と接続される電極が形成された半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

従来より、半導体基板上に半導体基板と接続される電極が形成された半導体装置が提案されている（例えば、特許文献 1 参照）。具体的には、この半導体装置は、半導体基板の一面側にチャネル層やソース層等が形成され、半導体基板の他面側にドレイン層等を有する MOSFET（Metal Oxide Semiconductor Field Effect Transistor の略）が形成されている。また、半導体装置には、半導体基板の一面側にチャネル層やソース層と接続される第 1 電極が備えられ、半導体基板の他面側にドレイン層と接続される第 2 電極が備えられている。

【0003】

また、このような半導体装置は、第 1 電極側がはんだ等を介して接続部材と接続される。このため、第 1 電極上には、はんだとの接合性が高い無電解ニッケルメッキ膜等が配置される。なお、第 1 電極は、アルミニウム、またはアルミニウムに元素が添加されたアルミニウム合金で構成される。

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2019-192687 号公報

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、第1電極上に無電解ニッケルメッキ膜を配置する場合には、無電解ニッケルメッキ膜と第1電極との密着性を向上させるため、第1電極に対してジンケート処理が行われることが好ましい。しかしながら、第1電極をアルミニウム、またはアルミニウム合金で構成した場合、ジンケート処理する際のアルカリ溶液に含まれる水酸基と第1電極が反応して第1電極が浸食される可能性がある。そして、この浸食が大きい場合には、無電解ニッケルメッキ膜と第1電極との密着力が低くなり、無電解ニッケルメッキ膜と第1電極との界面強度が低くなる可能性がある。

10

【0006】

本発明は上記点に鑑み、ジンケート処理する際における電極の浸食が大きくなることを抑制できる半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するための請求項1では、半導体基板(10)と電気的に接続される電極(20)を有する半導体装置であって、半導体基板上に形成され、コンタクトホール(19a)が形成された層間絶縁膜(19)と、半導体基板上に配置され、コンタクトホールを通じて半導体基板と電気的に接続される電極と、を備え、電極は、コンタクトホールに配置される埋込部(200)と、層間絶縁膜上のうちの半導体基板側に配置され、埋込部と電気的に接続される下層金属層(212)と、下層金属層上に配置される上層金属層(214)と、下層金属層と上層金属層との間に配置される中間層(213)とを有し、下層金属層および上層金属層は、アルミニウム、またはアルミニウムに元素が添加されたアルミニウム合金で構成され、中間層は、上層金属層および下層金属層よりも水酸基と反応し難い材料で構成され、半導体基板の面方向に沿って形成され、厚さが一定とされており、埋込部は、タングステンプラグで構成されている。

20

【0008】

これによれば、中間層が水酸基と反応し難い材料で構成されているため、ジンケート処理を行った際、上層金属層が侵食されたとしても、当該浸食の伸展が中間層によって阻害される。このため、浸食が大きくなることを抑制できる。したがって、その後に無電解ニッケルメッキ膜を形成した際、無電解ニッケルメッキ膜と電極との界面強度が低下することを抑制できる。

30

【0009】

請求項4では、半導体基板(10)と電気的に接続される電極(20)を有する半導体装置の製造方法であって、半導体基板を用意することと、半導体基板上に、コンタクトホール(19a)が形成された層間絶縁膜(19)を配置することと、半導体基板上に電極を配置することと、を行い、電極を配置することでは、コンタクトホールに埋込部(200)を配置することと、層間絶縁膜上に埋込部と電気的に接続される下層金属層(22a)を配置することと、下層金属層上に中間層(22c)を配置することと、中間層上に上層金属層(22b)を配置することと、を行い、埋込部を配置することでは、タングステンプラグで構成される埋込部を配置し、下層金属層および上層金属層を配置することでは、アルミニウム、またはアルミニウムに元素が添加されたアルミニウム合金で構成された下層金属層および上層金属層を配置し、中間層を配置することでは、上層金属層および下層金属層よりも水酸基と反応し難い材料で構成され、半導体基板の面方向に沿って形成され、厚さが一定とされた中間層を配置する。

40

【0010】

これによれば、中間層を水酸基と反応し難い材料で構成する。このため、ジンケート処理を行った際、電極の浸食が大きくなることを抑制できる。したがって、その後に無電解ニッケルメッキ膜を形成する際、無電解ニッケルメッキ膜と電極との界面強度が低下することを抑制できる半導体装置を製造できる。

50

【0011】

なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

【図面の簡単な説明】

【0012】

【図1】第1実施形態における半導体装置の断面図である。

【図2】上部電極近傍の拡大図である。

【図3】ジンケート処理を行った際の上部電極近傍の拡大図である。

【図4A】図1に示す半導体装置の製造工程を示す断面図である。

【図4B】図4Aに続く半導体装置の製造工程を示す断面図である。

【図4C】図4Bに続く半導体装置の製造工程を示す断面図である。

【図4D】図4Cに続く半導体装置の製造工程を示す断面図である。

【発明を実施するための形態】

【0013】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0014】

(第1実施形態)

第1実施形態について説明する。本実施形態では、 n チャネルタイプの縦型のパワーMOSFETが形成された半導体装置を例に挙げて説明する。以下、図1に基づいて、本実施形態の半導体装置の構成について説明する。

【0015】

半導体装置は、 N^+ 型のシリコン（以下では、 Si という）基板で構成されるドレイン層11を有する半導体基板10を備えている。ドレイン層11上には、ドレイン層11よりも低不純物濃度とされた N 型のドリフト層12が配置されている。そして、ドリフト層12上には、ドリフト層12よりも高不純物濃度とされた P 型のチャンネル層13が配置されている。

【0016】

チャンネル層13の表層部には、ドリフト層12よりも高不純物濃度とされたソース層14が形成されている。そして、半導体基板10には、ソース層14を貫通してチャンネル層13に達するようにコンタクトトレンチ15が形成されている。このため、チャンネル層13は、コンタクトトレンチ15の底面にて露出した状態となっている。

【0017】

そして、本実施形態では、チャンネル層13のうちのコンタクトトレンチ15から露出した部分には、コンタクトとなる p^+ 型のチャンネル層用コンタクト領域13aが形成されている。ソース層14のうちのコンタクトトレンチ15の側面から露出した部分では、コンタクトとなる n^+ 型のソース層用コンタクト領域14aが形成されている。

【0018】

また、半導体基板10には、チャンネル層13やソース層14の間に複数のトレンチ16が形成されている。各トレンチ16は、半導体基板10の一面10aの面方向のうちの一方方向（すなわち、図1中紙面奥行き方向）に沿って等間隔にストライプ状に形成されていると共に、チャンネル層13を貫通してドリフト層12に達するように形成されている。なお、複数のトレンチ16は、先端部が引き回されることで環状構造とされていてもよい。

【0019】

そして、各トレンチ16内は、各トレンチ16の壁面を覆うように形成されたゲート絶縁膜17と、このゲート絶縁膜17の上に形成されたポリシリコン等により構成されるゲート電極18とにより埋め込まれている。これにより、トレンチゲート構造が構成されている。

【0020】

半導体基板10のうちのチャンネル層13側の一面10a上には、層間絶縁膜19が形成

10

20

30

40

50

されており、層間絶縁膜 19 には、コンタクトトレンチ 15 と連通するコンタクトホール 19 a が形成されている。そして、層間絶縁膜 19 上には、層間絶縁膜 19 に形成されたコンタクトホール 19 a および半導体基板 10 に形成されたコンタクトトレンチ 15 を通じてソース層用コンタクト領域 14 a やチャネル層用コンタクト領域 13 a と電氣的に接続される上部電極 20 が配置されている。上部電極 20 の構成については、具体的に後述する。

【0021】

半導体基板 10 の他面 10 b 側には、ドレイン層 11 と電氣的に接続されるドレイン電極 21 が形成されている。

【0022】

以上が本実施形態における半導体装置の基本的な構成である。なお、本実施形態では、 n 型、 n^- 型、 n^+ 型が第 1 導電型に相当し p 型、 p^+ 型が第 2 導電型に相当している。また、本実施形態では、上記のように、ドレイン層 11、ドリフト層 12、チャネル層 13、ソース層 14 等を含んで半導体基板 10 が構成されている。

【0023】

ここで、本実施形態の上部電極 20 の構成について具体的に説明する。本実施形態の上部電極 20 は、図 2 に示されるように、コンタクトホール 19 a およびコンタクトトレンチ 15 に配置されてチャネル層用コンタクト領域 13 a やソース層用コンタクト領域 14 a と接続される埋込部 200 と、層間絶縁膜 19 上に配置されて埋込部 200 と接続される主部 210 とを有している。

【0024】

埋込部 200 は、タングステンプラグ等で構成されている。なお、特に図示しないが、コンタクトホール 19 a やコンタクトトレンチ 15 の壁面には、タングステンの埋込性を向上させるための下地層が形成されていてもよい。下地層は、例えば、チタンや窒化チタン等で構成される。

【0025】

主部 210 は、バリアメタル層 211、下層金属層 212、中間層 213、上層金属層 214 が積層されて構成されている。バリアメタル層 211 は、例えば、窒化チタン、チタンが積層されて構成されている。

【0026】

下層金属層 212 および上層金属層 214 は、アルミニウム、またはアルミニウムに元素が添加されたアルミニウム合金で構成されている。アルミニウム合金としては、例えば、 $AlSi$ 、 $AlCu$ 、 $AlSiCu$ 等が挙げられる。中間層 213 は、下層金属層 212 および上層金属層 214 よりも水酸基と反応し難い材料で構成され、本実施形態では、例えば、酸化アルミニウム膜 (Al_2O_3) 等で構成される。なお、本実施形態では、中間層 213 は、下層金属層 212 と上層金属層 214 との間の全面に形成されており、半導体基板 10 の面方向に沿って厚さが略一定とされている。

【0027】

また、本実施形態では、中間層 213 は、下層金属層 212、中間層 213、上層金属層 214 の積層方向（以下では、単に積層方向ともいう）において、中心よりも上層金属層 214 側に配置されている。そして、本実施形態では、中間層 213 は、2 ~ 10 nm 程度の極めて薄い膜とされている。

【0028】

以上が本実施形態における半導体装置の構成である。そして、このような半導体装置は、上部電極 20 がジンケート処理された後に上部電極 20 上に無電解ニッケルメッキ膜が形成され、無電解ニッケルメッキ膜上にはんだ等が配置されて外部素子と電氣的に接続される。

【0029】

この際、本実施形態の上部電極 20 は、下層金属層 212、中間層 213、上層金属層 214 が積層されて構成されている。そして、中間層 213 は、上層金属層 214 および

10

20

30

40

50

下層金属層 2 1 2 よりも水酸基と反応し難い材料で構成されている。このため、ジンケート処理を行った際、図 3 に示されるように、上層金属層 2 1 4 が侵食されて上層金属層 2 1 4 に孔部 2 1 4 a が形成されたとしても、孔部 2 1 4 a (すなわち、浸食) の伸展が中間層 2 1 3 によって阻害される。このため、浸食が大きくなることを抑制できる。したがって、その後に無電解ニッケルメッキ膜 3 0 を形成した際、無電解ニッケルメッキ膜 3 0 と上部電極 2 0 との接合強度が低下することを抑制できる。

【0030】

次に、本実施形態における半導体装置の上部電極 2 0 の製造方法について説明する。

【0031】

まず、図 4 A に示されるように、チャネル層 1 3、ソース層 1 4、層間絶縁膜 1 9 等が形成されると共に、上部電極 2 0 のうちの埋込部 2 0 0 が形成されたものを用意する。そして、CVD (Chemical Vapor Deposition の略) 法等により、窒化チタン、チタン等を順に成膜してバリアメタル層 2 1 1 を形成する。

【0032】

次に、図 4 B に示されるように、スパッタ装置内に半導体基板 1 0 を配置し、スパッタ法によって下層金属層 2 1 2 を形成する。続いて、図 4 C に示されるように、半導体基板 1 0 をスパッタ装置から取り出し、半導体基板 1 0 を大気に晒すことにより、酸化アルミニウム膜で構成される中間層 2 1 3 を形成する。この際、本実施形態では、半導体基板 1 0 を超音波によって振動させつつ、超純水を下層金属層 2 1 2 の表面に噴射しながらブラシ洗浄を行うスクラバー洗浄を行う。これにより、下層金属層 2 1 2 の表面および中間層 2 2 c に含まれ得る異物やウイスカを除去できる。

【0033】

続いて、図 4 D に示されるように、再びスパッタ装置内に半導体基板 1 0 を配置し、スパッタ法によって上層金属層 2 1 4 を形成する。以上のようにして、上部電極 2 0 が構成される。

【0034】

以上説明した本実施形態によれば、上部電極 2 0 は、下層金属層 2 1 2、中間層 2 1 3、上層金属層 2 1 4 が積層されて構成されている。そして、中間層 2 1 3 は、下層金属層 2 1 2 および上層金属層 2 1 4 よりも水酸基と反応し難い材料で構成されている。このため、ジンケート処理を行った際、上層金属層 2 1 4 が侵食されたとしても、当該浸食の伸展が中間層 2 1 3 によって阻害される。このため、浸食が大きくなることを抑制できる。したがって、その後に無電解ニッケルメッキ膜 3 0 を形成した際、無電解ニッケルメッキ膜 3 0 と上部電極 2 0 との界面強度が低下することを抑制できる。

【0035】

また、本実施形態では、中間層 2 1 3 は、上部電極 2 0 のうちの積層方向における中心よりも上層金属層 2 1 4 側に配置されている。このため、中間層 2 1 3 が上部電極 2 0 のうちの積層方向における中心よりも下層金属層 2 1 2 側に配置されている場合と比較して、上層金属層 2 1 4 が浸食された際に当該浸食の伸展を早期に阻害することが可能となる。したがって、浸食が大きくなることを抑制できる。

【0036】

さらに、本実施形態では、中間層 2 2 c は、大気に晒すことによって形成されるため、容易に製造される。また、中間層 2 2 c を形成する際には、スクラバー洗浄を行っている。このため、下層金属層 2 1 2 の表面および中間層 2 2 c に含まれ得る異物やウイスカを除去できる。

【0037】

(他の実施形態)

本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものであ

10

20

30

40

50

る。

【0038】

例えば、上記第1実施形態において、ゲート電極18は、半導体基板10の厚さ方向に沿って下層電極と上層電極とを有するダブルゲート構造とされていてもよい。この場合、下層電極は、例えば、エミッタ電極等に接続されるシールド電極とされ、上層電極は、ゲート駆動回路等と接続されるゲート電極とされる。

【0039】

また、上記第1実施形態において、中間層213は、酸化アルミニウム膜でなくてもよい。例えば、中間層213は、シリコン酸化膜(SiO_2)とシリコン窒化膜(SiN)とが積層されて構成されていてもよい。このような半導体装置とする場合には、例えば、図4Cの工程において、CVD法等でシリコン酸化膜とシリコン窒化膜とを順に積層して中間層213を形成すればよい。また、中間層213は、シリコン酸化膜およびシリコン窒化膜の一方で構成されていてもよい。さらに、上記第1実施形態において、中間層213は、窒化アルミニウム膜等で構成されていてもよい。このような半導体装置とする場合には、例えば、図4Cの工程において、窒素とアルミニウムとの反応性スパッタ等によって窒化アルミニウム膜で構成される中間層213を形成すればよい。なお、これらのように中間層213を形成する場合においても、中間層213を形成する前に下層金属層212のスクラバー洗浄を行うことが好ましい。これにより、上記第1実施形態と同様に、異物やウィスカを除去できる。

【0040】

また、上記第1実施形態では、下層金属層212と上層金属層214との間の全領域に中間層213が配置されている例について説明したが、中間層213は、下層金属層212と上層金属層214との間の少なくとも一部に配置されていればよい。このような半導体装置としても、中間層213が形成されている部分では、ジンケート処理を行った際に浸食の伸展を抑制できるため、上記第1実施形態と同様の効果を得ることができる。また、中間層213は、半導体基板10の面方向に沿って一定の厚さとされていなくてもよい。

【0041】

さらに、上記第1実施形態において、半導体装置は、トレンチゲート構造ではなく、半導体基板10上にゲート電極18が配置されるプレーナゲート構造とされていてもよい。

【0042】

また、上記第1実施形態では、第1導電型をn型、第2導電型をp型としたnチャネルタイプのトレンチゲート構造のMOSFETを半導体装置の一例として説明した。しかしながら、これは一例を示したに過ぎず、他の構造の半導体装置、例えば、nチャネルタイプに対して各構成要素の導電型を反転させたpチャネルタイプのトレンチゲート構造のMOSFETとしてもよい。さらに、半導体装置は、MOSFET以外に、同様の構造のIGBTが形成された構成とされていてもよい。IGBTの場合、上記第1実施形態における n^+ 型のドレイン層11を P^+ 型のコレクタ層に変更する以外は、上記第1実施形態で説明した縦型MOSFETと同様である。さらに、上記第1実施形態において、半導体装置は、ダイオード等が形成されたものであってもよい。

【符号の説明】

【0043】

- 10 半導体基板
- 20 上部電極
- 212 下層金属層
- 213 中間層
- 214 上層金属層

10

20

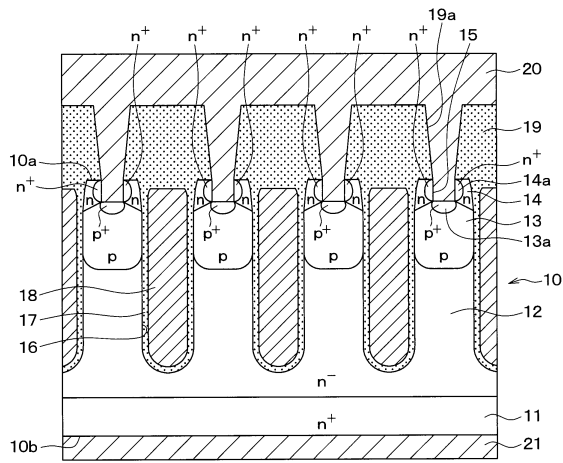
30

40

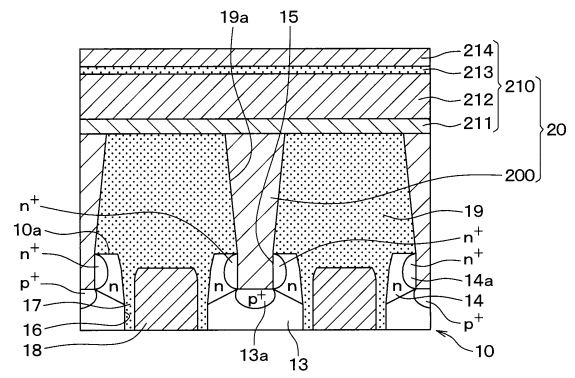
50

【図面】

【図 1】

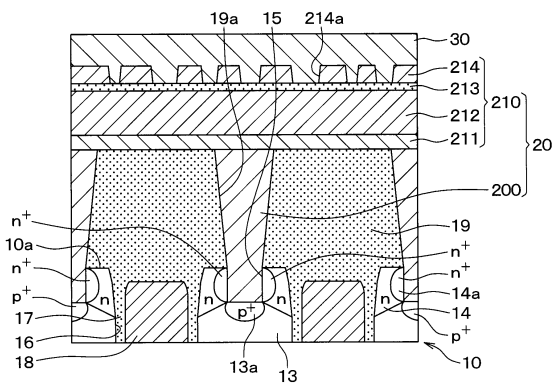


【図 2】

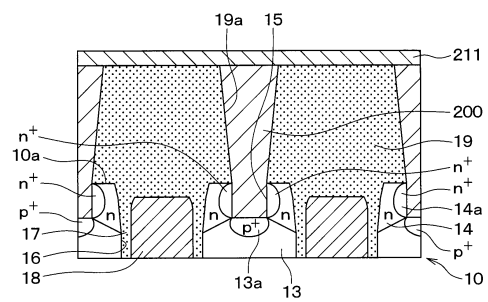


10

【図 3】



【図 4 A】



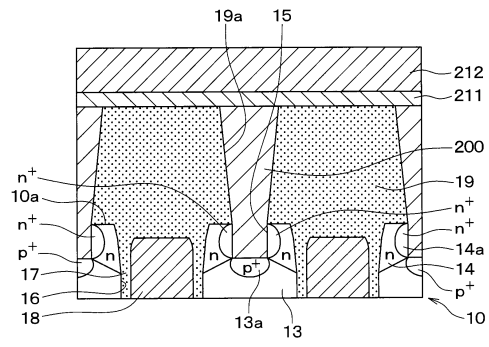
20

30

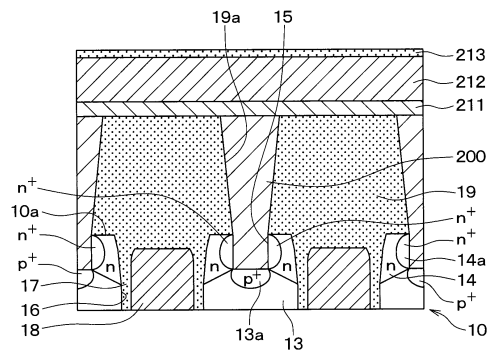
40

50

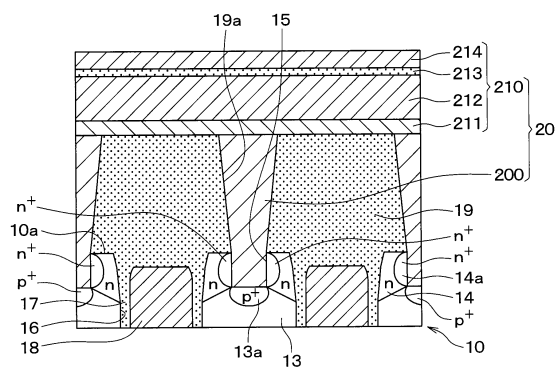
【図 4 B】



【図 4 C】



【図 4 D】



フロントページの続き

(51)国際特許分類 F I
H 0 1 L 21/336 (2006.01) H 0 1 L 29/78 6 5 8 F

- (56)参考文献 特開 2 0 1 7 - 1 3 5 2 8 3 (J P , A)
特開 2 0 1 9 - 0 4 0 9 7 5 (J P , A)
特開 2 0 0 7 - 2 6 6 4 8 3 (J P , A)
特開 2 0 1 7 - 1 8 8 5 4 4 (J P , A)
特開 2 0 1 8 - 0 6 4 0 2 6 (J P , A)
特開 2 0 0 0 - 1 5 0 6 5 3 (J P , A)
特開昭 6 1 - 1 2 7 1 4 9 (J P , A)
- (58)調査した分野 (Int.Cl., D B 名)
H 0 1 L 2 1 / 3 2 0 5 - 2 1 / 3 2 1 5
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 3 / 5 2
H 0 1 L 2 3 / 5 2 2 - 2 3 / 5 3 2
H 0 1 L 2 1 / 2 8 - 2 1 / 2 8 8
H 0 1 L 2 1 / 4 4 - 2 1 / 4 4 5
H 0 1 L 2 9 / 4 0 - 2 9 / 5 1
H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 3 3 6