



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

232337

(11)

(B1)

(22) Přihlášeno 19 05 83
(21) (PV 3573-83)

(51) Int. Cl.³
G 06 F 11/22

(40) Zveřejněno 15.03.84

(45) Vydáno 15.07.86

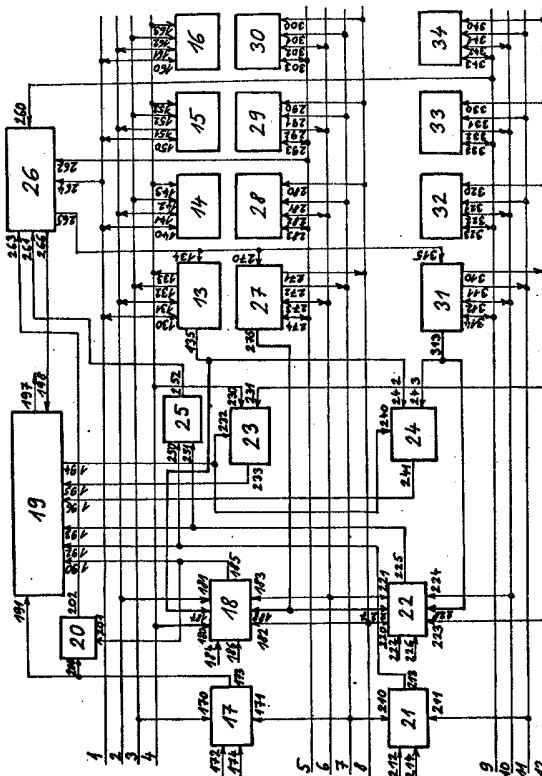
(75)
Autor vynálezu

SMÍŠEK JIŘÍ ing., PRAHA

(54) Komparační zapojení s detekcí směru přenosu informace

Vynález řeší zvýšení stupně diagnostického rozlišení při autonomní diagnostice více-počítačových systémů.

Řešení se dosahuje separátní komparací adresních, datových a řídicích sběrnic doplněnou prepínačem, pomocí něhož lze do stevového dekodéru poslat správné diagnostické informace, jako je kód probíhajícího řízení na sběrnici, signál o probíhající fázi fetch nebo signál o obsazení sběrnice některým z mikroprocesorů. Tyto informace jsou důležité pro dosažení požadované úrovně lokalizace na výměnný funkční modul, jakým je mikroprocesor, paměť programu, paměť dat a vnější zařízení.



Předmětem vynálezu je komparační zapojení s detekcí směru přenosu informace, které řeší zvýšení stupně diagnostického rozlišení při autonomní diagnostice vícepočítačového systému.

Prudký rozvoj technologie vysoké a velmi vysoké integrace umožňuje poměrně levnou realizaci rozsáhlých funkčních celků jako jsou mikroprocesory, paměťové obvody se značnou kapacitou, hradlová pole apod. Tato skutečnost vede návrháře systému k použití takového diagnostického vybavení, aby stupeň rozlišení při testování co možná nejvíce odpovídal právě těmto vyměnitelným funkčním celkům. Když je zde navíc požadavek autonomní diagnostikovatelnosti s rychlým zjištěním stavu takového systému, pak lze uvažovat o použití komparační techniky pomocí vestavěných komparátorů. Dosud používané komparační zapojení mají však tu nevýhodu, že dekodují pouze hlášení o neshodě mezi stavy komparovaných sběrnic. Protože na sběrnicích dochází k obousměrné komunikaci, nelze v případě hlášení neshody rozlišit poruchu mezi stimulujícím modulem a stimulovaným modulem, například mezi permanentní pamětí s testovacím programem a mikroprocesorem respektive mezi permanentní pamětí, mikroprocesorem, zapisovatelnou pamětí pro data a vnějším zařízením, zejména co se týká obvodů přerušení. Potom je možné provést diagnózu pouze na úrovni větších celků jako jsou mikropočítačové podsystémy obsahující mikropočítač a vnější zařízení. Je možné také uvažovat o vícenásobné komparaci pro stimuly a odezvy jednotlivých modulů připojených ke sběrnici, což však vede ke značnému objemu testovacího hardware.

Uvedené nevýhody odstraňuje komparační zapojení s detekcí směru přenosu informace podle vynálezu, jehož podstata spočívá v tom, že první adresní sběrnice je spojena s druhou svorkou druhého komparátoru, první datová sběrnice je spojena s první svorkou prvního komparátoru, první řídící sběrnice je spojena s první svorkou druhého komparátoru a s prvním vstupem prvního přepínače, druhá adresní sběrnice je spojena se čtvrtou svorkou druhého komparátoru a s druhou svorkou čtvrtého komparátoru, druhá datová sběrnice je spojena s druhou svorkou prvního komparátoru a s první svorkou třetího komparátoru, druhá řídící sběrnice je spojena se třetí svorkou druhého komparátoru a s první svorkou čtvrtého komparátoru, třetí adresní sběrnice je spojena se čtvrtou svorkou čtvrtého komparátoru, třetí datová sběrnice je spojena s druhou svorkou třetího komparátoru, třetí řídící sběrnice je spojena se třetí svorkou čtvrtého komparátoru a s druhým vstupem prvního přepínače, čtvrtá svorka prvního komparátoru je spojena s prvním vstupem prvního součtového hradla a s druhou svorkou stavového dekodéru, šestá svorka druhého komparátoru je spojena s druhým vstupem prvního součtového hradla a s první svorkou stavového dekodéru, čtvrtá svorka třetího komparátoru je spojena s prvním vstupem druhého součtového hradla a se třetí svorkou stavového dekodéru, šestá svorka čtvrtého komparátoru je spojena s druhým vstupem druhého součtového hradla a se čtvrtou svorkou stavového dekodéru, výstup prvního přepínače je spojen se šestou svorkou stavového dekodéru, výstup druhého přepínače je spojen se sedmou svorkou stavového dekodéru, přičemž pátá svorka stavového dekodéru je spojena s adresním vstupem prvního přepínače a s adresním vstupem druhého přepínače, výstup prvního součtového hradla je spojen se třetí svorkou synchronizátoru, výstup druhého součtového hradla je spojen s první svorkou synchronizátoru, pátá svorka prvního mikroprocesoru je spojena s prvním vstupem druhého přepínače a se sedmou svorkou druhého komparátoru, pátá svorka třetího mikroprocesoru je spojena s druhým vstupem druhého přepínače a s osmou svorkou čtvrtého komparátoru, pátá svorka druhého mikroprocesoru je spojena s osmou svorkou druhého komparátoru a se sedmou svorkou čtvrtého komparátoru a šestá svorka synchronizátoru je spojena s osmou svorkou stavového dekodéru.

Výhodou uvedeného zapojení je schopnost na základě údajů z jednotlivých komparátorů určit mikropočítačový podsystém bez poruchy a z jeho řídící sběrnice a z jeho mikroprocesoru sejmout do stavového dekodéru kód řízení probíhající operace na komunikační sběrnici. Na základě těchto údajů lze potom jednoznačně určit moduly s poruchou, tj. mikroprocesor, paměť programu, paměť dat, vnější zařízení nebo komparátor za předpokladu, že počet funkčních a komparačních modulů s poruchou nepřesáhne hodnotu t . Jestliže pravděpodobnost výskytu většího počtu poruch v systému je zanedbatelná, pak je systém sekvenčně diagnostikova-

telný pro t poruch. Protože pravděpodobnost výskytu poruchy v jednotlivých funkčních modulech není stejná, je realistické předpokládat v jednom mikropočítačovém podsystému výskyt maximálně jedné poruchy, zatímco v rámci systému se předpokládá výskyt maximálně t poruch. Potom lze provádět diagnostiku v jednom kroku bez mezipravy modulů s poruchou. Neopak jestliže je zajišťována zvýšená spolehlivost některých podsystémů je možné předpokládat, že se mohou poruchy vyskytnout současně maximálně v t_M podsystémech, přičemž porucha může nastat současně ve všech funkčních modulech n_F v podsystému. V ideálním případě je možné sekvenčně lokalizovat až $t = t_M \times n_F$ poruch.

Na přiloženém výkresu je uvedený příklad komparačního zapojení s detekcí směru přenosu informace podle výsledku, kde je zajištěna diagnostikovatelnost pro $t = 1$ s rovnoměrným rozložením poruch respektive pro $t = 4$ s nerovnoměrným rozložením poruch. První synchronizační sběrnice 1 je spojena s první svorkou 130 prvního mikroprocesoru 13, s první svorkou 140 první zapisovatelné paměti 14, s první svorkou 150 první permanentní paměti 15, s první svorkou 160 prvního vnějšího zařízení 16 a se čtvrtou svorkou 264 synchronizátoru 26. První adresní sběrnice 2 je spojena s druhou svorkou 131 prvního mikroprocesoru 13, s druhou svorkou 141 první zapisovatelné paměti 14, s druhou svorkou 151 první permanentní paměti 15, s druhou svorkou 161 prvního vnějšího zařízení 16 a s druhou svorkou 181 druhého komparátoru 18. První datová sběrnice 3 je spojena se třetí svorkou 132 prvního mikroprocesoru 13, se třetí svorkou 142 první zapisovatelné paměti 14, se třetí svorkou 152 první permanentní paměti 15, se třetí svorkou 162 prvního vnějšího zařízení 16 a s první svorkou 170 prvního komparátoru 17. První řídicí sběrnice 4 je spojena se čtvrtou svorkou 133 prvního mikroprocesoru 13, se čtvrtou svorkou 143 první zapisovatelné paměti 14, se čtvrtou svorkou 153 první permanentní paměti 15, se čtvrtou svorkou 163 prvního vnějšího zařízení 16, s první svorkou 180 druhého komparátoru 18 a s prvním vstupem 230 prvního přepínače 23.

Druhá synchronizační sběrnice 5 je spojena s druhou svorkou 262 synchronizátoru 26, se čtvrtou svorkou 274 druhého mikroprocesoru 27, se čtvrtou svorkou 283 druhé zapisovatelné paměti 28, se čtvrtou svorkou 293 druhé permanentní paměti 29 a se čtvrtou svorkou 303 druhého vnějšího zařízení 30. Druhá adresní sběrnice 6 je spojena se čtvrtou svorkou 183 druhého komparátoru 18, se třetí svorkou 273 druhého mikroprocesoru 27, se třetí svorkou 282 druhé zapisovatelné paměti 28, se třetí svorkou 292 druhé permanentní paměti 29, se třetí svorkou 302 druhého vnějšího zařízení 30 a s druhou svorkou 221 čtvrtého komparátoru 22. Druhá datová sběrnice 7 je spojena s první svorkou 210 třetího komparátoru 21, s druhou svorkou 272 druhého mikroprocesoru 27, s druhou svorkou 281 druhé zapisovatelné paměti 28, s druhou svorkou 291 druhé permanentní paměti 29 a s druhou svorkou 301 druhého vnějšího zařízení 30. Druhá řídicí sběrnice 8 je spojena s první svorkou 220 čtvrtého komparátoru 22, s první svorkou 271 druhého mikroprocesoru 27, s první svorkou 280 druhé zapisovatelné paměti 28, s první svorkou 290 druhé permanentní paměti 29 a s první svorkou 300 druhého vnějšího zařízení 30.

Třetí synchronizační sběrnice 9 je spojena se čtvrtou svorkou 314 třetího mikroprocesoru 31, se čtvrtou svorkou 343 třetího vnějšího zařízení 34, se čtvrtou svorkou 323 třetí zapisovatelné paměti 32, se čtvrtou svorkou 333 třetí permanentní paměti 33 a s pátou svorkou 260 synchronizátoru 26. Třetí adresní sběrnice 10 je spojena se čtvrtou svorkou 224 čtvrtého komparátoru 22, se třetí svorkou 312 třetího mikroprocesoru 31, se třetí svorkou 322 třetí zapisovatelné paměti 32, se třetí svorkou 332 třetí permanentní paměti 33 a se třetí svorkou 342 třetího vnějšího zařízení 34.

Třetí datová sběrnice 11 je spojena s druhou svorkou 211 třetího komparátoru 21, s druhou svorkou 311 třetího mikroprocesoru 31, s druhou svorkou 321 třetí zapisovatelné paměti 33 a s druhou svorkou 341 třetího vnějšího zařízení 34. Třetí řídicí sběrnice 12 je spojena s první svorkou 310 třetího mikroprocesoru 31, s první svorkou 320 třetí zapisovatelné paměti 32, s první svorkou 330 třetí permanentní paměti 33, s první svorkou 340 třetího vnějšího zařízení 34, se třetí svorkou 223 čtvrtého komparátoru 22 a s druhým

vstupem 231 prvního přepínače 23. Čtvrtá svorka 173 prvního komparátoru 17 je spojena s prvním vstupem 200 prvního součtového hradla 20 a s druhou svorkou 191 stavového dekodéru 19.

Šestá svorka 185 druhého komparátoru 18 je spojena s druhým vstupem 201 prvního součtového hradla 20 a s první svorkou 190 stavového dekodéru 19. Čtvrtá svorka 213 třetího komparátoru 21 je spojena s prvním vstupem 250 druhého součtového hradla 25 a se třetí svorkou 192 stavového dekodéru 19. Šestá svorka 225 čtvrtého komparátoru 22 je spojena s druhým vstupem 251 druhého součtového hradla 25 a se čtvrtou svorkou 193 stavového dekodéru 19. Výstup 233 prvního přepínače 23 je spojen se šestou svorkou 195 stavového dekodéru 19. Výstup 241 druhého přepínače 24 je spojen se sedmou svorkou 196 stavového dekodéru 19. Pátá svorka 194 stavového dekodéru 19 je spojena s adresním vstupem 232 prvního přepínače 23 a s adresním vstupem 240 druhého přepínače 24.

Výstup 202 prvního součtového hradla 20 je spojen se třetí svorkou 263 synchronizátoru 26. Výstup 252 druhého součtového hradla 25 je spojen s první svorkou 261 synchronizátoru 26. Výstup 265 synchronizátoru 26 je spojen se synchronizačním vstupem 134 prvního mikroprocesoru 13, se synchronizačním vstupem 270 druhého mikroprocesoru 27 a se synchronizačním vstupem 315 třetího mikroprocesoru 31. Pátá svorka 135 prvního mikroprocesoru 13 je spojena s prvním vstupem 242 druhého přepínače 24 a se sedmou svorkou 187 druhého komparátoru 18. Pátá svorka 313 třetího mikroprocesoru 31 je spojena s druhým vstupem 243 druhého přepínače 24 a s osmou svorkou 228 čtvrtého komparátoru 22. Pátá svorka 275 druhého mikroprocesoru 27 je spojena s osmou svorkou 188 druhého komparátoru 18 a se sedmou svorkou 227 druhého komparátoru 22. Šestá svorka 266 synchronizátoru 26 je spojena s osmou svorkou 198 stavového dekodéru 19.

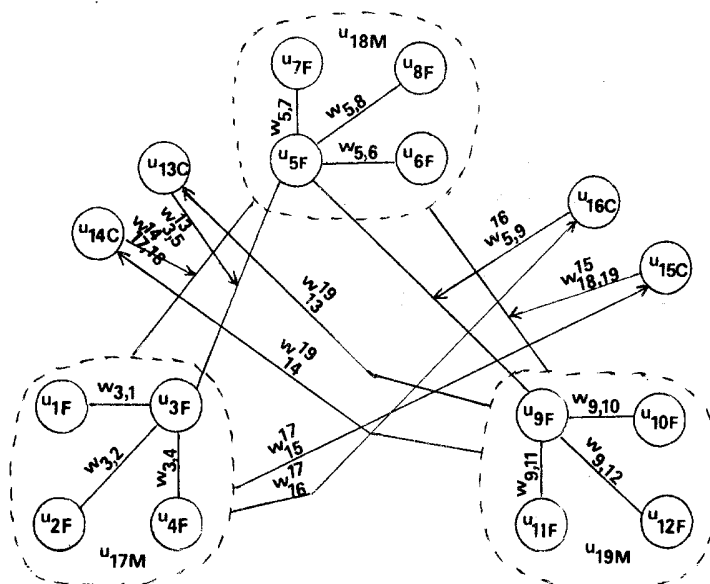
Komparační zapojení se skládá ze tří shodných mikropočítačových podsystémů. V permanentních pamětech 15, 29, 33 jsou uloženy testovací programy pro příslušné podsystémy. Příklad je uveden pro asynchronní způsob mezimodulové komunikace na sběrnici. Mikroprocesor vysílá signál na výstupní synchronizační linku synchronizační sběrnice, a tím definuje platnost signálů vysílaných na ostatní linky sběrnice. Reakce adresovaného modulu se projeví signálem na vstupní synchronizační lince synchronizační sběrnice. Testovací programy jsou spuštěny současně ve všech podsystémech a jejich průběh je synchronizován pomocí synchronizátoru 26. Na čtvrté svorce 264, na páté svorce 260 a na druhé svorce 262 se snímají výstupní a vstupní synchronizační signály z testovaných podsystémů a případná absence některého signálu se hlásí na šesté svorce 266. Když se ukončí mezimodulová komunikace ve všech podsystémech, odblokují se z výstupu 265 synchronizační vstupy 134, 270 a 315. Vstupní synchronizační signály ze synchronizačních linek se vpustí do mikroprocesorů, v nichž odstartují generátory hodinových impulzů do té doby zastavené. Stevy na sběrnici podsystémů se komparují pomocí komparátorů 17, 18, 21 a 22. V případě neshody, kterou zjistí některý z komparátorů, se generuje buď na výstupu 202 nebo na výstupu 252 aktivní signál a synchronizátor 26 se zablokuje. Průběh testu se zastaví a hlášení z komparátorů se dekodují ve stavovém dekodéru 19. Zde se určí podsystém, který nevykazuje poruchu a na páté svorce 194 stavového dekodéru 19 se generuje logická nula nebo logická jednička. Podle toho se na výstup 233 přepne buď první řídící sběrnice 4 nebo třetí řídící sběrnice 12. Podle signálu na páté svorce 194 se rovněž přepne na výstup 241 buď pátá svorka 135 prvního mikroprocesoru 13 nebo pátá svorka 313 třetího mikroprocesoru 31.

Na těchto svorkách se objeví aktivní signál, když probíhá fáze fetch. Tyto údaje jdou rovněž do stavového dekodéru 19 přes svorky 195 a 196. Komparátory 17, 18 se testují z podsystému s mikroprocesorem 31, komparátory 21, 22 se testují z prvního podsystému, a to ve stavu spojení odpovídajících sběrnic aktivními signály na třetí svorce 172 (spojení svorek 170, 171), na páté svorce 184 (spojení svorek 180, 182 a 181, 183), na třetí svorce 212 (spojení svorek 210, 211) a na páté svorce 222 (spojení svorek 220, 223 a 221, 224). Realizace úplného testu komparátorů se zajistí pomocí aktivních signálů na svorkách 174, 186, 214 a 226, kde se nastaví inverzní spojení a komparátory se testují na falešné hlášení shody.

Výsledky testů posílá testující podsystém do stavového dekodéru 19 například prostřednictvím komunikační sběrnice (není zakresleno). Na výstupu 197 se v kódu 1 z n objeví hlášení o funkčním nebo komparačním modulu s poruchou. Po provedení opravy se aplikuje soubor testů znovu atd.

Uvedený systém lze z hlediska diagnostiky znázornit obecným grafovým modelem $G(U_F, U_M, U_C, C, D, T)$, kde U_F je množina uzlů odpovídajících jednotlivým funkčním modulům u_{iF} (mikroprocesory, paměti, vnější zařízení), U_C je množina uzlů odpovídajících jednotlivým komparátorům u_{jC} , U_M je množina uzlů odpovídajících jednotlivým podsystémům u_{iM} (makromoduly), které sestávají z modulů u_{iF} , C je množina hran $\rightarrow c_{i,j}^k$ reprezentující komparaci dvojice modulů u_{iF} , u_{jF} respektive u_{iM} , u_{jM} realizovanou komparátorem u_{kC} , D je množina hran $\rightarrow d_{i,j}$ reprezentující obousměrnou komunikaci mezi moduly u_{iF} , u_{jF} a T je množina hran $\rightarrow t_i^j$ reprezentující test modulu u_{iF} nebo u_{iC} nebo u_{iM} makromodulem u_{jM} . V modelu se uvažují pouze poruchy trvalého charakteru. Ke každé hraně $c_{i,j}^k$, $d_{i,j}$ nebo t_i^j se přiřazuje váha $w_{i,j}^k$, $w_{i,j}$ nebo w_i^j , která má binární hodnotu 0 nebo 1. Váha $w_{i,j}^k$ má hodnotu 0, když v průběhu komparace nebyla detekována neshoda, v opačném případě má hodnotu 1. Váha $w_{i,j}$ má hodnotu 0, když směr komunikace na sběrnici je od modulu u_{iF} k modulu u_{jF} , v opačném případě má hodnotu 1. Váha w_i^j má hodnotu 0, když test nedetekoval poruchu, v opačném případě má hodnotu 1. Kombinace hodnot jednotlivých vah se dekodují ve stavovém dekodéru, který se spolu s komunikačními cestami a se synchronizátorem považuje za tvrdé jádro. Pokud je realizující modul s poruchou, potom hodnota váhy $w_{i,j}^k$, respektive w_i^j , není definována x (0,1).

Zapojení, které je předmětem vynálezu, znázorníme následujícím diagnostickým grafem:



Význam jednotlivých uzlů: u_{1F} - první permanentní paměť 12, u_{2F} - první zapisovatelná paměť 14, u_{3F} - první mikroprocesor 13, u_{4F} - první vnější zařízení 16, u_{5F} - druhý mikroprocesor 27, u_{6F} - druhá permanentní paměť 29, u_{7F} - druhá zapisovatelná paměť 28, u_{8F} - druhé vnější zařízení 30, u_{9F} - třetí mikroprocesor 31, u_{10F} - třetí permanentní paměť 33, u_{11F} - třetí zapisovatelná paměť 32, u_{12F} - třetí vnější zařízení 34, u_{13C} - druhý komparátor 18, u_{14C} - první komparátor 17, u_{15C} - třetí komparátor 21, u_{16C} - čtvrtý komparátor 22, u_{17M} - první mikropočítačový podsystém, u_{18M} - druhý mikropočítačový podsystém, u_{19M} - třetí mikropočítačový podsystém.

Sestavíme tabulku jednotlivých syndromů, jejichž složky tvoří váhy v grafu. V pravém sloupci je uvedena diagnóza, kterou provádí stavový dekodér 19 za předpokladu, že v průběhu aplikace celého souboru testů nevznikne porucha.

$w_{3,5}^{13}$	$w_{5,9}^{16}$	$w_{17,18}^{14}$	$w_{18,19}^{15}$	w_{14}^{19}	w_{13}^{19}	w_{16}^{17}	w_{15}^{17}	Porucha
0	0	0	0	0	0	0	0	-
0	0	0	x	0	0	0	1	u_{15C}
0	0	0	1	x	x	0	0	u_{19M}
0	1	0	x	x	x	0	0	u_{9F}
0	0	x	0	1	0	0	0	u_{14C}
0	0	1	0	0	0	x	x	u_{17M}
1	0	x	0	0	0	x	x	u_{3F}
0	0	1	1	0	0	0	0	u_{18M}
x	0	0	0	0	1	0	0	u_{13C}
1	1	1	1	0	0	0	0	u_{5F}
0	x	0	0	0	0	1	0	u_{16C}

u_{17M}				u_{18M}			
$w_{3,1}$	$w_{3,2}$	$w_{3,4}$	Porucha	$w_{5,6}$	$w_{5,7}$	$w_{5,8}$	Porucha
0	0	0	u_{3F}	0	0	0	u_{5F}
1	0	0	u_{1F}	1	0	0	u_{6F}
0	1	0	u_{2F}	0	1	0	u_{7F}
0	0	1	u_{4F}	0	0	1	u_{8F}

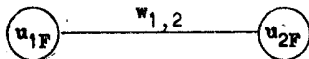
u_{19M}	$w_{9,10}$	$w_{9,11}$	$w_{9,12}$	Porucha
	0	0	0	u_{9F}
	1	0	0	u_{10F}
	0	1	0	u_{11F}
	0	0	1	u_{12F}

Na základě nestejných hodnot pravděpodobnosti výskytu poruch v jednotlivých modulech je možné v některých případech udělat předpoklad, že v mikropočítačovém podsystému se může objevit maximálně jedna porucha, zatímco v rámci celého systému se může vyskytnout maximálně t poruch. Když je zajištěna komparace $2 \cdot t + 1$ shodných podsystémů pomocí

$$2 \cdot \left\lceil \frac{(2 \cdot t + 1) \cdot t + 1}{2} \right\rceil$$

komparátorů vždy s dvěma komparátory pro komparaci každého podsystému s t jinými podsystémy a t testů každého komparátoru z podsystémů, které nejsou daným komparátorem srovnávány, můžeme provádět diagnostiku v jednom kroku testu. Při každé detekci neshody mezi podsystémy se syndrom porovnává s již zaznamenanými syndromy a nový syndrom a informace o směru přenosu na sběrnici se uloží do bloku stavového dekodéru 19, který je pro tento případ

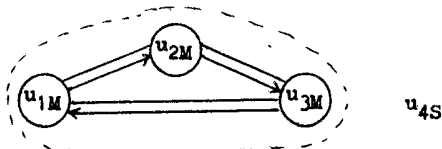
vybavený pamětí. K jednotlivým hranám $c_{i,j}^k$ se potom připisují posloupnosti vah $w_{i,j}^k$. Pokud je k dispozici delší čas na provedení diagnostiky, můžeme algoritmus vyhodnocení zjednodušit za cenu realizace opravy modulu s poruchou vždy při první detekci poruchy. Diagnostika potom probíhá sekvenčně a stačí zajistit jeden test každého komparátoru z podsystému, který není po provedení komparace ve stejné oblasti podezřelých modulů. Navíc není třeba dělat předpoklad o nestejném rozložení poruch v systému. Dál je možno metodu rozšířit na případ několika víceprocesorových podsystémů. Při detekci poruchy se navíc snímají z podsystému bez poruchy přes druhý přepínač 24 signály obsazení sběrnice z jednotlivých mikroprocesorů, které se komparují ve stejných komparátorech jako fetch-signály. Z kombinace těchto signálů se určí mikroprocesor, který při detekci poruchy ovládá komunikaci na sběrnici podsystému. Potom hrana $d_{i,j}$ znázorňuje přímou nebo zprostředkovanou obousměrnou komunikaci mezi moduly u_{iF} a u_{jF} . Váha $w_{i,j}$ připsaná k hraně,

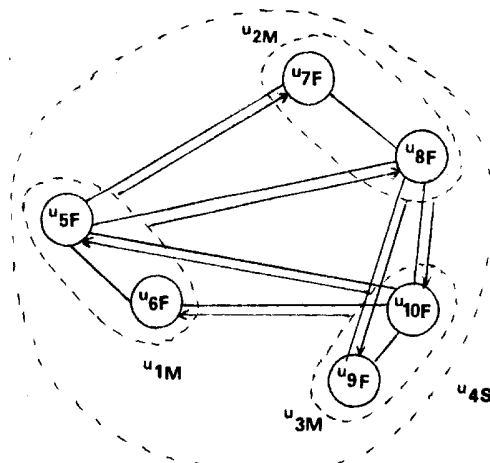


kde u_{iF} , u_{jF} jsou mikroprocesory připojené ke stejné sběrnici, má hodnotu 0, jestliže sběrnici řídí mikroprocesor u_{iF} a hodnotu 1, jestliže sběrnici řídí mikroprocesor u_{jF} .

Počet lokalizovatelných poruch se v daném zapojení zvýší, jestliže se nám podaří zajistit normálový charakter některých mikropočítačových podsystémů. Potom je možno předpokládat, že pravděpodobnost výskytu poruchy je mnohokrát menší v různých podsystémech než v rámci podsystému, který nemá normálový charakter. Pojem diagnostikovatelnosti pro t poruch rozšíříme na úroveň funkčních modulů tak, že v rámci podsystému (makromodulu) jsou postupně identifikovány všechny funkční moduly s poruchou, což zahrnuje i případ poruchy ve všech funkčních modulech v podsystému. Je tedy možné sekvenčně lokalizovat až $t = t_M \times n_F$ poruch, kde n_F je počet funkčních modulů v makromodulu, t_M je maximální počet makromodulů, ve kterých se mohou vyskytnout poruchy a definujeme sekvenční diagnostikovatelnost systému pro t poruch s rozložením t_M/t_C , přičemž t_C je maximální počet komparačních modulů u_{iC} , ve kterých se může vyskytnout porucha současně.

Možnost použití uvedeného zapojení je při analýze nebo při syntéze vícepočítačových a víceprocesorových struktur z hlediska jejich autonomní diagnostiky na úrovni výměnných funkčních modulů. Zapojení lze aplikovat i v synchronních systémech, když zajistíme společný generátor hodinových impulsů pro celý systém. Rovněž lze použít tohoto zapojení jako části systému, kde se nemohou všechny funkční moduly zúčastnit komparace. Tyto moduly se potom testují z komparovaných podsystémů, a to z t různých podsystémů pro diagnostiku v jednom kroku nebo z jednoho podsystému pro sekvenční diagnostiku. Konečně je zapojení použitelné pro autonomní diagnostiku s respektováním možnosti výskytu nestálých poruch. Pro tento případ musíme však zajistit komparaci $2t + 1$ shodných víceprocesorových podsystémů pomocí $2 \cdot \binom{2t+1}{2}$ komparátorů, kde každý komparátor komparuje jednu dvojici podsystémů. S výhodou je možné kombinovat komparace pro lokalizaci nestálých poruch s autonomním testem těchto podsystémů pro lokalizaci trvalých poruch. Pro modelování diagnostiky tohoto typu uvažujeme modifikaci popsaného modelu, který spočívá v zavedení dalšího typu uzlů U_S (supermodul), který zahrnuje několik makromodulů U_{iM} . Komparace probíhá na úrovni supermodulů, zatímco mezi makromoduly se realizují úplné testy. Například pro $t = 1$ s rozložením $t_N/t_S = 1/1$ (t_N je maximální počet nestálých poruch, t_S je maximální počet trvalých poruch v systému) je realizace autonomní diagnostiky supermodulu v jednom kroku následující (úroveň diagnostického rozlišení je nyní makromodul):





(úroveň diagnostického rozlišení je funkční modul, například buď mikroprocesor u_{5F} , nebo u_{8F} , nebo u_{10F} , nebo paměť u_{6F} , nebo u_{7F} , nebo u_{9F}).

PŘEDMĚT VYNÁLEZU

Komparační zapojení s detekcí směru přenosu informace, vyznačující se tím, že první adresní sběrnice (2) je spojena s druhou svorkou (181) druhého komparátoru (18), první datová sběrnice (3) je spojena s první svorkou (170) prvního komparátoru (17), první řídící sběrnice (4) je spojena s první svorkou (180) druhého komparátoru (18) a s prvním vstupem (230) prvního přepínače (23), druhá adresní sběrnice (6) je spojena se čtvrtou svorkou (183) druhého komparátoru (18) a s druhou svorkou (221) čtvrtého komparátoru (22), druhá datová sběrnice (7) je spojena s druhou svorkou (171) prvního komparátoru (17) a s první svorkou (210) třetího komparátoru (21), druhá řídící sběrnice (8) je spojena se třetí svorkou (182) druhého komparátoru (18) a s první svorkou (220) čtvrtého komparátoru (22), třetí adresní sběrnice (10) je spojena se čtvrtou svorkou (224) čtvrtého komparátoru (22), třetí datová sběrnice (11) je spojena s druhou svorkou (211) třetího komparátoru (21), třetí řídící sběrnice (12) je spojena se třetí svorkou (223) čtvrtého komparátoru (22) a s druhým vstupem (231) prvního přepínače (23), čtvrtá svorka (173) prvního komparátoru (17) je spojena s prvním vstupem (200) prvního součtového hradla (20) a s druhou svorkou (191) stavového dekodéru (19), šestá svorka (185) druhého komparátoru (18) je spojena s druhým vstupem (201) prvního součtového hradla (20) a s první svorkou (190) stavového dekodéru (19), čtvrtá svorka (213) třetího komparátoru (21) je spojena s prvním vstupem (250) druhého součtového hradla (25) a se třetí svorkou (192) stavového dekodéru (19), šestá svorka (225) čtvrtého komparátoru (22) je spojena s druhým vstupem (251) druhého součtového hradla (25) a se čtvrtou svorkou (193) stavového dekodéru (19), výstup (233) prvního přepínače (23) je spojen se šestou svorkou (195) stavového dekodéru (19), výstup (241) druhého přepínače (24) je spojen se sedmou svorkou (196) stavového dekodéru (19), přičemž pátá svorka (194) stavového dekodéru (19) je spojena s adresním vstupem (232) prvního přepínače (23) a s adresním vstupem (240) druhého přepínače (24), výstup (202) prvního součtového hradla (20) je spojen se třetí svorkou (263) synchronizátoru (26), výstup (252) druhého součtového hradla (25) je spojen s první svorkou (261) synchronizátoru (26), pátá svorka (135) prvního mikroprocesoru (13) je spojena s prvním vstupem (242) druhého přepínače (24) a se sedmou svorkou (187) druhého komparátoru (18), pátá svorka (313) třetího mikroprocesoru (31) je spojena s druhým vstupem (243) druhého přepínače (24) a s osmou svorkou (228) čtvrtého komparátoru (22), pátá svorka (275) druhého mikroprocesoru (27) je spojena s osmou svorkou (188) druhého komparátoru (18) a se sedmou svorkou (227) čtvrtého komparátoru (22) a šestá svorka (266) synchronizátoru (26) je spojena s osmou svorkou (198) stavového dekodéru (19).

1 výkres

