(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 113724760 B
(45)授权公告日 2023.07.04

(21)申请号 202011031010.3

(22)申请日 2020.09.27

(65)同一申请的已公布的文献号
申请公布号 CN 113724760 A

(43)申请公布日 2021.11.30

(30)优先权数据
10-2020-0062257 2020.05.25 KR

(73)专利权人 爱思开海力士有限公司
地址 韩国京畿道

(72)发明人 吴星来 金原奭 朴商佑

(74)专利代理机构 北京三友知识产权代理有限公司 11127
专利代理师 刘久亮 黄纶伟

(51)Int.Cl.
G11C 16/04(2006.01)
G11C 16/08(2006.01)
G11C 16/14(2006.01)
G11C 16/30(2006.01)
H10B 43/35(2023.01)
H10B 43/40(2023.01)
H10B 43/27(2023.01)

(56)对比文件
CN 109215718 A,2019.01.15
CN 101916591 A,2010.12.15
CN 207289703 U,2018.05.01
KR 20100088800 A,2010.08.11
US 2011286275 A1,2011.11.24
US 2012026134 A1,2012.02.02
US 2019303153 A1,2019.10.03
US 2020082885 A1,2020.03.12
US 2020144224 A1,2020.05.07
WO 2013046426 A1,2013.04.04
WO 2016090331 A1,2016.06.09

审查员 赵晓娟

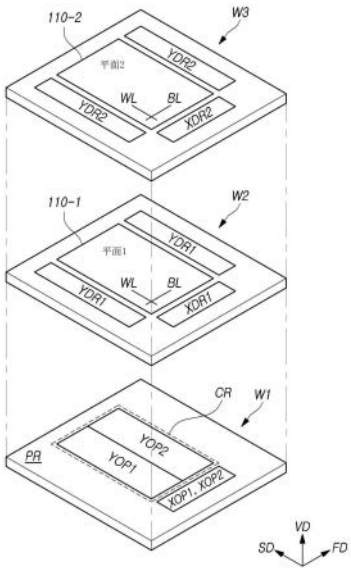
权利要求书4页 说明书14页 附图11页

(54)发明名称

存储器装置

(57)摘要

一种存储器装置包括:第一平面,其限定在层叠在第一晶片上的第二晶片中;第二平面,其限定在层叠在第二晶片上的第三晶片中并且在垂直方向上与第一平面交叠;第一页缓冲器电路,其包括第一列运算器和联接到第一平面的位线的第一列驱动器;以及第二页缓冲器电路,其包括第二列运算器和联接到第二平面的位线的第二列驱动器。第一列驱动器设置在第二晶片中,第二列驱动器设置在第三晶片中并且在垂直方向上与第一列驱动器交叠,并且第一列运算器和第二列运算器设置在第一晶片的单元区域中并且在垂直方向上与第一平面和第二平面交叠。



CN 113724760 B

1.一种存储器装置,该存储器装置包括:

第一平面,所述第一平面包括限定在第二晶片中的多个存储器单元,所述第二晶片层叠在第一晶片上;

第二平面,所述第二平面包括限定在第三晶片中的多个存储器单元,所述第三晶片层叠在所述第二晶片上,并且所述第二平面在垂直方向上与所述第一平面交叠;

第一页缓冲器电路,所述第一页缓冲器电路包括联接到所述第一平面的位线的第一列驱动器和联接到所述第一列驱动器的第一列运算器;以及

第二页缓冲器电路,所述第二页缓冲器电路包括联接到所述第二平面的位线的第二列驱动器和联接到所述第二列驱动器的第二列运算器,

其中,所述第一列驱动器设置在所述第二晶片中,所述第二列驱动器设置在所述第三晶片中并且在所述垂直方向上与所述第一列驱动器交叠,并且所述第一列运算器和所述第二列运算器设置在所述第一晶片的单元区域中并且在所述垂直方向上与所述第一平面和所述第二平面交叠。

2.根据权利要求1所述的存储器装置,

其中,所述第一列驱动器与所述第一平面相邻设置,并且被设置成具有在所述第一平面的位线的排布方向上延伸的形状,并且

其中,所述第二列驱动器与所述第二平面相邻安置,并且被设置成具有在所述第二平面的位线的排布方向上延伸的形状。

3.根据权利要求1所述的存储器装置,其中,所述第一列运算器和所述第二列运算器被设置成具有在所述第一平面和所述第二平面的位线的排布方向上延伸的形状。

4.根据权利要求1所述的存储器装置,该存储器装置还包括:

第一行解码器,所述第一行解码器包括联接到所述第一平面的字线的第一行驱动器和联接到所述第一行驱动器的第一行运算器;以及

第二行解码器,所述第二行解码器包括联接到所述第二平面的字线的第二行驱动器和联接到所述第二行驱动器的第二行运算器,

其中,所述第一行驱动器设置在所述第二晶片中,所述第二行驱动器设置在所述第三晶片中,并且所述第一行运算器和所述第二行运算器设置在所述第一晶片中,

其中,所述第一行驱动器和所述第二行驱动器在所述垂直方向上彼此交叠,并且

其中,所述第一行运算器和所述第二行运算器在所述垂直方向上与所述第一行驱动器和所述第二行驱动器交叠。

5.根据权利要求4所述的存储器装置,

其中,所述第一行驱动器与所述第一平面相邻设置,并且被设置成具有在所述第一平面的字线的排布方向上延伸的形状,并且

其中,所述第二行驱动器与所述第二平面相邻设置,并且被设置成具有在所述第二平面的字线的排布方向上延伸的形状。

6.根据权利要求4所述的存储器装置,

其中,所述第一行驱动器包括联接到所述第一平面的字线的第一传输晶体管电路,以及通过所述第一平面的全局字线联接到所述第一传输晶体管电路的第一全局线开关电路,并且

其中，所述第二行驱动器包括联接到所述第二平面的字线的第二传输晶体管电路，以及通过所述第二平面的全局字线联接到所述第二传输晶体管电路的第二全局线开关电路。

7.根据权利要求6所述的存储器装置，

其中，所述第一传输晶体管电路和所述第一全局线开关电路在所述第一平面的字线的延伸方向上分开并且分别设置在所述第一平面的两侧，并且

其中，所述第二传输晶体管电路和所述第二全局线开关电路在所述第二平面的字线的延伸方向上分开并且分别设置在所述第二平面的两侧。

8.根据权利要求1所述的存储器装置，该存储器装置还包括：

第一擦除偏压开关电路，所述第一擦除偏压开关电路被配置为将擦除电压传输到所述第一平面；以及

第二擦除偏压开关电路，所述第二擦除偏压开关电路被配置为将擦除电压传输到所述第二平面，

其中，所述第一擦除偏压开关电路设置在所述第二晶片中，并且所述第二擦除偏压开关电路设置在所述第三晶片中。

9.一种存储器装置，该存储器装置包括：

平面，所述平面包括第一子平面和第二子平面，所述第一子平面限定在第二晶片中，所述第二晶片层叠在第一晶片上，所述第二子平面限定在第三晶片中，所述第三晶片层叠在所述第二晶片上；以及

页缓冲器电路，所述页缓冲器电路包括联接到所述第一子平面的位线的第一子列驱动器、联接到所述第二子平面的位线的第二子列驱动器、以及联接到所述第一子列驱动器和所述第二子列驱动器的列运算器，

其中，所述第一子列驱动器设置在所述第二晶片中，所述第二子列驱动器设置在所述第三晶片中并且在垂直方向上与所述第一子列驱动器交叠，并且所述列运算器设置在所述第一晶片的单元区域中并且在所述垂直方向上与所述第一子平面和所述第二子平面交叠。

10.根据权利要求9所述的存储器装置，

其中，所述第一子列驱动器与所述第一子平面相邻设置，并且具有在所述第一子平面的位线的排布方向上延伸的形状，并且

其中，所述第二子列驱动器与所述第二子平面相邻设置，并且具有在所述第二子平面的位线的排布方向上延伸的形状。

11.根据权利要求9所述的存储器装置，该存储器装置还包括：

行解码器，所述行解码器包括联接到所述第一子平面的字线的第一子行驱动器、联接到所述第二子平面的字线的第二子行驱动器、以及联接到所述第一子行驱动器和所述第二子行驱动器的行运算器，

其中，所述第一子行驱动器设置在所述第二晶片中，所述第二子行驱动器设置在所述第三晶片中，并且所述行运算器设置在所述第一晶片中，

其中，所述第一子行驱动器和所述第二子行驱动器在所述垂直方向上彼此交叠，并且

其中，所述行运算器在所述垂直方向上与所述第一子行驱动器和所述第二子行驱动器交叠。

12.根据权利要求11所述的存储器装置，

其中，所述第一子行驱动器与所述第一子平面相邻设置，并且具有在所述第一子平面的字线的排布方向上延伸的形状，并且

其中，所述第二子行驱动器与所述第二子平面相邻设置，并且具有在所述第二子平面的字线的排布方向上延伸的形状。

13.根据权利要求11所述的存储器装置，

其中，所述第一子行驱动器包括联接到所述第一子平面的字线的第一子传输晶体管电路，以及通过所述第一子平面的全局字线联接到所述第一子传输晶体管电路的第一子全局线开关电路，

其中，所述第二子行驱动器包括联接到所述第二子平面的字线的第二子传输晶体管电路，以及通过所述第二子平面的全局字线联接到所述第二子传输晶体管电路的第二子全局线开关电路，

其中，所述第一子传输晶体管电路和所述第一子全局线开关电路在所述第一子平面的字线的延伸方向上分开并且分别设置在所述第一子平面的两侧，并且

其中，所述第二子传输晶体管电路和所述第二子全局线开关电路在所述第二子平面的字线的延伸方向上分开并且分别设置在所述第二子平面的两侧。

14.根据权利要求9所述的存储器装置，该存储器装置还包括：

第一子擦除偏压开关电路，所述第一子擦除偏压开关电路被配置为将擦除电压传输到所述第一子平面；以及

第二子擦除偏压开关电路，所述第二子擦除偏压开关电路被配置为将擦除电压传输到所述第二子平面，

其中，所述第一子擦除偏压开关电路设置在所述第二晶片中，并且所述第二子擦除偏压开关电路设置在所述第三晶片中。

15.一种存储器装置，该存储器装置包括：

第一存储器单元阵列，所述第一存储器单元阵列设置在第二晶片中，所述第二晶片层叠在第一晶片上；

第二存储器单元阵列，所述第二存储器单元阵列设置在第三晶片中，所述第三晶片层叠在所述第二晶片上，并且所述第二存储器单元阵列在垂直方向上与所述第一存储器单元阵列交叠；

第一存取电路，所述第一存取电路包括与所述第一存储器单元阵列互操作的第一高电压电路和通过所述第一高电压电路与所述第一存储器单元阵列互操作的第一低电压电路；以及

第二存取电路，所述第二存取电路包括与所述第二存储器单元阵列互操作的第二高电压电路和通过所述第二高电压电路与所述第二存储器单元阵列互操作的第二低电压电路，

其中，所述第一高电压电路设置在所述第二晶片中，所述第二高电压电路设置在所述第三晶片中并且在所述垂直方向上与所述第一高电压电路交叠，并且所述第一低电压电路和所述第二低电压电路设置在所述第一晶片中。

16.根据权利要求15所述的存储器装置，

其中，所述第一存取电路包括联接到所述第一存储器单元阵列的位线的第一页缓冲器电路，并且所述第二存取电路包括联接到所述第二存储器单元阵列的位线的第二页缓冲器

电路,并且

其中,所述第一低电压电路和所述第二低电压电路设置在所述第一晶片的在所述垂直方向上与所述第一存储器单元阵列和所述第二存储器单元阵列交叠的单元区域中。

17.根据权利要求15所述的存储器装置,

其中,所述第一存取电路包括联接到所述第一存储器单元阵列的字线的第一行解码器,并且所述第二存取电路包括联接到所述第二存储器单元阵列的字线的第二行解码器,并且

其中,所述第一低电压电路和所述第二低电压电路设置在所述第一晶片的在所述垂直方向上与所述第一高电压电路和所述第二高电压电路交叠的外围区域中。

18.根据权利要求15所述的存储器装置,

其中,所述第一晶片、所述第二晶片和所述第三晶片中的每一个晶片包括限定在该晶片的要与另一相邻晶片接合的表面上的接合焊盘,

其中,所述第一晶片的接合焊盘通过所述第一晶片中的第一布线线路和第一接触件联接到所述第一低电压电路和所述第二低电压电路,

其中,所述第二晶片的接合焊盘通过所述第二晶片中的第二布线线路和第二接触件联接到所述第一高电压电路,

其中,所述第三晶片的接合焊盘通过所述第三晶片中的第三布线线路和第三接触件联接到所述第二高电压电路,并且

其中,所述第一晶片至所述第三晶片的每一个接合焊盘联接到另一相邻晶片的接合焊盘。

19.一种存储器装置,该存储器装置包括:

在垂直方向上彼此接合的第一晶片、第二晶片和第三晶片,

其中,所述第二晶片包括多个第一存储器单元和控制所述多个第一存储器单元的第一页缓冲器高电压电路,

其中,所述第三晶片包括多个第二存储器单元和控制所述多个第二存储器单元的第二页缓冲器高电压电路,并且

其中,所述第一晶片包括页缓冲器低电压电路,所述第一页缓冲器高电压电路和所述第二页缓冲器高电压电路共同与所述页缓冲器低电压电路互操作,并且所述页缓冲器低电压电路通过所述第一页缓冲器高电压电路和所述第二页缓冲器高电压电路与所述多个第一存储器单元和所述多个第二存储器单元交换数据。

20.根据权利要求19所述的存储器装置,

其中,所述第一页缓冲器高电压电路包括通过多条第一位线联接到所述多个第一存储器单元的第一列驱动器,

其中,所述第二页缓冲器高电压电路包括通过多条第二位线联接到所述多个第二存储器单元的第二列驱动器,

其中,所述页缓冲器低电压电路包括与所述第一列驱动器和所述第二列驱动器互操作的列运算器,并且

其中,所述第一列驱动器和所述第二列驱动器彼此独立地激活。

存储器装置

技术领域

[0001] 各种实施方式总体上涉及一种半导体技术,更具体地,涉及一种存储器装置。

背景技术

[0002] 随着半导体制造技术的发展,对高性能存储器的需求正在增加,并且已经提出了各种方法来满足该需求。已经提出多平面结构(multi-plane structure)作为这些方法中的一种。在具有多平面结构的存储器装置中,存储器块分布在多个平面上,并且可以在不同平面的存储器块上同时执行命令。

发明内容

[0003] 各种实施方式旨在提出能够增加要在受限布局内设置的平面的数量的措施。

[0004] 在一个实施方式中,一种存储器装置可以包括:第一平面,其包括在层叠在第一晶片上的第二晶片中限定的多个存储器单元;第二平面,其包括在层叠在第二晶片上的第三晶片中限定的多个存储器单元,并且第二平面在垂直方向上与第一平面交叠;第一页缓冲器电路,其包括联接到第一平面的位线的第一列驱动器和联接到第一列驱动器的第一列运算器;以及第二页缓冲器电路,其包括联接到第二平面的位线的第二列驱动器和联接到第二列驱动器的第二列运算器。第一列驱动器可以设置在第二晶片中,第二列驱动器可以设置在第三晶片中并且可以在垂直方向上与第一列驱动器交叠,并且第一列运算器和第二列运算器可以设置在第一晶片的单元区域中并且在垂直方向上与第一平面和第二平面交叠。

[0005] 在一个实施方式中,一种存储器装置可以包括:包括第一子平面和第二子平面的平面,第一子平面限定在层叠在第一晶片上的第二晶片中,第二子平面限定在层叠在第二晶片上的第三晶片中;以及页缓冲器电路,其包括联接到第一子平面的位线的第一子列驱动器、联接到第二子平面的位线的第二子列驱动器,以及联接到第一子列驱动器和第二子列驱动器的列运算器。第一子列驱动器可以设置在第二晶片中,第二子列驱动器可以设置在第三晶片中并且可以在垂直方向上与第一子列驱动器交叠,并且列运算器可以设置在第一晶片的单元区域中并且在垂直方向上与第一子平面和第二子平面交叠。

[0006] 在一个实施方式中,一种存储器装置可以包括:第一存储器单元阵列,其设置在层叠在第一晶片上的第二晶片中;第二存储器单元阵列,其设置在层叠在第二晶片上的第三晶片中,并且在垂直方向上与第一存储器单元阵列交叠;第一存取电路,其包括与第一存储器单元阵列互操作的第一高电压电路和通过第一高电压电路与第一存储器单元阵列互操作的第一低电压电路;以及第二存取电路,其包括与第二存储器单元阵列互操作的第二高电压电路和通过第二高电压电路与第二存储器单元阵列互操作的第二低电压电路。第一高电压电路可以设置在第二晶片中,第二高电压电路可以设置在第三晶片中并且可以在垂直方向上与第一高电压电路交叠,并且第一低电压电路和第二低电压电路可以设置在第一晶片中。

[0007] 在一个实施方式中,一种存储器装置可以包括:在垂直方向上彼此接合的第一晶

片、第二晶片和第三晶片。第二晶片可以包括多个第一存储器单元和控制多个第一存储器单元的第一页缓冲器高电压电路。第三晶片可以包括多个第二存储器单元和控制多个第二存储器单元的第二页缓冲器高电压电路。第一晶片可以包括页缓冲器低电压电路，第一页缓冲器高电压电路和第二页缓冲器高电压电路共同与页缓冲器低电压电路互操作，页缓冲器低电压电路并且通过第一页缓冲器高电压电路和第二页缓冲器高电压电路与多个第一存储器单元和多个第二存储器单元交换数据。

附图说明

[0008] 图1是示出根据本公开的一个实施方式的存储器装置的表示的框图。

[0009] 图2是示出图1所示的存储器块的表示的等效电路图。

[0010] 图3是示出图1所示的第一行解码器的表示的框图。

[0011] 图4是示意性地示出根据本公开的一个实施方式的存储器装置的布局的表示的图。

[0012] 图5和图6是示出根据本公开的实施方式的存储器装置的表示的示例性截面图。

[0013] 图7至图10是示意性地示出根据本公开的实施方式的存储器装置的布局的示例的表示的图。

[0014] 图11是示意性地示出根据本公开的实施方式的包括存储器装置的存储器系统的框图。

[0015] 图12是示意性地示出根据本公开的实施方式的包括存储器装置的计算系统的框图。

具体实施方式

[0016] 根据参照附图的描述的以下对本文的示例性实施方式的描述，本公开的优点和特征及其实现方法将变的明显。然而，本公开不限于本文公开的示例性实施方式，而是可以以各种方式实现。本公开的示例性实施方式将本公开的范围传达给本领域技术人员。

[0017] 描述本公开的实施方式的附图中给出的数值、尺寸、比率、角度、元件数量仅仅是例示性的，因此本公开不限于所示的内容。在整个说明书中，相同的附图标记表示相同的部件。在描述本公开时，当确定对相关技术的详细描述可能使本公开的主旨或清晰性变得模糊时，将省略其详细描述。应当理解，说明书和权利要求书中使用的术语“包括”、“具有”、“包含”等不应当被解释为限于其后列出的手段，除非另有明确说明。当提及单数名词时使用不定冠词或定冠词(例如“一”、“一个”或“该”)时，可以包括该名词的复数形式，除非另有明确说明。即使在没有明确说明的情况下，本公开的实施方式中的部件也应当被解释为包括误差范围。

[0018] 此外，在描述本公开的部件时，可以使用诸如第一、第二、A、B、(a)和(b)的术语。这些术语仅用于区分一个部件和另一个部件，而不限制部件的物质、次序、顺序或数量。此外，本公开的实施方式中的部件不受这些术语的限制。这些术语仅用于区分一个部件和另一个部件。因此，如本文使用的那样，在本公开的技术精神内，第一部件可以是第二部件。

[0019] 如果一个部件被描述为“连接”、“联接”或“链接”到另一个部件，则应当理解，该部件可以直接“连接”、“联接”或“链接”到该另一个部件，但是又一个部件可以“插入”在其间，

或者该部件可以经由又一个部件而“连接”、“联接”或“链接”到该另一个部件。在描述位置关系时，例如“元件B上的元件A”、“元件B上方的元件A”、“元件B下方的元件A”和“元件B旁边的元件A”，可以在元件A和B之间设置另一个元件C，除非明确使用了术语“直接地”或“紧接地”。

[0020] 本公开的各种示例性实施方式的特征可以部分或全部地联接、组合或分离。在技术上，可以进行各种交互和操作。各种示例性实施方式可以单独或组合实施。

[0021] 在以下描述中，将晶片进行层叠的方向定义为垂直方向VD，将位线的延伸方向定义为第一方向FD，并且将位线的排布方向定义为第二方向SD。第一方向FD和第二方向SD可以平行于与垂直方向VD正交的平面，并且可以彼此相交。第一方向FD和第二方向SD可以基本上彼此垂直地相交。在以下描述中，将术语“垂直”或“垂直方向”用作与垂直方向VD基本相同的含义。在附图中，由箭头指示的方向和与其相反的方向表示相同的方向。

[0022] 在下文中，将参照附图详细描述本公开的实施方式的各种示例。

[0023] 图1是示出根据本公开的一个实施方式的存储器装置的表示的框图。

[0024] 参照图1，存储器装置可以包括多个平面110-1和110-2以及用于控制多个平面110-1和110-2的操作的逻辑电路。逻辑电路可以包括多个行解码器120-1和120-2、多个页缓冲器电路130-1和130-2以及外围电路140。

[0025] 多个平面110-1和110-2可以包括第一平面110-1和第二平面110-2。第一平面110-1和第二平面110-2中的每一个可以包括多个存储器块BLK。每个存储器块BLK可以包括多个存储器单元，每个存储器单元具有与其中存储的数据相对应的状态。每个存储器单元可以是在电源中断时丢失其中存储的数据的易失性存储器单元，或者可以是即使在电源中断也会保留其中存储的数据的非易失性存储器单元。虽然下文描述了存储器装置为垂直NAND闪存装置，但是应当理解，本公开的技术构思不限于此。虽然本实施方式包括两个平面，但是本公开不限于此。平面的数量可以是三个或更多个。

[0026] 行解码器120-1和120-2中的每一个可以通过多条字线WL联接到对应的平面110-1或110-2，所述字线WL可以提供对对应的平面110-1或110-2的存取(access)。可以将行解码器120-1和120-2定义为行存取电路。例如，行解码器120-1和120-2可以包括联接到第一平面110-1的第一行解码器120-1和联接到第二平面110-2的第二行解码器120-2。

[0027] 第一行解码器120-1可以包括第一行驱动器(X-Driver 1)XDR1和第一行运算器(X-Operator 1)XOP1。第一行驱动器XDR1可以联接到布置在第一平面110-1中的字线WL，并且可以将从外围电路140输入的操作电压X_V1传输到与从第一平面110-1的存储器块BLK中选择的存储器块BLK联接的字线WL。

[0028] 响应于从外围电路140提供的行地址X_A1，第一行运算器XOP1可以从被包括在第一平面110-1中的存储器块BLK中选择一个存储器块BLK。第一行运算器XOP1可以控制第一行驱动器XDR1以将从外围电路140提供的操作电压X_V1传输到所选存储器块BLK的字线WL。

[0029] 第二行解码器120-2可以包括第二行驱动器(X-Driver 2)XDR2和第二行运算器(X-Operator 2)XOP2。第二行驱动器XDR2可以以类似于第一行驱动器XDR1的方式进行配置和操作。第二行运算器XOP2可以以类似于第一行运算器XOP1的方式进行配置和操作。

[0030] 操作电压X_V1和X_V2中的每一个可以包括编程电压、通过电压、未选读取电压、读取电压或验证电压等。未选读取电压表示在读取操作中提供到未选字线的电压，并且读取

电压表示在读取操作中提供到所选字线的电压。编程电压、通过电压或读取电压可以对应于高电压。在本说明书中，将高于电源电压的升压(boosted)电压定义为高电压，将将低于电源电压的电压定义为低电压。

[0031] 被包括在第一行驱动器XDR1和第二行驱动器XDR2中的晶体管可以由高电压晶体管配置以承受高电压。另一方面，被包括在第一行运算器XOP1和第二行运算器XOP2中的晶体管可以由低电压晶体管配置。

[0032] 页缓冲器电路130-1和130-2中的每一个可以通过多条位线BL联接到对应的平面110-1或110-2，所述位线BL可以允许对对应的平面110-1或110-2进行存取。可以将页缓冲器电路130-1和130-2定义为列存取电路。例如，页缓冲器电路130-1和130-2可以包括联接到第一平面110-1的第一页缓冲器电路130-1和联接到第二平面110-2的第二页缓冲器电路130-2。

[0033] 第一页缓冲器电路130-1可以包括第一列驱动器(Y-Driver 1)YDR1和第一列运算器(Y-Operator 11)YOP1。第一列驱动器YDR1可以联接到布置在第一平面110-1中的多条位线BL，并且可以响应于位线选择信号而选择位线。

[0034] 第一列运算器YOP1可以通过第一列驱动器YDR1联接到布置在第一平面110-1中的多条位线BL，并且可以响应于来自外围电路140的第一页缓冲器控制信号PB_C1而控制布置在第一平面110-1中的位线BL。例如，响应于第一页缓冲器控制信号PB_C1，第一列运算器YOP1可以通过感测第一平面110-1的位线BL的信号来检测存储在第一平面110-1的存储器单元中的数据，并且可以根据检测的数据将数据信号D1发送到外围电路140。响应于第一页缓冲器控制信号PB_C1，第一列运算器YOP1可以基于从外围电路140接收的数据信号D1向位线BL施加信号，从而可以在第一平面110-1的存储器单元中写入数据。第一列运算器YOP1可以向联接到由第一行解码器120-1激活的字线的存储器单元写入数据或从该存储器单元读取数据。

[0035] 第二页缓冲器电路130-2可以包括第二列驱动器(Y-Driver 2)YDR2和第二列运算器(Y-Operator 2)YOP2。第二列驱动器YDR2可以以类似于第一列驱动器YDR1的方式进行配置和操作。第二列运算器YOP2可以以类似于第一列运算器YOP1的方式进行配置和操作。

[0036] 在擦除操作中，可以向位线BL施加高电压。被包括在第一列驱动器YDR1和第二列驱动器YDR2中的晶体管可以由高电压晶体管配置，以承受在擦除操作中施加到位线BL的高电压。另一方面，被包括在第一列运算器YOP1和第二列运算器YOP2中的晶体管可以由低电压晶体管配置。

[0037] 尽管将要在本说明书中参照附图描述的实施方式示出了将列运算器独立提供给第一页缓冲器电路130-1和第二页缓冲器电路130-2中的每一个，但是应当注意，本公开不限于此。

[0038] 在其它实施方式中，可以将单个列运算器公共地提供给第一页缓冲器电路130-1和第二页缓冲器电路130-2。该列运算器可以联接到第一页缓冲器电路130-1的第一列驱动器YDR1和第二页缓冲器电路130-2的第二列驱动器YDR2。

[0039] 可以独立地激活第一列驱动器YDR1和第二列驱动器YDR2。例如，如果仅激活第一列驱动器YDR1和第二列驱动器YDR2中的一个，则列运算器可以通过一个被激活的列驱动器与第一平面110-1和第二平面110-2中的一个交换数据。另一方面，如果同时激活第一列驱

动器YDR1和第二列驱动器YDR2,则列运算器可以并行地通过第一列驱动器YDR1和第二列驱动器YDR2与第一平面110-1和第二平面110-2交换数据。

[0040] 外围电路140可以从存储器装置外部接收命令信号CMD、地址信号ADD和控制信号CTRL,并且可以向存储器装置外部的装置(例如,存储器控制器)发送数据DATA和从存储器装置外部的装置接收数据DATA。外围电路140可以基于命令信号CMD、地址信号ADD和控制信号CTRL输出用于在第一平面110-1和第二平面110-2中写入数据或从第一平面110-1和第二平面110-2读取数据的信号,例如行地址X_A1和X_A2、页缓冲器控制信号PB_C1和PB_C2等。外围电路140可以产生存储器装置中所需的包括操作电压X_V1和X_V2的各种电压。

[0041] 可以彼此独立地控制第一平面110-1的操作和第二平面110-2的操作。例如,可以对第一平面110-1执行编程操作,并且可以对第二平面110-2执行读取操作。通过包括第一平面110-1和第二平面110-2,存储器装置可以实现类似于当两个芯片共享输入/输出总线时所实现的效果的效果,因此,可以改进包括本公开所设想的存储器装置的系统的性能。

[0042] 随着存储器单元的层数增加,即,随着字线的叠层的数量增加,由单个平面占用的布局面积减小。作为改进系统性能的方法,可以采用增加被包括在存储器装置中的平面的数量的方法。然而,如果平面的数量增加,则行解码器的数量和页缓冲器电路的数量与平面的数量相对应地增加,因此可能增加由于行解码器和页缓冲器电路的存在而引起的布局面积消耗。为此,即使通过工艺细化和使用三维层叠结构来减小平面尺寸,也很难减小存储器装置的尺寸。以下实施方式可以提出能够通过改变行解码器和页缓冲器电路的布局结构来减少布局面积消耗的措施。

[0043] 图2是示出图1所示的存储器块BLK的表示的等效电路图。

[0044] 参照图2,存储器块BLK可以包括对应于多条位线BL并且对应于公共源极线CSL的多个单元串CSTR。位线BL可以在第一方向FD上延伸并且在第二方向SD上排布。多个单元串CSTR可以并联联接到各条位线BL。单元串CSTR可以共同联接到公共源极线CSL。多个单元串CSTR可以设置在多条位线BL和一条公共源极线CSL之间。

[0045] 每一个单元串CSTR可以包括联接到位线BL的漏极选择晶体管DST、联接到公共源极线CSL的源极选择晶体管SST,以及联接在漏极选择晶体管DST与源极选择晶体管SST之间的多个存储器单元MC。漏极选择晶体管DST、存储器单元MC和源极选择晶体管SST可以在垂直方向VD上串联联接。

[0046] 漏极选择线DSL、多条字线WL和源极选择线SSL可以在垂直方向VD上设置在位线BL和公共源极线CSL之间。每一条漏极选择线DSL可以联接到对应的漏极选择晶体管DST的栅极。每一条字线WL可以联接到对应的存储器单元MC的栅极。源极选择线SSL可以联接到源极选择晶体管SST的栅极。

[0047] 被包括在存储器块BLK中的存储器单元MC可以被划分成物理页单元或逻辑页单元。例如,共享字线WL并且联接到不同单元串CSTR的存储器单元MC可以构成一个物理页。这种页可以是读取操作的基本单元。

[0048] 图3是示意性地示出图1所示的第一行解码器的表示的框图。

[0049] 参照图3,第一行解码器120-1可以包括第一行驱动器XDR1和第一行运算器XOP1。第一行驱动器XDR1可以包括传输晶体管电路(pass transistor circuit)PTR_CKT和全局线开关电路(global line switch circuit)GWL SW。第一行运算器XOP1可以包括块解码器

BLK DEC和全局行解码器GWL DEC。

[0050] 全局线开关电路GWL SW可以包括多个全局线开关晶体管,所述多个全局线开关晶体管联接到多条全局字线GWL并且响应于来自全局线解码器GWL DEC的信号而将来自外围电路140(参见图1)的操作电压X_V1传输到多条全局字线GWL。传输晶体管电路PTR_CKT可以包括分别对应于被包括在第一平面110-1中的多个存储器块BLK的多个传输晶体管单元Pass TR Unit。每一个传输晶体管单元Pass TR Unit可以包括多个传输晶体管,所述多个传输晶体管联接在与对应的存储器块BLK联接的多条字线WL和多条全局字线GWL之间。

[0051] 响应于来自外围电路140(参见图1)的行地址X_A1,块解码器BLK DEC可以向传输晶体管电路PTR_CKT提供用于选择一个存储器块BLK的信号。传输晶体管电路PTR_CKT可以将与响应于来自块解码器BLK DEC的信号而选择的存储器块BLK联接的多条字线WL联接到多条全局字线GWL。

[0052] 图4是示意性地示出根据本公开的一个实施方式的存储器装置的布局的表示的图。

[0053] 参照图4,根据本公开的一个实施方式的存储器装置可以包括在垂直方向VD上层叠的第一晶片W1至第三晶片W3。例如,第二晶片W2可以层叠在第一晶片W1上,并且第三晶片W3可以层叠在第二晶片W2上。

[0054] 在一个实施方式中,图1所示的第一行运算器XOP1和第二行运算器XOP2以及第一列运算器YOP1和第二列运算器YOP2可以设置在第一晶片W1中。第一平面110-1、第一行驱动器XDR1和第一列驱动器YDR1可以设置在第二晶片W2中。第二平面110-2、第二行驱动器XDR2和第二列驱动器YDR2可以设置在第三晶片W3中。

[0055] 在第二晶片W2中,多条字线WL可以在第二方向SD上延伸并且可以在第一方向FD上排布。在第二晶片W2中,多条位线BL可以在第一方向FD上延伸并且可以在第二方向SD上排布。如上参照图1所述,第一行驱动器XDR1可以联接到布置在第一平面110-1中的多条字线WL,并且第一列驱动器YDR1可以联接到布置在第一平面110-1中的多条位线BL。

[0056] 第一行驱动器XDR1可以包括多个电路,例如,重复地并且分别地与多条字线WL相邻设置而且布置在第一平面110-1中的多个传输晶体管。第一行驱动器XDR1可以在第二方向SD上与第一平面110-1相邻设置,并且可以被设置成具有在第一方向FD上延伸的形状,该第一方向FD也是字线WL的排布方向。

[0057] 第一列驱动器YDR1可以包括多个电路,例如,重复地并且分别地与多条位线BL相邻设置而且布置在第一平面110-1中的多个位线选择晶体管。第一列驱动器YDR1可以在第一方向FD上与第一平面110-1相邻设置,并且可以被设置成具有在作为位线BL的排布方向的第二方向SD上延伸的形状。本实施方式示出了在第一方向FD上由第一平面110-1划分的第一列驱动器YDR1,但是本公开所设想的实施方式不限于此。第一列驱动器YDR1可以在第一方向FD上仅设置在第一平面110-1的一侧。

[0058] 在第三晶片W3中,多条字线WL可以在第二方向SD上延伸并且可以在第一方向FD上排布。多条位线BL可以在第一方向FD上延伸并且可以在第二方向SD上排布。如上参照图1所述,第二行驱动器XDR2可以联接到布置在第二平面110-2中的多条字线WL,并且第二列驱动器YDR2可以联接到布置在第二平面110-2中的多条位线BL。

[0059] 第二行驱动器XDR2可以在第二方向SD上与第二平面110-2相邻设置,并且可以被

设置成具有在作为字线WL的排布方向的第一方向FD上延伸的形状。第二列驱动器YDR2可以在第一方向FD上与第二平面110-2相邻设置，并且可以被设置成具有在作为第二平面110-2的位线BL的排布方向的第二方向SD上延伸的形状。

[0060] 第二平面110-2可以在垂直方向VD上与第一平面110-1交叠。在第一方向FD和第二方向SD上，第二平面110-2的占用面积可以与第一平面110-1的占用面积基本相同。第二行驱动器XDR2可以在垂直方向VD上与第一行驱动器XDR1交叠。在第一方向FD和第二方向SD上，第二行驱动器XDR2的占用面积可以与第一行驱动器XDR1的占用面积基本相同。第二列驱动器YDR2可以在垂直方向VD上与第一列驱动器YDR1交叠。在第一方向FD和第二方向SD上，第二列驱动器YDR2的占用面积可以与第一列驱动器YDR1的占用面积基本相同。

[0061] 第一晶片W1可以包括单元区域CR和外围区域PR。可以将单元区域CR定义为在垂直方向VD上与第一平面110-1和第二平面110-2交叠的区域。单元区域CR的面积可以对应于第一平面110-1的占用面积或第二平面110-2的占用面积。可以将外围区域PR定义为不与第一平面110-1和第二平面110-2交叠的区域。

[0062] 第一列运算器YOP1和第二列运算器YOP2可以设置在单元区域CR中。因此，第一列运算器YOP1和第二列运算器YOP2可以在垂直方向VD上与第一平面110-1和第二平面110-2交叠。第一列运算器YOP1和第二列运算器YOP2具有在第二方向SD上延伸的形状，并且可以彼此并排或相邻设置。

[0063] 第一行运算器XOP1和第二行运算器XOP2可以设置在外围区域PR中。第一行运算器XOP1和第二行运算器XOP2可以在第二方向SD上与第一列运算器YOP1和第二列运算器YOP2相邻设置。第一行运算器XOP1和第二行运算器XOP2可以在垂直方向VD上与第一行驱动器XDR1和第二行驱动器XDR2交叠。

[0064] 尽管未图示，但外围电路(参见图1的140)可以在第一晶片W1的外围区域PR中设置在没有设置第一行运算器XOP1和第二行运算器XOP2的区域中。外围电路可以包括电压发生器、输入/输出缓冲器、温度传感器、预解码器、命令解码器、地址解码器和测试电路等。

[0065] 图5是示出根据本公开的一个实施方式的存储器装置的表示并且与在第一方向FD上观察而且在字线的延伸方向上截取的截面的示例性截面图。

[0066] 参照图4和图5，第二晶片W2可以包括第一基板10以及限定在第一基板10上的存储器单元阵列MCA和第一晶体管X-HV。存储器单元阵列MCA可以设置在第一基板10的单元区域CR中，并且第一晶体管X-HV可以设置在第一基板10的外围区域PR中。

[0067] 存储器单元阵列MCA可以包括在垂直方向VD上从第一基板10突出的多个垂直沟道CH，以及沿着垂直沟道CH交替层叠的多个电极层20和多个层间介电层22。电极层20可以包括导电材料。例如，电极层20可以包括选自掺杂半导体(例如，掺杂硅)、金属(例如，钨、铜或铝)、导电金属氮化物(例如，氮化钛或氮化钽)以及过渡金属(例如，钛或钽)中的至少一种。层间介电层22可以包括氧化硅。电极层20中的从最下电极层20起的至少一个电极层20可以构成源极选择线。电极层20中的从最上电极层20起的至少一个电极层20可以构成漏极选择线。源极选择线和漏极选择线之间的电极层20可以构成字线。

[0068] 虽然没有详细示出，但是每一个垂直沟道CH可以包括沟道层和栅极介电层。沟道层可以包括多晶硅或单晶硅，并且在其一些区域中可以包括P型杂质，例如硼(B)。栅极介电层可以具有围绕沟道层的外壁的吸管或圆柱形壳体的形状。栅极介电层可以包括从沟道层

的外壁顺序地层叠的隧道介电层、电荷存储层和阻挡层。在一些实施方式中，栅极介电层可以具有氧化物-氮化物-氧化物(ONO)层叠结构，其中氧化物层、氮化物层和氧化物层顺序地层叠。源极选择晶体管可以被配置在源极选择线围绕垂直沟道CH的部分或区域中。存储器单元可以被配置在字线围绕垂直沟道CH的部分或区域中。漏极选择晶体管可以被配置在漏极选择线围绕垂直沟道CH的部分或区域中。沿着一个垂直沟道CH设置的漏极选择晶体管、多个存储器单元和源极选择晶体管可以构成一个单元串。

[0069] 多条位线BL可以设置在垂直沟道CH、电极层20和层间介电层22上。可以在位线BL和垂直沟道CH之间限定位线接触件BLC以联接位线BL和垂直沟道CH。

[0070] 第一晶体管X-HV可以包括栅电极G1和结区JC1，栅电极G1限定在第一基板10上并且栅极介电层Gox1插入在栅电极G1和第一基板10之间，结区JC1在栅电极G1的两侧限定在第一基板10中。一个结区JC1可以用作第一晶体管X-HV的源极区，并且另一个结区JC1可以用作第一晶体管X-HV的漏极区。第一晶体管X-HV的一个结区JC1可以通过接触件CNT1和CNT2以及布线线路W1联接到一个电极层20。

[0071] 第一焊盘PAD1可以限定在第二晶片W2的一个表面上，并且第二焊盘PAD2可以限定在第二晶片W2的背离该一个表面的另一个表面上。第一晶体管X-HV的上述另一个结区JC1可以通过接触件CNT3至CNT6以及布线线路W2和W3联接到第一焊盘PAD1和第二焊盘PAD2。第三晶片W3可以与第二晶片W2具有基本相同的结构。

[0072] 第二晶片W2的存储器单元阵列MCA可以构成图4的第一平面110-1，并且第三晶片W3的存储器单元阵列MCA可以构成图4的第二平面110-2。第二晶片W2的第一晶体管X-HV可以构成图4的第一行驱动器XDR1，并且第三晶片W3的第一晶体管X-HV可以构成图4的第二行驱动器XDR2。

[0073] 第一晶片W1可以包括第二基板12和限定在第二基板12上的第二晶体管X-LV。第二晶体管X-LV可以设置在第二基板12的外围区域PR中。第二晶体管X-LV可以包括栅电极G2和结区JC2，栅电极G2限定在第二基板12上并且栅极介电层Gox2插入在栅电极G2和第二基板12之间，结区JC2在栅电极G2的两侧限定在第二基板12中。

[0074] 第二晶体管X-LV可以构成图4的第一行运算器XOP1或第二行运算器XOP2。第二晶体管X-LV的一个结区JC2可以通过接触件CNT7和CNT8以及布线线路W4联接到限定在第一晶片W1的一个表面上的第三焊盘PAD3。第二晶片W2可以层叠在第一晶片W1上，使得第二晶片W2的第一焊盘PAD1接合到第一晶片W1的第三焊盘PAD3。第三晶片W3可以层叠在第二晶片W2上，使得第三晶片W3的第一焊盘PAD1接合到第二晶片W2的第二焊盘PAD2。因此，电路径联接第一晶片W1的第二晶体管X-LV、第二晶片W2的第一晶体管X-HV和第三晶片W3的第一晶体管X-HV。

[0075] 可以将信号单独提供给第二晶片W2的第一晶体管X-HV的栅电极G1和第三晶片W3的第一晶体管X-HV的栅电极G1。因此，第二晶片W2的第一晶体管X-HV和第三晶片W3的第一晶体管X-HV可以独立导通或截止。

[0076] 第二晶片W2的第一晶体管X-HV和第三晶片W3的第一晶体管X-HV可以是高电压晶体管，并且第一晶片W1的第二晶体管X-LV可以是低电压晶体管。第一晶体管X-HV的栅极介电层Gox1的厚度可以大于第二晶体管X-LV的栅极介电层Gox2的厚度，以承受高电压。

[0077] 第二晶片W2的第一晶体管X-HV和第三晶片W3的第一晶体管X-HV可以在垂直方向

VD上彼此交叠。第一晶片W1的第二晶体管X-LV可以在垂直方向VD上与第二晶片W2的第一晶体管X-HV和第三晶片W3的第一晶体管X-HV交叠。

[0078] 在图5中，在第一晶片W1中仅示出一个第二晶体管X-LV，并且在第二晶片W2和第三晶片W3中的每一个中仅示出一个第一晶体管X-HV。然而，应当理解，第一晶片W1可以包括多个第二晶体管X-LV，并且第二晶片W2和第三晶片W3中的每一个可以包括多个第一晶体管X-HV。

[0079] 图6是示出根据本公开的一个实施方式的存储器装置的表示并且与在第二方向SD上观察而且在位线的延伸方向上截取的截面相对应的示例性截面图。图5和图6中具有类似标记的元件(例如，存储器单元阵列MCA、位线BL等)可以解释为具有基本相同的结构、材料和配置。

[0080] 参照图4和图6，第三晶体管Y_HV可以设置在第二晶片W2中的第一基板10的外围区域PR中。第三晶体管Y-HV可以包括栅电极G11和结区JC11，栅电极G11限定在第一基板10上并且栅极介电层Gox11插入在栅电极G11和第一基板10之间，结区JC11在栅电极G11的两侧限定在第一基板10中。第三晶体管Y-HV的一个结区JC11可以通过接触件CNT11联接到位线BL。

[0081] 第四焊盘PAD4可以限定在第二晶片W2的一个表面上，并且第五焊盘PAD5可以限定在第二晶片W2的背离该一个表面的另一个表面上。第三晶体管Y-HV的另一个结区JC11可以通过接触件CNT12至CNT15以及布线线路W11和W12联接到第四焊盘PAD4和第五焊盘PAD5。第三晶片W3可以与第二晶片W2具有基本上相同的结构。

[0082] 第二晶片W2的第三晶体管Y-HV可以构成图4的第一列驱动器YDR1。第三晶片W3的第三晶体管Y-HV可以构成图4的第二列驱动器YDR2。

[0083] 在第一晶片W1中，可以在第二基板12的单元区域CR中限定第四晶体管Y-LV。第四晶体管Y-LV可以包括栅电极G12和结区JC12，栅电极G12限定在第二基板12上并且栅极介电层Gox12插入栅电极G12和第二基板12之间，结区JC12在栅电极G12的两侧限定在第二基板12中。第四晶体管Y-LV可以构成图4的第一列运算器YOP1或第二列运算器YOP2。

[0084] 第四晶体管Y-LV的一个结区JC12可以通过接触件CNT16和CNT17以及布线线路W13联接到限定在第一晶片W1的一个表面上的第六焊盘PAD6。第二晶片W2可以层叠在第一晶片W1上，使得第二晶片W2的第四焊盘PAD4接合到第一晶片W1的第六焊盘PAD6。第三晶片W3可以层叠在第二晶片W2上，使得第三晶片W3的第四焊盘PAD4接合到第二晶片W2的第五焊盘PAD5。因此，电路径联接第一晶片W1的第四晶体管Y-LV、第二晶片W2的第三晶体管Y-HV和第三晶片W3的第三晶体管Y-HV。

[0085] 可以将信号独立提供给第二晶片W2的第三晶体管Y-HV的栅电极G11和第三晶片W3的第三晶体管Y-HV的栅电极G11。因此，第二晶片W2的第三晶体管Y-HV和第三晶片W3的第三晶体管Y-HV可以独立导通或截止。

[0086] 第二晶片W2的第三晶体管Y-HV和第三晶片W3的第三晶体管Y-HV可以是高电压晶体管，并且第一晶片W1的第四晶体管Y-LV可以是低电压晶体管。第三晶体管Y-HV的栅极介电层Gox11的厚度可以大于第四晶体管Y-LV的栅极介电层Gox12的厚度，以承受高电压。第二晶片W2的第三晶体管Y-HV和第三晶片W3的第三晶体管Y-HV可以在垂直方向VD上彼此交叠。第一晶片W1的第四晶体管Y-LV可以设置在单元区域CR中，并且可以在垂直方向VD上与

第二晶片W2的存储器单元阵列MCA和第三晶片W3的存储器单元阵列MCA交叠。

[0087] 在图6中,在第一晶片W1中仅示出了一个第四晶体管Y-LV,在第二晶片W2和第三晶片W3中的每一个中仅示出了一个第三晶体管Y-HV。然而,应当理解,第一晶片W1可以包括多个第四晶体管Y-LV,并且第二晶片W2和第三晶片W3中的每一个可以包括多个第三晶体管Y-HV。

[0088] 图7是示意性地示出根据本公开的一个实施方式的存储器装置的布局的表示的图。

[0089] 参照图7,在第二晶片W2和第三晶片W3中的每一个中可以设置多个平面。例如,第一平面110-1和第三平面110-3可以设置在第二晶片W2中,并且第二平面110-2和第四平面110-4可以设置在第三晶片W3中。

[0090] 第二晶片W2的第一平面110-1和第三晶片W3的第二平面110-2可以在垂直方向VD上彼此交叠。第二晶片W2的第三平面110-3和第三晶片W3的第四平面110-4可以在垂直方向VD上彼此交叠。

[0091] 对应于多个平面的多个行驱动器和多个列驱动器可以设置在第二晶片W2和第三晶片W3中的每一个中。例如,对应于第一平面110-1和第三平面110-3的第一行驱动器XDR1和第三行驱动器XDR3以及第一列驱动器YDR1和第三列驱动器YDR3可以设置在第二晶片W2中,并且对应于第二平面110-2和第四平面110-4的第二行驱动器XDR2和第四行驱动器XDR4以及第二列驱动器YDR2和第四列驱动器YDR4可以设置在第三晶片W3中。

[0092] 行驱动器XDR1至XDR4中的每一个可以在第二方向SD上与对应的平面相邻设置,并且可以被设置成具有在第一方向FD上延伸的形状。列驱动器YDR1至YDR4中的每一个可以在第一方向FD上与对应的平面相邻设置,并且可以被设置成具有在第二方向SD上延伸的形状。

[0093] 第一行驱动器XDR1和第二行驱动器XDR2可以在垂直方向VD上彼此交叠,并且在第一方向FD和第二方向SD上,第一行驱动器XDR1的占用面积与第二行驱动器XDR2的占用面积可以基本上彼此相同。第三行驱动器XDR3和第四行驱动器XDR4可以在垂直方向VD上彼此交叠,并且在第一方向FD和第二方向SD上,第三行驱动器XDR3的占用面积和第四行驱动器XDR4的占用面积可以基本上彼此相同。第一列驱动器YDR1和第二列驱动器YDR2可以在垂直方向VD上彼此交叠,并且在第一方向FD和第二方向SD上,第一列驱动器YDR1的占用面积和第二列驱动器YDR2的占用面积可以基本上彼此相同。第三列驱动器YDR3和第四列驱动器YDR4可以在垂直方向VD上彼此交叠,并且在第一方向FD和第二方向SD上,第三列驱动器YDR3的占用面积与第四列驱动器YDR4的占用面积可以基本上彼此相同。

[0094] 对应于多个平面110-1至110-4的多个行运算器和多个列运算器可以设置在第一晶片W1中。例如,第一行运算器XOP1至第四行运算器XOP4和第一列运算器YOP1至第四列运算器YOP4可以设置在第一晶片W1中。

[0095] 第一晶片W1可以包括多个单元区域CR1和CR2以及外围区域PR。可以将第一单元区域CR1定义为在垂直方向VD上与第一平面110-1和第二平面110-2交叠的区域。可以将第二单元区域CR2定义为在垂直方向VD上与第三平面110-3和第四平面110-4交叠的区域。可以将外围区域PR定义为不与第一平面110-1至第四平面110-4交叠的区域。

[0096] 第一列运算器YOP1和第二列运算器YOP2可以设置在第一晶片W1的第一单元区域

CR1中,并且第三列运算器YOP3和第四列运算器YOP4可以设置在第一晶片W1的第二单元区域CR2中。列运算器YOP1至YOP4中的每一个可以在垂直方向VD上与对应平面交叠。第一列运算器YOP1至第四列运算器YOP4可以被设置成具有在第二方向SD上延伸的形状,并且可以彼此并排或相邻设置。

[0097] 第一行运算器XOP1至第四行运算器XOP4可以设置在外围区域PR中。第一行运算器XOP1和第二行运算器XOP2可以设置在沿第二方向SD与第一单元区域CR1相邻的外围区域PR中,并且第三行运算器XOP3和第四行运算器XOP4可以设置在沿第二方向SD与第二单元区域CR2相邻的外围区域PR中。第一行运算器XOP1和第二行运算器XOP2可以在垂直方向VD上与第一行驱动器XDR1和第二行驱动器XDR2交叠。第三行运算器XOP3和第四行运算器XOP4可以在垂直方向VD上与第三行驱动器XDR3和第四行驱动器XDR4交叠。

[0098] 尽管未图示,但外围电路(参见图1的140)可以设置在没有设置第一行运算器XOP1至第四行运算器XOP4的区域中,例如第一晶片W1的外围区域PR中。外围电路可以包括电压发生器、输入/输出缓冲器、温度传感器、预解码器、命令解码器、地址解码器和测试电路等。

[0099] 图8是示意性地示出根据本公开的一个实施方式的另一个存储器装置的布局的表示的图。

[0100] 参照图8,构成行驱动器的传输晶体管电路PTR_CKT和全局线开关电路GWL SW可以在第二方向SD上分开并且分别设置在对应平面的两侧。例如,构成第一行驱动器的传输晶体管电路PTR_CKT1和全局线开关电路GWL SW1可以在第二方向SD上分开并且分别设置在第一平面110-1的两侧。

[0101] 传输晶体管电路PTR_CKT可以包括电路。例如,传输晶体管电路可以重复并且分别地与多条字线WL相邻设置而且布置在对应的平面中。传输晶体管电路PTR_CKT在第一方向FD上的长度可以与对应平面的在第一方向FD上的长度基本相同。传输晶体管电路PTR_CKT的这种设置可以减少将操作电压从传输晶体管电路PTR_CKT传输到对应平面所需的时间。

[0102] 存储器装置可以包括分别对应于平面110-1至110-4的多个擦除偏压开关电路(erase bias switching circuit)Erase SW。每个擦除偏压开关电路Erase SW可以联接到对应平面的公共源极线和/或位线,并且可以在擦除操作中通过公共源极线和/或位线将擦除电压传输到对应平面。被包括在擦除偏压开关电路Erase SW中的晶体管可以由高电压晶体管配置以承受高擦除电压。每个擦除偏压开关电路Erase SW可以与全局线开关电路GWL SW一起设置在对应平面在第二方向SD上的一侧。

[0103] 图9是示意性地示出根据本公开的一个实施方式的又一个存储器装置的布局的表示的图。

[0104] 参照图9,平面可以分成两个子平面Sub-Plane,并且被部分设置在第二晶片W2中且部分设置在第三晶片W3中。例如,第一平面可以分成两个子平面Sub-Plane 1,并且在第二晶片W2和第三晶片W3中的每一个中设置一个子平面。包被括在单个平面中的子平面Sub-Plane可以在垂直方向VD上彼此交叠。

[0105] 在存储器装置包括四个平面的情况下,可以在第二晶片W2和第三晶片W3中的每一个中设置四个子平面Sub-Plane 1至Sub-Plane 4。Sub-Plane 1至Sub-Plane 4可以在第二晶片W2和第三晶片W3中的每一个中在第一方向FD和第二方向SD上以矩阵的形式设置。

[0106] 多个子行驱动器Sub-XDR和多个子列驱动器Sub-YDR可以设置在第二晶片W2和第

三晶片W3中的每一个中，并且在各种情形下均对应于晶片中的多个子平面Sub-Plane。每个子行驱动器Sub-XDR可以联接到布置在对应子平面Sub-Plane中的字线WL。每个子行驱动器Sub-XDR可以在第二方向SD上与对应的子平面Sub-Plane相邻设置，并且可以被设置成具有在第一方向FD上延伸的形状。每个子列驱动器Sub-YDR可以联接到布置在对应子平面Sub-Plane中的位线BL。每个子列驱动器Sub-YDR可以在第一方向FD上与对应子平面Sub-Plane相邻设置，并且可以被设置成具有在第二方向SD上延伸的形状。

[0107] 联接到共同构成一个平面的一对子平面Sub-Plane的一对子行驱动器Sub-XDR可以在垂直方向VD上彼此交叠。该一对子行驱动器Sub-XDR的占用面积可以基本上彼此相同。例如，第二晶片W2的第一子行驱动器Sub-XDR1和第三晶片W3的第一子行驱动器Sub-XDR1可以在垂直方向VD上彼此交叠，并且第二晶片W2的第一子行驱动器Sub-XDR1的占用面积和第三晶片W3的第一子行驱动器Sub-XDR1的占用面积可以基本上相同。

[0108] 联接到共同构成一个平面的一对子平面Sub-Plane的一对子列驱动器Sub-YDR可以在垂直方向VD上彼此交叠。该一对子列驱动器Sub-YDR的占用面积可以基本上彼此相同。例如，第二晶片W2的第一子列驱动器Sub-YDR1和第三晶片W3的第一子列驱动器Sub-YDR1可以在垂直方向VD上彼此交叠，并且第二晶片W2的第一子列驱动器Sub-YDR1的占用面积和第三晶片W3的第一子列驱动器Sub-YDR1的占用面积可以基本相同。

[0109] 对应于多个平面的多个行运算器和多个列运算器可以设置在第一晶片W1中。例如，第一行运算器XOP1至第四行运算器XOP4和第一列运算器YOP1至第四列运算器YOP4可以设置在第一晶片W1中。作为示例，一个平面可以由设置在不同的晶片中并且在垂直方向VD上间隔开的一对子平面Sub-Plane构成。每个行运算器XOP可以对应于设置在垂直方向VD上的一对子平面Sub-Plane，并且每个列运算器YOP可以对应于设置在垂直方向VD上的一对子平面Sub-Plane。

[0110] 第一晶片W1可以包括多个单元区域CR和外围区域PR。可以将各个单元区域CR限定为在垂直方向VD上与子平面交叠的区域。在第一方向FD和第二方向SD上，每个单元区域CR的面积可以对应于每个子平面的占用面积。可以将外围区域PR定义为不与子平面交叠的区域。

[0111] 各个列运算器YOP可以设置在第一晶片W1的与一对对应的子平面Sub-Plane交叠的每个单元区域CR中。每个列运算器YOP可以在垂直方向VD上与一对对应的子平面Sub-Plane交叠。

[0112] 行运算器XOP可以设置在外围区域PR中。各个行运算器XOP可以设置在与第一晶片W1的与一对对应的子平面Sub-Plane交叠的各个单元区域CR相邻外围区域PR中。每个行运算器XOP还可以在垂直方向VD上与对应于对应子平面的子行驱动器Sub-XDR交叠。

[0113] 尽管未图示，但是外围电路(参见图1的140)可以设置在第一晶片W1的外围区域PR中没有设置行运算器XOP的区域中。外围电路可以包括电压发生器、输入/输出缓冲器、温度传感器、预解码器、命令解码器、地址解码器和测试电路等。

[0114] 图10是示意性地示出根据本公开的一个实施方式的再一存储器装置的布局的表示的图。

[0115] 参照图10，子行驱动器包括子传输晶体管电路Sub-PTR_CKT和子全局线开关电路Sub-GWL SW，子传输晶体管电路Sub-PTR_CKT和子全局线开关电路Sub-GWL SW可以在第二

方向SD上分开并且分别设置在对应子平面Sub-Plane的两侧。

[0116] 子传输晶体管电路Sub-PTR_CKT可以包括诸如传输晶体管电路的电路，传输晶体管电路重复并且分别地与布置在对应子平面Sub-Plane中的多条字线WL相邻设置。子传输晶体管电路Sub-PTR_CKT在第一方向FD上的长度可以与对应子平面Sub-Plane在第一方向FD上的长度基本相同。

[0117] 存储器装置可以包括对应于多个子平面Sub-Plane的多个子擦除偏压开关电路Sub-Erase SW。每个子擦除偏压开关电路Sub-Erase SW可以联接到对应子平面Sub-Plane的公共源极线和/或位线，并且可以在擦除操作中通过公共源极线和/或位线将擦除电压传输到对应子平面Sub-Plane。被包括在子擦除偏压开关电路Sub-Erase SW中的晶体管可以由高电压晶体管配置以承受高擦除电压。每个子擦除偏压开关电路Sub-Erase SW可以与子全局线开关电路Sub-GWL SW一起设置在对应子平面Sub-Plane第二方向SD上的一侧。

[0118] 下面，将描述根据本公开的实施方式的效果。

[0119] 当利用工艺细化和三维层叠结构时，存在平面尺寸减小的发展趋势。另一方面，控制平面的操作的逻辑电路的尺寸保持不变，或者反而由于由平面数量的增加引起的行解码器的数量和页缓冲器电路的数量的增加而增加。因此，虽然存储器装置的集成度正在增加，但其仍然受限。根据本公开的实施方式，可以将构成逻辑电路的一些电路与平面设置在相同的晶片中，并且可以将其余电路设置成在垂直方向上与平面和上述一些电路交叠。因此，可以减小由逻辑电路占用的布局面积，从而有助于提高存储器装置的集成度。

[0120] 同时，逻辑电路包括在不同电压条件下操作的电路。例如，可以将高于电源电压的高电压施加到行驱动器(XDR)、列驱动器(YDR)和擦除偏压开关电路(Erase SW)，并且可以将低电压施加到需要高速操作的其它电路，例如行运算器(XOP)、列运算器(YOP)和外围电路。被包括在施加有高电压的电路中的高电压晶体管和被包括在施加有低电压的电路中的低电压晶体管可能由于其操作电压范围的差异而具有结构差异。例如，高电压晶体管和低电压晶体管可能需要具有不同厚度的栅极介电层。

[0121] 作为在一个晶片中形成具有不同厚度的栅极介电层的晶体管的方法，可以采用这样的方法，其中，在低电压区域和高电压区域中形成厚栅极介电层，然后去除在低电压区域中形成的厚栅极介电层，并且在低电压晶体管中另外形成薄栅极介电层。为了去除低电压区域的厚栅极介电层，同时在高电压区域中保留厚栅极介电层，可能需要形成覆盖高电压区域并且暴露低电压区域的掩模图案的工艺、去除形成在低电压区域中的厚栅极介电层的蚀刻工艺，以及去除蚀刻之后残留的掩模图案的剥离工艺。

[0122] 根据本公开的实施方式，将包括在逻辑电路中的晶体管划分成高电压晶体管和低电压晶体管，高电压晶体管与平面设置在相同的晶片中，并且低电压晶体管设置在与其中设置有平面和高电压晶体管的晶片分开的晶片中。因此，由于可以省略在单个晶片上制造高电压晶体管和低电压晶体管的情况下所需的去除低电压区域的厚栅极介电层的制造步骤，因此可以减少制造时间和成本，并且可以简化制造工艺以抑制或减少制造工艺期间缺陷的发生。

[0123] 图11是示意性地示出根据本公开的实施方式的包括存储器装置的存储器系统的框图。

[0124] 参照图11，根据一个实施方式的存储器系统600可以包括非易失性存储器装置

(NVM装置)610和存储器控制器620。

[0125] 非易失性存储器装置(NVM装置)610可以由上述存储器装置构成,并且可以以上述方式操作。存储器控制器620可以被配置为控制非易失性存储器装置(NVM装置)610。非易失性存储器装置(NVM装置)610和存储器控制器620的组合可以被配置为存储卡或固态盘(SSD)。SRAM 621用作处理单元(CPU)622的工作存储器。主机接口(Host I/F)623包括与存储器系统600联接的主机的数据交换协议。

[0126] 纠错码块(ECC)624检测并且纠正从非易失性存储器装置610读取的数据中包括的错误。

[0127] 存储器接口(MEMORY I/F)625与本实施方式的非易失性存储器装置(NVM装置)610进行接口连接。处理单元(CPU)622执行用于存储器控制器620的数据交换的一般控制操作。

[0128] 尽管在附图中未示出,但是对于本实施方式所属领域的技术人员来说,显而易见的是根据本实施方式的存储器系统600可以另外设置有存储用于与主机进行接口连接的代码数据的ROM。非易失性存储器装置(NVM装置)610可以设置成由多个闪存存储器芯片构成的多芯片封装。

[0129] 上述根据本实施方式的存储器系统600可以设置成具有低错误发生概率的高可靠性的存储介质。特别地,本实施方式的非易失性存储装置可以被包括在诸如最近正被积极研究的固态盘(SSD)的存储器系统中。在这种情况下,存储器控制器620可以被配置为通过各种接口协议中的一种与外部(例如,主机)通信,各种接口协议例如为通用串行总线(USB)协议、多媒体卡(MMC)协议、外围组件互连Express(PCI-E)协议、串行高级技术附件(SATA)协议、并行高级技术附件(PATA)协议、小型计算机系统接口(SCSI)协议、增强型小型磁盘接口(ESDI)协议以及集成驱动电子设备(IDE)协议。

[0130] 图12是示意性地示出根据本公开的实施方式的包括存储器装置的计算系统的框图。

[0131] 参照图12,根据一个实施方式的计算系统700可以包括电联接到系统总线760的存储器系统710、微处理器(CPU)720、RAM 730、用户接口740和诸如基带芯片组的调制解调器750。在根据本实施方式的计算系统700是移动装置的情况下,可以另外设置用于提供计算系统700的操作电压的电池(未示出)。尽管在附图中未示出,但是对于本实施方式所属领域的技术人员来说,显而易见的是根据本实施方式的计算系统700可以另外设置有应用芯片组、相机图像处理器(CIS)和移动DRAM等。存储器系统710可以配置例如使用非易失性存储器来存储数据的固态驱动器/盘(SSD)。否则,可以将存储器系统710设置为融合闪存存储器(例如,OneNAND闪存存储器)。

[0132] 尽管已经出于例示性目的描述了本公开的示例性实施方式,但是本领域技术人员应当理解,在不脱离本公开的范围和精神的情况下,可以进行各种修改、添加和替换。因此,以上和附图中公开的实施方式应仅在描述性意义上考虑,而不是为了限制技术范围。本公开的技术范围不受实施方式和附图的限制。本公开的精神和范围可以结合所附权利要求来解释,并且涵盖落入所附权利要求的范围内的所有等同物。

[0133] 相关申请的交叉引用

[0134] 本申请要求于2020年5月25日向韩国知识产权局提交的韩国专利申请No.10-2020-0062257的优先权,其全部内容通过引用结合于此。

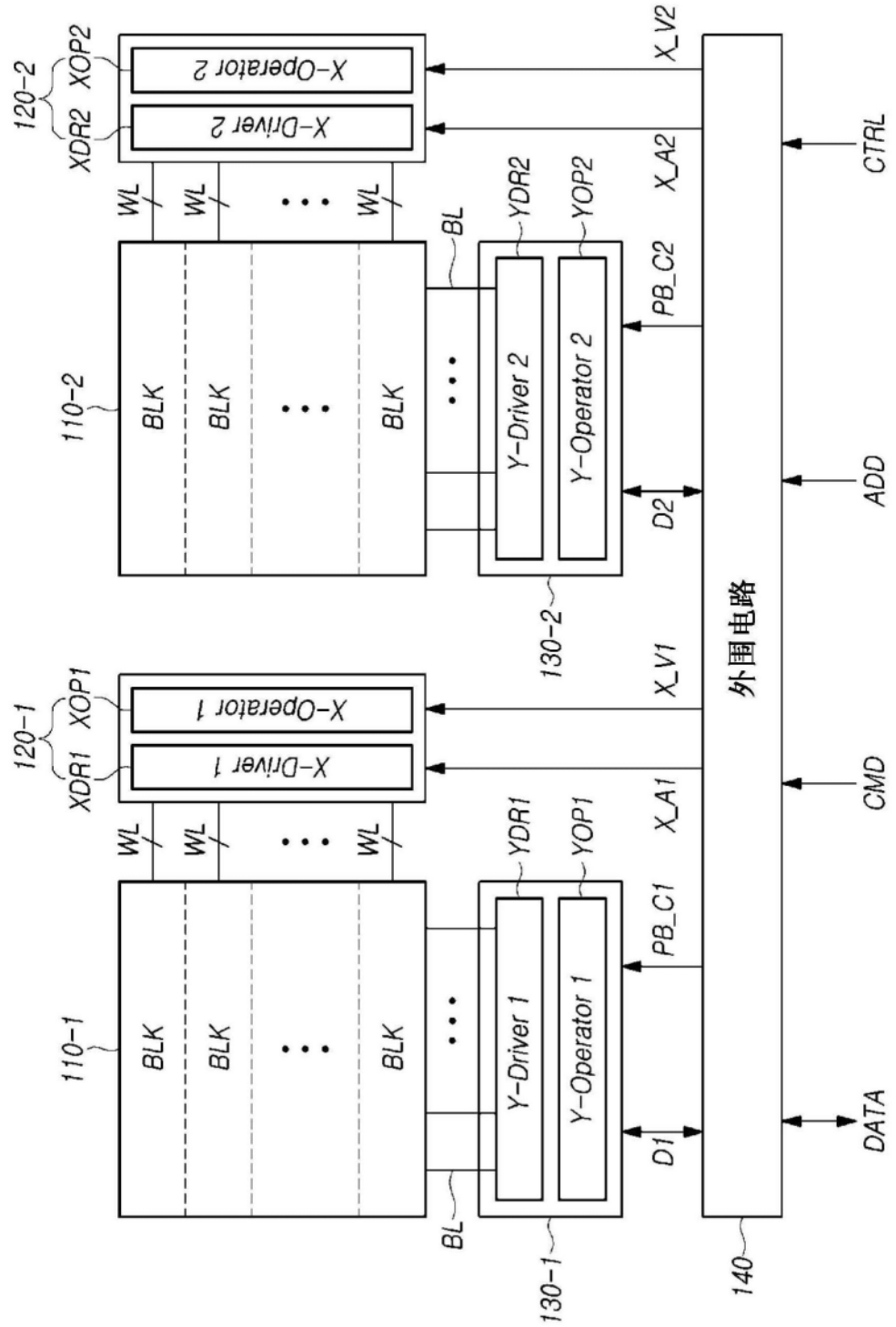

120-2
XOP2
XDR2
X-Operator 2
X-Driver 2
WL
BL
YDR2
YOP2
110-2
BLK
Y-Driver 2
Y-Operator 2
130-2
120-1
XOP1
XDR1
X-Operator 1
X-Driver 1
YDR1
YOP1
110-1
Y-Driver 1
Y-Operator 1
130-1
X_V2
X_A2
PB_C2
D2
X_V1
X_A1
PB_C1
D1
外围电路
140
CTRL
ADD
CMD
DATA

图1

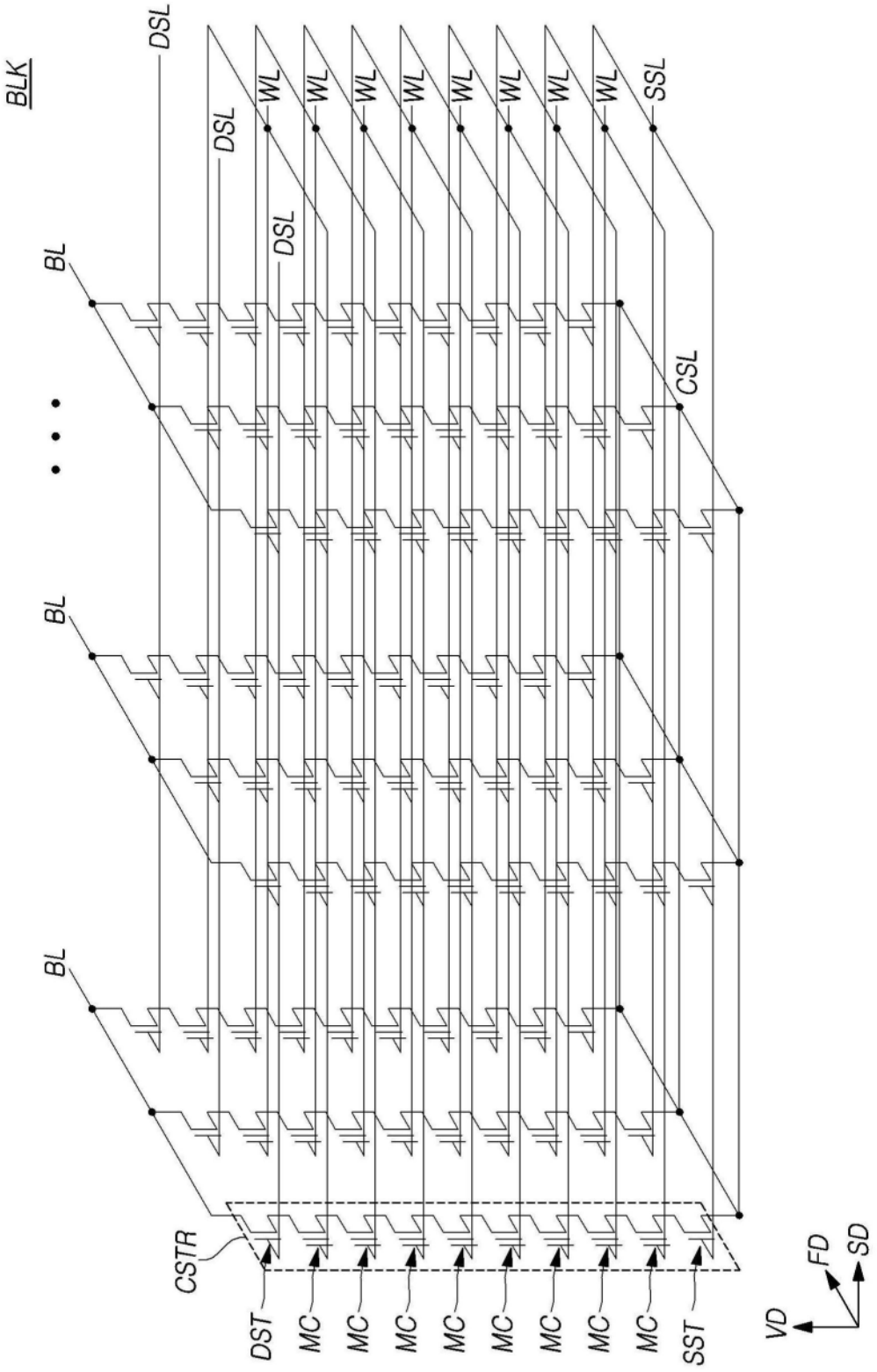

BLK
DSL
DSL
DSL
WL
WL
WL
WL
WL
WL
WL
WL
SSL
BL
BL
BL
CSL
CSTR
DST
MC
MC
MC
MC
MC
MC
MC
MC
SST
VD
FD
SD

图2

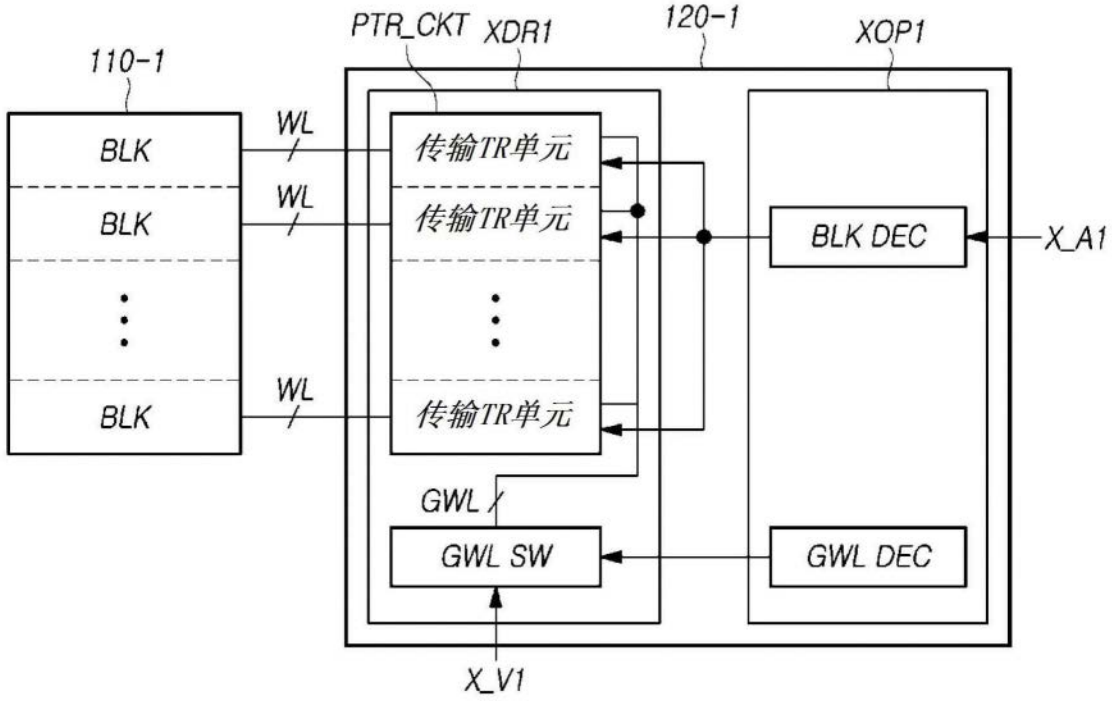

110-1
PTR_CKT
XDR1
120-1
XOP1
BLK
BLK
BLK
WL
WL
WL
传输TR单元
传输TR单元
传输TR单元
BLK DEC
X_A1
GWL
GWL SW
GWL DEC
X_V1

图3

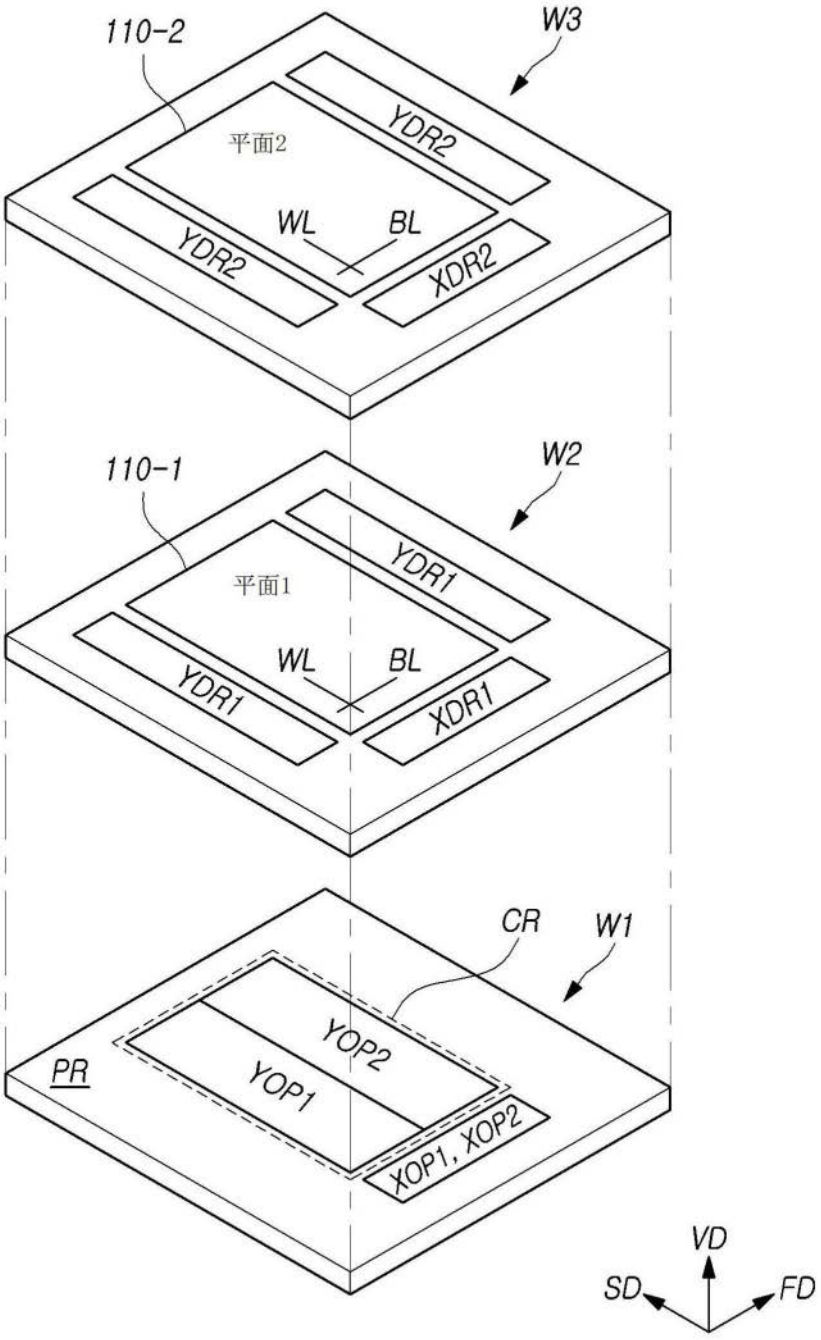

110-2
W3
平面2
YDR2
WL
BL
YDR2
XDR2
110-1
W2
平面1
YDR1
WL
BL
YDR1
XDR1
CR
W1
PR
YOP2
YOP1
XOP1, XOP2
VD
SD
FD

图4

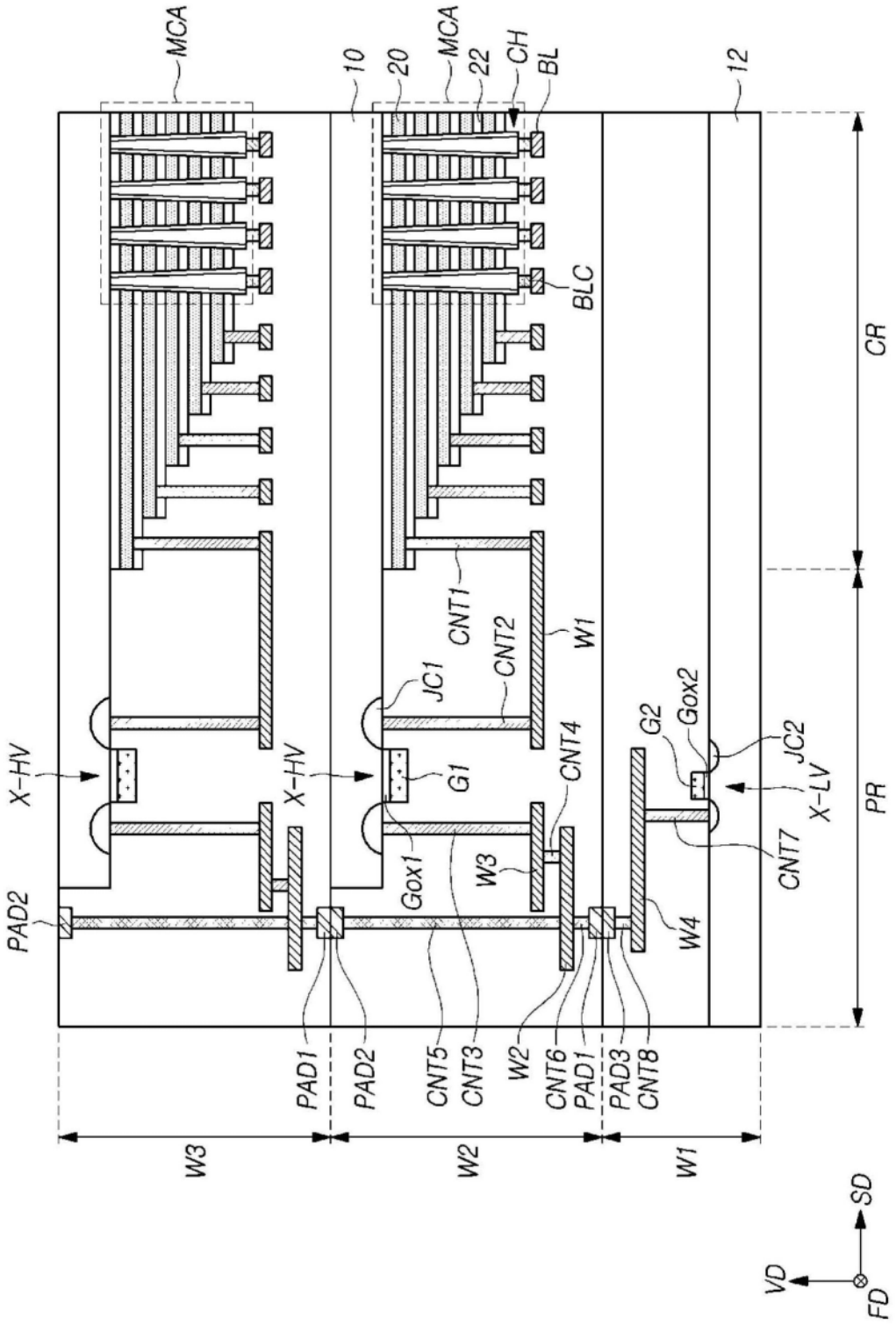

MCA
10
20
MCA
22
CH
BL
12
BLC
CR
CNT1
CNT2
W1
JC1
G2
Gox2
JC2
X-HV
X-HV
G1
CNT4
X-LV
PR
PAD2
Gox1
W3
CNT7
W4
PAD1
PAD2
CNT5
CNT3
W2
CNT6
PAD1
PAD3
CNT8
W3
W2
W1
SD
VD
FD

图5

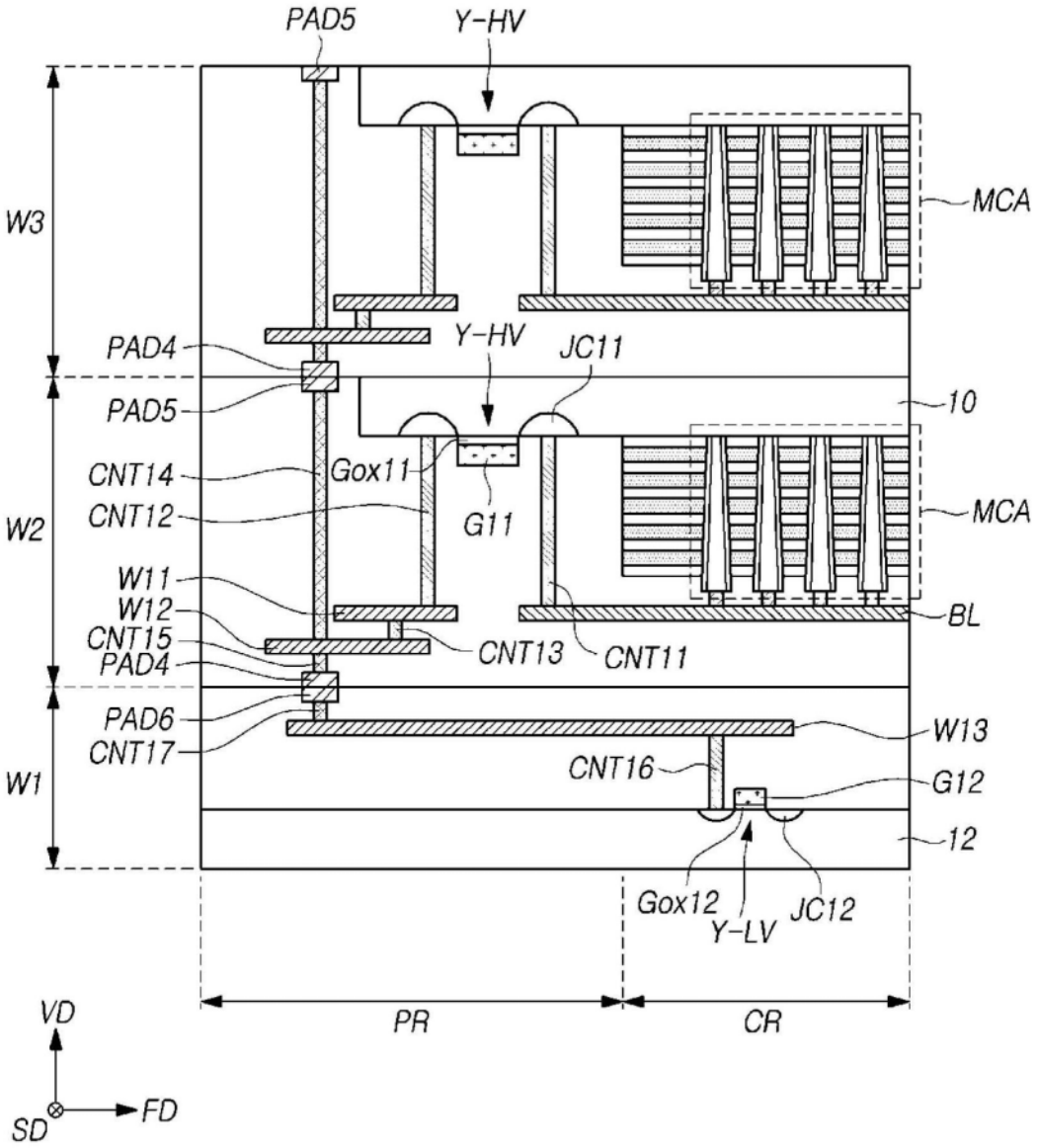

PAD5
Y-HV
MCA
W3
PAD4
Y-HV
JC11
10
PAD5
CNT14
Gox11
G11
MCA
CNT12
W2
W11
W12
BL
CNT15
CNT13
CNT11
PAD4
PAD6
W13
CNT17
CNT16
G12
W1
12
Gox12
Y-LV
JC12
PR
CR
VD
FD
SD

图6

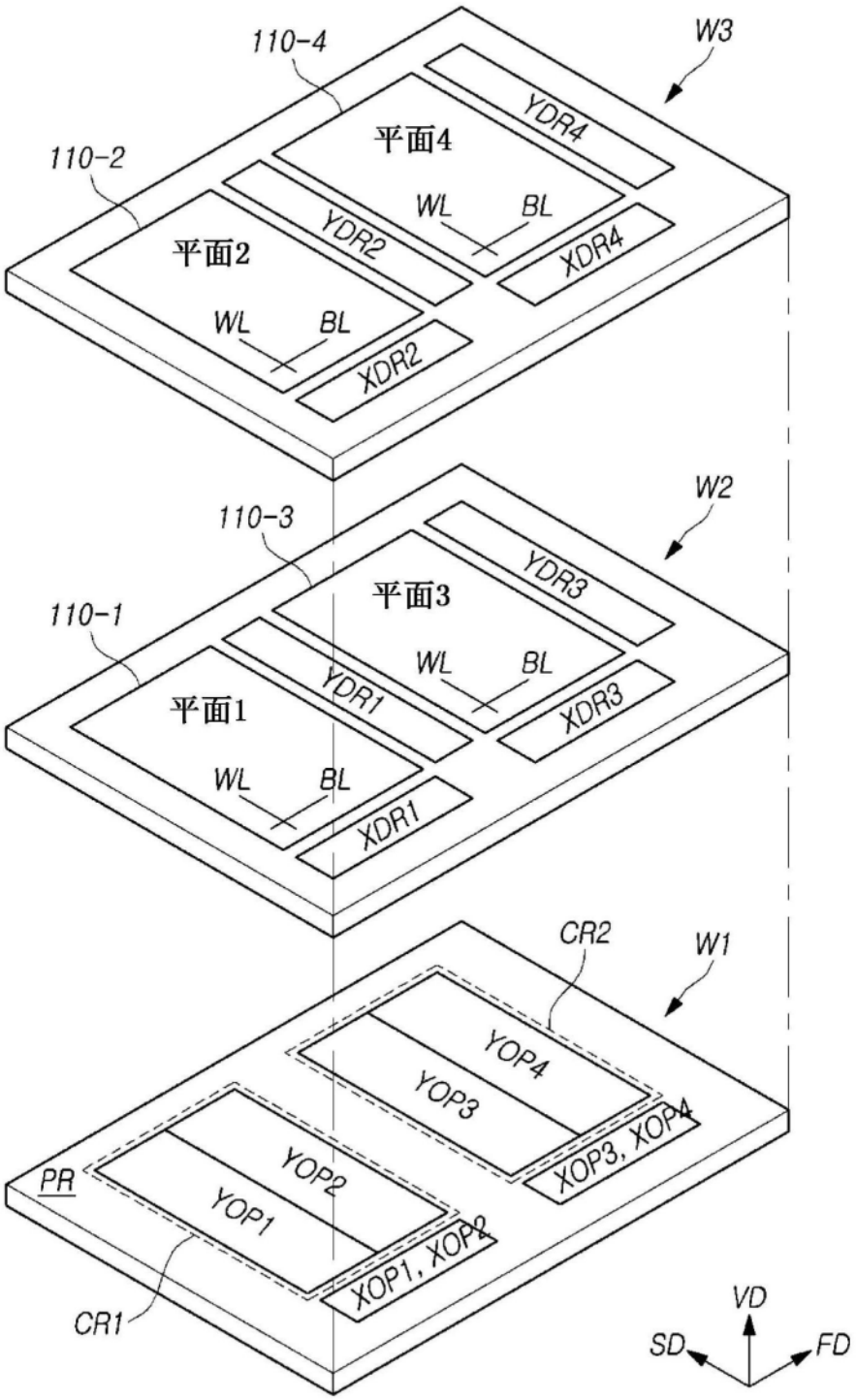

110-4
W3
YDR4
平面4
110-2
WL
BL
YDR2
XDR4
平面2
WL
BL
XDR2
W2
110-3
YDR3
平面3
110-1
WL
BL
YDR1
XDR3
平面1
WL
BL
XDR1
CR2
W1
YOP4
YOP3
XOP3, XOP4
PR
YOP2
YOP1
XOP1, XOP2
CR1
VD
SD
FD

图7

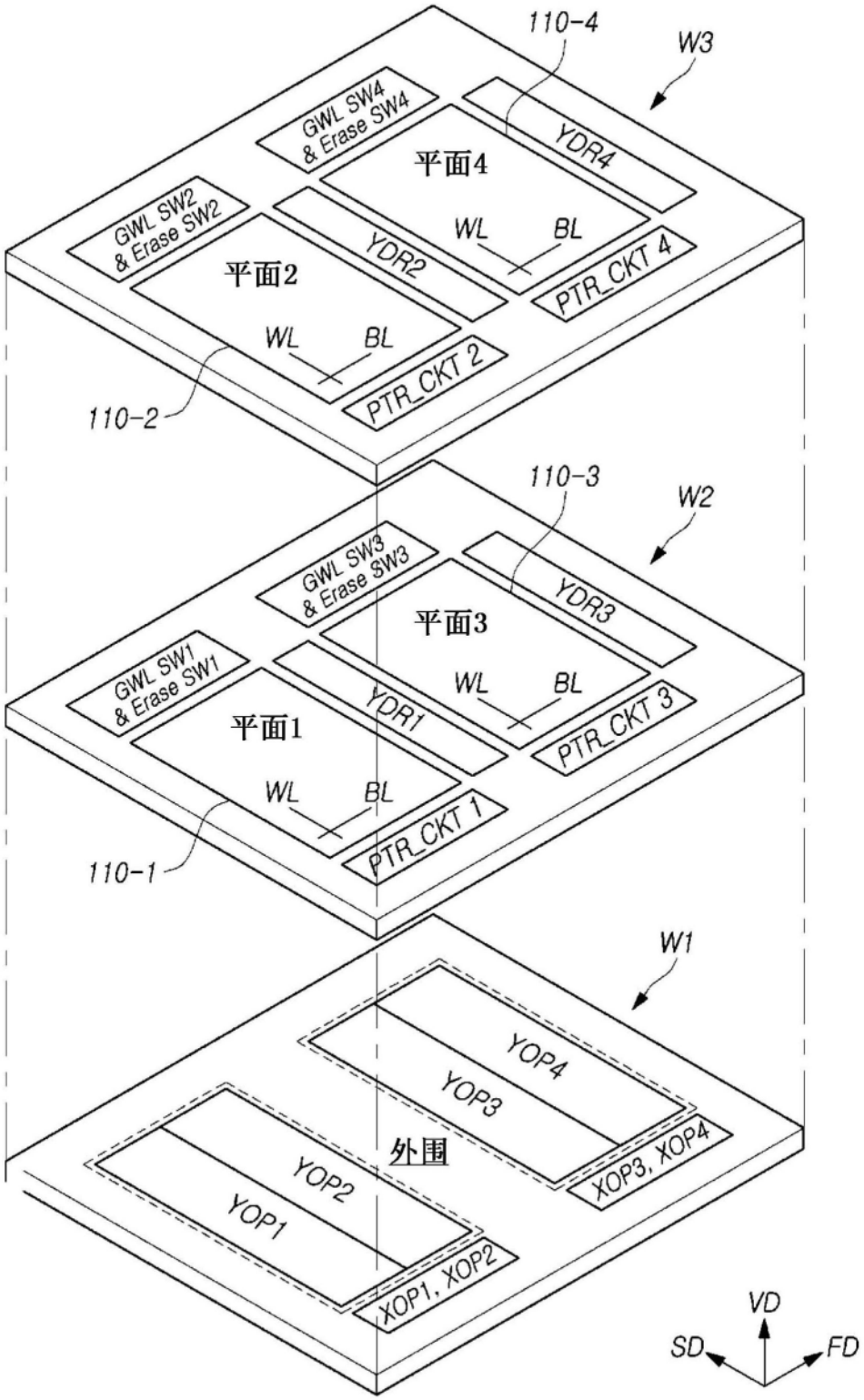

110-4
W3
GWL SW4
& Erase SW4
YDR4
平面4
WL
BL
GWL SW2
& Erase SW2
YDR2
PTR_CKT 4
平面2
WL
BL
PTR_CKT 2
110-2
110-3
W2
GWL SW3
& Erase SW3
YDR3
平面3
WL
BL
GWL SW1
& Erase SW1
YDR1
PTR_CKT 3
平面1
WL
BL
PTR_CKT 1
110-1
W1
YOP4
YOP3
外围
XOP3, XOP4
YOP2
YOP1
XOP1, XOP2
VD
SD
FD

图8

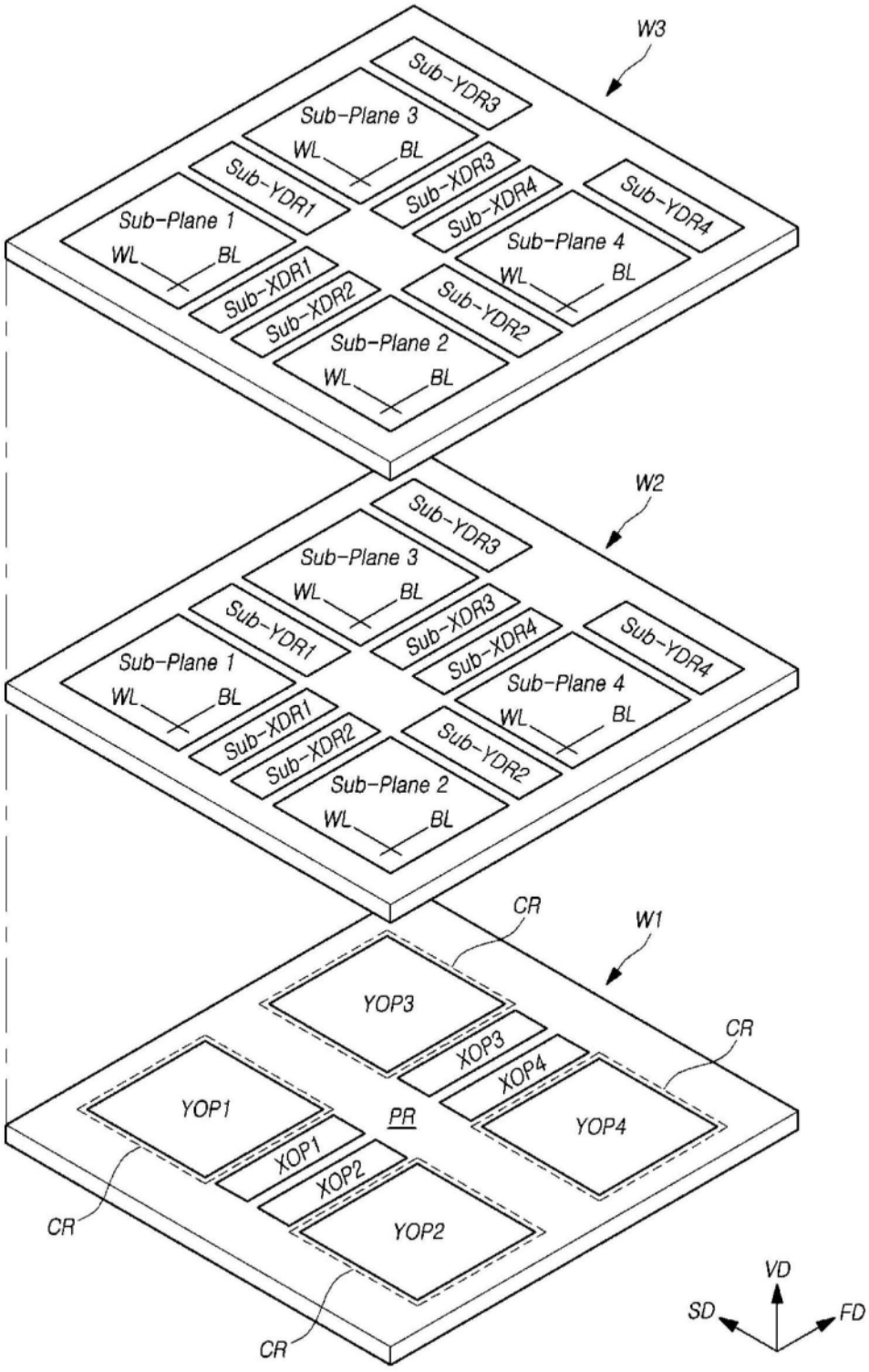

W3
Sub-YDR3
Sub-Plane 3
WL
BL
Sub-YDR1
Sub-XDR3
Sub-XDR4
Sub-YDR4
Sub-Plane 1
Sub-Plane 4
Sub-XDR1
Sub-XDR2
Sub-YDR2
Sub-Plane 2
W2
W1
CR
YOP3
XOP3
XOP4
YOP1
PR
YOP4
XOP1
XOP2
YOP2
VD
SD
FD

图9

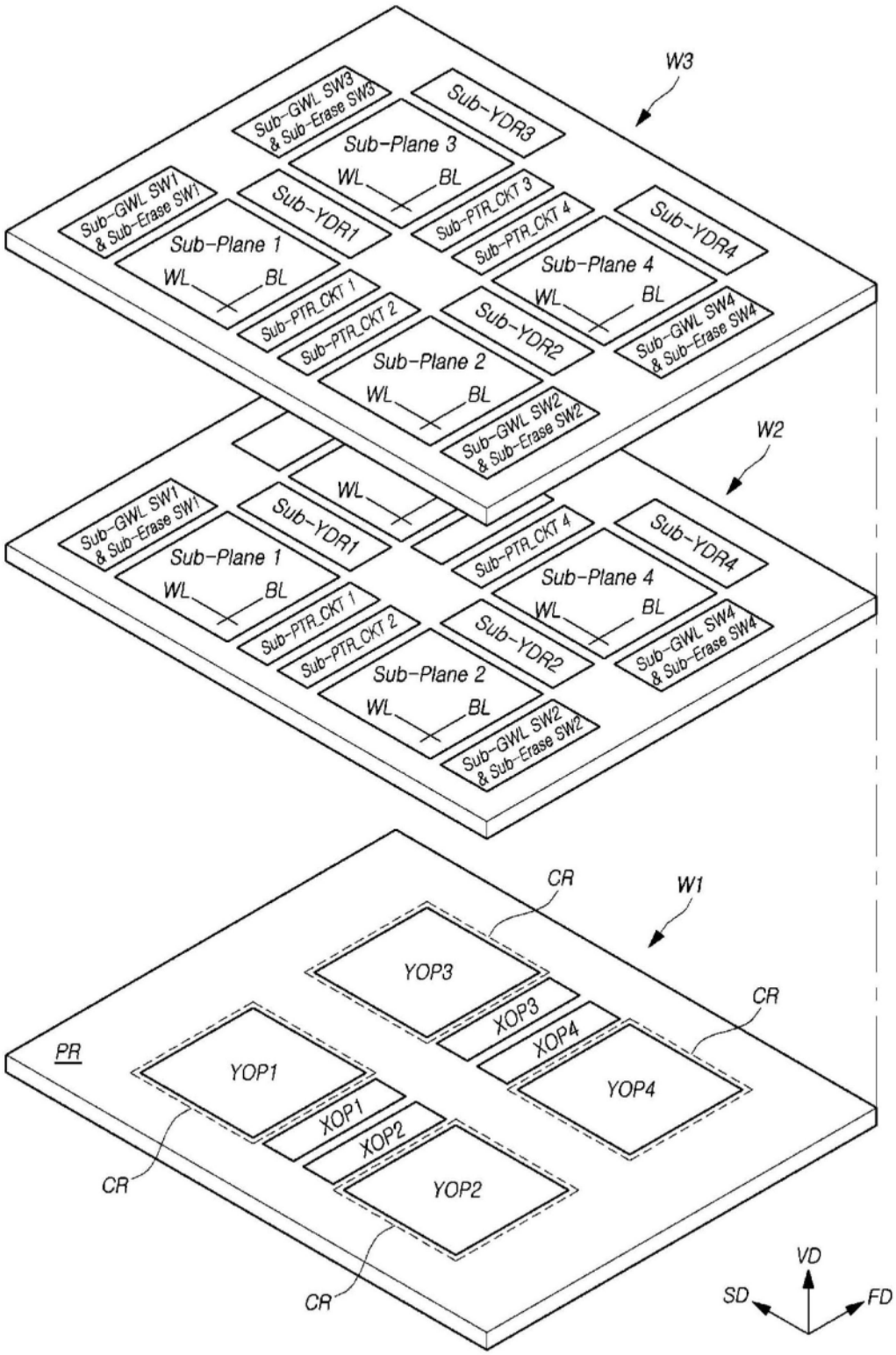

W3
Sub-GWL SW3 & Sub-Erase SW3
Sub-YDR3
Sub-Plane 3
WL
BL
Sub-GWL SW1 & Sub-Erase SW1
Sub-YDR1
Sub-PTR_CKT 3
Sub-PTR_CKT 4
Sub-YDR4
Sub-Plane 1
Sub-Plane 4
Sub-PTR_CKT 1
Sub-PTR_CKT 2
Sub-YDR2
Sub-GWL SW4 & Sub-Erase SW4
Sub-Plane 2
Sub-GWL SW2 & Sub-Erase SW2
W2
CR
W1
YOP3
XOP3
XOP4
YOP4
PR
YOP1
XOP1
XOP2
YOP2
VD
SD
FD

图10

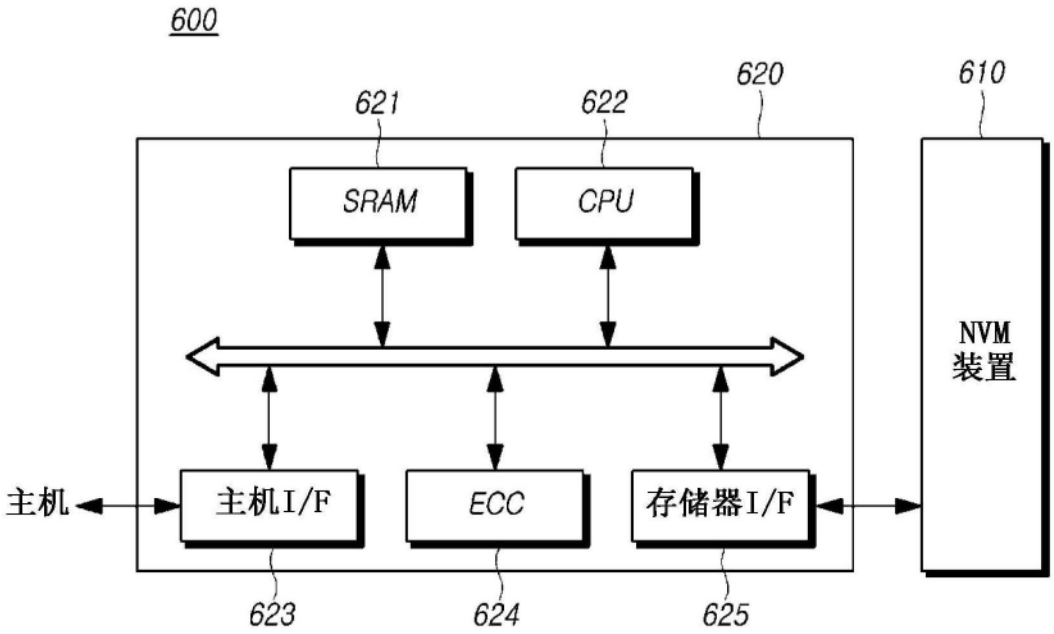

600
620
610
621
622
SRAM
CPU
NVM
装置
主机
主机I/F
ECC
存储器I/F
623
624
625

图11

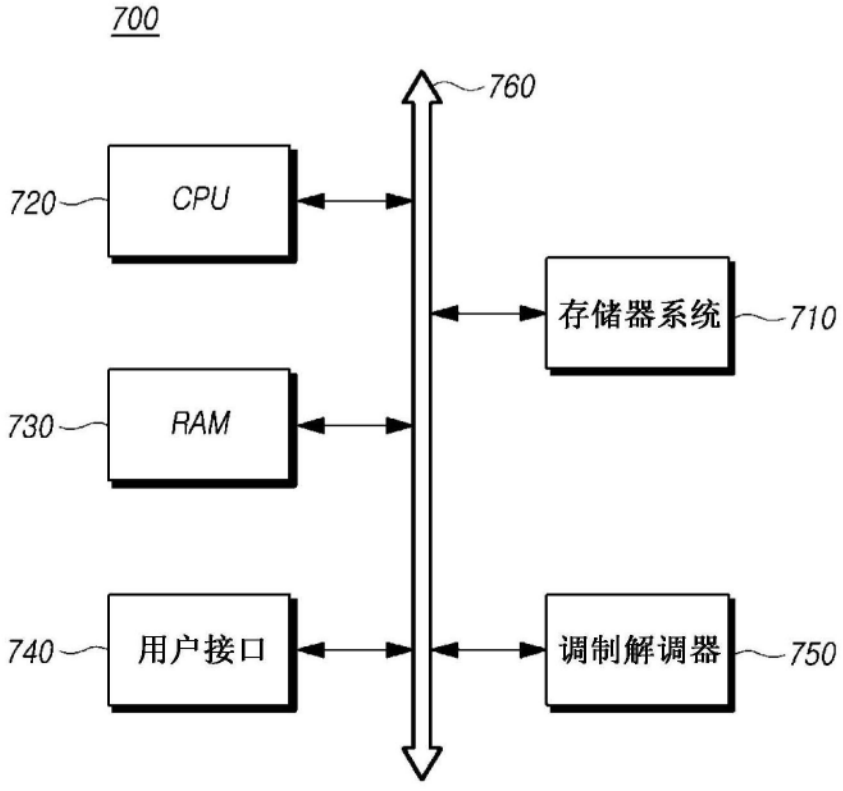

700
760
720
CPU
存储器系统
710
730
RAM
740
用户接口
调制解调器
750

图12