



(12) 发明专利申请

(10) 申请公布号 CN 102832236 A

(43) 申请公布日 2012. 12. 19

(21) 申请号 201210062255. 1

(22) 申请日 2012. 03. 09

(30) 优先权数据

13/161, 649 2011. 06. 16 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 马克·范·达尔 戈本·多恩伯斯
乔治斯·威廉提斯 李宗霖 袁锋

(74) 专利代理机构 北京德恒律师事务所 11306

代理人 陆鑫 房岭梅

(51) Int. Cl.

H01L 29/423(2006. 01)

H01L 29/78(2006. 01)

H01L 21/28(2006. 01)

H01L 21/336(2006. 01)

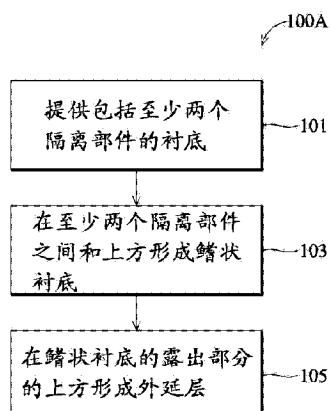
权利要求书 1 页 说明书 15 页 附图 25 页

(54) 发明名称

应变沟道的场效应晶体管

(57) 摘要

本发明提供了具有应变 SiGe 沟道的半导体和用于制造这种器件的方法。在实施例中，半导体器件包括：衬底，衬底包括至少两个隔离部件；鳍状衬底，位于至少两个隔离部件之间并且位于至少两个隔离部件的上方；以及外延层，位于鳍状衬底的露出部分的上方。根据一方面，外延层可以位于鳍状衬底的顶面和侧面上。根据另一方面，鳍状衬底可以基本上完全位于至少两个隔离部件的上方。



1. 一种半导体器件，包括：
衬底，包括至少两个隔离部件；
鳍状衬底，设置在所述至少两个隔离部件之间以及上方；以及
外延层，设置在所述鳍状衬底的露出部分上方。
2. 根据权利要求 1 所述的器件，其中，所述衬底、所述鳍状衬底、以及所述外延层中的每一个均包括：硅 (Si)、锗 (Ge)、Si 和 Ge 的组合、III-V 族化合物、或者其组合。
3. 根据权利要求 1 所述的器件，其中，所述鳍状衬底或者所述外延层具有形成 PMOS 器件的压缩单轴向应变，或者其中，所述鳍状衬底或者所述外延层具有形成 NMOS 器件的拉伸单轴向应变。
4. 根据权利要求 1 所述的器件，其中，所述鳍状衬底垂直地基本上完全设置在所述至少两个隔离部件上方。
5. 根据权利要求 1 所述的器件，其中，所述外延层垂直地设置在所述至少两个隔离部件的蚀刻区域上方，并且设置在所述鳍状衬底的顶面和侧壁上。
6. 根据权利要求 1 所述的器件，其中，所述外延层为由硅组成的钝化层。
7. 根据权利要求 1 所述的器件，还包括：鳍状衬底缓冲区域，设置在所述鳍状衬底的下方。
8. 根据权利要求 1 所述的器件，还包括：栅电极，设置在所述外延层上方，或者设置在所述鳍状衬底上方。
9. 一种半导体器件，包括：
衬底，包括至少两个隔离部件；
衬底缓冲区域，设置在所述至少两个隔离部件之间；
鳍状衬底，设置在所述衬底缓冲区域上方，在所述至少两个隔离部件之间，并且垂直地基本上完全设置在所述至少两个隔离部件上方；以及
源极 / 漏极外延层，设置在所述鳍状衬底的顶面和侧壁上。
10. 一种制造半导体器件的方法，所述方法包括：
提供衬底，所述衬底包括至少两个隔离部件；
形成鳍状衬底，所述鳍状衬底设置在所述至少两个隔离部件之间，并且垂直地设置在所述至少两个隔离部件上方；以及
形成外延层，所述外延层设置在所述鳍状衬底的露出部分上方。

应变沟道的场效应晶体管

技术领域

[0001] 本发明涉及半导体领域,更具体地,本发明涉及应变沟道的场效应晶体管。

背景技术

[0002] 为了改善可制造性和性能,已经开发了金属氧化物半导体场效应晶体管(MOSFET)结构的变型例。一种变型例被称作“鳍状场效应晶体管(finFET)”,该晶体管包括:诸如硅的材料的带或“鳍”;和形成围绕位于三个露出侧面上的鳍的栅极。器件的沟道区域位于鳍内,并且已经开发了将应力引入这种带或鳍。

[0003] 硅锗(SiGe)鳍位于互补金属氧化物半导体(CMOS)器件的沟道区域内,将该硅锗鳍用于提高场效应晶体管(FET)的性能。然而,当将鳍长度按比例放大至更大长度时,传递到鳍上轴应力分量可能弛豫,并且导致小于最佳finFET性能。

发明内容

[0004] 本发明提供了多个不同实施例。根据一个实施例,提供了半导体器件。该器件包括:衬底,包括至少两个隔离部件;鳍状衬底,被设置在至少两个隔离部件之间和上方;以及外延层,被设置在鳍状衬底的露出部分的上方。根据一方面,可以将外延层设置在鳍状衬底的顶面和侧壁上。根据另一方面,鳍状衬底可以基本上完全被设置在至少两个隔离部件的上方。

[0005] 其中,衬底、鳍状衬底、以及外延层中的每一个均包括:硅(Si)、锗(Ge)、Si和Ge的组合、III-V族化合物、或者其组合。

[0006] 其中,鳍状衬底或者外延层具有形成PMOS器件的压缩单轴向应变,或者其中,鳍状衬底或者外延层具有形成NMOS器件的拉伸单轴向应变。

[0007] 其中,鳍状衬底垂直地基本上完全设置在至少两个隔离部件上方。

[0008] 其中,外延层垂直地设置在至少两个隔离部件的蚀刻区域上方,并且设置在鳍状衬底的顶面和侧壁上。

[0009] 其中,外延层为由硅组成的钝化层。

[0010] 该器件还包括:鳍状衬底缓冲区域,设置在鳍状衬底的下方。

[0011] 该器件还包括:栅电极,设置在外延层上方,或者设置在鳍状衬底上方。

[0012] 在又一实施例中,半导体器件包括:衬底,包括至少两个隔离部件;衬底缓冲区域,被设置在至少两个隔离部件之间,以及鳍状衬底,被设置在衬底缓冲区域的上方,在至少两个隔离部件之间,以及垂直地基本上完全位于至少两个隔离部件的上方。该器件还包括:源极/漏极外延层,被设置在鳍状衬底的顶面和侧壁上。

[0013] 其中,衬底、衬底缓冲区域、鳍状衬底、以及外延层中的每一个均包括:硅(Si)、锗(Ge)、Si和Ge的组合、III-V族化合物、或者其组合。

[0014] 其中,鳍状衬底为应变的SiGe沟道层,由在约25%和约50%之间的Ge组成,具有在约100nm和约200nm之间的长度,在约10nm和约20nm之间的宽度,以及在约10nm和约

40nm 之间的厚度。

[0015] 其中，鳍状衬底为应变的 SiGe 沟道层，由约 50% 的 Ge 组成，具有约 100nm 的长度，约 10nm 的宽度，以及位于至少两个隔离部件上方约 10nm 的高度。

[0016] 该器件还包括：栅电极，设置在应变的 SiGe 沟道层上方；以及隔离件，与栅电极的侧面相邻设置。

[0017] 本发明还提供了制造半导体器件的方法。在一个实施例中，该方法包括：提供衬底，该衬底包括至少两个隔离部件；形成鳍状衬底，该鳍状衬底位于至少两个隔离部件之间，以及垂直地位于至少两个隔离部件的上方；以及形成外延层，该外延层位于鳍状衬底的露出部分的上方。根据一方面，可以将外延层沉积在鳍状衬底的顶面和侧壁上。根据另一方面，可以将鳍状衬底基本上完全沉积在至少两个隔离部件的上方。

[0018] 其中，衬底、鳍状衬底、以及外延层中的每一个均包括硅 (Si)、锗 (Ge)、Si 和 Ge 的组合、III-V 族化合物、或者其组合。

[0019] 其中，将鳍状衬底沉积为应变的 SiGe 沟道层，由在约 25% 和约 50% 之间的 Ge 组成，具有在约 100nm 和约 200nm 之间的长度，在约 10nm 和约 20nm 之间的宽度，以及在约 10nm 和约 40nm 之间的厚度。

[0020] 其中，沉积鳍状衬底或者外延层，从而具有形成 PMOS 器件的压缩单轴向应变，或者其中，沉积鳍状衬底或外延层，从而具有形成 NMOS 器件的拉伸单轴向应变。

[0021] 其中，外延层垂直地形成在至少两个隔离部件的蚀刻区域上方，并且形成在鳍状衬底的顶面和侧壁上。

[0022] 其中，将外延层沉积为由硅组成的钝化层。

[0023] 该方法还包括：形成鳍状衬底缓冲区域，鳍状衬底缓冲区域设置在鳍状衬底下方；各向异性地蚀刻至少两个隔离部件；以及形成栅电极，栅电极设置在外延层上方或者设置在鳍状衬底上方。

附图说明

[0024] 当结合附图进行阅读时，根据下面详细的描述可以更好地理解本发明的各方面。应该强调的是，根据工业中的标准实践，各种部件没有被按比例绘制。实际上，为了清楚的讨论，各种部件的尺寸可以被任意增加或减少。

[0025] 图 1A 和 1B 为根据本发明的实施例制造半导体器件的方法的流程图。

[0026] 图 2A 至 2D 以及 3A 至 3C 为根据本发明的各个实施例在制造的各个阶段处的半导体器件的立体横截面图。

[0027] 图 4A 和图 4B 为根据本发明的实施例沿着线 A-A' 的图 3B 的半导体器件的实施例的横截面图。

[0028] 图 5 为根据本发明的实施例沿着线 B-B' 的图 3C 的半导体器件的立体横截面图。

[0029] 图 6 为根据本发明的实施例的另一半导体器件的立体横截面图。

[0030] 图 7A 至 7D 为根据本发明的实施例在制造的各个阶段处的另一半导体器件的立体横截面图。

[0031] 图 8A 至 8G、图 9A 至 9G、以及 10A 至 10G 为根据本发明的实施例沿着线 C-C' 的图 7D 的半导体器件的实施例的横截面图。

具体实施方式

[0032] 可以理解,为了实施本发明的不同部件,以下发明提供了许多不同的实施例或示例。以下描述元件和布置的特定实例以简化本发明。当然这些仅仅是实例并不旨在进行限定。再者,以下描述中第一部件形成在第二部件上方或之上可以包括第一部件和第二部件直接接触形成的实施例,还可包括将附加部件形成插入到第一部件和第二部件之间,从而使得第一部件和第二部件不直接接触的实施例。为了简明和清楚,可以任意地以不同的尺寸绘制各种部件。应该注意,为了简明和清楚,在附图中类似地标示出相同或相似部件。另外,为了清楚,可以简化某些附图。因此,附图可能没有示出给定装置(例如,器件)或方法的所有元件。

[0033] 在本文中,参考作为本发明的理想配制的示意图的附图来描述本发明的各个方面。这样,可以预期诸如制造技术和 / 或公差可能导致示意图的形状变化。因此,通过本发明所提出本发明的各个方面不应该被理解为局限于在本文中所示出和描述的元件(例如,区域、层、部分、衬底等)的特定形状,而是包括例如由于制造而导致的形状的偏差。例如,作为矩形所示和所述的元件可以在其边缘处具有圆形或曲线特性和 / 或梯度密度,而不是从一个元件至另一个元件的不连续变化。因此,在图中示出的元件实际上是示意性的,并且其形状不用于示出元件的实际形状,并且不用于限定本发明的范围。

[0034] 可以理解,当将诸如区域、层、部分、衬底等的元件称作位于另一元件“上方”时,该元件可以直接位于其他元件的“上方”或者还可能具有中间元件。相反,当将元件称作直接处于另一元件的上方时,不存在中间元件。应该进一步理解,当将元件称作形成在另一元件的上方时,可以在其他元件或中间元件的上方生长、沉积、蚀刻、附接、连接、耦合、或者相反,制备或制造该元件。

[0035] 另外,本文可能使用空间相对术语(诸如,“下”或“底部”和“上”或“顶部”),以描述如附图所示的一个元件与另一元件的关系。应该理解,除了在图中示出的定向之外,这些相对位置术语旨在包括装置的不同定向。例如,如果翻转在附图中的装置,则所述的位于另一元件“下”侧的元件定位在另一元件的“上”侧。因此,术语“下”可以根据装置的具体定向包括“下”和“上”这两个定向。类似地,如果翻转在附图中的元件,则所述的位于另一元件“下方”或“之下”的元件定向为位于另一元件的“上方”。因此,术语“下方”或“之下”可以包括上方和下方这两个定向。

[0036] 除非另有定义,否则本文所用的所有术语(包括技术上的和理论上的术语)的含义与本发明所属领域的普通技术人员通常理解的含义相同。应当进一步理解,例如通用字典中限定的术语的含义应该被解释为与相关技术和本发明的上下文中的意思相一致的含义。

[0037] 如这里所用的,除非文中明确说明,否则单数形式“一个(a, an)”和“该(the)”也包括复数形式。还应当进一步理解,术语“包括”和 / 或“包含”用在本说明书中时,其指明存在所述特征、整数、步骤、操作、元件和 / 或成分,但并不排除存在或者增加一个或多个其它特征、整数、步骤、操作、元件、成分和 / 或它们的组合。术语“和 / 或”包括:所列相关术语中的一个或多个的任何一个和所有组合。

[0038] 应该理解,尽管这里使用术语“第一”和“第二”来描述各种区域、层和 / 或部分,

但是没有通过这些术语限定这些区域、层、和 / 或部分。仅将这些术语用于区分一区域、一层、或一部分和另一区域、另一层、或另一部分。因此，可以把下文中所讨论的第一区域、第一层、或第一部分称为第二区域、第二层、或第二部分，并且类似地，在不背离本发明的教导的情况下，可以将第二区域、第二层、或第二部分称为第一区域、第一层、或第一部分。

[0039] 应该理解，可以仅简要描述器件的若干处理步骤和 / 或部件，这些步骤和 / 或部件对于本领域中的普通技术人员来说是众所周知的。此外，可以增加额外的工艺步骤或部件，并且可以去除和 / 或改变某一以下工艺步骤或部件，同时仍实现权利要求。因此，应该将以下描述理解为仅表示实例，并不旨在提出需要一个或多个步骤或部件。

[0040] 现在，参考图 1A，示出了根据本发明的实施例示出用于制造半导体器件的方法 100A 的流程图。方法 100A 包括：在框 101 中，提供衬底，该衬底包括至少两个隔离部件；在框 103 中，在至少两个隔离部件之间和上方沉积鳍状衬底；以及在框 105 中，在鳍状衬底的露出部分的上方沉积外延层。

[0041] 现在，参考图 1B，示出了根据本发明的另一实施例示出用于制造半导体器件的方法 100B 的流程图。方法 100B 从框 102 开始，其中，提供包括至少两个隔离部件的衬底。隔离部件可以包括浅沟槽隔离 (STI) 部件，该隔离部件填充有氧化物或电介质，但是可以使用其他隔离部件，并且其他隔离部件在本发明的范围内。

[0042] 衬底可以包括各种半导体器件，和 / 或其他有源和 / 或无源器件。示例性半导体器件包括集成电路，该集成电路包括：金属氧化物半导体场效应晶体管 (MOSFET)，包括互补 MOSFET (CMOS) 部件；CIS；和 / 或其他适当有源和 / 或无源器件。在实施例中，衬底可以包括：使用基于 CMOS 的工艺设计和形成的集成电路（或者集成电路的部分）。具有通过其他半导体制造技术所形成的器件的（例如，集成电路）的衬底也在所述方法的范围内。

[0043] 在框 104 中，方法 100B 还包括：掺杂位于至少两个隔离部件之间的衬底缓冲区域。

[0044] 在框 106 中，方法 100B 还包括：沉积鳍状衬底（例如，应变的硅锗 (SiGe) 沟道层），该鳍状衬底位于衬底缓冲区域的上方，位于至少两个隔离部件之间，以及垂直地位于至少两个隔离部件的上方。

[0045] 在框 108 中，方法 100B 还包括：各向异性蚀刻至少两个隔离部件。

[0046] 在框 110 中，方法 100B 还包括：在鳍状衬底（例如，应变的 SiGe 沟道层）的露出部分的上方沉积源极 / 漏极外延层。在一实例中，沉积源极 / 漏极外延层，从而覆盖露出的表面（例如，应变 SiGe 沟道层的）。在另一实例中，外延层垂直地沉积在至少两个隔离部件的蚀刻区域（例如，隔离部件的蚀刻氧化物）的上方。在又一实例中，在鳍状衬底的顶面和侧壁的上方沉积外延层。

[0047] 可以通过各种沉积、图案化、和 / 或蚀刻技术形成上述方法 100A 和 100B 的各种结构。应该注意，对方法 100A 和 100B 的操作重新配置，或者相反，对该方法的修改在各个方面的范围内。还应该注意，可以在图 1A 的方法 100A 和图 1B 的方法 100B 之前、之中、以及之后，提供额外工艺，并且本文中，可能仅简单描述了一些其他工艺。因此，其他实施例可能在本文所述的各种方法的范围内。

[0048] 在一实例中，方法 100A 和 100B 还可以包括：直接在鳍状衬底（或应变 SiGe 沟道层）的上方，或者直接在外沿层的上方形成栅电极，和 / 或与栅电极的侧面相邻地形成隔离件。换句话说，在一实施例中，可以沉积外延层，从而覆盖没有通过栅电极和 / 或隔离件掩

盖 (mask) 的鳍状衬底的表面,或者在另一实施例中,可以在外延层的上方形成栅电极和 / 或隔离件。

[0049] 在另一实例中,衬底、鳍状衬底、以及外延层可以均由硅 (Si)、锗 (Ge)、或者 Si 和 Ge 的组合组成。在其他实施例中,衬底、鳍状衬底、以及外延层可以由其他材料组成,例如,III-V 族化合物或者其组合(例如, InGaAs、InAs、GaSb、或者 InGaSb 作为沟道材料和 AlAsSb 作为缓冲材料)。衬底、鳍状衬底、以及外延层的材料均可以进行选择,从而使得生成的应力根据制造的器件的类型有益于空穴或电子。

[0050] 在又一实例中,可以将鳍状衬底沉积为应变 SiGe 沟道层,该沟道层由在约 25% 和约 50% 之间的 Ge 组成,具有在约 100nm 和在约 200nm 之间的长度,在约 10nm 和约 20nm 之间的宽度,以及在约 10nm 和约 40nm 之间的厚度。在其他实例中,鳍状衬底可以具有约 100nm 的下限长度,并且实际上没有上限长度。

[0051] 在又一实例中,可以将鳍状衬底沉积为应变 SiGe 沟道层,由约 50% Ge 的组成,具有约大于等于 100nm 的长度,约 10nm 的宽度,以及约 10nm 的位于至少两个隔离部件上方的高度。

[0052] 在又一实例中,可以沉积鳍状衬底或外延层,从而具有形成 PMOS 器件的压缩单轴向应变,或者其中,沉积鳍状衬底,从而具有形成 NMOS 器件的拉伸单轴向应变。

[0053] 在又一实例中,可以将外延层沉积为由硅组成的钝化层。

[0054] 现在,参考图 2A 至 2D,根据本发明的实施例示出了在制造的各个阶段的半导体器件的立体横截面图。图 2A 示出了具有包括开多个(和至少两个)隔离部件 204 的衬底 202 的半导体器件 200。

[0055] 在一个实施例中,衬底 202 可以包括快半导体衬底,并且可以由硅组成,或者备选的,可以包括硅锗、砷化镓、或者其他适当半导体材料。衬底还可以包括:掺杂的有源区域和诸如隐埋层的其他部件,和 / 或外延层。此外,衬底可以为半导体或绝缘体,例如绝缘体上硅 (SOI)。在其他实施例中,半导体衬底可以包括掺杂的外延层、梯度半导体层,和 / 或还可以包括位于不同类型的另一半导体层上方的半导体层,例如,位于硅锗层上的硅层。在另一实例中,化合物半导体衬底可以包括多层硅衬底,或者硅衬底可以包括多层化合物半导体结构。有源区域可以被配置为 NMOS 器件(例如 nFET),或者 PMOS 器件(例如, pFET)。半导体衬底可以包括在现有工艺步骤期间形成的下层、器件、结、以及其他部件(未示出),或者可以在随后的工艺步骤中形成的该下层、器件、结、以及其他部件。

[0056] 在一实施例中,根据制造 PMOS 还是 NMOS 器件,衬底 202 由硅 (Si)、锗 (Ge)、或 Si 和 Ge 的组合组成。在一实例中,衬底 202 由硅组成,并且衬底缓冲区域 203 掺杂有 p 型掺杂物,从而制造 PMOS 器件。在另一实例中,衬底 202 由锗或者硅和锗的组合组成,并且衬底缓冲区域 203 掺杂有 n 型掺杂物,从而制造 NMOS 器件。

[0057] 隔离部件 204 可以包括浅沟槽隔离 (STI) 部件,浅沟槽隔离部件填充有氧化物或者电介质,但是可以使用其他隔离部件,并且其他隔离部件在本发明的范围内。可以通过各种工艺,例如,热氧化和 / 或等离子增强化学汽相沉积 (PECVD) 来形成隔离部件 204 的氧化物或电介质。

[0058] 在一实施例中,半导体衬底 202 可以由以 <100> 结晶定向为特征的单晶体、P 型硅组成。其他结晶定向在本发明的范围内。例如,可以经由低压化学汽相沉积 (LPCVD)、或者等

离子增强的化学汽相沉积 (PECVD) 步骤在半导体衬底 202 的顶面上形成氮化硅层, 例如, 该氮化硅层具有在约 1000 至 2000 埃之间的厚度。可以将传统的光刻和反应离子蚀刻 (RIE) 步骤用于限定穿过氮化硅层的浅沟槽形状, 并且用于限定在半导体衬底 202 中的约 3000 埃至 6000 埃之间的深度。可以使用 Cl₂ 作为氮化硅层和半导体衬底这两者的蚀刻剂实施 RIE 步骤。在经由氧等离子体灰化步骤去除用于限定浅沟槽形状的光刻形状以后, 例如, 可以经由 LPCVD 或 PECVD 步骤使用正硅酸乙醇 (TEOS) 作为汽源以约 4000 至约 10000 埃的厚度沉积氧化硅层, 从而完全填充浅沟槽形状。然后, 可以采用化学机械抛光 (CMP) 步骤, 从而从顶面去除氧化硅层的多部分, 生成填充的氧化硅、STI 区域、或者隔离部件 204。

[0059] 图 2B 示出了诸如通过离子注入或沉积工艺 205 在隔离部件 204 之间形成衬底缓冲区域或鳍状衬底缓冲区域 203。当期望制造 PMOS 区域和 / 或 NMOS 区域时, 可以利用光刻形状 (在附图中没有示出) 实现衬底缓冲区域的形成, 从而防止半导体衬底的一部分使用 p 型掺杂物或 n 型掺杂物实施的离子注入步骤。可以在约 20 至 400KeV 之间的能量, 和在约 1e12 和约 1e14 个原子 / cm² 之间的剂量施加 P 型掺杂物, 例如, 硼离子。在其他情况下, 或者在其他制造区域中, 可以在约 20 至 500KeV 之间的能量, 和在约 1e12 和约 1e14 个原子 / cm² 之间的剂量实施 n 型注入, 例如, 砷或磷离子。如果先前没有实施, 则还可以实施阈值调节和防止贯穿注入 (anti-punch through implant)。可以使用其他的离子注入步骤。可以经由氧等离子灰化步骤实现去除光刻胶阻止形状 (photoresist block out shape)。

[0060] 在又一实例中, 衬底缓冲区域 203 可以可以在约 1e17cm⁻³ 和约 1e-19cm⁻³ 之间变动的等级掺杂有 p 型掺杂物, 并且在一实例中, 该衬底缓冲区域为以 1e18cm⁻³ 掺杂的硅缓冲区域。

[0061] 在又一实例中, 可以通过去除硅衬底的部分和在原位掺杂层中外延再生来形成衬底缓冲区域。

[0062] 图 2C 示出了设置在衬底 202 的上方和在至少两个隔离部件 204 之间的多个鳍状衬底 206 (例如, 应变硅锗 (SiGe) 沟道层)。在一实例中, 鳍状衬底 206 进一步位于衬底缓冲区域 203 的上方并且垂直地位于至少两个隔离部件 204 的上方。在一方面, 鳍状衬底 206 垂直地基本上完全形成在至少两个隔离部件的上方。在另一方面, 形成鳍状衬底 206, 从而具有垂直地位于至少两个隔离部件的上方的一部分。在另一实例中, 将鳍状衬底 206 形成为应变 SiGe 沟道层, 该沟道层由在约 25% 和在约 50% 之间的 Ge 组成, 具有在约 100nm 和约 200nm 之间的长度, 在约 10nm 和约 20nm 之间的宽度, 以及在约 10nm 和约 40nm 之间的厚度。在又一实例中, 鳍状衬底 206 为应变 SiGe 沟道层, 该沟道层由约 50% 的 Ge 组成, 具有约 100nm 的长度, 约 10nm 的宽度, 以及约 10nm 的位于至少两个隔离部件上方的高度。

[0063] 在本发明的一方面, 如在美国申请第 11/861,931 号中所公开的, 其全部内容结合于此作为参考, 鳍状衬底 206 可以通过 GiGe 或 Ge 冷凝技术 (condensation technique) 或者外延生长形成。例如, 鳍状衬底 206 可以通过在任何适当外延沉积系统中的选择外延生长和诸如金属有机化合物化学汽相沉积 (MOCVD)、常压 CVD (APCVD)、低 (或者降低) 压 CVD (LPCVD)、超高真空 CVD (UHCVD)、分子束外延 (MBE)、或者原子层沉积 (ALD) 的工艺来形成。在 CVD 工艺中, 选择外延生长通常包括将气源引入腔。气源可以包括: 至少一种前体气体和载气。例如通过 RF 加热来加热反应腔, 并且根据要形成的鳍状衬底的晶体材料的成分, 腔中的生长温度可以从约 300 摄氏度至约 900 摄氏度的范围内变动。外延生长系统可

以为单晶圆或者多晶圆组或线性反应器 (inline reactor)。

[0064] 图 2D 示出了形成在与沟道层 206 垂直的方向上的栅极 208 的形成,但是栅极 208 不仅限于该特定方向。在一实例中,栅极 208 形成在鳍状衬底 206 和隔离部件 204 的正上方。在另一实例中,如关于图 7A-7D 所公开的,栅极 208 可以形成在先前生长的外延层的上方。因此,栅极 208 可以形成在鳍状衬底 206 的顶面和侧壁上 (例如,参见图 2D 和 3A),或者形成在先前生长的外延层的顶面和侧壁上 (例如,参见图 7D)。

[0065] 在一实例中,可以通过沉积形成栅极 208,并且选择去除栅极介电材料和导电栅极材料。栅极介电材料可以包括 : SiO_2 、 Si_3N_4 、 HfO_2 、 HfSiON 、和 / 或 HfSiO 。导电栅极材料可以包括 :多晶硅、非晶 Si、Ge 或者 SiGe 栅极材料、和 / 或金属或金属合金。

[0066] 现在,参考图 3A 至 3C,根据本发明的实施例示出了在制造的各个阶段处的器件 200 的更接近的立体横截面图。

[0067] 图 3A 示出了在两个隔离部件 204 之间具有单个鳍状衬底 206 和衬底缓冲区域 203 的器件 200 的更接近的示图。在一实例中,当形成 PMOS 器件时,将鳍状衬底 206 沉积为具有压缩单轴向应变的应变沟道层,并且当形成 NMOS 器件时,沉积为具有拉伸单轴向应变的应变沟道层。如上文所述的,鳍状衬底 206 可以由硅 (Si)、锗 (Ge)、Si 和 Ge 的组合、和 III-V 族化合物、或者其组合组成。在一实例中,鳍状衬底 206 包括应变 SiGe 沟道层,其中,由于鳍尺寸横向应力分量完全弛豫 (relax) (例如,宽度方向上,因为与鳍长度或纵向方向相比较,鳍的宽度相对较小,所以应变弛豫),产生在沟道长度或纵向方向上的单轴应力。

[0068] 在使用稀释或缓冲的氟化氢酸溶液实施预清洗步骤以后,例如,可以在位于衬底缓冲区域 203 的上方的露出半导体表面上选择生长鳍状衬底 206。可以使用各种沉积工艺。在一实例中,可以采用超高真空化学汽相沉积 (UHV-CVD) 步骤。添加氟气或 HCl 气体可以提高外延生长的选择性。可以使用硅烷 (SiH_4) 或者乙硅烷 (Si_2H_6) 和锗烷 (GeH_4) 或乙锗烷作为蚀刻剂选择沉积鳍状衬底 206 的生长。在一实例中,可以使用约 25% 至约 50% 之间的锗重量百分比来实现应变 SiGe 层。选择充分厚度足以包含反转电荷,然而,没有厚到具有导致不必要的器件泄露的缺陷。

[0069] 在另一实施例中,可以通过生长非选择层形成鳍状衬底 206,并且随后使用图案化步骤从非有源器件区域,例如,从隔离部件 204 的顶面去除非选择沟道层的多部分。

[0070] 在一实例中,接下来,可以沉积未掺杂的多晶硅层 (例如,经由 LPCVD 步骤),并且可以将传统光刻和各向异性 RIE 步骤 (例如,使用 Cl_2 或者 SF_6 作为蚀刻剂) 用于限定多晶硅栅极结构 208。可以经由氧等离子体灰化步骤和仔细的湿法清洗去除光刻胶形状 (在附图中没有示出),该光刻胶形状用作多晶硅栅极结构的限定掩模。

[0071] 如图 5 所示,然后,可以经由 LPCVD 或者 PECVD 步骤沉积氮化硅层,并且将使用 SF_6 作为蚀刻剂的各向异性 RIE 步骤用于限定位于多晶硅栅电极结构的侧面上的氮化硅间隔件 230。

[0072] 图 3B 示出了隔离部件 204 的各向异性蚀刻 210,例如,浅沟槽隔离部件的场氧化层的各向异性蚀刻。蚀刻 210 形成在隔离部件 204 内的凹槽 212。可以将各种蚀刻技术 (例如,干和 / 或湿蚀刻技术) 用于蚀刻隔离部件 204。在一实例中,可以结合图案化光刻胶使用具有氟化蚀刻气体的氧化物蚀刻机。在另一实例中,可以使用各向异性 RIE 步骤 (例如,使用 Cl_2 或者 SF_6 作为蚀刻剂)。

[0073] 然后,图 3C 示出了设置在鳍状衬底 206 的露出部分,例如,应变 SiGe 沟道层上方的外延层 220 的形成。在一实例中,外延层 220 形成在鳍状衬底 206 的顶面和侧壁表面上,并且在另一实例中,该外延层基本上覆盖鳍状衬底 206 的所有露出部分。在一实例中,外延层 220 可以由硅组成,并且可以使用硅烷 (SiH_4) 或乙硅烷 (Si_2H_6) 通过外延生长选择地沉积该外延层。在另一实例中,外延层 220 可以用作器件 200 的源极和漏极区域。在该实施例中,预先在鳍状衬底 206 的正上方形成栅极 208,并且随后,将外延层 220 形成在鳍状衬底 206 的露出部分的上方,该露出部分包括鳍状衬底 206 的侧面和顶面。在其他实施例中,如上文所述的,可以在形成栅极 208 以前,形成外延层,并且因此,栅极 208 可以形成在先前形成的外延层的上方。

[0074] 在一实例中,外延层 220 可以通过在任何适当的外延沉积系统中的选择外延生长和诸如金属有机化合物化学气相沉积 (MOCVD)、常压 CVD (APCVD)、低 (或者降低) 压 CVD (LPCVD)、超高真空 CVD (UHCVD)、分子束外延 (MBE)、或者原子层沉积 (ALD) 的工艺形成。在 CVD 工艺中,选择外延生长通常包括:将源气引入腔。源气可以包括至少一种前体气体和载气。例如,可以通过 RF 加热来加热反应腔,并且根据要形成的外延层的晶体材料的成分,腔中的生长温度可以从约 300 摄氏度至约 900 摄氏度的范围内变动。外延生长系统可以为单晶圆或者多晶圆组或线性反应器。

[0075] 优选地,外延层 220 弥补在鳍状衬底 206 的纵向上的纵向应力分量的弛豫,因此提供了改善的晶体管性能。

[0076] 现在,参考图 4A 和图 4B,根据本发明的实施例示出了沿着线 A-A' 的图 3B 的半导体器件 200 的不同实施例的横截面图。图 4A 和图 4B 示出了位于衬底缓冲层 203 的上方的鳍状衬底 206 的尺寸,包括:通过 W_{fin} 所标示的鳍宽度,通过 H_{fin} 所标示位于蚀刻的隔离部件 204 的上方的鳍高度;以及通过 T_{SiGe} 所标示的鳍厚度。图 3B 示出了通过 L_{fin} 所标示的鳍长度。

[0077] 在一实例中,鳍状衬底 206 为由在约 25% 和约 50% 之间的 Ge 组成的应变 SiGe 沟道层,并且该鳍状衬底具有在约 100nm 和约 200nm 之间的鳍长度 L_{fin} ,在约 10nm 和约 20nm 之间的鳍宽度 W_{fin} ,并且在约 10nm 和约 40nm 之间的鳍厚度 T_{SiGe} 。

[0078] 现在,参考图 5,根据本发明的实施例示出了沿着线 B-B' 的图 3C 的半导体器件 200 的立体横截面图。应该注意,图 5 没有示出栅极 208。器件 200 包括外延层 220,该外延层位于鳍状衬底 206 的露出部分(例如应变 SiGe 沟道层的端部)的上方。在一实例中,栅电极 208 具有约 200nm 的宽度(即,沿着鳍状衬底 206 的纵轴),并且隔离件 230 均具有约 15 纳米的长度。

[0079] 在一实例中,如图 4B 和图 5 所示,应变 SiGe 沟道层由约 50% Ge 组成,并且具有约 100nm 的鳍长度 L_{fin} ,约 100nm 的鳍宽度 W_{fin} ,以及约 10nm 的位于至少两个隔离部件上方的鳍高度。对 SiGe 沟道层 206 的平均单轴向压缩应力水平进行建模,从而大于约 3GPa。

[0080] 如在图 4B 和图 5 的一个实施例中所示的,应变鳍状衬底 206(例如,硅锗 (SiGe) 沟道层)位于衬底缓冲区域 203 的上方、在至少两个隔离部件 204 之间,以及垂直地基本上完全位于至少两个隔离部件 204 的上方。例如,根据本发明的一个方面,图 4A 示出了位于至少两个隔离部件 204 的上方的鳍状衬底 206 的一部分,并且根据本发明的另一方面,图 4B 示出了基本上完全位于至少两隔离部件 204 的上方的鳍状衬底 206。在一实例中,图 4B

和图 5 进一步示出了通过 H_{fin} 所标示的蚀刻隔离部件 204 的上方的鳍高度基本上等于通过 T_{SiGe} 所标示的鳍厚度。

[0081] 在一实例中,沉积外延层 220(例如,漏源区域),从而覆盖鳍状衬底 206 的露出表面(例如,应变 SiGe 沟道层),并且在另一实例中,沉积外延层 220,从而覆盖没有通过栅极 208 和 / 或隔离件 230 掩盖(mask)的应变 SiGe 沟道层 206 的露出表面,包括鳍状衬底 206 的侧壁和顶面。在又一实例中,将外延层 220 的多部分沉积在蚀刻隔离部件 204 的多部分(例如,隔离部件的蚀刻氧化物)的上方。在又一实例中,外延层 220 由与衬底相同的材料组成,并且在一实例中,该外延层由硅组成。

[0082] 使隔离部件凹进为外延层 220 的外延沉积提供了外形或模板。对于外延层 220 由硅组成的情况,发明人认为 SiGe 沟道适用于硅晶格结构并且弥补纵向应力分量的弛豫。优选地,外延层 220 通过弥补鳍状衬底 206 的纵向应力分量的弛豫来优化晶体管性能。

[0083] 现在,参考图 6,根据本发明的另一实施例示出了半导体器件 300 的立体横截面图。器件 300 包括:衬底 202;多个(和至少两个)隔离部件 204;以及多个鳍状衬底 206(例如,应变硅锗(SiGe)沟道层),位于衬底 202 的上方,和位于至少两个隔离部件 204 之间,并且垂直地位于至少两个隔离部件 204 的上方。横跨鳍状衬底 206 形成栅极 208。在器件 200 中的类似标号的部件(例如,衬底 202、隔离部件 204、鳍状衬底 206、以及栅极 208)完全可应用在关于器件 300 的该实施例中,但是为了避免重复描述,这里可能没有重复描述。在该实施例中,器件 300 还包括锗衬底 302,在该锗衬底的上方形成用于形成 NMOS 器件的相应 SiGe 沟道层。

[0084] 现在,参考图 7A 至 7D,根据本发明的实施例示出了在制造的各个阶段处的另一半导体器件 400 的立体横截面图。

[0085] 图 7A 示出了半导体器件 400,包括衬底 402,至少两个隔离部件 204,以及位于至少两个隔离部件 204 之间的鳍状衬底 404、406。衬底 402 和隔离部件 204 基本上与上文关于器件 200(图 2A 至 5)所述的衬底 202 和隔离部件 204 类似,并且以上衬底 202 和隔离部件 204 的描述完全可应用于该实施例,但是为了避免重复描述,下文中可能不包括相关描述。在一实例中,鳍状衬底包括:位于衬底 402 的上方的第一鳍状衬底 404 和位于第一鳍状衬底 404 的上方的第二鳍状衬底 406。鳍状衬底 404、406 位于隔离部件 204 之间。衬底 402 由第一半导体材料组成,第一鳍状衬底 404 由第二半导体材料组成,以及第二鳍状衬底 406 由第三半导体材料组成,以及在一实例中,衬底 402、第一鳍状衬底 404、以及第二鳍状衬底 406 可以均由硅(Si)、锗(Ge)、或者 Si 和 Ge 的组合组成。

[0086] 在一实施例中,隔离部件 204 的介电材料可以形成在衬底 402 的上方,并且然后,沟槽可以限定在介电层中,延伸到衬底 402 的顶面。然后,如在美国申请第 11/861,931 号中所公开的,其全部内容结合于此作为参考,通过任何适当工艺,例如,通过 SiGe 或 Ge 冷凝技术或外延生长在沟槽内形成第一鳍状衬底 404 和第二鳍状衬底 406 的晶体材料。

[0087] 图 7B 示出了蚀刻隔离部件 204,从而露出鳍状衬底 406 的侧壁。可以将诸如干和 / 或湿蚀刻技术的各种蚀刻技术用于蚀刻隔离部件 204。在一实例中,可以结合图案化光刻胶使用具有氟化蚀刻气体的氧化物蚀刻机。在另一实例中,可以使用各向异性 RIE 步骤(例如,使用 Cl_2 或 SF_6 作为蚀刻剂)。

[0088] 图 7C 示出了形成外延层 408,该外延层位于鳍状衬底 406 的露出部分的上方,例

如,位于鳍状衬底 406 的顶面和侧壁上。在一实例中,外延层 408 基本上覆盖鳍状衬底 406 的所有露出部分。外延层 408 由第四半导体材料组成,并且在一实例中,该外延层可以由硅(Si)、锗(Ge)、或者 Si 和 Ge 的组成组成。

[0089] 根据本发明的一方面,外延层 408 可以通过在任何适当外延沉积系统中的选择外延生长和诸如金属有机化合物化学汽相沉积(MOCVD)、常压 CVD(APCVD)、低(或者降低)压 CVD(LPCVD)、超高真空 CVD(UHCVD)、分子束外延(MBE)、或者原子层沉积(ALD)的工艺来形成。在 CVD 工艺中,选择外延生长通常包括:将源气引入腔。源气可以包括至少一种前体气体和载气。例如,可以通过 RF 加热来加热反应腔,并且根据要形成的外延层的晶体材料的成分,腔中的生长温度可以从约 300 摄氏度至约 900 摄氏度的范围内变动。外延生长系统可以为单晶圆或者多晶圆组或线性反应器。

[0090] 图 7D 示出了形成在外延层 408 的上方的栅极 410。在该实施例中,栅极 410 形成在外延层 408 的正上方,包括外延层 408 的侧面和顶面,并且外延层 408 可以用作应变沟道层。栅极 410 可以基本上与上文关于图 2D-3C 所述的栅极 208 类似,并且以上栅极 208 的描述完全可应用于该实施例中,但是为了避免重复描述,下文可能不包括相关描述。

[0091] 现在,参考图 8A 至 8G、9A 至 9G、以及 10A 至 10G,根据本发明的实施例示出了沿着线 C-C' 的图 7D 的半导体器件 400 的横截面图。如上文所述的,衬底 402、鳍状衬底 404、406、以及外延层 408 分别由第一半导体材料、第二半导体材料、第三半导体材料、以及第四半导体材料组成,并且第一半导体材料、第二半导体材料、第三半导体材料、以及第四半导体材料可以相同或者不同,并且第一半导体材料、第二半导体材料、第三半导体材料、以及第四半导体材料可以具有相同或者不同的晶格常数。在一实例中,衬底 402、鳍状衬底 404、406、以及外延层 408 可以均由硅(Si)、锗(Ge)、Si 和 Ge 的组合、III-V 族材料(例如,InGaAs、InAs、GaSb、InGaSb、AlAsSb),或者其组合组成。图 8A-8G、9A-9G、以及 10A-10G 分别根据以下表 1、2、以及 3 示出了用于鳍状衬底和外延层的 Si、Ge、以及 SiGe 的不同排列。在表 1、2、以及 3 中,“r”前缀代表“弛豫”,“c”前缀代表“压缩应力”,以及“t”前缀代表“拉伸应力”。

[0092] 表 1

[0093]

		Si 鳍	SiGe 鳍		Ge 鳍	混合物		
		图 8A	图 8B	图 8C	图 8D	图 8E	图 8F	图 8G
NMOS	鳍	Si	r-SiGe	r-SiGe	r-Ge	r-SiGe	r-Ge	r-Ge
	外延沟道	-	t-Si	-	t-SiGe	t-Si	t-SiGe	t-SiGe
	μ (本征)	-	-	增大	增大	-	增大	增大
	μ (应变)	-	增大	-	增大	增大	增大	增大
PMOS	鳍	Si	r-SiGe	r-SiGe	r-Ge	Si	Si	r-SiGe
	外延沟道	c-SiGe	-	c-Ge	-	c-SiGe	c-SiGe	c-Ge
	μ (本征)	增大						
	μ (应变)	增大	-	增大	-	增大	增大	增大

[0094] 表 2

[0095]

[0096]

		Si 鳍	SiGe 鳍		Ge 鳍	混合物		
		图 9A	图 9B	图 9C	图 9D	图 9E	图 9F	图 9G
NMOS	鳍	Si	r-SiGe	r-SiGe	r-Ge	r-SiGe	r-Ge	r-Ge
	外延沟道	-	t-Si	-	t-SiGe	t-Si	t-SiGe	t-SiGe
	μ (本征)	-	-	增大	增大	-	增大	增大
	μ (应变)	-	增大	-	增大	增大	增大	增大
PMOS	鳍	Si	r-SiGe	r-SiGe	r-Ge	Si	Si	r-SiGe
	外延沟道	c-SiGe	-	c-Ge	-	c-SiGe	c-SiGe	c-Ge
	μ (本征)	增大						
	μ (应变)	增大	-	增大	-	增大	增大	增大

[0097] 表 3

[0098]

		Si 鳍	SiGe 鳍		Ge 鳍	混合物		
		图 10A	图 10B	图 10C	图 10D	图 10E	图 10F	图 10G
NMOS	鳍	Si	r-SiGe	r-SiGe	r-Ge	r-SiGe	r-Ge	r-Ge
	外延沟道	-	t-Si	-	t-SiGe	t-Si	t-SiGe	t-SiGe
	Si 顶盖	N	N	N	Y	N	Y	Y
	μ (本征)	-	-	增大	增大	-	增大	增大
	μ (应变)	-	增大	-	增大	增大	增大	增大
PMOS	鳍	Si	r-SiGe	r-SiGe	r-Ge	Si	Si	r-SiGe
	外延沟道	c-SiGe	-	c-Ge	-	c-SiGe	c-SiGe	c-Ge
	Si 顶盖	Y	Y	Y	Y	Y	Y	Y
	μ (本征)	增大						
	μ (应变)	增大	-	增大	-	增大	增大	增大

[0099] 图 8A 示出了均具有衬底 402a、第一鳍状衬底 404a、以及第二鳍状衬底 406a 的 NMOS 器件和 PMOS 器件。衬底 402a、第一鳍状衬底 404a、以及第二鳍状衬底 406a 均由硅组成。PMOS 器件还包括外延层 408a，由 SiGe 组成并且具有压缩单轴向应变。外延层 408a 形成在鳍状衬底 406a 的顶面和侧面上。PMOS 器件的外延层 408a 中的本征载流子迁移率（与 Si 相比较）(μ (本征)) 和应变 (μ (应变)) 都增大。应变对于外延层的载流子迁移率具有累加效应。

[0100] 图 8B 示出了均具有衬底 402a、第一鳍状衬底 404a、以及第二鳍状衬底 406b 的 NMOS 器件和 PMOS 器件。衬底 402a 和第一鳍状衬底 404a 均由硅组成，并且第二鳍状衬底 406b 由弛豫 SiGe 组成。NMOS 器件还包括外延层 408b，由 SiGe 组成并且具有拉伸单轴向应变。外延层 408b 形成在鳍状衬底 406b 的顶面和侧面上。NMOS 器件的外延层 408b 中的应变 μ (应变) 增大，并且在 PMOS 器件的鳍状衬底 406b 中的本征载流子迁移率 μ (本征) 增大。

[0101] 图 8C 示出了均具有衬底 402a、第一鳍状衬底 404a、以及第二鳍状衬底 406b 的 NMOS 器件和 PMOS 器件。衬底 402a 和第一鳍状衬底 404a 均由硅组成，并且第二鳍状衬底 406b 由弛豫 SiGe 组成。PMOS 器件还包括外延层 408c，由 Ge 组成并且具有压缩单轴向应变。外延层 408c 形成在鳍状衬底 406b 的顶面和侧面上。NMOS 器件的鳍状衬底 406b 中的本征载流子迁移率 μ (本征) 增大，并且在 PMOS 器件的外延层 408c 中的本征载流子迁移率和应变 μ (应变) 均增大。

[0102] 图 8D 示出了均具有衬底 402a、第一鳍状衬底 404a、以及第二鳍状衬底 406c 的 NMOS 器件和 PMOS 器件。衬底 402a 和第一鳍状衬底 404a 均由硅组成，并且第二鳍状衬底 406c 由弛豫 Ge 组成。NMOS 器件还包括外延层 408d，由 SiGe 组成并且具有拉伸单轴向应

变。外延层 408d 形成在鳍状衬底 406c 的顶面和侧面上。NMOS 器件的外延层 408d 中的本征载流子迁移率 μ (本征) 和应变 μ (应变) 均增大, 并且在 PMOS 器件的鳍状衬底 406c 中的本征载流子迁移率 μ (本征) 增大。

[0103] 图 8E 示出了均具有衬底 402a 和第一鳍状衬底 404a 的 NMOS 器件和 PMOS 器件。NMOS 器件还包括第二鳍状衬底 406b, 并且 PMOS 器件还包括第二鳍状衬底 406a。衬底 402a 和第一鳍状衬底 404a 均由硅组成, 第二鳍状衬底 406b 由弛豫 SiGe 组成, 并且第二鳍状衬底 406a 由 Si 组成。NMOS 器件还包括外延层 408b, 由 Si 组成并且具有拉伸单轴向应变, 以及 PMOS 器件还包括外延层 408a, 由 SiGe 组成并且具有压缩单轴向应变。外延层 408b 和 408a 分别形成在鳍状衬底 406b 和 406a 的顶面和侧面上。NMOS 器件的外延层 408b 中的应变 μ (应变) 增大, 并且在 PMOS 器件的外延层 408a 中的本征载流子迁移率 μ (本征) 和应变 μ (应变) 均增大。

[0104] 图 8F 示出了均具有衬底 402a 和第一鳍状衬底 404a 的 NMOS 器件和 PMOS 器件。NMOS 器件还包括第二鳍状衬底 406c, 并且 PMOS 器件还包括第二鳍状衬底 406a。衬底 402a 和第一鳍状衬底 404a 均由硅组成, 第二鳍状衬底 406c 由弛豫 Ge 组成, 并且第二鳍状衬底 406a 由 Si 组成。NMOS 器件还包括外延层 408d, 由 SiGe 组成并且具有拉伸单轴向应变, 以及 PMOS 器件还包括外延层 408a, 由 SiGe 组成并且具有压缩单轴向应变。外延层 408d 和 408a 分别形成在鳍状衬底 406c 和 406a 的顶面和侧面上。NMOS 器件的外延层 408d 中的本征载流子迁移率 μ (本征) 和应变 μ (应变) 均增大, 并且在 PMOS 器件的外延层 408a 中的本征载流子迁移率 μ (本征) 和应变 μ (应变) 均增大。

[0105] 图 8G 示出了均具有衬底 402a 和第一鳍状衬底 404a 的 NMOS 器件和 PMOS 器件。NMOS 器件还包括第二鳍状衬底 406c, 并且 PMOS 器件还包括第二鳍状衬底 406b。衬底 402a 和第一鳍状衬底 404a 均由硅组成, 第二鳍状衬底 406c 由弛豫 Ge 组成, 并且第二鳍状衬底 406b 由弛豫 SiGe 组成。NMOS 器件还包括外延层 408d, 由 SiGe 组成并且具有拉伸单轴向应变, 以及 PMOS 器件还包括外延层 408c, 由 Ge 组成并且具有压缩单轴向应变。外延层 408d 和 408c 分别形成在鳍状衬底 406c 和 406b 的顶面和侧面上。NMOS 器件的外延层 408d 中的本征载流子迁移率 μ (本征) 和应变 μ (应变) 均增大, 并且在 PMOS 器件的外延层 408c 中的本征载流子迁移率 μ (本征) 和应变 μ (应变) 均增大。

[0106] 图 9A 示出了均具有衬底 402a 和第一鳍状衬底 404a 的 NMOS 器件和 PMOS 器件。NMOS 器件还包括第二鳍状衬底 406a, 并且 PMOS 器件还包括第二鳍状衬底 406d。衬底 402a、第一鳍状衬底 404a、以及第二鳍状衬底 406a 均由硅组成。第二鳍状衬底 406d 由 SiGe 组成并且具有压缩单轴向应变。PMOS 器件的第二鳍状衬底 406d 中的本征载流子迁移率 (与 Si 相比较) (μ (本征)) 和应变 (μ (应变)) 均增大。

[0107] 图 9B 示出了包括衬底 402a、第一鳍状衬底 404b、以及第二鳍状衬底 406a 的 NMOS 器件, 和包括衬底 402a、第一鳍状衬底 404b、以及第二鳍状衬底 406b 的 PMOS 器件。衬底 402a 由硅组成, 第一鳍状衬底 404b 和第二鳍状衬底 406b 均由弛豫 SiGe 组成, 第二鳍状衬底 406a 由 Si 组成, 并且具有拉伸单轴向应变。NMOS 器件的第二鳍状衬底 406a 中的应变 μ (应变) 增大, 并且在 PMOS 器件的第二鳍状衬底 406b 中的本征载流子迁移率 μ (本征) 增大。

[0108] 图 9C 示出了包括衬底 402a、第一鳍状衬底 404b、以及第二鳍状衬底 406b 的 NMOS

器件,和包括衬底 402a、第一鳍状衬底 404b、以及第二鳍状衬底 406e 的 PMOS 器件。衬底 402a 由硅组成,第一鳍状衬底 404b 和第二鳍状衬底 406b 均由弛豫 SiGe 组成,和第二鳍状衬底 406e 由 Ge 组成,并且具有压缩单轴向应变。NMOS 器件的第二鳍状衬底 406b 中的本征载流子迁移率 μ (本征) 增大,并且在 PMOS 器件的第二鳍状衬底 406e 中的本征载流子迁移率 μ (本征) 和应变 μ (应变) 均增大。

[0109] 图 9D 示出了包括衬底 402a、第一鳍状衬底 404c、以及第二鳍状衬底 406f 的 NMOS 器件,和包括衬底 402a、第一鳍状衬底 404c、以及第二鳍状衬底 406c 的 PMOS 器件。衬底 402a 由硅组成,第一鳍状衬底 404c 和第二鳍状衬底 406c 均由弛豫 Ge 组成,和第二鳍状衬底 406f 由 SiGe 组成,并且具有拉伸单轴向应变。NMOS 器件的第二鳍状衬底 406f 中的本征载流子迁移率 μ (本征) 和应变 μ (应变) 均增大,并且在 PMOS 器件的第二鳍状衬底 406c 中的本征载流子迁移率 μ (本征) 增大。

[0110] 图 9E 示出了包括衬底 402a、第一鳍状衬底 404b、以及第二鳍状衬底 406b 的 NMOS 器件,和包括衬底 402a、第一鳍状衬底 404a、以及第二鳍状衬底 406d 的 PMOS 器件。衬底 402a 和第一鳍状衬底 404a 均由硅组成,第一鳍状衬底 404b 和第二鳍状衬底 406b 均由弛豫 SiGe 组成,第二鳍状衬底 406d 由 SiGe 组成,并且具有压缩单轴向应变。NMOS 器件的第二鳍状衬底 406b 中的应变 μ (应变) 增大,并且在 PMOS 器件的第二鳍状衬底 406d 中的本征载流子迁移率 μ (本征) 和应变 μ (应变) 均增大。

[0111] 图 9F 示出了包括衬底 402a、第一鳍状衬底 404c、以及第二鳍状衬底 406f 的 NMOS 器件,和包括衬底 402a、第一鳍状衬底 404a、以及第二鳍状衬底 406d 的 PMOS 器件。衬底 402a 和第一鳍状衬底 404a 均由硅组成,第一鳍状衬底 406c 均由弛豫 Ge 组成,第二鳍状衬底 406f 由 SiGe 组成,具有拉伸单轴向应变,和第二鳍状衬底 406d 由 SiGe 组成,具有压缩单轴向应变。NMOS 器件的第二鳍状衬底 406f 中的本征载流子迁移率 μ (本征) 和应变 μ (应变) 均增大,并且在 PMOS 器件的第二鳍状衬底 406d 中的本征载流子迁移率 μ (本征) 和应变 μ (应变) 均增大。

[0112] 图 9G 示出了包括衬底 402a、第一鳍状衬底 404c、以及第二鳍状衬底 406f 的 NMOS 器件,和包括衬底 402a、第一鳍状衬底 404b、以及第二鳍状衬底 406e 的 PMOS 器件。衬底 402a 由硅组成,第一鳍状衬底 404c 由弛豫 Ge 组成,第一鳍状衬底 406b 由弛豫 SiGe 组成,第二鳍状衬底 406f 由 SiGe 组成,具有拉伸单轴向应变,以及第二鳍状衬底 406e 由 Ge 组成,具有压缩单轴向应变。NMOS 器件的第二鳍状衬底 406f 中的本征载流子迁移率 μ (本征) 和应变 μ (应变) 均增大,并且在 PMOS 器件的第二鳍状衬底 406e 中的本征载流子迁移率 μ (本征) 和应变 μ (应变) 均增大。

[0113] 图 10A 至 10G 分别示出了图 9A 至 9G 的 NMOS 和 PMOS 器件,包括在第二鳍状衬底的露出表面上外延生长的硅钝化层 409,该第二鳍状衬底不是由硅组成。硅钝化可以通过降低界面陷阱密度来改善沟道 / 介电界面。

[0114] 图 10A 示出了形成在由 SiGe 所组成,第二鳍状衬底 406d 的上方的硅钝化层 409,该第二鳍状衬底具有压缩单轴向应变。图 10B 示出了形成在由弛豫 SiGe 所组成的第一鳍状衬底 406b 上方的硅钝化层 409。图 10C 示出了形成在由弛豫 SiGe 所组成的第一鳍状衬底 406b 的上方和形成在由锗所组成的第二鳍状衬底 406e 的上方的硅钝化层 409,该第二鳍状衬底 406e 具有压缩单轴向应力。图 10D 示出了形成在由 SiGe 组成的第二鳍状衬底 406f

的上方并且形成在由弛豫 Ge 组成的第二鳍状衬底 406c 的上方的硅钝化层 409，该第二鳍状衬底 406f 拉伸单轴向应变。图 10E 示出了形成在由弛豫 SiGe 组成的第二鳍状衬底 406b 的上方和形成在由 SiGe 组成的第二鳍状衬底 406d 的上方的硅钝化层 409，该第二鳍状衬底 406d 具有压缩单轴向应变。图 10F 示出了形成在由 SiGe 组成的第二鳍状衬底 406f 的上方和形成在由 SiGe 组成的第二鳍状衬底 406d 的上方的硅钝化层 409，该第二鳍状衬底 406f 具有拉伸单轴向应变，该第二鳍状衬底 406d 具有压缩单轴向应变。图 10G 示出了形成在由 SiGe 组成的第二鳍状衬底 406f 的上方和形成在由 Ge 组成的第二鳍状衬底 406e 的上方的硅钝化层 409，该第二鳍状衬底 406f 具有拉伸单轴向应变，该第二鳍状衬底 406e 具有压缩单轴向应变。

[0115] 因此，可以利用沟道层材料和下层鳍状衬底材料的晶格失配在弛豫 SiGe、Ge、或者 Si 鳍状衬底（例如，鳍状衬底 406）的上方外延生长应变 SiGe、Ge、或者 Si 沟道层（例如，外延层 408）。如果选择 SiGe、Ge、或者 Si 沟道材料，从而使得沟道材料为用于 NMOS 器件的拉伸应变和用于 PMOS 器件的压缩应变。应该注意，用于以上 NMOS 和 PMOS 器件的其他组合在本发明的范围内（例如，用于 PMOS 器件的 Si 上 c-SiGe 和用于 NMOS 器件的 r-SiGe 上的 t-Si）。

[0116] 优选地，可以将上述晶体管器件和制造方法容易地与标准 CMOS 工艺结合。此外，本发明允许弥补沟道层的纵向应力分量的弛豫，从而提供较高的单轴向压缩应力水平（例如，大于约 3GPa），这种弥补优化了晶体管性能。

[0117] 因此，本发明提供了各种实施例。在一个实施例中，公开了半导体器件。半导体器件包括：衬底，包括至少两个隔离部件；鳍状衬底，设置在至少两个隔离部件之间和上方；以及外延层，设置在鳍状衬底的露出部分的上方。根据一方面，外延层可以位于鳍状衬底的顶面和侧壁上。根据另一方面，鳍状衬底可以基本上完全位于至少两个隔离部件的上方。

[0118] 在又一实施例中，半导体器件包括：衬底，包括至少两个隔离部件；衬底缓冲区域，设置在至少两个隔离部件之间；以及鳍状衬底，设置在衬底缓冲区域的上方，在至少两个隔离部件之间，以及垂直地基本上完全位于至少两个隔离部件的上方。该器件还包括：源极 / 漏极外延层，设置在鳍状衬底的顶面和侧壁上。

[0119] 本发明还提供了制造半导体器件的方法。在一个实施例中，方法包括：提供衬底，该衬底包括至少两个隔离部件；形成鳍状衬底，该鳍状衬底设置在至少两个隔离部件之间，以及垂直地设置在至少两个隔离部件上方；以及形成外延层，该外延层设置在鳍状衬底的露出部分上方。根据一方面，外延层可以沉积在鳍状衬底的顶面和侧壁上。根据另一方面，可以将鳍状衬底基本上完全沉积在至少两个隔离部件的上方。

[0120] 尽管已经详细地描述了本发明的实施例，但本领域中的技术人员应该理解，可以在不背离本发明主旨和范围的情况下，做各种不同的改变，替换和更改。例如，用于衬底、鳍状衬底、以及外延层的其他材料，例如，III-V 族材料也在本发明的范围内。因此，所以这样的改变，替换和更改旨在包括在如以下权利要求所限定的本发明的范围内。在权利要求中，手段加功能分句旨在覆盖实施所陈述的功能的本文所述的结构，并且不仅是结构的等同替换，而且是等效的结构。

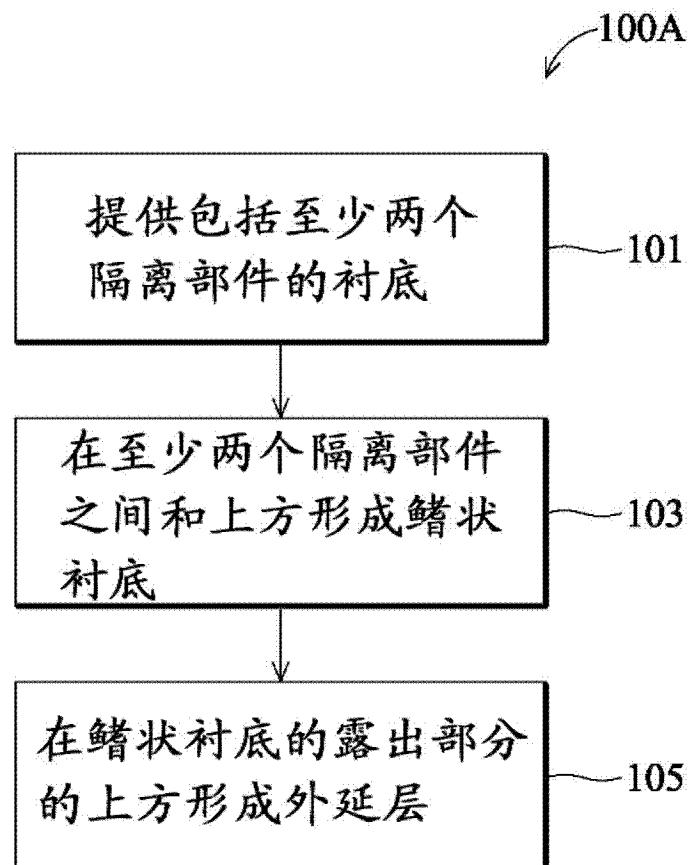


图 1A

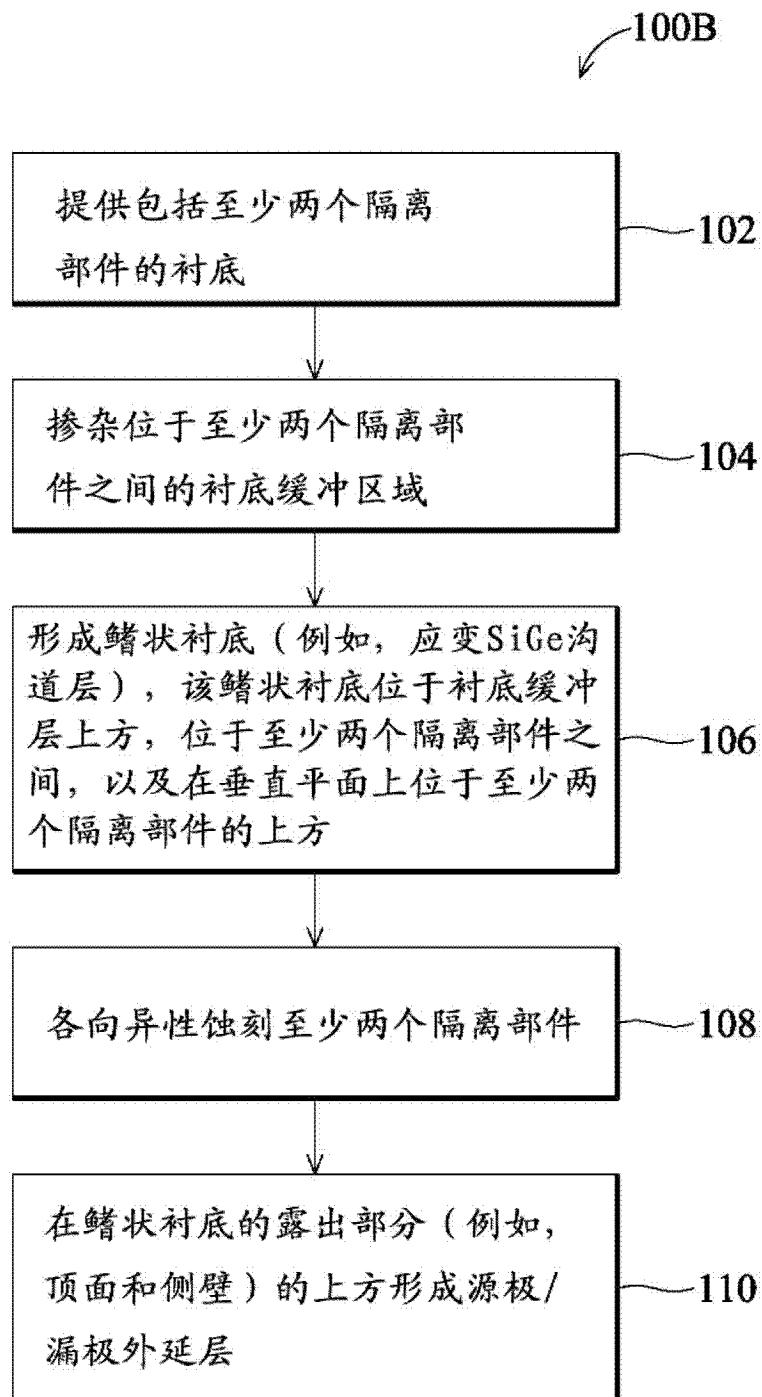


图 1B

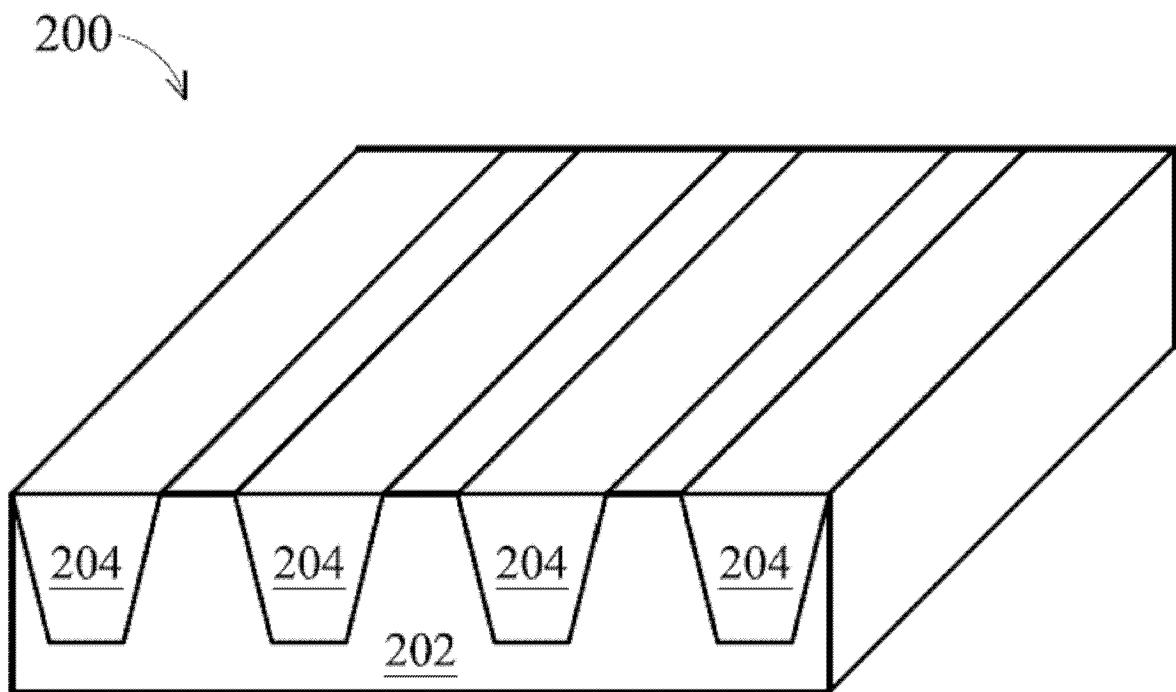


图 2A

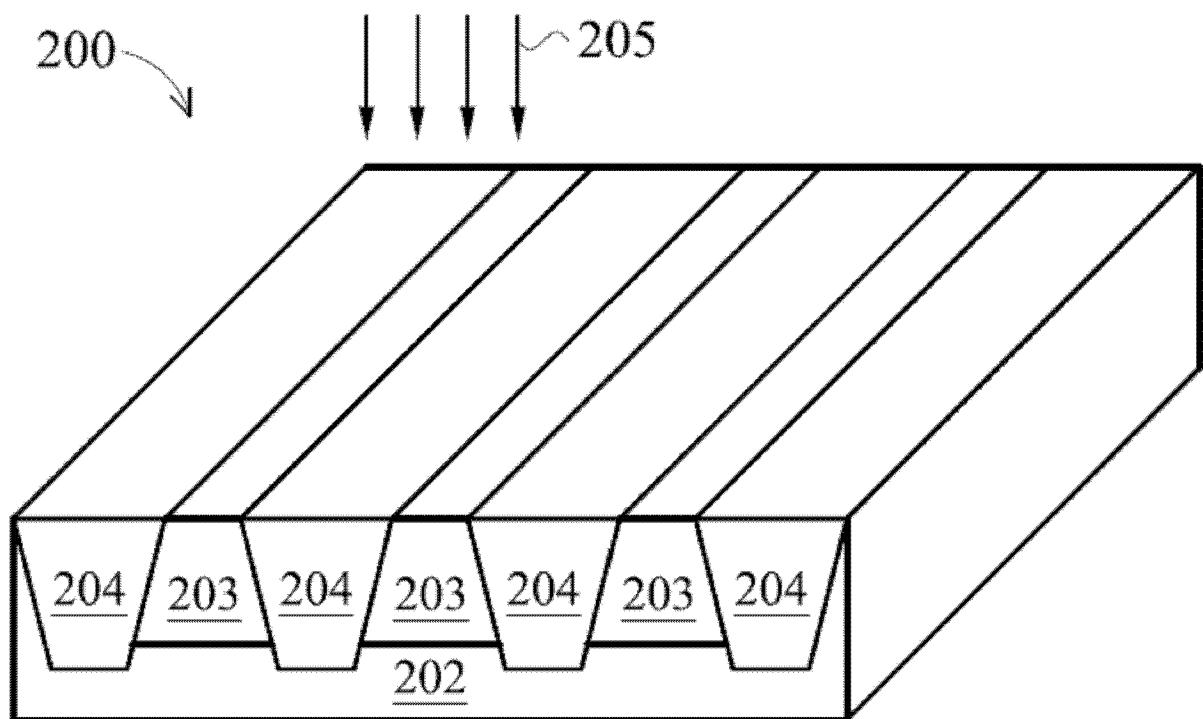


图 2B

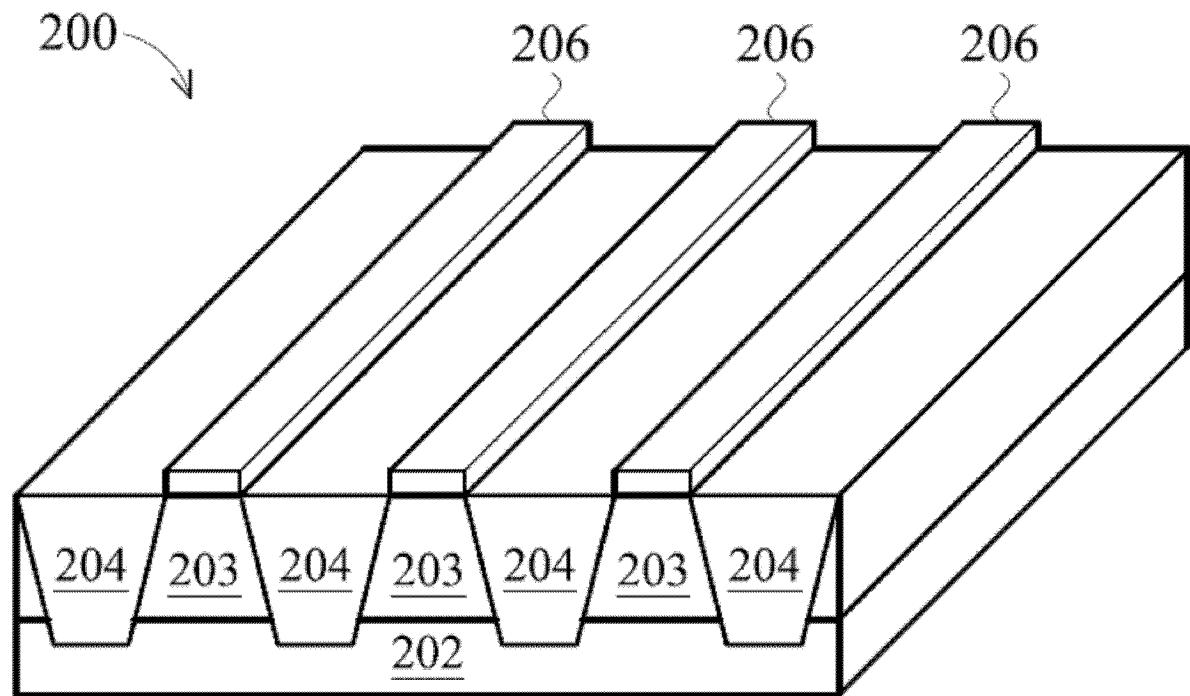


图 2C

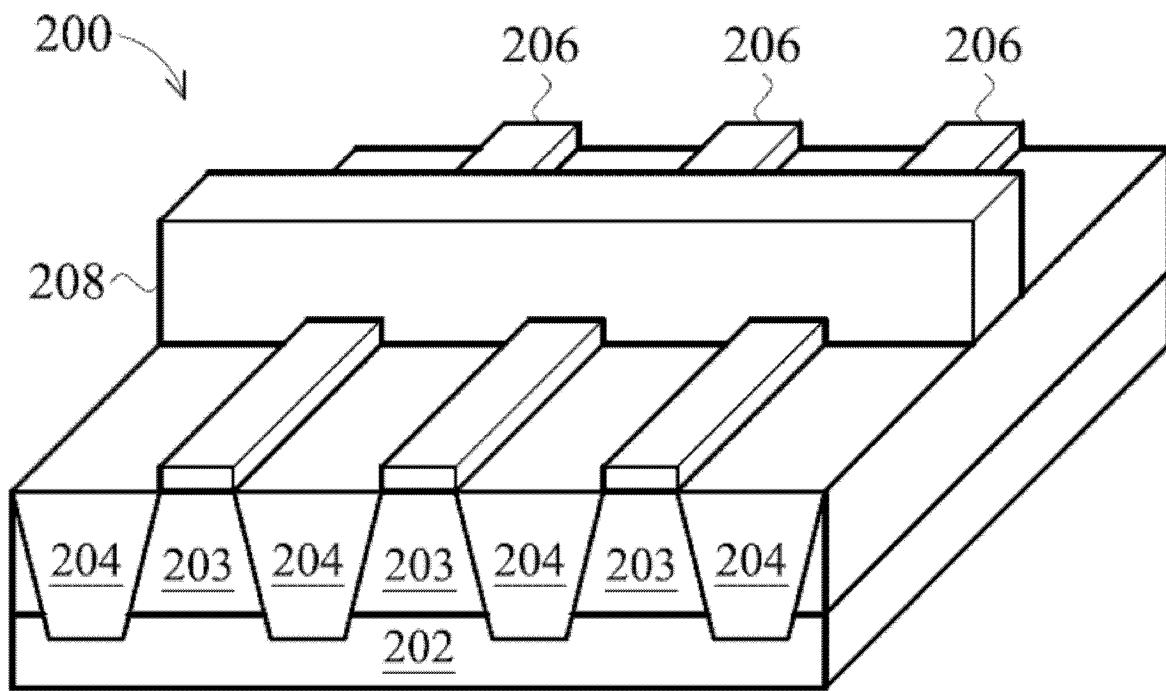


图 2D

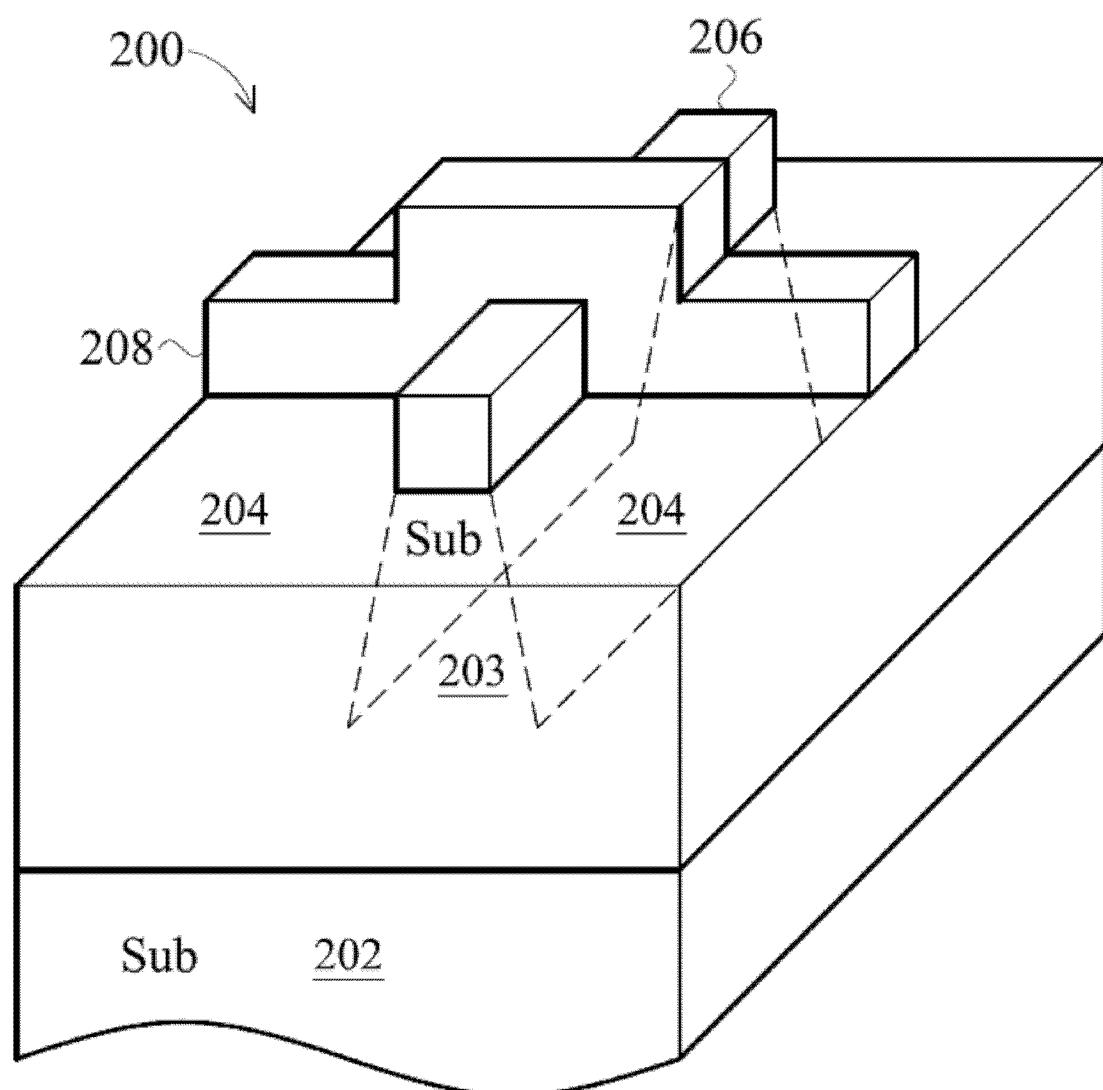


图 3A

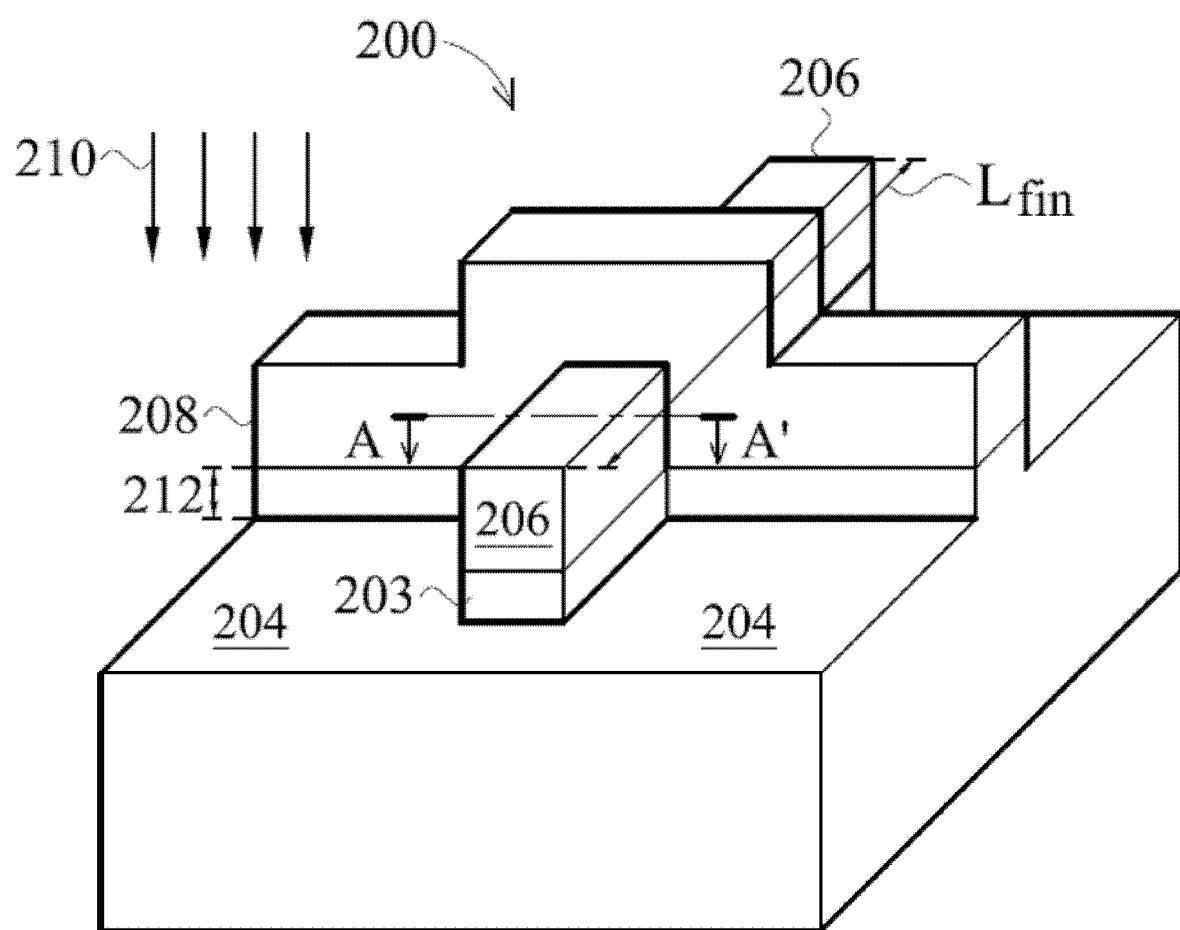


图 3B

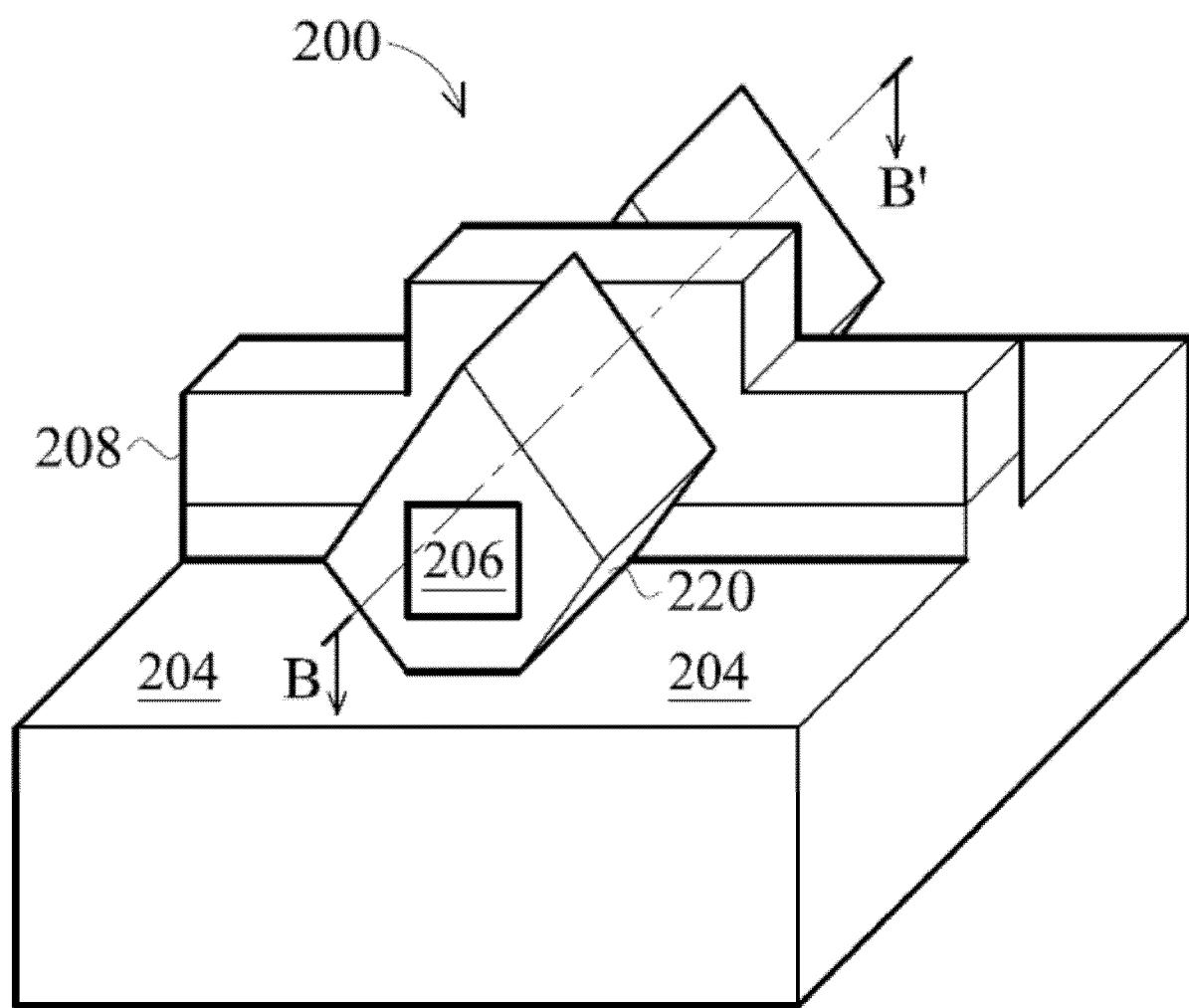


图 3C

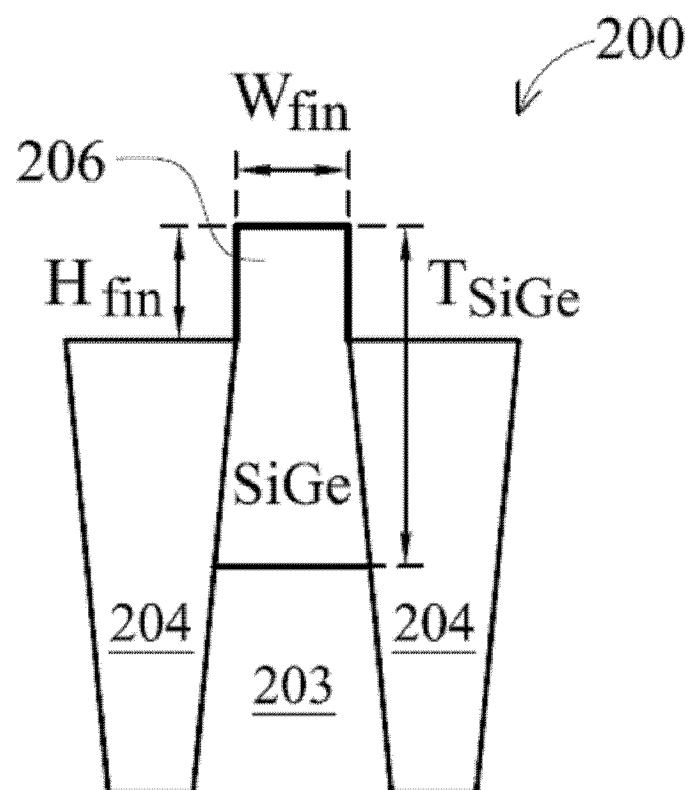


图 4A

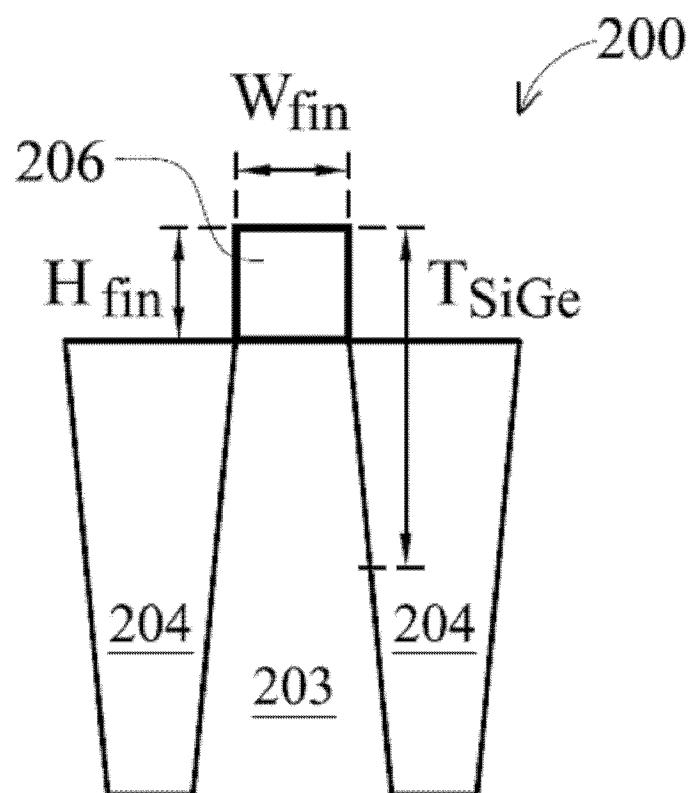


图 4B

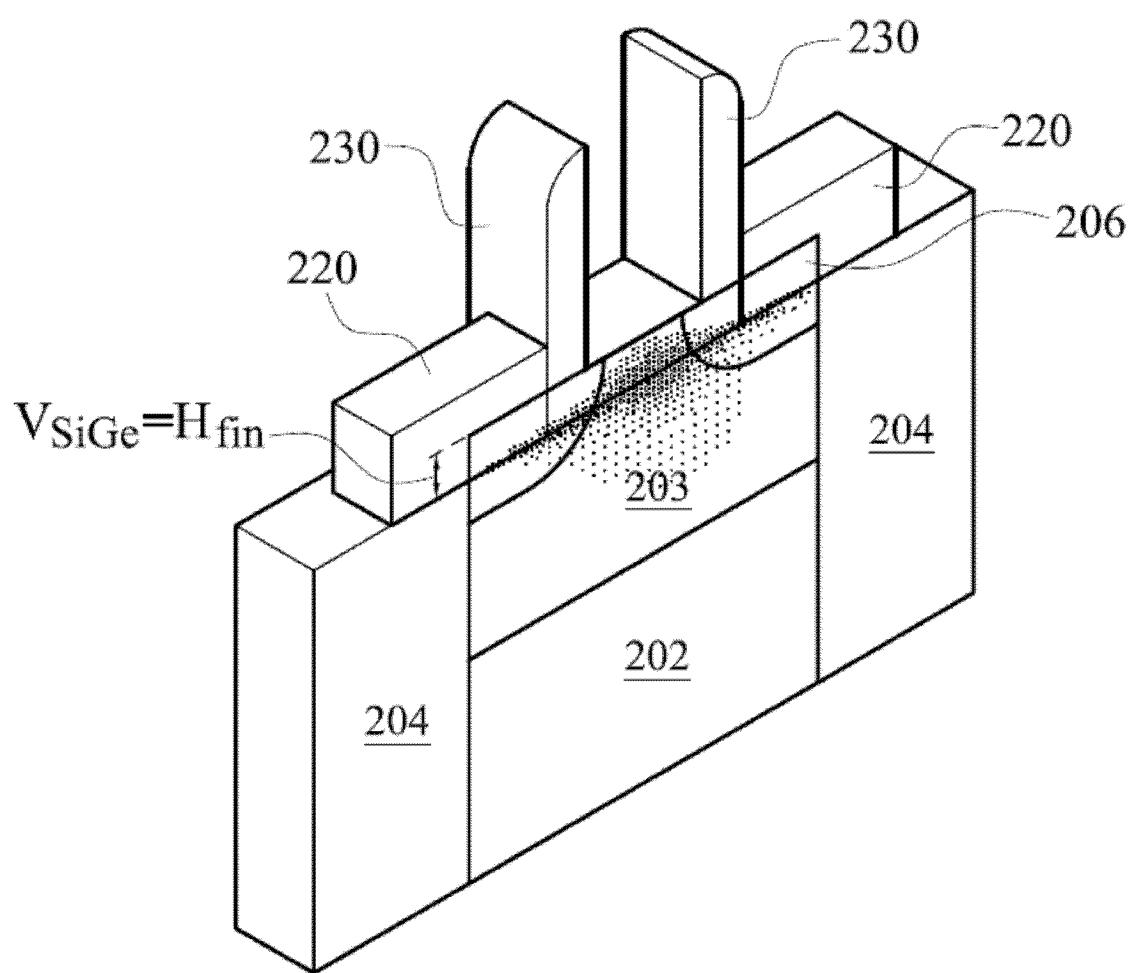


图 5

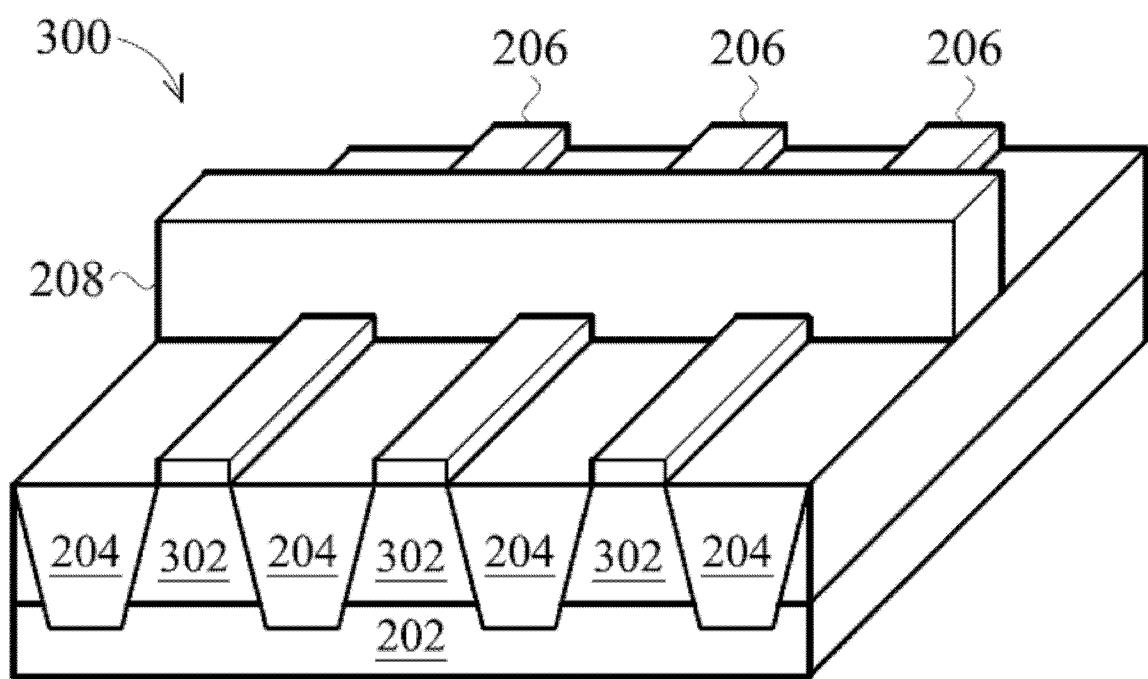


图 6

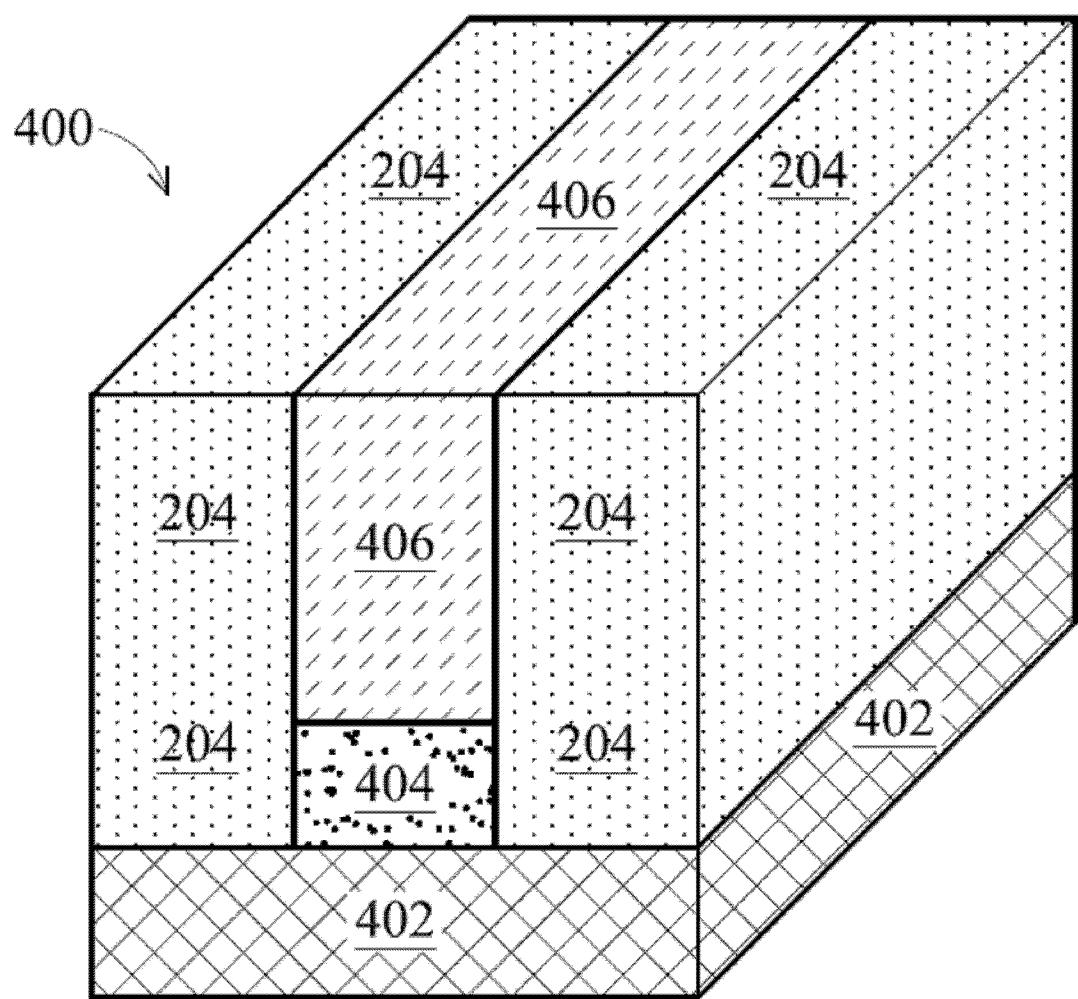


图 7A

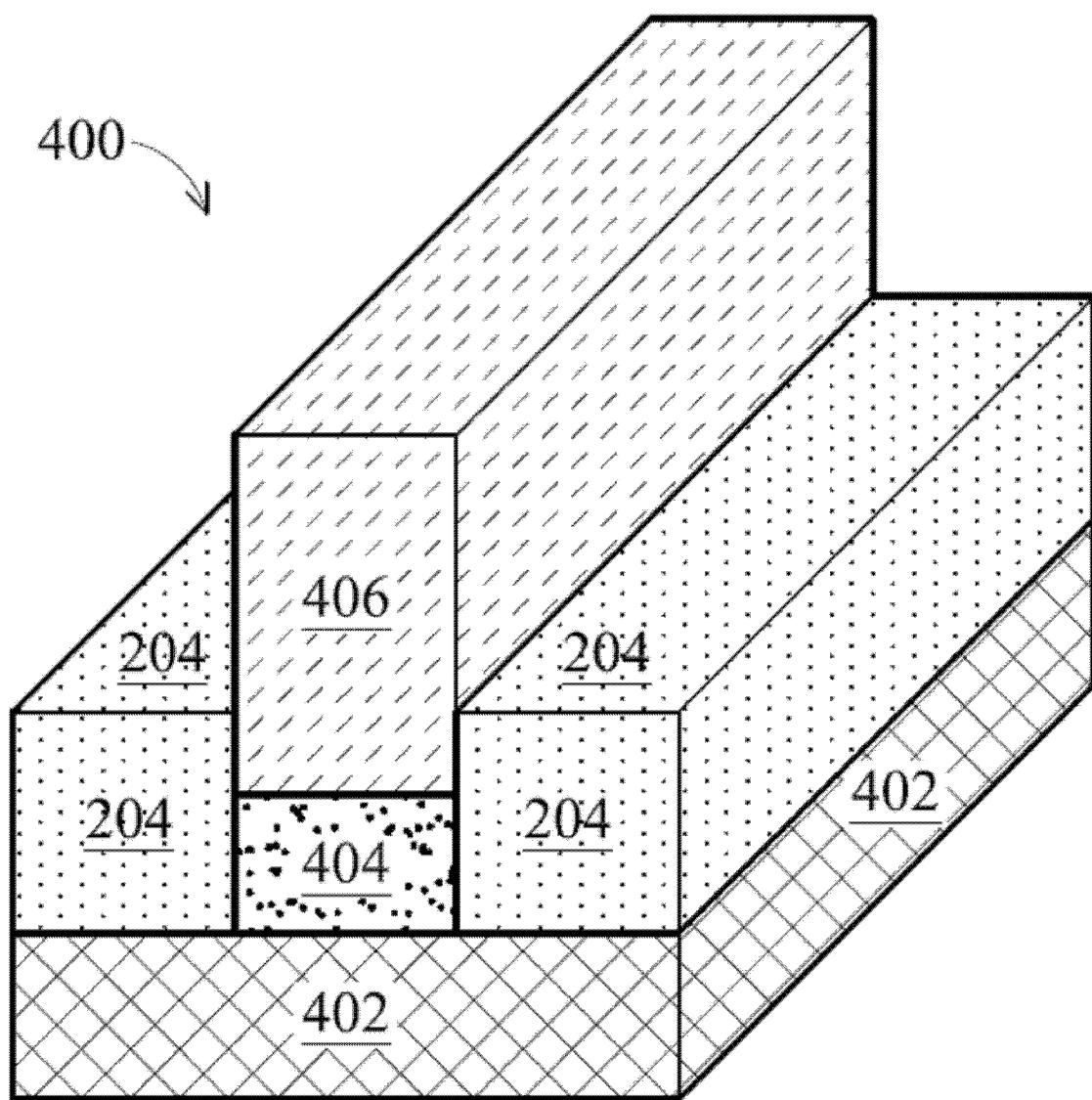


图 7B

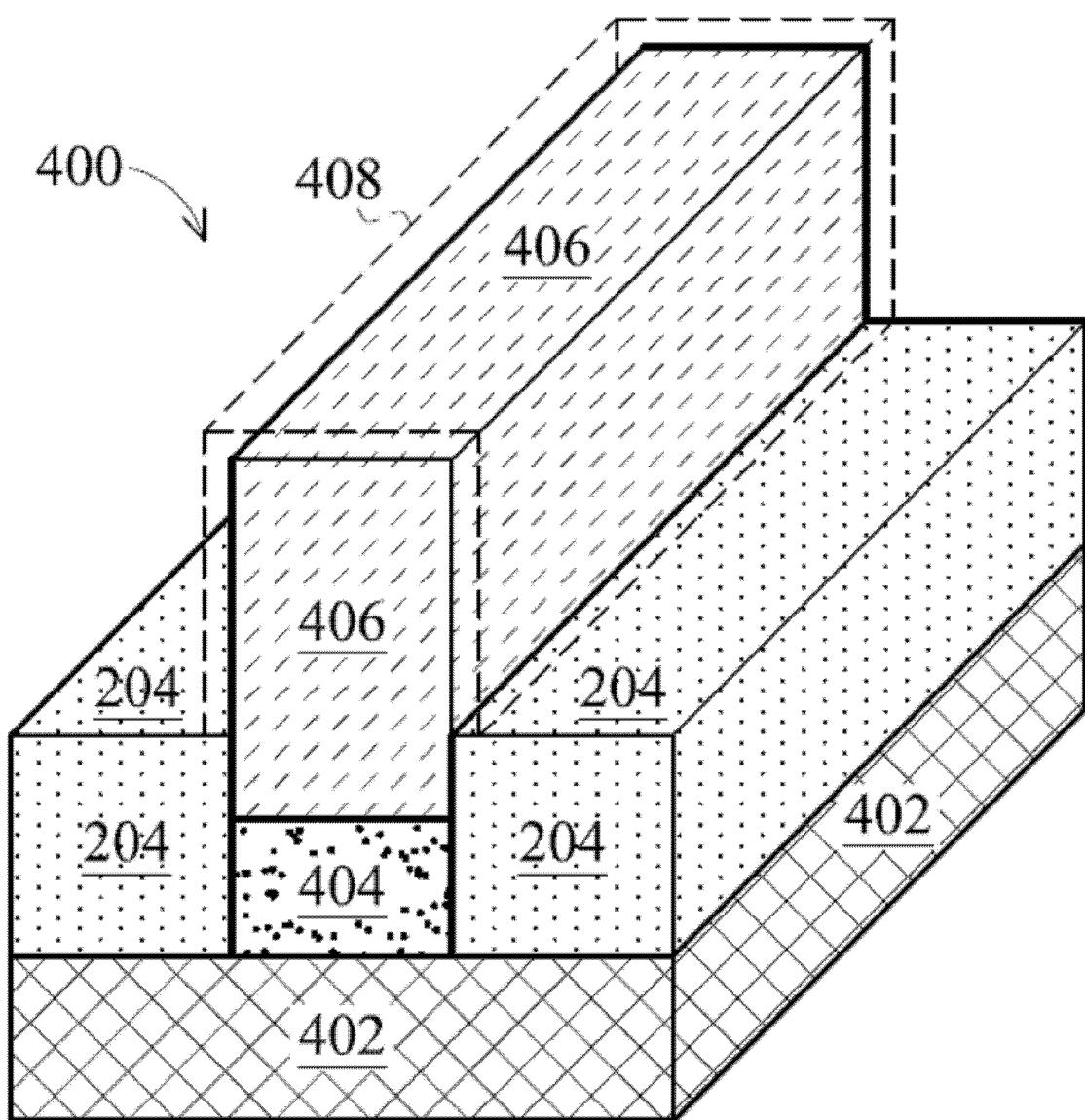


图 7C

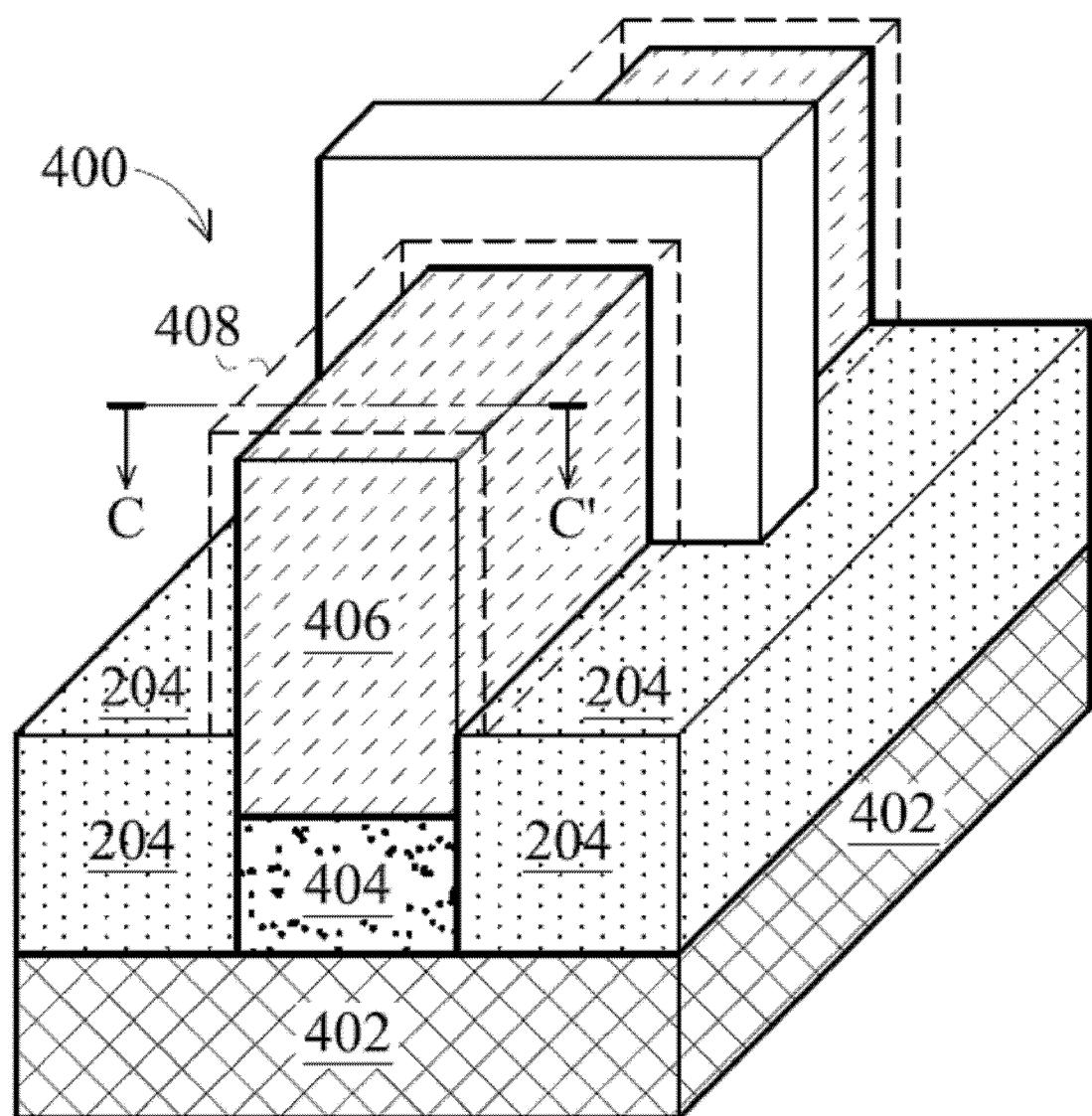


图 7D

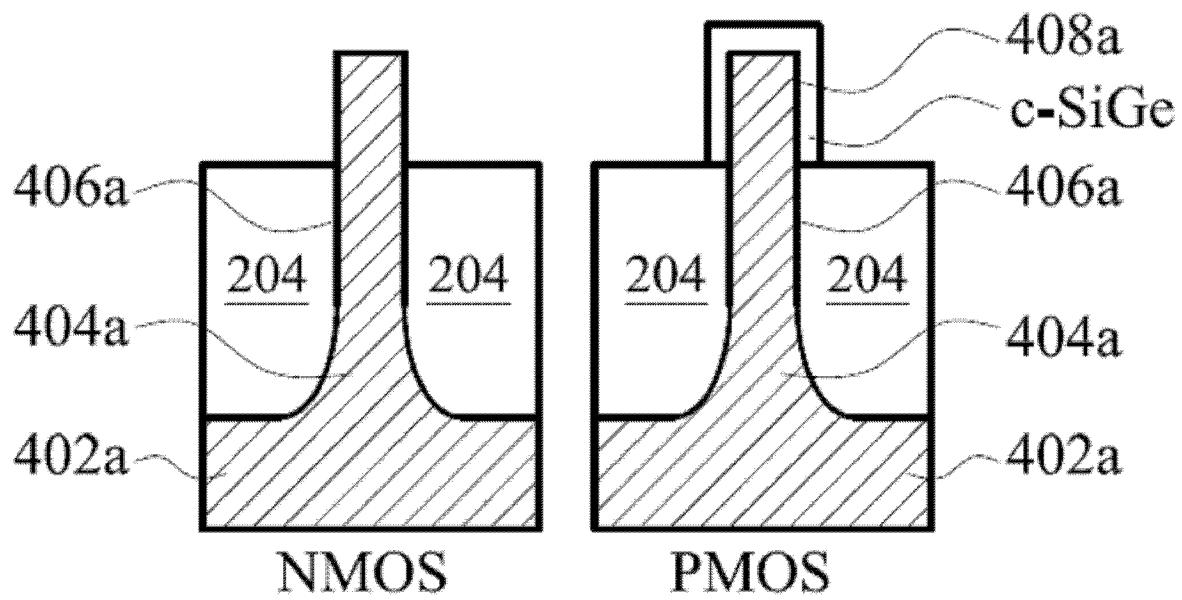


图 8A

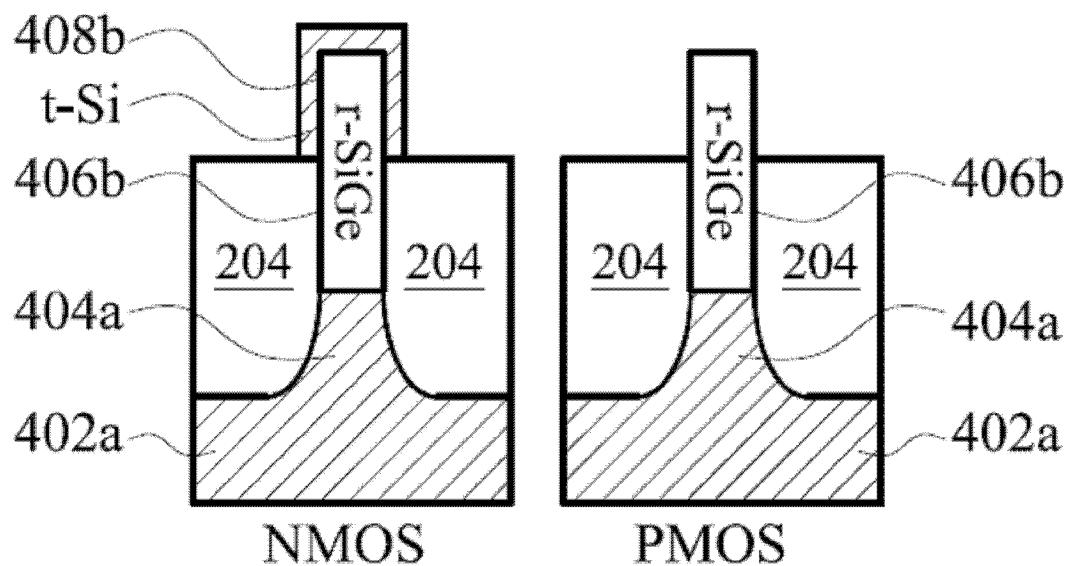


图 8B

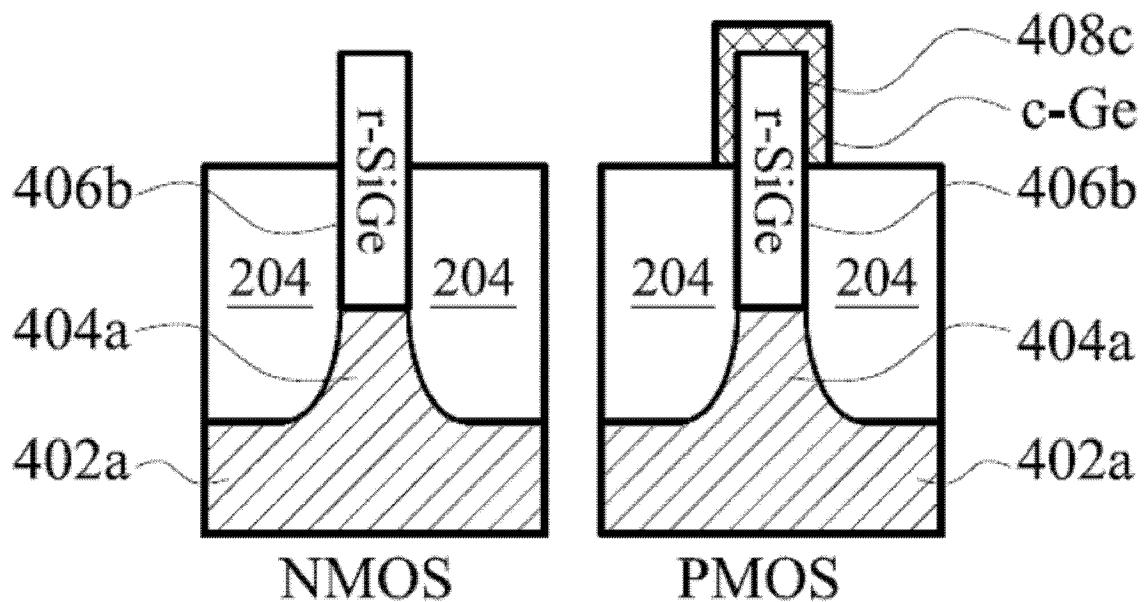


图 8C

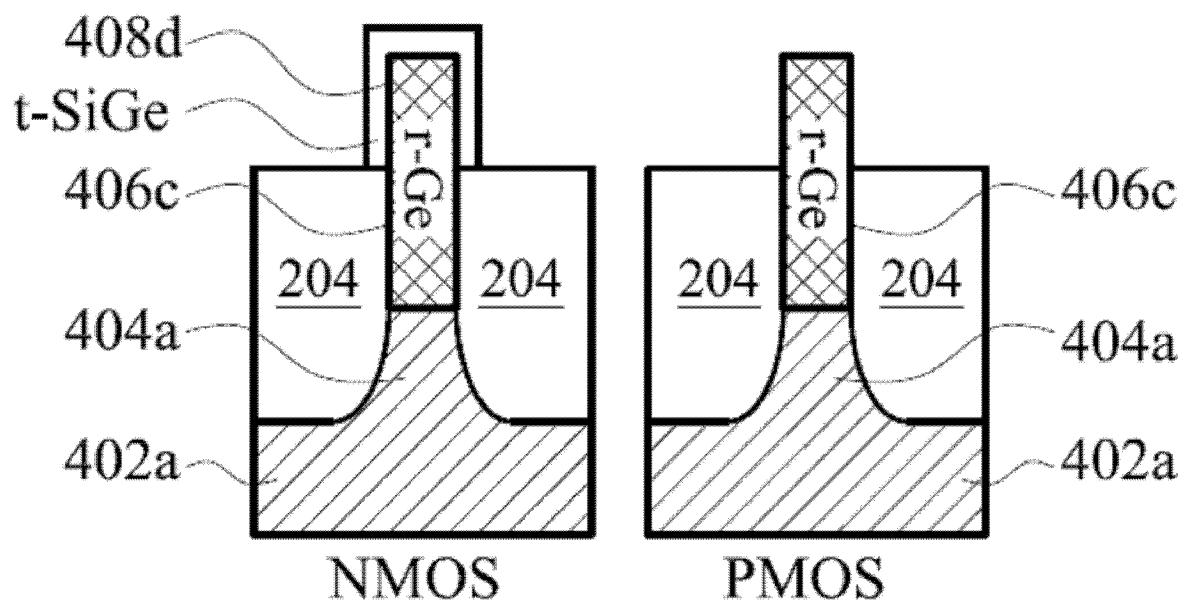


图 8D

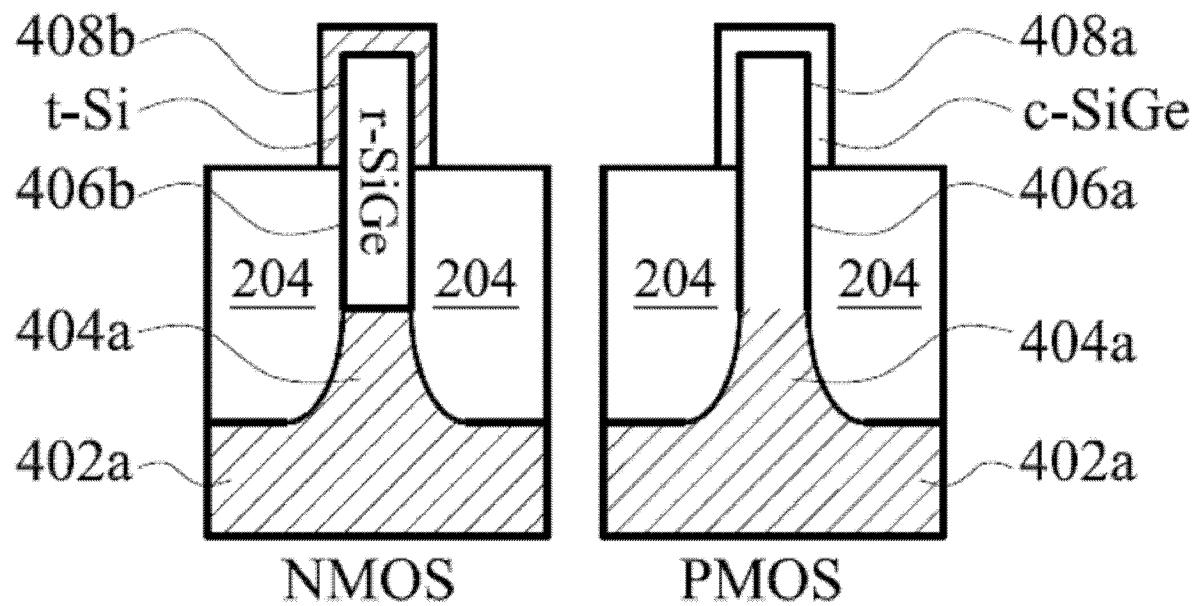


图 8E

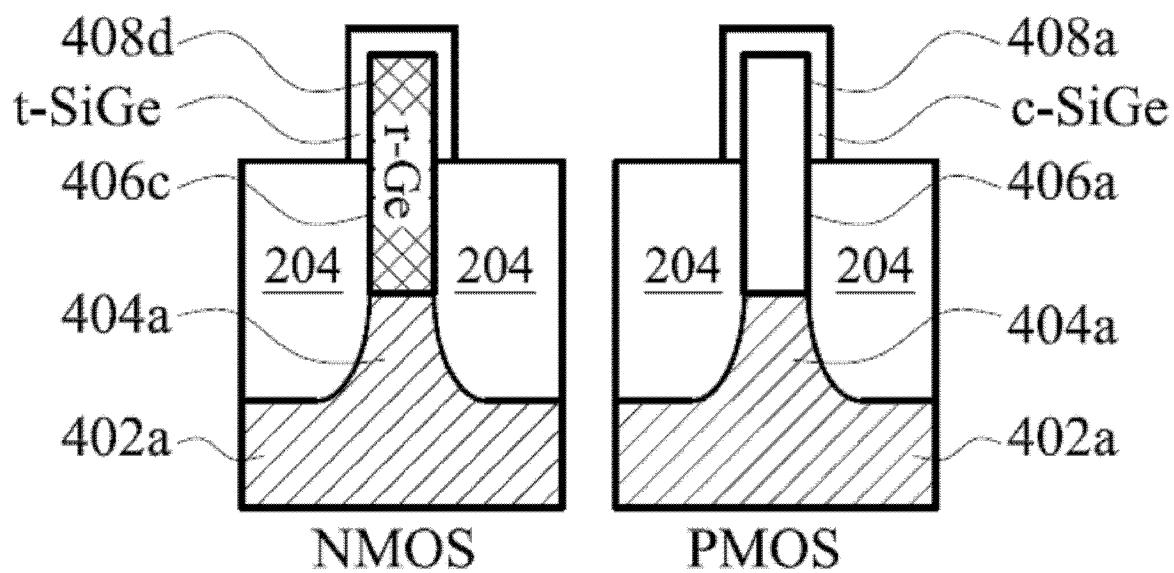


图 8F

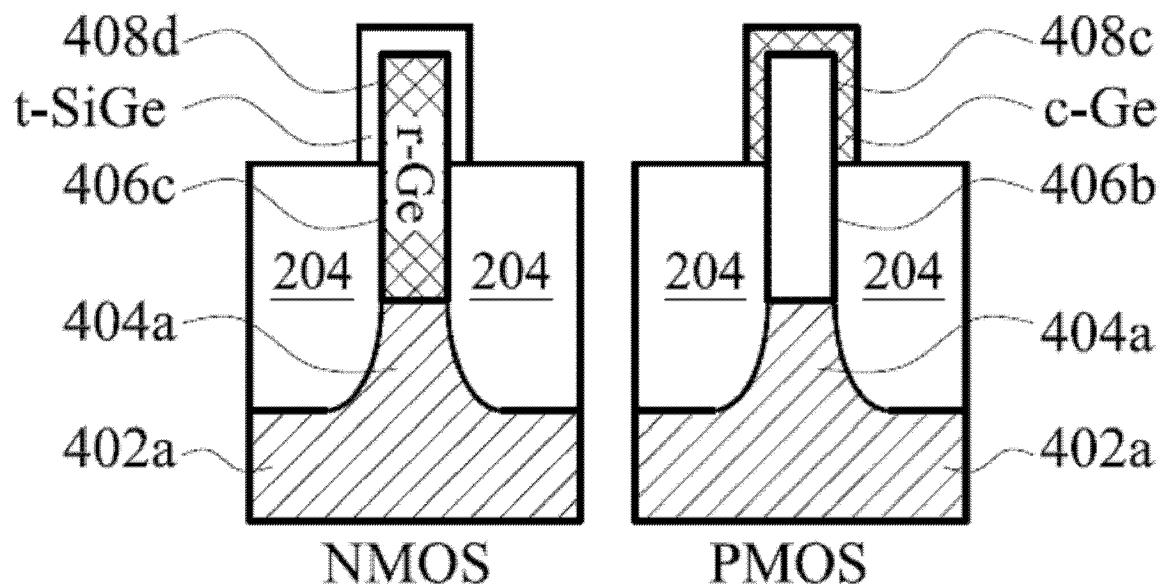


图 8G

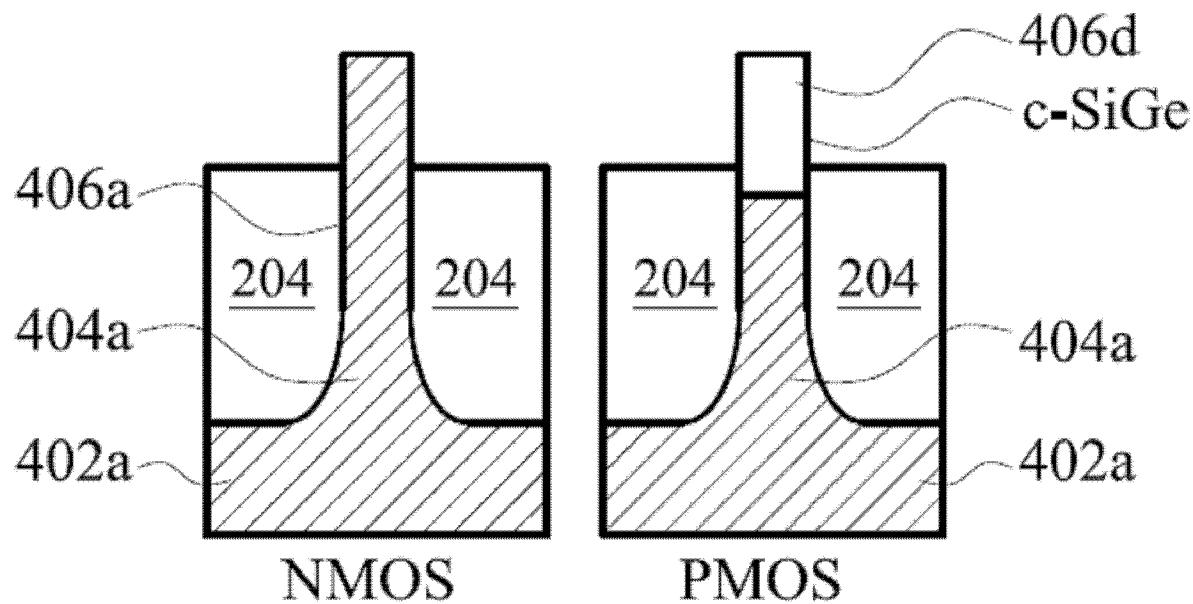


图 9A

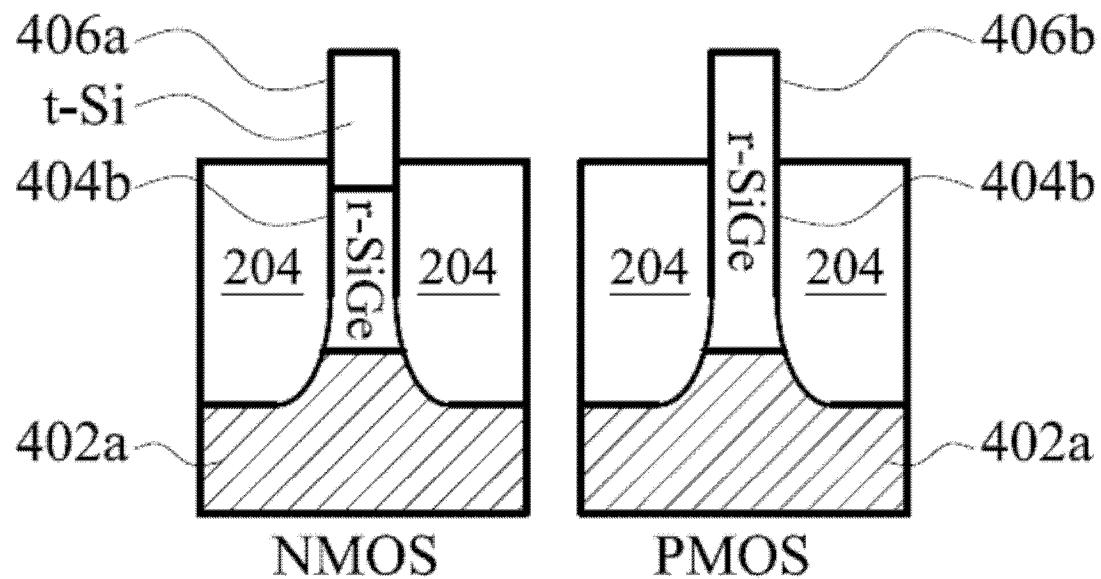


图 9B

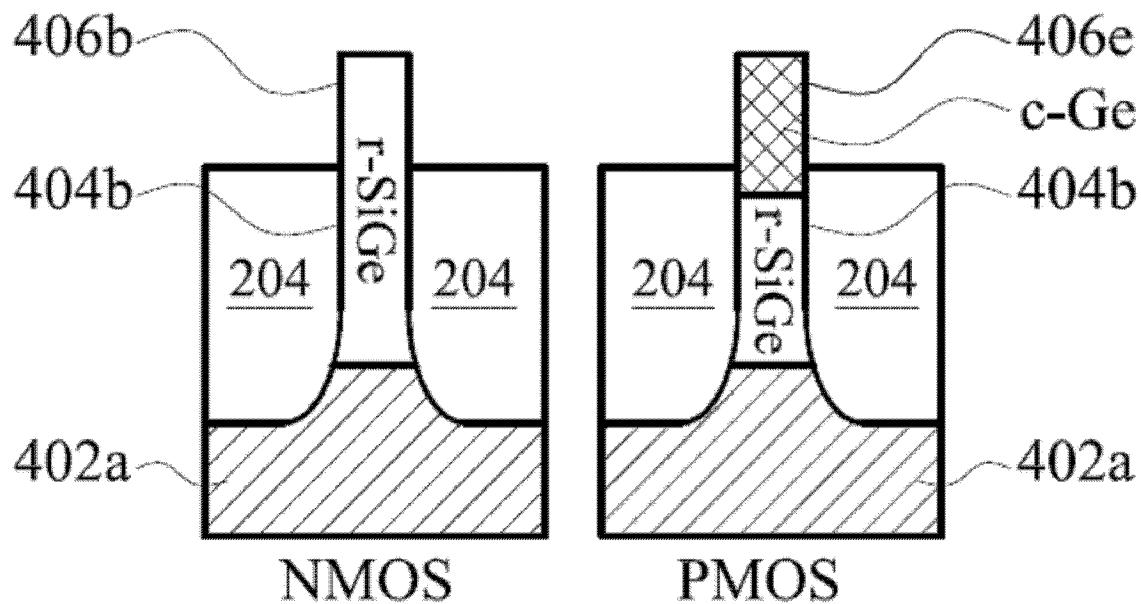


图 9C

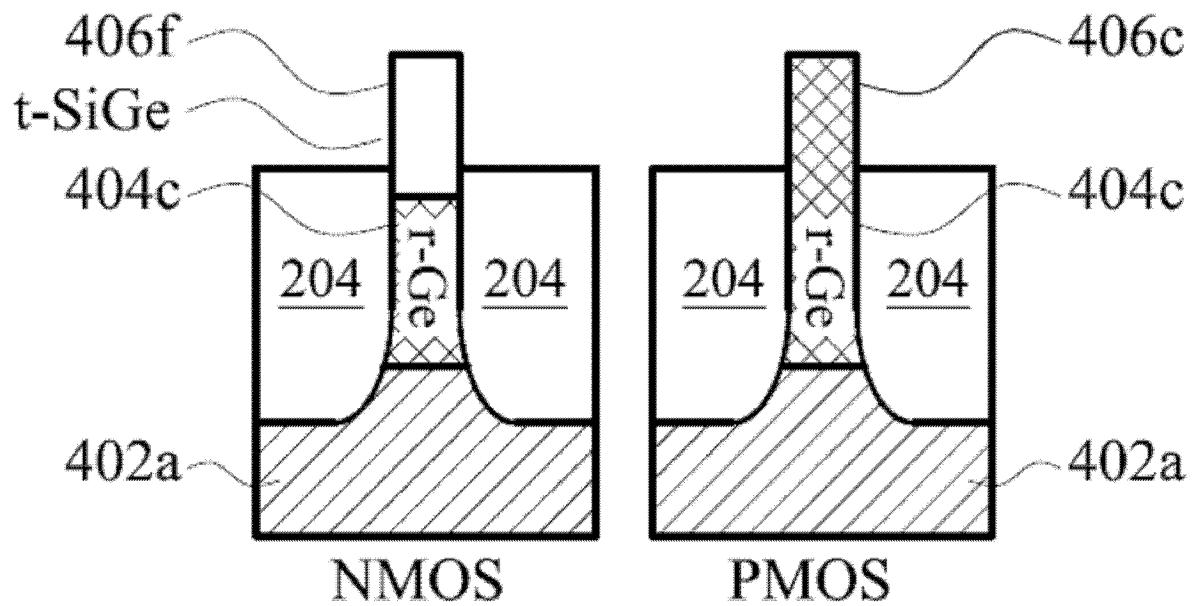


图 9D

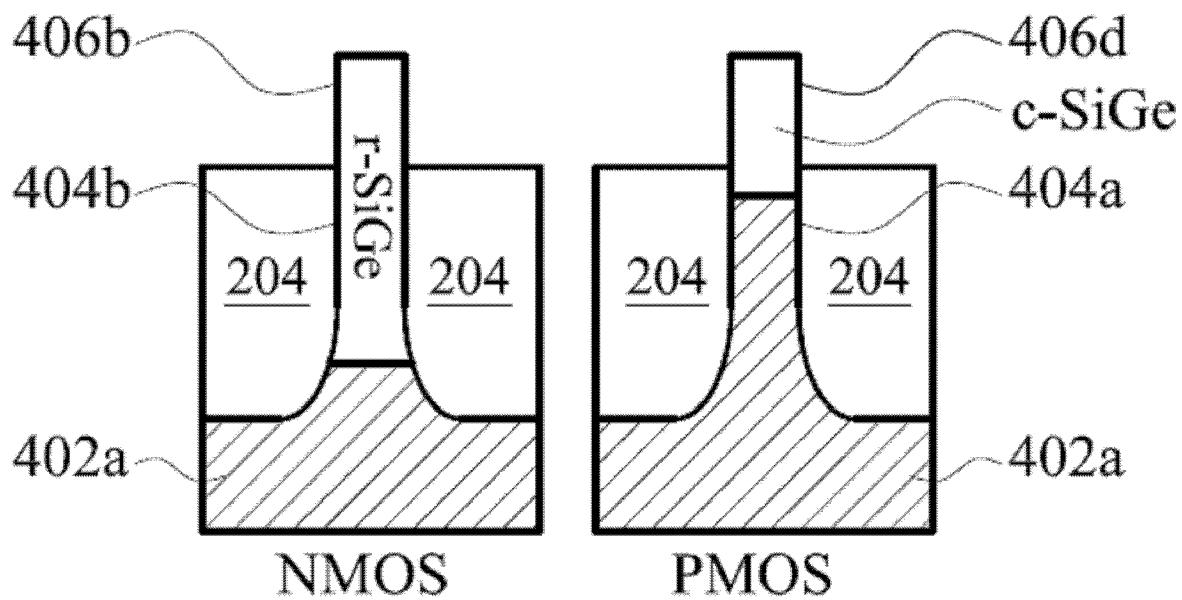


图 9E

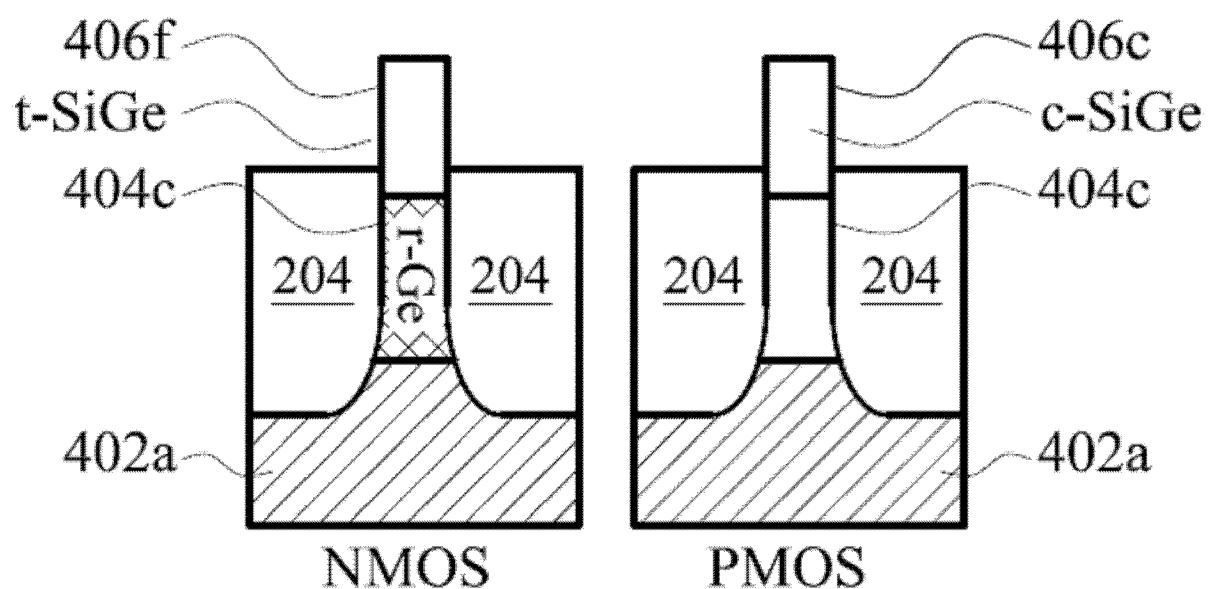


图 9F

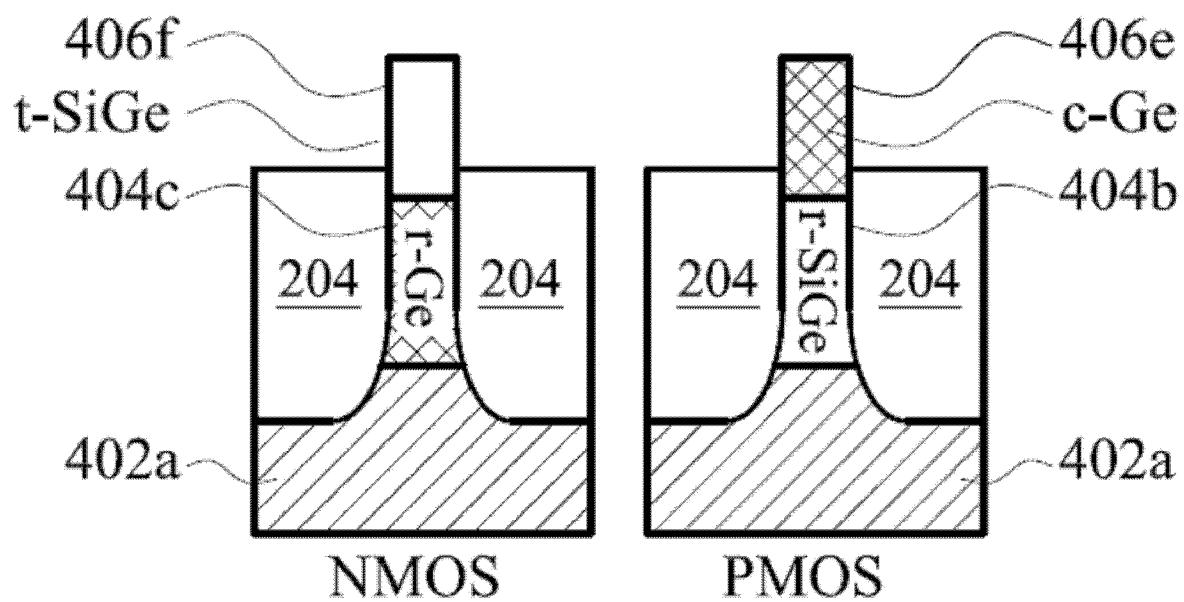


图 9G

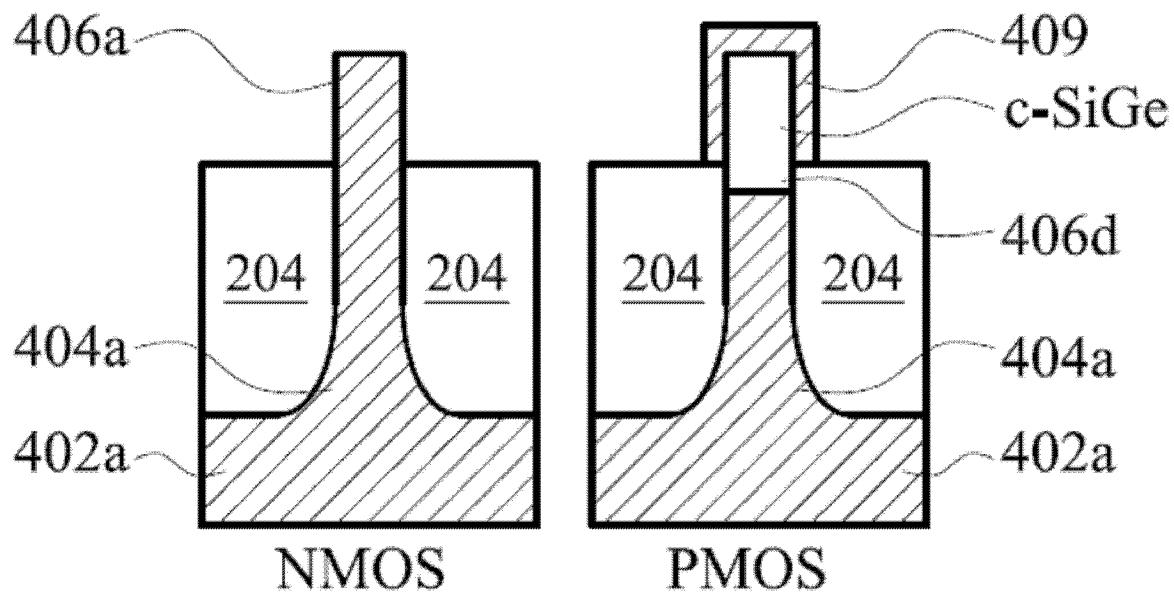


图 10A

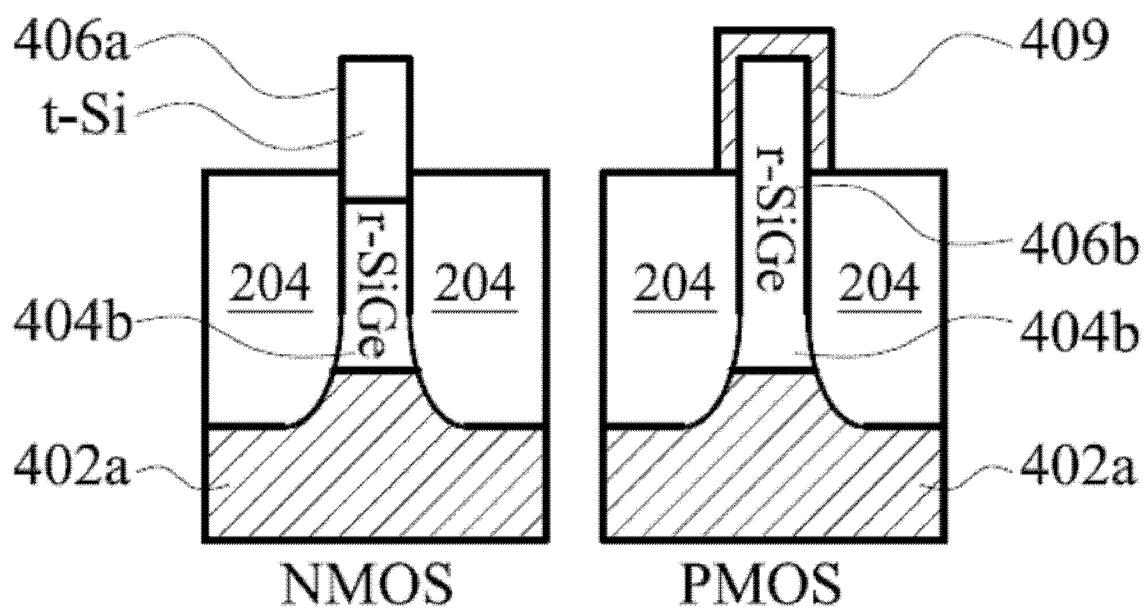


图 10B

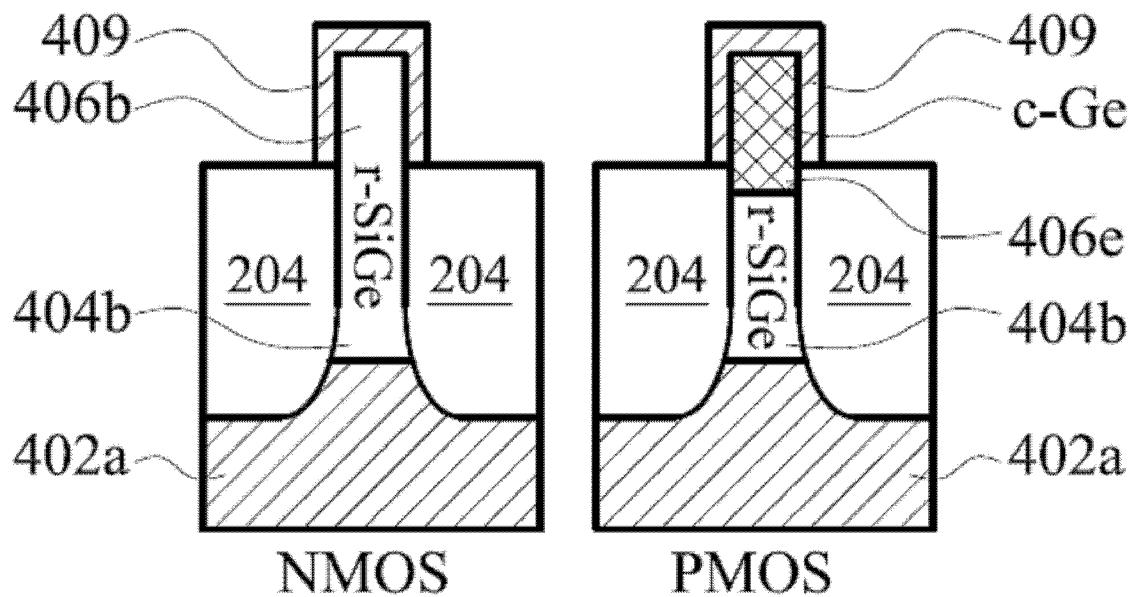


图 10C

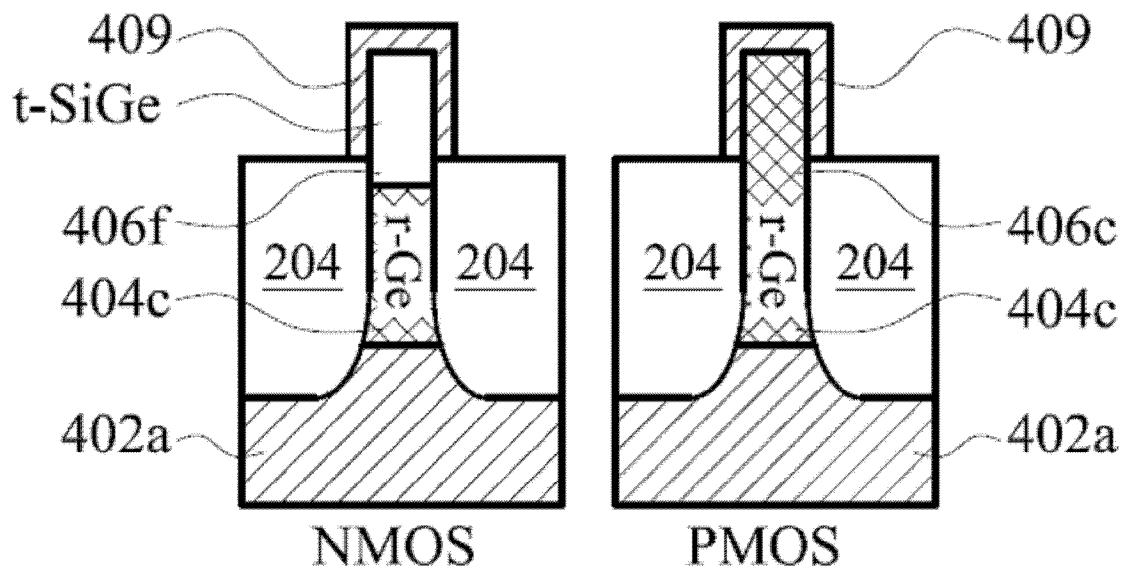


图 10D

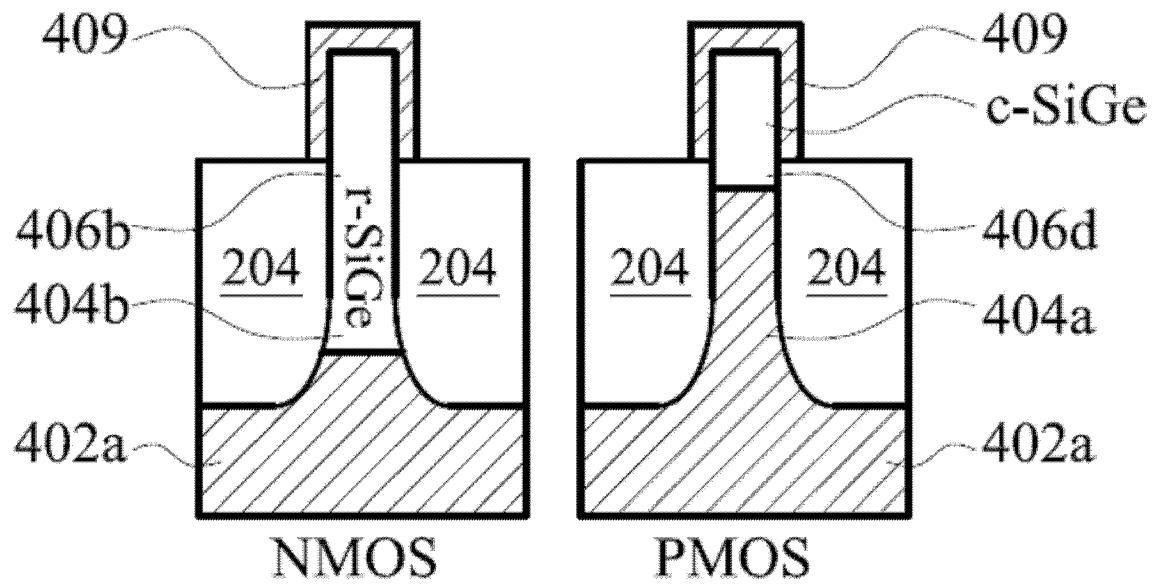


图 10E

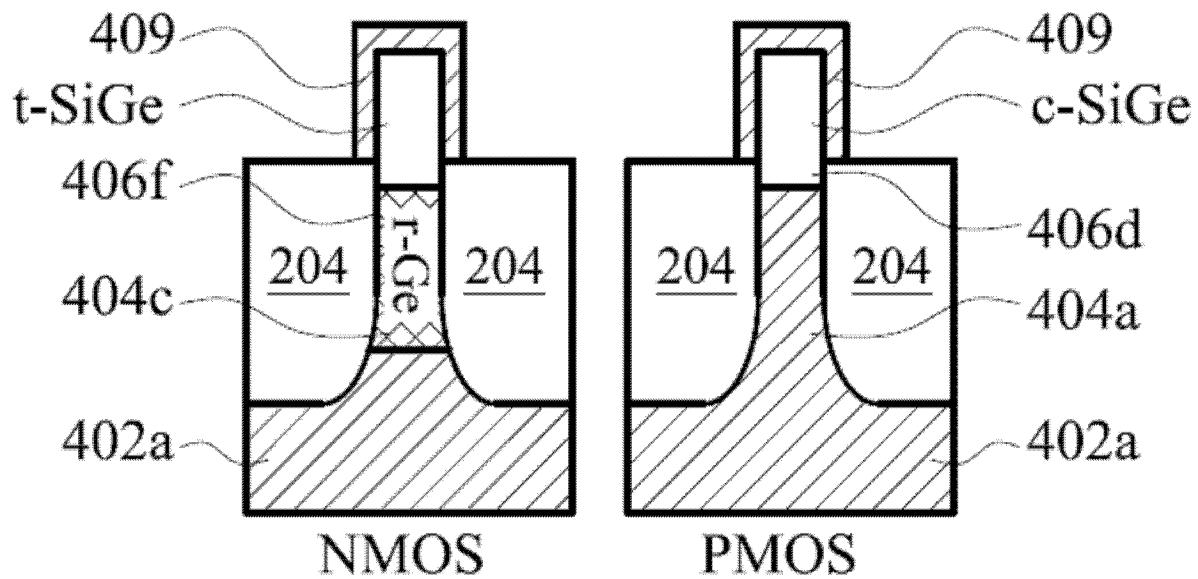


图 10F

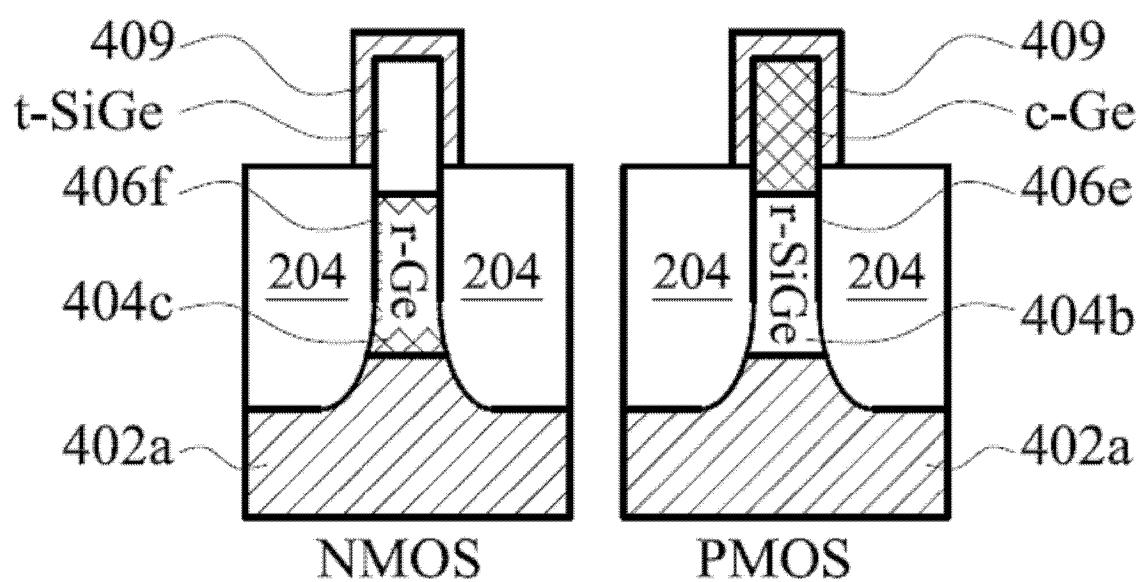


图 10G