(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4146645号
(P4146645)
(45)発行日　平成20年9月10日(2008.9.10)　(24)登録日　平成20年6月27日(2008.6.27)

(51)Int.Cl.		F I		
H01L 21/329	(2006.01)	H01L	29/91	A
H01L 29/861	(2006.01)	H01L	29/91	C
		H01L	29/91	J

請求項の数 6　(全 13 頁)

(21)出願番号　特願2002-23676 (P2002-23676)
(22)出願日　平成14年1月31日 (2002.1.31)
(65)公開番号　特開2003-224134 (P2003-224134A)
(43)公開日　平成15年8月8日 (2003.8.8)
審査請求日　平成16年8月31日 (2004.8.31)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目7番3号
(74)代理人　100062144
弁理士　青山　葆
(74)代理人　100101454
弁理士　山田　卓二
(74)代理人　100112911
弁理士　中野　晴夫
(72)発明者　石澤　慎一
福岡県福岡市西区今宿東一丁目1番1号
福菱セミコンエンジニアリング株式会社内
(72)発明者　友松　佳史
福岡県福岡市西区今宿東一丁目1番1号
福菱セミコンエンジニアリング株式会社内
最終頁に続く

(54)【発明の名称】ｐｎ接合ダイオードの製造方法及びｐｎ接合ダイオード

(57)【特許請求の範囲】

【請求項１】

カソード層に欠陥領域を形成するｐｎ接合ダイオードの製造方法であって、

ｎ型のカソード層を有する半導体ウエハを準備する準備工程と、

該カソード層上にｐ型のアノード層を形成し、該カソード層と該アノード層との界面をｐｎ接合面とするアノード層形成工程と、

該アノード層上に、幅ａの絶縁層が、幅ｂの間隔を隔てて形成された絶縁領域を形成する工程と、

該半導体ウエハの裏面にカソード電極を形成し、該アノード層の上面にアノード電極を形成する電極形成工程と、

該アノード層側からイオンを注入し、該ｐｎ接合面近傍の該カソード層に欠陥領域を形成する欠陥領域形成工程とを含み、

該欠陥領域形成工程が、該絶縁領域を介して該イオンを注入することにより、平均投影飛程が互いに異なる第１注入領域と第２注入領域とを隣接するように形成し、該第１注入領域と該第２注入領域とに形成された結晶欠陥の濃度分布を一部において重ねて、略一定の膜厚の欠陥領域を形成する工程を含むことを特徴とするｐｎ接合ダイオードの製造方法。

【請求項２】

上記絶縁層が、それぞれが略平行に設けられたストライプ状の領域からなることを特徴とする請求項１に記載の製造方法。

【請求項３】
上記絶縁層が、上記アノード層上にマトリックス状に配置された、上面が一辺ａの略正方形の領域からなることを特徴とする請求項１に記載の製造方法。
【請求項４】
上記欠陥形成工程が、プロトン及びヘリウムイオンから選択されるイオンを、１回のイオン照射で上記カソード層に注入する工程を含むことを特徴とする請求項１～３のいずれかに記載の製造方法。
【請求項５】
カソード層に欠陥領域を有するｐｎ接合ダイオードであって、
ｎ型のカソード層を有する半導体ウエハと、
該カソード層上に形成され、該カソード層との界面がｐｎ接合面となるｐ型のアノード層と、
該アノード層上に、幅ａの絶縁層が、幅ｂの間隔を隔てて形成された絶縁領域と、
該半導体ウエハの裏面に形成されたカソード電極と、
該アノード層の上面に形成されたアノード電極と、
該ｐｎ接合面近傍の該カソード層に、該絶縁領域を介して該アノード層側からイオンを注入して形成された略一定の膜厚の欠陥領域とを含み、
該欠陥領域が、略一定の平均投影飛程でイオンを注入して形成した欠陥領域より、欠陥密度の半値幅が大きい領域であることを特徴とするｐｎ接合ダイオード。
【請求項６】
上記欠陥領域が、上記イオンの平均投影飛程が互いに異なる第１注入領域と第２注入領域とを隣接するように交互に形成して、該第１注入領域と該第２注入領域との欠陥密度分布を一部において重ね、欠陥密度の半値幅を略一定とした欠陥領域からなることを特徴とする請求項５に記載のｐｎ接合ダイオード。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、ｐｎ接合ダイオードの製造方法及びその構造に関し、特に、順電圧降下（V_F）の素子間におけるばらつきを低減したｐｎ接合ダイオードの製造方法及びその構造に関する。
【０００２】
【従来の技術】
図９は、全体が２００で表される、従来のｐｎ接合ダイオードの断面図であり、例えば、トランジスタ等と共に、スイッチング素子として使用される。
ｐｎ接合トランジスタ２００は、n^+カソード層１、n^-カソード層２、p^-アノード層３の積層構造を有する。n^-カソード層２とp^-アノード層３との接合面が、ｐｎ接合面４となっている。各層は、シリコンから形成される。
p^-アノード層３の上面には、アノード電極５が形成され、一方、n^+カソード層１の裏面には、カソード電極６が形成されている。各電極は、アルミニウムからなる。
【０００３】
n^-カソード層２の、ｐｎ接合面４近傍には、欠陥領域１７が設けられている。欠陥領域１７は、アノード電極５、カソード電極６を形成した後に、アノード電極５側からプロトンやヘリウムイオンをイオン照射法で注入した後に、アニールを行い形成する。イオン照射は、アルミニウムからなるアブソーバ８を通して行われる。注入された元素は、アニール中に、n^-カソード層２から抜け、結晶欠陥からなる欠陥領域１７が形成される。欠陥領域１７の半値幅Ｔは、約１０μｍである。
【０００４】
図１０は、ｐｎ接合ダイオード２００の、キャリア濃度及び結晶欠陥密度（欠陥濃度）のプロファイルである。図１０中、横軸は、ｐｎ接合ダイオード２００の縦方向の位置を示し、左側がアノード電極５側、右側がカソード電極６側である。また、縦軸は、ｐ型不

純物、ｎ型不純物、及び結晶欠陥の濃度を示す。

図１０中、ｐはｐ型、ｎ型不純物の濃度分布であり、ｑは結晶欠陥の濃度分布である。また、Ｉはｐ$^{-}$アノード層３、IIはｎ$^{-}$カソード層２、IIIはｎ$^{+}$カソード層１を示す。

図１０に示すように、ｐｎ接合面近傍のｎ$^{-}$カソード層（II）中に、半値幅がＴとなるように、結晶欠陥領域が設けられている。

【０００５】

かかる欠陥領域７は、所謂ライフタイムキラーとして働き、ｐｎ接合面４を通って、ｐ$^{-}$アノード層３からｎ$^{-}$カソード層２に入り込む、少数キャリアである正孔と結合し、これを消滅させる。これにより、ｐｎ接合ダイオード２００では、サージ電圧による素子破壊を防止し、高速スイッチングが可能となる。

【０００６】

【発明が解決しようとする課題】

かかるｐｎ接合ダイオード２００は、例えば直径５インチのウエハの状態で形成され、完成後に各ダイオードに分割されるが、ｐｎ接合ダイオード２００の順電圧降下（V_F）が、ウエハ内でばらつくという問題があった。

ばらつきの原因について発明者らが検討した結果、欠陥領域７の結晶欠陥密度のウエハ内でのばらつきに起因し、順電圧降下（V_F）がウエハ内でばらつくことが分かった。これに対して、欠陥領域７の半値幅を広げて、欠陥の数を実質的に変えることなくピーク濃度を低くすることにより、欠陥密度のウエハ内でのばらつきが小さくできることを見出した。

【０００７】

しかし、欠陥領域７の半値幅を広げるためには、飛程の異なる条件で複数回のイオン照射を行うことが必要となり、製造工程が多くなり、製造コストが増大するという問題があった。

【０００８】

そこで、本発明は、製造工程を増やすことなく欠陥領域の半値幅を広げたｐｎ接合ダイオードの製造方法及びその構造を提供することを目的とする。

【０００９】

【課題を解決するための手段】

本発明は、カソード層に欠陥領域を形成するｐｎ接合ダイオードの製造方法であって、ｎ型のカソード層を有する半導体ウエハを準備する準備工程と、該カソード層上にｐ型のアノード層を形成し、該カソード層と該アノード層との界面をｐｎ接合面とするアノード層形成工程と、該アノード層上に、幅ａの絶縁層が、幅ｂの間隔を隔てて形成された絶縁領域を形成する工程と、該半導体ウエハの裏面にカソード電極を形成し、該アノード層の上面にアノード電極を形成する電極形成工程と、該アノード層側からイオンを注入し、該ｐｎ接合面近傍の該カソード層に欠陥領域を形成する欠陥領域形成工程とを含み、該欠陥領域形成工程が、該絶縁領域を介して該イオンを注入することにより、平均投影飛程が互いに異なる第１注入領域と第２注入領域とを隣接するように形成し、該第１注入領域と該第２注入領域とに形成された結晶欠陥の濃度分布を一部において重ねて、略一定の膜厚の欠陥領域を形成する工程を含むことを特徴とするｐｎ接合ダイオードの製造方法である。

かかるｐｎ接合ダイオードの製造方法では、一定の平均投影飛程Ｒｐでイオンを注入して形成した欠陥領域より、欠陥密度分布のピーク濃度が低く半値幅の大きい、一定膜厚の欠陥領域が、１回のイオン注入工程で形成できる。このため、順電圧降下（V_F）のばらつきの小さいｐｎ接合ダイオードの製造工程の簡略化、製造コストの低減が可能となる。

また、かかる絶縁層を用いることにより、１回のイオン注入工程で、欠陥密度分布のピーク濃度が低く半値幅の大きい欠陥領域の形成が可能となる。

【００１０】

上記絶縁層は、それぞれが略平行に設けられたストライプ状の領域からなることが好ましい。

かかる絶縁層を用いることにより、欠陥領域の形成が容易に行える。

【００１１】
上記絶縁層は、上記アノード層上にマトリックス状に配置された、上面が一辺ａの略正方形の領域からなることが好ましい。
かかる絶縁層を用いることにより、欠陥領域の形成が容易に行える。
【００１２】
上記欠陥形成工程は、プロトン及びヘリウムイオンから選択されるイオンを、１回のイオン照射で上記カソード層に注入する工程を含むことが好ましい。
かかるイオンを用いることにより、欠陥領域の形成が容易に行える。
【００１３】
また、本発明は、カソード層に欠陥領域を有するｐｎ接合ダイオードであって、ｎ型のカソード層を有する半導体ウエハと、該カソード層上に形成され、該カソード層との界面がｐｎ接合面となるｐ型のアノード層と、該アノード層上に、幅ａの絶縁層が、幅ｂの間隔を隔てて形成された絶縁領域と、該半導体ウエハの裏面に形成されたカソード電極と、該アノード層の上面に形成されたアノード電極と、該ｐｎ接合面近傍の該カソード層に、該絶縁領域を介して該アノード層側からイオンを注入して形成された略一定の膜厚の欠陥領域とを含み、該欠陥領域が、略一定の平均投影飛程でイオンを注入して形成した欠陥領域より、欠陥密度の半値幅が大きい領域であることを特徴とするｐｎ接合ダイオードである。
かかるｐｎ接合ダイオードでは、サージ電圧による素子破壊を防止し、高速スイッチングが可能となる。また、順電圧降下V_Fのばらつきの小さいｐｎ接合ダイオードを提供できる。
【００１４】
上記欠陥領域は、上記イオンの平均投影飛程Ｒｐが互いに異なる第１注入領域と第２注入領域とを隣接するように交互に形成して、該第１注入領域と該第２注入領域との欠陥密度分布を一部において重ね、欠陥密度の半値幅を略一定とした欠陥領域からなることを特徴とするｐｎ接合ダイオードであることが好ましい。
かかるｐｎ接合ダイオードでは、順電圧降下V_Fのばらつきの小さいｐｎ接合ダイオードを安価に提供できる。
【００１５】
【発明の実施の形態】
実施の形態１．
図１は、本実施の形態にかかる、全体が１００で表されるｐｎ接合ダイオードの断面図である。図１中、図９と同一符号は、同一又は相当箇所を示す。また、図１には、ｐｎ接合ダイオード１００の作製に使用するアブソーバ１８も併せて示す。
【００１６】
図１に示すように、ｐｎ接合トランジスタ１００は、n^+カソード層１、n^-カソード層２、p^-アノード層３の積層構造を有し、n^-カソード層２とp^-アノード層３との接合面がｐｎ接合面４となっている。各層は、シリコンから形成される。p^-アノード層３の上には、アノード電極５が形成され、一方、n^+カソード層１の上には、カソード電極６が形成されている。各電極は、例えばアルミニウムから形成される。
【００１７】
n^-カソード層２の、ｐｎ接合面４近傍には、欠陥領域７が設けられている。従来構造のｐｎ接合ダイオード２００に比較して、欠陥領域７の欠陥密度のピーク値は低くなり、一方、半値幅Ｗは広くなっている。欠陥領域７に含まれる欠陥の総数は、ｐｎ接合ダイオード２００と実質的に同じになっている。半値幅Ｗは、約１５～２０μｍ程度となり、従来の半値幅Ｔの約１０μｍの、１．５～２倍程度となっている。
【００１８】
ｐｎ接合ダイオード１００では、n^-カソード層２のｐｎ接合面４近傍に欠陥領域７を設けることにより、欠陥領域７がライフタイムキラーとして働く。これにより、ｐｎ接合面４を通って、p^-アノード層３からn^-カソード層２に入り込む少数キャリア（正孔）

と結合してこれを消滅させ、サージ電圧による素子破壊を防止し、また、高速スイッチングを可能とする。

　このように、ｐｎ接合ダイオードでは、従来構造に比較して、欠陥領域７が、ピーク濃度が低くかつ半値幅の大きな濃度分布となるため、ウエハ内における欠陥密度のばらつきが小さくなる。このため、ウエハ上に形成された複数のｐｎ接合ダイオード間における順電圧降下V_Fのばらつきを低減できる。

【００１９】

　次に、ｐｎ接合ダイオード１００の製造方法について、簡単に説明する。かかる製造方法は、以下に示す工程１～５を含む。

【００２０】

　工程１：n^+カソード層１、n^-カソード層２からなるシリコンウエハを準備する。シリコンウエハは、例えば直径が５インチとする。

【００２１】

　工程２：ｐ型イオンを全面に注入して、n^-カソード層２の上にp^-アノード層３を形成する。n^-カソード層２とp^-アノード層３との界面が、ｐｎ接合面４となる。

【００２２】

　工程３：p^-アノード層３の上に、アノード電極５を形成し、n^+カソード層１の上に、カソード電極６を形成する。各電極は例えばアルミニウムからなり、蒸着法を用いて形成する。

【００２３】

　工程４：サイクロトロンのようなイオン加速器を用いて、n^-カソード層２へのイオン照射を行う。照射するイオンは、例えばプロトンやヘリウムイオンのような軽イオンとする。イオン照射は、アノード電極５側から、アブソーバ１８を介して行う。

　イオン照射後にアニールを行うことにより、注入された元素がn^-カソード層２から抜け、結晶欠陥からなる欠陥領域７が形成される。

【００２４】

　図２はアブソーバの拡大図であり、（ａ）は上面図、（ｂ）は断面図を示す。アブソーバ１８は、例えばアルミニウムやシリコンからなり、膜厚の厚い厚膜領域１９と膜厚の薄い薄膜領域２０が交互に配置されたストライプ構造となっている。かかるストライプ構造は、膜厚の均一な板をストライプ状に削って形成しても良い。また、膜厚の均一な板上に、ストライプ状の板を固定して形成しても良い。

【００２５】

　図２（ｂ）に示すように、アブソーバ１８の厚膜領域１９の幅をａ、薄膜領域２０の幅をｂとし、また、アブソーバ１８の薄膜領域２０を介して照射されるイオンの平均投影飛程をＲｐとすると、例えば、

$$Rp \geqq a - b \qquad \text{（式１）}$$

となるように、ａ、ｂを設定することが好ましい。具体的には、ａは２０μｍ、ｂは１０μｍとし、Ｒｐは約２０μｍとなる。

　なお、平均投影飛程をＲｐは、アノード層等の半導体層中における、注入イオンの平均飛程をいう。

【００２６】

　図３は、ｐｎ接合ダイオード１００の、キャリア濃度及び結晶欠陥密度のプロファイルを示す。図３中、横軸は、ｐｎ接合ダイオード１００の縦方向の位置を示し、左側がアノード電極５側、右側がカソード電極６側である。また、縦軸は、ｐ型不純物、ｎ型不純物、及び結晶欠陥の濃度を示す。図３中、ｐはｐ型、ｎ型不純物の濃度分布であり、ｑは結晶欠陥の濃度分布である。また、Ｉはp^-アノード層３、IIはn^-カソード層２、IIIはn^+カソード層１を示す。

【００２７】

　図３（ａ）は、図１のＡ－Ａにおける濃度分布であり、ｑ１は、厚膜領域１９を通るイオンにより導入された結晶欠陥の分布を示す。結晶欠陥の半値幅は、Ｗ１である。また、

図３（ｂ）は、図１のＢ－Ｂにおける濃度分布であり、ｑ２は、薄膜領域２０を通るイオンにより導入された結晶欠陥の分布を示す。結晶欠陥の半値幅は、Ｗ２である。

ｑ１の濃度分布のピーク位置は、ｑ２の濃度分布のピーク位置より左側（アノード電極５側）に位置する。また、ｑ１、ｑ２の濃度分布のピーク濃度は、図１０に示す濃度分布ｑのピーク濃度より小さくなっている。

【００２８】

図３（ｃ）は、アブソーバ１８を用いてイオン照射を行った場合に、ｎ$^{-}$カソード層２に導入された結晶欠陥の濃度分布である。

アブソーバ１８を用いてｎ$^{-}$カソード層２に結晶欠陥を導入すると、ｑ１の濃度分布を有する結晶欠陥と、ｑ２の濃度分布を有する結晶欠陥とが、交互に隣接して形成される。ここで、式１の条件に合うようにアブソーバ１８を形成すると、２つの濃度分布ｑ１、ｑ２は、一部において重なり、最終的には、図３（ｃ）に示すような半値幅Ｗの濃度分布ｑとなる。即ち、Ａ－Ａ、Ｂ－Ｂのいずれにおいても、図３（ｃ）に示すような、半値幅がＷの濃度分布ｑを有し、かつ、略一定の膜厚の欠陥領域が得られる。具体的には、半値幅Ｗ１、Ｗ２が１０μｍ、半値幅Ｗが１５～２０μｍとなる。

【００２９】

工程５：ダイシングによりウエハを分割し、複数のｐｎ接合ダイオード１００が得られる。

【００３０】

このように、かかる製造方法では、上述のような構造のアブソーバ１８を用いることにより、１回のイオン照射だけで、半値幅の広い欠陥領域７の形成が可能となる。

【００３１】

図４は、本実施の形態にかかる製造方法に用いる、他のアブソーバ２８の上面図である。図４において、符号２９は厚膜領域、符号３０は薄膜領域である。厚膜領域２９は、マトリックス状に配置された、上面の一辺がａの正方形からなる。また、隣接する厚膜領域２９の間隔は、すべてｂある。

ここで、ａ、ｂ、及び薄膜領域３０を通るイオンの平均投影飛程の間には、上述の式１の関係が成立する。具体的には、ａは２０μｍ、ｂは１０μｍとし、Ｒｐは約２０μｍとなる。

【００３２】

かかるアブソーバ２８を用いて欠陥領域を形成した場合も、アブソーバ１８を用いた場合と同様に、厚膜領域２９では、図３（ａ）に示すような濃度分布ｑ１が得られ、薄膜領域では、図３（ｂ）に示すような濃度分布ｑ２が得られる。この結果、全体では、図３（ｃ）に示すような、欠陥密度の半値幅がＷで、一定の膜厚の欠陥領域が形成される。

【００３３】

なお、アブソーバ２８は、アブソーバ１８と同様に、均一な膜厚の板をエッチングして形成しても良いし、均一な膜厚の板の上に、マトリックス状に正方形の板を固定して形成しても良い。

【００３４】

実施の形態２．

図５は、本実施の形態にかかる、全体が１１０で表されるｐｎ接合ダイオードの断面図である。図５中、図９と同一符号は、同一又は相当箇所を示す。

【００３５】

図５に示すように、ｐｎ接合ダイオード１１０では、アノード電極１５が、略平行に設けられたストライプ状の厚膜領域と薄膜領域とからなる。他の部分の構造は、上述のｐｎ接合ダイオード１００と同一である。

厚膜領域の幅ａ、及び薄膜領域の幅ｂは、薄膜領域を介して注入されるイオンの平均投影飛程をＲｐとすると、ａ、ｂ、Ｒｐの間に、上述の式１の関係が成立するように選択される。

【００３６】

次に、ｐｎ接合ダイオード１１０の製造方法について簡単に説明する。

ｐｎ接合ダイオード１１０の製造工程では、まず、実施の形態１のｐｎ接合ダイオード１００と同様の工程１、２を行う。

続いて、工程３において、上述のような、ストライプ状の厚膜領域と薄膜領域とを有するアノード電極１５を形成する。

【００３７】

続いて、工程４において、アノード電極１５を通して、ｎ$^-$カソード層２中にプロトン等が注入され、欠陥領域が形成される。アノード電極１５の厚膜領域を通るイオンにより導入された結晶欠陥の濃度分布（図５のＡ－Ａにおける欠陥密度分布）は、図３（ａ）のようになる。また、アノード電極１５の薄膜領域を通るイオンにより導入された結晶欠陥の濃度分布（図５のＢ－Ｂにおける欠陥密度分布）は、図３（ｂ）のようになる。

従って、最終的な欠陥領域の欠陥密度の分布は、実施の形態１と同様に、図３の（ａ）の分布と（ｂ）の分布とが重なって形成されるため、図３（ｃ）のような、半値幅がＷで、略一定膜厚の欠陥領域となる。

【００３８】

最後に、工程５を行うことにより、ｐｎ接合ダイオード１１０を得ることができる。

【００３９】

なお、アノード電極１５は、図４に示すアブソーバ２８のように、薄膜領域中に、一辺ａの略正方形の上面を有する厚膜領域を、間隔ｂでマトリックス状に配置した形状でも良い。

【００４０】

このように、本実施の形態にかかるｐｎ接合ダイオード１１０では、サージ電圧による素子破壊を防止し、高速スイッチングが可能となるとともに、ウエハ上に形成された複数のｐｎ接合ダイオード間における順電圧降下V_Fのばらつきを低減できる。

【００４１】

また、本実施の形態にかかる製造方法では、一定の平均投影飛程Ｒｐでイオンを注入して形成した欠陥領域より、欠陥密度分布のピーク濃度が低く半値幅の大きい欠陥領域が、１回のイオン注入工程で形成できる。このため製造工程の簡略化、製造コストの低減が可能となる。

【００４２】

実施の形態３．

図６は、本実施の形態にかかる、全体が１２０で表されるｐｎ接合ダイオードの断面図である。図６中、図９と同一符号は、同一又は相当箇所を示す。

【００４３】

図６に示すように、ｐｎ接合ダイオード１２０では、ｐ$^-$アノード層３上に、ストライプ状の絶縁層９が、略平行に設けられている。絶縁層９は、例えば酸化シリコンや窒化シリコンから形成される。絶縁層９の幅ａ、及び絶縁層９の間隔ｂは、絶縁層９を設けない領域を介して注入されるイオンの平均投影飛程をＲｐとすると、ａ、ｂ、Ｒｐの間に、上述の式１の関係が成立するように選択される。具体的には、幅ａが２０μｍ、間隔ｂが１０μｍ、平均投影飛程Ｒｐが２０μｍとなる。また、絶縁層９の膜厚は１０μｍである。

アノード電極５は、絶縁層９の上に形成されるため、図６に示すような形状となる。

なお、他の部分の構造は、実施の形態１のｐｎ接合ダイオード１００と同一である。

【００４４】

次に、ｐｎ接合ダイオード１２０の製造方法について簡単に説明する。

ｐｎ接合ダイオード１２０の製造工程では、実施の形態１のｐｎ接合ダイオード１００と同様の工程１、２を行う。

【００４５】

続いて、ｐ$^-$アノード電極３の上にストライプ状の絶縁膜９を形成する。絶縁層９は、例えば、ＣＶＤ法で形成した酸化シリコン膜をストライプ状にエッチングして形成する。

【００４６】

続いて、工程３において、絶縁層９を覆うようにアノード電極１５を形成する。アノード電極１５の表面も、ストライプ状となる。

【００４７】

続いて、工程４において、絶縁層９を通して、ｎ$^{-}$カソード層２中にプロトン等が注入され、欠陥領域が形成される。絶縁層９を通るイオンにより導入された結晶欠陥の濃度分布（図６のＡ－Ａにおける欠陥密度分布）は、図３（ａ）のようになる。また、絶縁層９のない領域を通るイオンにより導入された結晶欠陥の濃度分布（図６のＢ－Ｂにおける欠陥密度分布）は、図３（ｂ）のようになる。

従って、最終的な欠陥領域７の欠陥密度の分布は、実施の形態１と同様に、図３の（ａ）の分布と（ｂ）の分布とが重なって形成されるため、図３（ｃ）のような、半値幅がＷで、略一定膜厚の欠陥領域となる。

【００４８】

最後に、工程５を行うことにより、ｐｎ接合ダイオード１２０を得ることができる。

【００４９】

なお、絶縁膜９は、図４に示すアブソーバ２８のように、ｐ$^{-}$アノード層３上に、一辺ａの略正方形の上面を有する絶縁層を、間隔ｂでマトリックス状に配置したものでも良い。

【００５０】

このように、本実施の形態にかかるｐｎ接合ダイオード１２０では、サージ電圧による素子破壊を防止し、高速スイッチングが可能となるとともに、ウエハ上に形成された複数のｐｎ接合ダイオード間における順電圧降下V_Fのばらつきを低減できる。

【００５１】

また、本実施の形態にかかる製造方法では、一定の平均投影飛程Ｒｐでイオンを注入して形成した欠陥領域より、欠陥密度分布のピーク濃度が低く半値幅の大きな欠陥領域が、１回のイオン注入工程で形成できる。このため製造工程の簡略化、製造コストの低減が可能となる。

【００５２】

実施の形態４．

図７は、本実施の形態にかかる、全体が１３０で表されるｐｎ接合ダイオードの断面図である。図７中、図９と同一符号は、同一又は相当箇所を示す。

【００５３】

図７に示すように、ｐｎ接合ダイオード１３０では、ｎ$^{-}$カソード層２の上面（ｐｎ接合面４）に、ストライプ状の溝部１０が、略平行に設けられている。溝部１０は、ｎ$^{-}$カソード層２の上面をエッチングして形成される。溝部１０の間隔ａ、及び溝部１０の幅ｂは、溝部１０を介して注入されるイオンの平均投影飛程をＲｐとすると、ａ、ｂ、Ｒｐの間に、上述の式１の関係が成立するように選択される。具体的には、ａが２０μｍ、ｂが１０μｍ、Ｒｐが２０μｍとなる。また、溝部１０の深さは１０μｍである。

ｐ$^{-}$アノード層３、アノード電極５は、溝部１０を有するｎ$^{-}$カソード層２の上に形成されるため、図７に示すような断面形状となる。

なお、他の部分の構造は、上述のｐｎ接合ダイオード１００と同一である。

【００５４】

次に、ｐｎ接合ダイオード１３０の製造方法について簡単に説明する。

ｐｎ接合ダイオード１３０の製造工程では、実施の形態１の工程１と同様に、ｎ$^{+}$カソード層１、ｎ$^{-}$カソード層２からなるシリコンウエハを準備する。

続いて、一般的なリソグラフィ法、エッチング法を用いて、ｎ$^{-}$カソード層２の上面をストライプ状にエッチングし、複数の溝部１０を略平行に形成する。

【００５５】

次に、実施の形態１の工程２、３と同じ工程を行い、ｐ$^{-}$アノード層３、アノード電極５、及びカソード電極６を形成する。

【００５６】

続いて、工程４において、ｎ$^{-}$カソード層２中にプロトン等が注入され、欠陥領域が形成される。図８は、ｐｎ接合ダイオード１３０の、キャリア濃度及び結晶欠陥密度のプロファイルを示す。図８中、図３と同一符号は、同一又は相当部分を示す。

工程４において、溝部１０を通らないイオンにより導入された結晶欠陥の濃度分布（図７のＡ－Ａにおける欠陥密度分布）は、図８（ａ）のようになる。また、溝部１０を通るイオンにより導入された結晶欠陥の濃度分布（図７のＢ－Ｂにおける欠陥密度分布）は、図８（ｂ）のようになる。

従って、最終的な欠陥領域の欠陥密度の分布は、実施の形態１と同様に、図８の（ａ）の分布と（ｂ）の分布とが重なって形成されるため、半値幅がWで、略一定膜厚の欠陥領域となる。

【００５７】

最後に、工程５を行うことにより、ｐｎ接合ダイオード１３０を得ることができる。

【００５８】

なお、溝部１０に代えて、ｎ$^{-}$カソード層２の表面に、一辺ｂの略正方形の開口部を有する凹部を、間隔ａでマトリックス状に形成しても良い。

【００５９】

このように、本実施の形態にかかるｐｎ接合ダイオード１３０では、サージ電圧による素子破壊を防止し、高速スイッチングが可能となるとともに、ウエハ上に形成された複数のｐｎ接合ダイオード間における順電圧降下V_Fのばらつきを低減できる。

【００６０】

また、本実施の形態にかかる製造方法では、一定の平均投影飛程Ｒｐでイオンを注入して形成した欠陥領域より、欠陥密度分布のピーク濃度が低く半値幅の大きい欠陥領域が、１回のイオン注入工程で形成できる。このため製造工程の簡略化、製造コストの低減が可能となる。

【００６１】

【発明の効果】

以上の説明から明らかなように、請求項１にかかるｐｎ接合ダイオードの製造方法では、一定の平均投影飛程Ｒｐでイオンを注入して形成した欠陥領域より、欠陥密度分布のピーク濃度が低く半値幅の大きい、一定膜厚の欠陥領域が、１回のイオン注入工程で形成できる。このため製造工程の簡略化、製造コストの低減が可能となる。また、絶縁層を用いることにより、欠陥領域の形成が容易に行える。

【００６２】

請求項２にかかる絶縁層を用いることにより、欠陥領域の形成が容易に行える。

【００６３】

請求項３にかかるイオンを用いることにより、欠陥領域の形成が容易に行える。

【００６４】

請求項４にかかるイオンを用いることにより、欠陥領域の形成が容易に行える。

【００６５】

請求項５にかかるｐｎ接合ダイオードでは、サージ電圧による素子破壊を防止し、高速スイッチングが可能となる。また、順電圧降下V_Fのばらつきの小さいｐｎ接合ダイオードを提供できる。

【００６６】

請求項６にかかるｐｎ接合ダイオードでは、順電圧降下V_Fのばらつきの小さいｐｎ接合ダイオードを安価に提供できる。

【図面の簡単な説明】

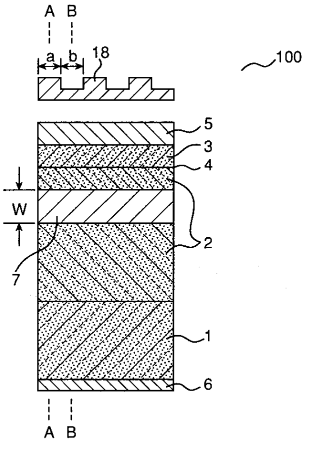
【図１】　本発明の実施の形態１にかかるｐｎ接合ダイオードの断面図である。

【図２】　本発明の実施の形態１にかかるｐｎ接合ダイオードの製造に用いるアブソーバである。

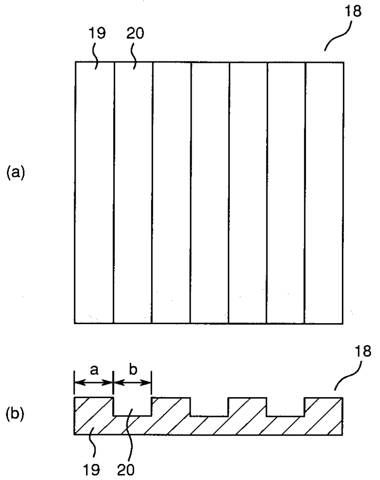
【図３】　本発明の実施の形態１にかかるｐｎ接合ダイオードの不純物濃度の分布及び欠陥密度の分布である。

【図４】　本発明の実施の形態１にかかるｐｎ接合ダイオードの製造に用いる他のアブソーバである。
【図５】　本発明の実施の形態２にかかるｐｎ接合ダイオードの断面図である。
【図６】　本発明の実施の形態３にかかるｐｎ接合ダイオードの断面図である。
【図７】　本発明の実施の形態４にかかるｐｎ接合ダイオードの断面図である。
【図８】　本発明の実施の形態４にかかるｐｎ接合ダイオードの不純物濃度及び欠陥密度の分布である。
【図９】　従来のｐｎ接合ダイオードの断面図である。
【図１０】　従来のｐｎ接合ダイオードの不純物濃度の分布及び欠陥密度の分布である。
【符号の説明】
　１　n^{+}カソード層、２　n^{-}カソード層、３　p^{-}アノード層、４　ｐｎ接合面、５　アノード電極、６　カソード電極、７　欠陥領域、１８　アブソーバ、１００　ｐｎ接合ダイオード。

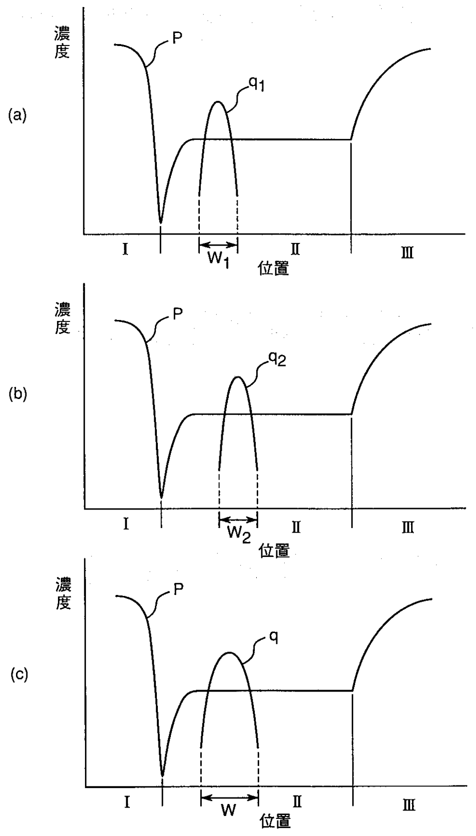
【図１】



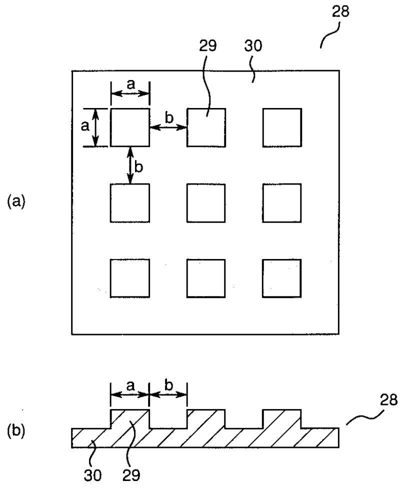
【図２】



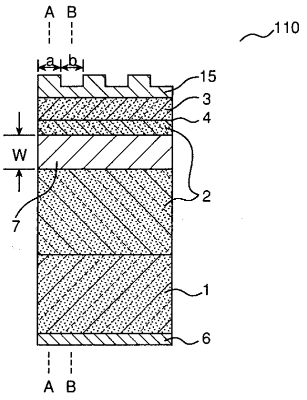
【図３】


濃度
P
q1
(a)
I
W1
II
III
位置
濃度
P
q2
(b)
I
W2
II
III
位置
濃度
P
q
(c)
I
W
II
III
位置

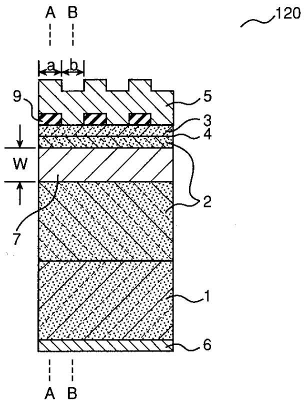
【図４】


28
29
30
a
a
b
b
(a)
a
b
28
(b)
30
29

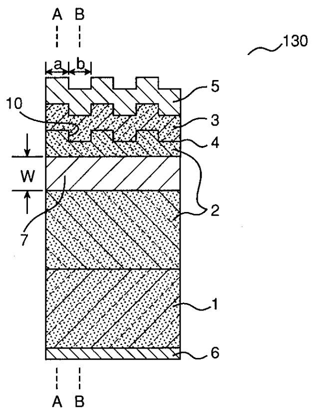
【図５】


A B
110
a b
15
3
4
W
2
7
1
6
A B

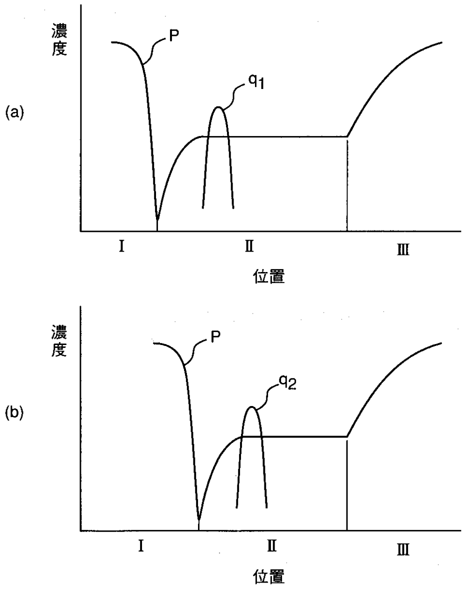
【図６】


A B
120
a b
9
5
3
4
W
2
7
1
6
A B

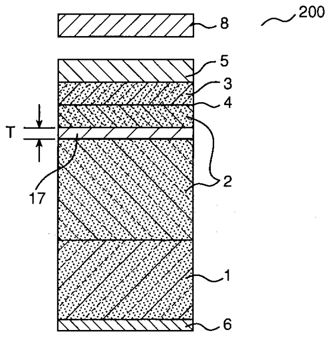
【図７】


A B
a b
130
5
10
3
4
W
2
7
1
6
A B

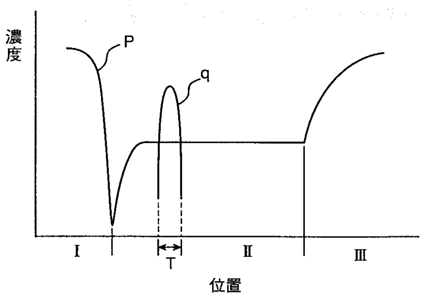
【図８】


濃度
P
q1
(a)
I
II
III
位置
濃度
P
q2
(b)
I
II
III
位置

【図９】


8
200
5
3
4
T
2
17
1
6

【図１０】


濃度
P
q
I
T
II
III
位置

フロントページの続き

審査官　河口　雅英

(56)参考文献　特開平１０－１９９８９４（ＪＰ，Ａ）
特開平１０－２７０４５１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L　21/329
H01L　29/861