

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02006/106577

発行日 平成20年9月11日 (2008. 9. 11)

(43) 国際公開日 平成18年10月12日 (2006. 10. 12)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 16/02 (2006. 01)	G 1 1 C 17/00 6 0 1 T	5 B 1 2 5
G 1 1 C 16/04 (2006. 01)	G 1 1 C 17/00 6 1 1 D	
	G 1 1 C 17/00 6 2 1 Z	

審査請求 有 予備審査請求 未請求 (全 22 頁)

出願番号 特願2007-512381 (P2007-512381)	(71) 出願人 504378124
(21) 国際出願番号 PCT/JP2005/006310	スパンション エルエルシー
(22) 国際出願日 平成17年3月31日 (2005. 3. 31)	アメリカ合衆国 カリフォルニア州 94
(81) 指定国 AP (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW	(71) 出願人 596180124 Spansion Japan株式会社 福島県会津若松市高久工業団地2番
	(74) 代理人 100087480 弁理士 片山 修平
	(74) 代理人 100137615 弁理士 横山 照夫
	(72) 発明者 矢野 勝 福島県会津若松市高久工業団地2番 Spansion Japan株式会社内 最終頁に続く

(54) 【発明の名称】 半導体装置及びその制御方法

(57) 【要約】

本発明の半導体装置は、不揮発性メモリセルアレイと、前記不揮発性メモリセルアレイに書き込みと読み出しを行う書き込み・読み出し回路と、データ入出力回路と、前記書き込み・読み出し回路に接続され第1のデータを保持する第1のラッチ回路と前記データ入出力回路に接続され第2のデータを保持する第2のラッチ回路とを含む揮発性メモリセルアレイとを含む。さらに、半導体装置は、前記第1の書き込みデータ内のプログラムを行うビット数に応じて、前記第1の書き込みデータを反転する反転回路と、前記第1の書き込みデータを前記不揮発性メモリセルに書き込み中に、前記第2の書き込みデータを前記第2のラッチ回路にラッチするように制御する制御回路とを含む。書き込み時間を短縮して回路面積の小さい半導体装置を提供できる。

**【特許請求の範囲】****【請求項 1】**

不揮発性メモリセルアレイと、

前記不揮発性メモリセルアレイに書き込みと読み出しを行う書き込み・読み出し回路と

、

データ入出力回路と、

前記書き込み・読み出し回路に接続され第1のデータを保持する第1のラッチ回路と前記データ入出力回路に接続され第2のデータを保持する第2のラッチ回路とを含む揮発性メモリセルアレイと

を含む半導体装置。

10

**【請求項 2】**

書き込み時、前記第1のデータの内実際に書き込みを行うビット数に応じて、該第1のデータを反転する反転回路をさらに含む請求項1記載の半導体装置。

**【請求項 3】**

前記第1のデータを前記不揮発性メモリセルアレイに書き込み中に、前記第2のデータを前記第2のラッチ回路にロードするよう制御する制御回路をさらに含む請求項1又は請求項2に記載の半導体装置。

**【請求項 4】**

前記第1のラッチ回路及び前記第2のラッチ回路を用いて、前記不揮発性メモリセルアレイから読み出した読み出しデータを前記不揮発性メモリセルアレイの他の領域に書き込むよう制御する制御回路をさらに含む請求項1又は請求項2に記載の半導体装置。

20

**【請求項 5】**

前記第1のラッチ回路及び前記第2のラッチ回路を用いて、前記不揮発性メモリセルアレイから読み出した読み出しデータを外部から入力された書き込みデータによって上書きし、該上書きしたデータを前記不揮発性メモリセルアレイに書き込むよう制御する制御回路をさらに含む請求項1又は請求項2に記載の半導体装置。

**【請求項 6】**

書き込み時、前記第1のデータの内実際に書き込みを行うビット数を検出する検出回路と

、

前記検出回路が検出したビット数を所定のビット数と比較する比較回路と、

前記比較回路の比較結果に応じて、前記第1のデータを反転するかどうかを示すフラグを出力する出力回路とをさらに含む請求項2に記載の半導体装置。

30

**【請求項 7】**

前記不揮発性メモリセルアレイは、書き込み時、前記第1のデータの内実際に書き込みを行うビット数に応じて、該第1のデータを反転して書き込んだか否かを示すフラグを格納する領域を含む請求項2に記載の半導体装置。

**【請求項 8】**

読み出し時、前記第1のデータの内実際に書き込みを行うビット数に応じて該第1のデータを反転して書き込んだか否かを示すフラグに応じて、前記不揮発性メモリセルアレイから読み出したデータを反転する反転回路をさらに含む請求項2に記載の半導体装置。

40

**【請求項 9】**

前記揮発性メモリセルアレイは、前記第1のラッチ回路内のビット線をプリチャージするセンスアンプ回路をさらに含む請求項1に記載の半導体装置。

**【請求項 10】**

前記揮発性メモリセルアレイは、前記第2のラッチ回路内のビット線をプリチャージするセンスアンプ回路をさらに含む請求項1に記載の半導体装置。

**【請求項 11】**

前記揮発性メモリセルアレイに対するデコーダをさらに含む請求項1に記載の半導体装置。

**【請求項 12】**

50

前記揮発性メモリセルアレイは、前記第1のラッチ回路と前記第2のラッチ回路間のデータ転送を制御するスイッチ手段をさらに含む請求項1に記載の半導体装置。

【請求項13】

前記第1のラッチ回路と前記第2のラッチ回路間のデータ転送を行う前に、転送先の前記第1または前記第2のラッチ回路を所定の状態にリセットする請求項12に記載の半導体装置。

【請求項14】

前記揮発性メモリアレイは、前記第1のラッチ回路及び前記第2のラッチ回路をそれぞれ1ページ分持つ請求項1に記載の半導体装置。

【請求項15】

前記揮発性メモリセルアレイは、書き込み時、前記第1のデータの内実際に書き込み行うビット数に応じて、該第1のデータを反転して書き込んだか否かを示すフラグを格納する領域を含む請求項2に記載の半導体装置。

【請求項16】

前記揮発性メモリは、SRAMである請求項1に記載の半導体装置。

【請求項17】

前記不揮発性メモリセルアレイは、SONOS型セルを含む請求項1に記載の半導体装置。

【請求項18】

前記不揮発性メモリセルアレイは、ホットエレクトロン注入現象により書き込みを行うセルを含む請求項1に記載の半導体装置。

【請求項19】

第1のデータを揮発性メモリセルアレイ内の第1のラッチ回路にロードするステップと、前記第1のデータ内の実際に書き込みを行うビット数に応じて、前記第1のデータを反転するステップと、

前記反転させた書き込みデータを不揮発性メモリセルアレイに書き込むステップと、第2のデータを前記揮発性メモリセルアレイ内の第2のラッチ回路にロードするステップと

を含む半導体装置の制御方法。

【請求項20】

書き込み時、前記第1のデータの内実際に書き込みを行うビット数に応じて、該第1のデータを反転するステップをさらに含む請求項19に記載の半導体装置の制御方法。

【請求項21】

前記第1のデータを前記不揮発性メモリセルアレイに書き込み中に、前記第2のデータを前記第2のラッチ回路にロードする請求項19に記載の半導体装置の制御方法。

【請求項22】

前記第1のラッチ回路及び前記第2のラッチ回路を用いて、前記不揮発性メモリセルアレイから読み出した読み出しデータを前記不揮発性メモリセルアレイの他の領域に書き込むステップをさらに含む請求項19に記載の半導体装置の制御方法。

【請求項23】

前記第1のラッチ回路及び前記第2のラッチ回路を用いて、前記不揮発性メモリセルアレイから読み出した読み出しデータを外部から入力された書き込みデータによって上書きし、該上書きしたデータを前記不揮発性メモリセルアレイに書き込むステップをさらに含む請求項19に記載の半導体装置の制御方法。

【請求項24】

前記第1のデータを分割するステップと、

前記分割したデータの内実際に書き込みを行うビット数を検出するステップと、

前記検出したビット数に応じて、前記第1のデータを反転するかどうかを示すフラグを出力するステップとをさらに含む請求項19に記載の半導体装置の制御方法。

【請求項25】

10

20

30

40

50

前記プログラムを行うビット数に応じて前記不揮発性メモリセルアレイから読み出したデータを反転するステップをさらに含む請求項 19 に記載の半導体装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその制御方法に関する。

【背景技術】

【0002】

NANDフラッシュメモリは、ページ単位（例：2kByte）で書き込みと読み出しを一括で行う。書き込みではその1ページ分のデータをI/O端子（16ビット幅）からシリアルにページバッファに入力する。ページバッファには、プログラムデータをラッチしておくためのラッチ回路が1ページ分用意されており、ページバッファへのデータラッチが完了すると、当該メモリセルに対し同時にプログラムを行う。読み出しでは、1ページ分のメモリセルをデバイス内部で同時に読み出して、一括でページバッファの前記ラッチ回路に読み出しデータをラッチする。その後、チップ外部からの制御（/REピンのトグル動作）によりI/O端子からシリアルに読み出しデータの出力が行われる。

10

【0003】

近年、高速書き込みのために、キャッシュプログラムモードが提案されている。これは、ページバッファにラッチされている書き込みデータをメモリセルにプログラムしている最中に、別途設けられた1ページ分のキャッシュラッチ回路に外部から新たな書き込みデータをロードしておき、先のプログラムが完了するやいなや、その新たな書き込みデータをプログラムするというものである。よって、データのロード時間を短縮できる。またさらに、コピーバックモードが提案されている。これは、メモリセルに格納されている1ページ分のデータをページバッファに読み出しおいて、異なるアドレスのページにそのデータを書き込む（コピー）ものである。よって、ページバッファに読み出したデータを外部に出力せずに、内部において自動でコピー動作を行うために、動作時間が短縮できる。

20

【0004】

さらにこのモードは、一旦ページバッファにセルデータを読み出した時点で、外部から新たな書き込みデータを同ページバッファに入力し、結果上書きされた新データを別ページにプログラムする機能も有している（特許文献1）。

30

【0005】

従来のNANDフラッシュメモリは、多結晶シリコンからなるフローティングゲートに電荷を注入して情報を記憶する。コントロールゲートも多結晶シリコンのため、ポリシリコン2層プロセスである。このメモリセルが複数直列に接続されたアレイ構造を有する。書き込みは、セルのコントロールゲートと基板間に高電位を生成してFNトンネル現象で行う。

【0006】

近年、フローティングゲートの代わりに窒化膜に電荷をトラップして情報を記憶するSONOS（semiconductor-oxide-nitride-oxide-semiconductor）構造セルを使用したフラッシュメモリが登場してきている。これは、ポリシリコン1層プロセスで実現できるためコストで有利となっており、また、仮想接地型のアレイ構造をとることでセルの集積度を高めることができる。外部とのインタフェース（I/F）はNOR型フラッシュメモリと同じであり、書き込みはセルのドレインとコントロールゲートに高電圧を印加してホットエレクトロン注入現象により行う（特許文献2）。

40

【0007】

また、高速書き込みのため、入力データの内、データ“0”（書き込み状態）のビット数が所定数よりも多い場合、その入力データを反転させたデータと、それを示すフラグデータをメモリセルに書き込むという技術が、特許文献3及び特許文献4に提案されている。

【0008】

50

【特許文献1】米国特許公報 6,671,204号

【特許文献2】米国特許公報 6,011,725号

【特許文献3】日本国公開特許公報 特開平5-298894号

【特許文献4】日本国公開特許公報 特開昭62-162299号

【非特許文献1】E. Maayan, et al., A 512 Mb NROM flash data storage memory with 8 MB/s data rate, Feb. 2002, Digest of Technical Papers, pp. 100-101.

【発明の開示】

【発明が解決しようとする課題】

【0009】

また近年、このSONOS型セルを有し、NAND・I/Fをもつフラッシュメモリが非特許文献1に紹介されている。これには、1ページ分(ここでは528Byte)のデータをラッチするためのSRAM(Static Random Access Memory)が開示されている。しかし、その具体的な構成や動作については記載がない。また、キャッシュプログラムやコピーバックについても記載がない。

10

【0010】

また、SONOS構造のセルを有するフラッシュメモリや通常のNOR型フラッシュメモリでは、ホットエレクトロン注入により書き込みを行うため、NANDフラッシュメモリに比べ電流消費量が多く、一度にプログラムできるビット数はせいぜい数十ビットと少ないため、プログラムが遅いという問題があった。

【0011】

一方で、従来のNANDフラッシュメモリはFNトンネル書き込みのため、一度に2kByteという多くのセルを同時にプログラムできるが、その分のページバッファ回路を有するため、回路占有率が高いという問題があった。

20

【0012】

そこで、本発明は上記問題点に鑑みてなされたもので、書き込み時間を短縮して回路面積の小さい半導体装置および半導体装置の制御方法を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記課題を解決するために、本発明は、不揮発性メモリセルアレイと、前記不揮発性メモリセルアレイに書き込みと読み出しを行う書き込み・読み出し回路と、データ入出力回路と、前記書き込み・読み出し回路に接続され第1のデータを保持する第1のラッチ回路と前記データ入出力回路に接続され第2のデータを保持する第2のラッチ回路とを含む揮発性メモリセルアレイとを含む半導体装置である。本発明によれば、データを格納するラッチ回路をアレイ構成としたことで、回路面積が縮小できるとともに、キャッシュプログラムまたはコピーバックを実現できる。

30

【0014】

本発明は、書き込み時、前記第1のデータの内実際に書き込みを行うビット数に応じて、該第1のデータを反転する反転回路をさらに含む。本発明によれば、実際にプログラムが行われるビット数を所定数以下に抑えることができるため書き込み時間が短縮できるNAND・I/Fを実現できる。また、回路面積を小さくできる。本発明は、前記第1のデータを前記不揮発性メモリセルアレイに書き込み中に、前記第2のデータを前記第2のラッチ回路にロードするよう制御する制御回路をさらに含む。これにより、キャッシュプログラムを実現できる。本発明は、前記第1のラッチ回路及び前記第2のラッチ回路を用いて、前記不揮発性メモリセルアレイから読み出した読み出しデータを前記不揮発性メモリセルアレイの他の領域に書き込むよう制御する制御回路をさらに含む。これにより、コピーバックを実現できる。

40

【0015】

本発明は、前記第1のラッチ回路及び前記第2のラッチ回路を用いて、前記不揮発性メモリセルアレイから読み出した読み出しデータを外部から入力された書き込みデータによって上書きし、該上書きしたデータを前記不揮発性メモリセルアレイに書き込むよう制御

50

する制御回路をさらに含む。これにより、上書き可能なコピーバックを実現できる。本発明は、書き込み時、前記第1のデータの内実際に書き込みを行うビット数を検出する検出回路と、前記検出回路が検出したビット数を所定のビット数と比較する比較回路と、前記比較回路の比較結果に応じて、前記第1のデータを反転するかどうかを示すフラグを出力する出力回路とをさらに含む。

**【0016】**

前記不揮発性メモリセルアレイは、書き込み時、前記第1のデータの内実際に書き込みを行うビット数に応じて、該第1のデータを反転して書き込んだか否かを示すフラグを格納する領域を含む。本発明は、読み出し時、前記第1のデータの内実際に書き込みを行うビット数に応じて該第1のデータを反転して書き込んだか否かを示すフラグに応じて、前記不揮発性メモリセルアレイから読み出したデータを反転する反転回路をさらに含む。前記揮発性メモリセルアレイは、前記第1のラッチ回路内のビット線をプリチャージするセンスアンプ回路をさらに含む。

10

**【0017】**

前記揮発性メモリセルアレイは、前記第2のラッチ回路内のビット線をプリチャージするセンスアンプ回路をさらに含む。本発明は、前記揮発性メモリセルアレイに対するデコーダをさらに含む。前記揮発性メモリセルアレイは、前記第1のラッチ回路と前記第2のラッチ回路間のデータ転送を制御するスイッチ手段をさらに含む。

**【0018】**

前記第1のラッチ回路と前記第2のラッチ回路間のデータ転送を行う前に、転送先の前記第1または前記第2のラッチ回路を所定の状態にリセットする。前記揮発性メモリアレイは、前記第1のラッチ回路及び前記第2のラッチ回路をそれぞれ1ページ分持つ。前記揮発性メモリセルアレイは、書き込み時、前記第1のデータの内実際に書き込みを行うビット数に応じて、該第1のデータを反転して書き込んだか否かを示すフラグを格納する領域を含む。

20

**【0019】**

前記揮発性メモリはSRAMである。前記不揮発性メモリセルアレイは、SONOS型セルを含む。前記不揮発性メモリセルアレイは、ホットエレクトロン注入現象により書き込みを行うセルを含む。これにより、ホットエレクトロン注入現象を利用する、一度にプログラムできるビット数が少ないメモリであっても、書き込み時間を短縮できる。

30

**【0020】**

本発明は、第1のデータを揮発性メモリセルアレイ内の第1のラッチ回路にロードするステップと、前記第1のデータ内の実際に書き込みを行うビット数に応じて、前記第1のデータを反転するステップと、前記反転させた書き込みデータを不揮発性メモリセルアレイに書き込むステップと、第2のデータを前記揮発性メモリセルアレイ内の第2のラッチ回路にロードするステップとを含む半導体装置の制御方法である。本発明によれば、データを格納するラッチ回路をアレイ構成としたことで、回路面積が縮小できるとともに、キャッシュプログラムまたはコピーバックを実現できる。

**【0021】**

本発明の半導体装置の制御方法は、書き込み時、前記第1のデータの内実際に書き込みを行うビット数に応じて、該第1のデータを反転するステップをさらに含む。本発明によれば、実際にプログラムが行われるビット数を所定数以下に抑えることができるため書き込み時間が短縮できるNAND・I/Oを実現できる。また、回路面積を小さくできる。

40

**【0022】**

前記第1のデータを前記不揮発性メモリセルアレイに書き込み中に、前記第2のデータを前記第2のラッチ回路にロードする。これにより、キャッシュプログラムを実現できる。本発明の半導体装置の制御方法は、前記第1のラッチ回路及び前記第2のラッチ回路を用いて、前記不揮発性メモリセルアレイから読み出した読み出しデータを前記不揮発性メモリセルアレイの他の領域に書き込むステップをさらに含む。これにより、コピーバックを実現できる。

50

## 【 0 0 2 3 】

本発明の半導体装置の制御方法は、前記第1のラッチ回路及び前記第のラッチ回路を用いて、前記不揮発性メモリセルアレイから読み出した読み出しデータを外部から入力された書き込みデータによって上書きし、該上書きしたデータを前記不揮発性メモリセルアレイに書き込むステップをさらに含む。これにより、上書き可能なコピーバックを実現できる。本発明の半導体装置の制御方法は、前記第1のデータを分割するステップと、前記分割したデータの内実際に書き込みを行うビット数を検出するステップと、前記検出したビット数に応じて、前記第1のデータを反転するかどうかを示すフラグを出力するステップとをさらに含む。本発明の半導体装置の制御方法は、前記プログラムを行うビット数に応じて前記不揮発性メモリセルアレイから読み出したデータを反転するステップをさらに含む。

10

## 【発明の効果】

## 【 0 0 2 4 】

本発明によれば、書き込み時間を短縮して回路面積の小さい半導体装置および半導体装置の制御方法を提供することができる。

## 【図面の簡単な説明】

## 【 0 0 2 5 】

【図1】フラッシュメモリのブロック図である。

【図2】本発明に関するブロック図である。

【図3】SRAMアレイ40内のキャッシュラッチ回路41とメインラッチ回路42を示す図である。

20

【図4】WRセンスアンプブロック30内の1bit分の回路ブロックを示す図である。

【図5】WRラッチ回路31を示す図である。

【図6】DMビット線チャージブロック50の回路構成を示す図である。

【図7】DCビット線チャージブロック60のキャッシュラッチ回路のセンスアンプ回路図である。

【図8】IO\_SA(15:0)回路80を示す図である。

【図9】ビットディテクタ90を示す図である。

【図10】キャッシュラッチ回路41とメインラッチ回路42の動作を示したものである。

30

【図11】キャッシュラッチ回路41とメインラッチ回路42の動作を示したものである。

## 【発明を実施するための最良の形態】

## 【 0 0 2 6 】

以下、添付の図面を参照して本発明の実施例を説明する。ここでは、SONOS型メモリセルからなるNAND・I/Fをもつフラッシュメモリについて説明する。以下、SONOS型に限らず、例えばFG型のセルアレイでも同じことが言える。

## 【 0 0 2 7 】

図1は、フラッシュメモリのブロック図である。図1に示すように、フラッシュメモリ1は、メモリセルアレイ2、ステートマシン・高電圧発生回路3、コマンドレジスタ4、アドレスレジスタ・デコーダ5、グローバルバッファ6、Xデコーダ7、データレジスタ・センスアンプ8、キャッシュレジスタ9、Yデコーダ10、I/Oバッファ・ラッチ回路11および入出力ドライバ12を備える。

40

## 【 0 0 2 8 】

メモリセルアレイ2はマトリクス状に配列された複数のワードラインWL及び複数のビット線BLに沿って書換え可能な不揮発性のメモリセルが配設されている。メモリセルはホットエレクトロン注入現象により書き込みを行うセルである。本実施例では不揮発性メモリセルとしてSONOS型セルを用いる。ステートマシン3は、各制御信号に应答してデバイス内部の各回路の動作を制御するものである。高電圧発生回路3は、デバイス内部で用いられる高電圧を発生するものである。デバイス内部で用いられる高電圧には、デー

50

タ書込み用の高電圧、データ消去用の高電圧、データ読み出し用の高電圧、データ書込み時/消去時にメモリセルに対して十分に書き込み/消去が行われているかどうかをチェックするのに用いられるベリファイ用の高電圧等が含まれる。

**【0029】**

コマンドレジスタ4は、グローバルバッファ6を通して入力された動作コマンドを一時格納しておくためのものである。アドレスレジスタ及びデコーダ5は、入力されたアドレス信号を一時格納しておくためのものである。

**【0030】**

データレジスタ・センスアンプ8は、後述する図2のWRセンスアンプブロック30、SRAMアレイ40に対応する。キャッシュレジスタ9は、後述するSRAMアレイ40に対応する。Yデコーダ10は、後述するYsel72に対応する。I/Oバッファ・ラッチ回路11は、I/O端子に対応する各種信号又はデータを制御するものである。入出力ドライバ12は、外部へ出力するデータ、内部へ入力するデータを制御する。

**【0031】**

図2は、本発明に関するブロック図である。コアアレイ2は、1ページ分の領域として、通常メモリ領域(Regular)、リファレンスメモリ領域(Ref)、スペア領域(Spare)、インディケータビット領域(IB:Indicator Bit)を含む。ここで、インディケータビットは、書き込み時、第1のデータの内に実際に書き込み行うビット数に応じて、第1のデータを反転して書き込んだか否かを示すフラグである。リファレンスメモリ領域はセンス時の比較電流を生成するセルを含む。スペア領域はファイル管理データなどの格納するセルを含む。これら数ページからなるブロックが消去単位を構成し、このブロックがさらに複数形成される(不図示)。

**【0032】**

Ysel\_Core20は、ビット線を介してコアアレイ2に接続され、1ページデータのうち所定のビット単位を選択する回路である。ここで、所定ビット単位は例えば536bitであり、これを内部アクセスウィンドウと呼ぶことにする。536ビットは、通常メモリ領域に512ビット、インディケータビット領域に4ビット、スペア領域に16ビット、リファレンス領域に4ビットが割り当てられている。WRセンスアンプブロック30は、メモリセルアレイ2に書き込みと読み出しを行う書き込み・読み出し回路を含み、配線DATABと接続されており、データを読むときに用いるセンスアンプ、プログラムするときにデータをラッチしておくWRラッチ、WRラッチにラッチされたデータをもとに配線DETABをチャージするWRバッファなどの回路を含む。

**【0033】**

SRAMアレイ40は、揮発性メモリセルアレイであり、WRセンスアンプブロック30に接続され第1のデータを保持するメインラッチ回路42とIO\_SA(15:0)回路80に接続され第2のデータを保持するキャッシュラッチ回路41とを含む。キャッシュラッチ回路41とメインラッチ回路42は、SRAMのセル構成からなる。SRAMアレイ40は、キャッシュラッチ回路41とメインラッチ回路42とがそれぞれ1ページ分用意され、アレイ状に配列している。ここにおいても、コアアレイ2に対応して通常メモリ領域(Regular)、リファレンスメモリ領域(Ref)、スペア領域(Spare)、インディケータビット領域(IB)が設けられる。SRAMアレイ40は、DMビット線チャージブロック50及びDCビット線チャージブロック60をさらに含む。Xdec70とYdec71/Ysel72はSRAMアレイ40のデコーダである。

**【0034】**

キャッシュラッチ回路41/メインラッチ回路42は、横方向に内部アクセスウィンドウ分並んでいる。内部アクセスウィンドウ分のキャッシュラッチ回路41のうち外部I/Oパス幅(16bit)だけ選択してS/A(15:0)80と接続させる。

**【0035】**

DMビット線チャージブロック50は、メインラッチ回路42内のビット線をプリチャージするセンスアンプ回路を含み、メインラッチ回路42のビット線DMをプリチャージ

、データをセンスしたりし、またWRセンスアンプブロック30とSRAMアレイ40間のデータ転送を制御する回路である。WRセンスアンプブロック30は、詳細は後述するが、ライト用とリード用のデータラッチ回路であるWRラッチ回路31、カスコードアンプ32、差動増幅型センスアンプ33、ライトアンプ回路34を含む(図4)。WRセンスアンプブロック30は、配線RAMDATによってDMビット線チャージブロック50に接続され、Y-select\_core20を介してコアアレイ2に接続している。

#### 【0036】

ビットディテクタ90は、配線RAMDAT上のデータで“0”のもの(外部から入力されたプログラムデータ)がいくつあるかを数える回路であり、その結果をもとにWRセンスアンプブロック30を制御する。DCビット線チャージブロック60は、キャッシュラッチ回路41のビット線DCをプリチャージしたりセンスしたりするセンスアンプ回路を含み、Y-select72に接続している。IO\_SA(15:0)回路80は、データ入出力回路であり、キャッシュラッチ回路41からY-select72によって選択されたデータを増幅して外部I/O端子に接続したり、逆に、外部I/O端子からの入力データを増幅してY-select72に接続したりする。

10

#### 【0037】

次に、各回路の構成を説明する。図3は、SRAMアレイ40内のキャッシュラッチ回路41とメインラッチ回路42を示す図である。図3に示すように、キャッシュラッチ回路41は、NMOSトランジスタ411及び412、インバータ413及び414を含む。メインラッチ回路42は、NMOSトランジスタ421及び422、インバータ423及び424を含む。キャッシュラッチ回路41とメインラッチ回路42はそれぞれワード線WLCとWLMにより選択される。キャッシュラッチ回路41のビット線及びその相補ビット線をDC及びDCB、メインラッチ回路42のビット線およびその相補ビット線をDM及びDMBと呼ぶことにする。キャッシュラッチ用のワード線WLCを一本選ぶと横方向に配列している複数のキャッシュラッチ回路41が同時に選択される。メインラッチ用のワード線WLMを一本選ぶと同様に複数のメインラッチ回路42が同時に選択される。

20

#### 【0038】

キャッシュラッチ回路41とメインラッチ回路42は、転送トランジスタ43によりそれぞれのラッチ回路間が繋がれており、信号TRがHighになると、一方から他方のラッチ回路にデータが転送される。転送トランジスタ(スイッチ手段)43により、キャッシュラッチ回路41とメインラッチ回路42間のデータ転送を制御する。信号RSTMと信号RSTCにより、それぞれのラッチ回路は所定の状態にリセットされる。具体的には、転送トランジスタ43はNMOSトランジスタから構成され、それに接続される側のノードA及びBをHighにリセットする。データ転送の際は、事前にこのリセット動作が行われる。例えば、リセットの後、メインラッチ回路42のノードAにビット線DMからLowが入力されたとする。その後、信号TRがHighになると、HighにリセットされているノードBは、LowにセットされたノードAに対してプルダウンし、その電位はLowに変わる。言い換えれば、ノードAのデータがノードBに転送されたことになる。一方、リセットの後、ノードAにHighが入力されたとする。このときは、ノードBは元々Highにリセットされているので、転送動作の後もこのHighを保つことになる。キャッシュラッチ回路41とメインラッチ回路42のセットは、横方向に内部アクセスウインドウ配置され、縦方向にk行(たとえば32行)配置されて計1ページ分(2kByte)設けられている。

30

40

#### 【0039】

外部I/Fとしては、書き込み、読み出し共に1ページ単位で行われるが、内部の動作としては、書き込み時には内部アクセスウインドウ単位で分割し、後述するライトアンプ回路34(図4)にデータをセットして書き込み電圧を印加する。1ページ分のセルに対して、ライトアンプ回路34へのセットは連続的にk回(たとえば32回)行う。読み出し時には後述するカスコードアンプ32及びディファレンシャルアンプ33によって内部

50

アクセスウィンドウ単位でセンスされたデータを連続的に(k回)SRAMアレイ40にセットする。

【0040】

図4は、WRセンスアンプブロック30内の1bit分の回路ブロックを示す図である。図4に示すように、WRセンスアンプブロック30は、WRラッチ回路31、カスコードアンプ32およびディファレンシャルセンスアンプ33を含む。WRセンスアンプブロック30は、内部アクセスウィンドウ分設けられて、Y-select\_core20によって1ページ内の所定のセル(たとえば536bit)に接続される。セルアレイ2は隣接するセルのソースまたはドレインとなる拡散層が共有された仮想接地型構造である。セルアレイ2は、配線DATABを介してカスコードアンプ32に接続される。カスコードアンプ32は、セル電流を電圧に変換する電流電圧変換回路である。ディファレンシャルアンプ33は、通常セルの電流とリファレンスセルの電流をそれぞれカスコードアンプ32によって変換された電圧を比較、増幅するセンスアンプである。WRラッチ回路31は、配線RAMDATに接続され、リード時にセンス結果をラッチするとともに、書き込み時に書き込みデータをラッチする。

10

【0041】

図5はWRラッチ回路31を示す図である。WRラッチ回路31は、反転回路310及び320、電氣的に接続・分離するトランスファークゲート330及び331、NMOSトランジスタ336乃至340、PMOSトランジスタ332乃至335、インバータ341を含む。反転回路310は、読み出し時、インディケータビットに応じて、メモリセルアレイ2から読み出したデータを反転する回路であり、トランスファークゲート311、PMOSトランジスタ312及びNMOSトランジスタ313を含む。読み出し時、センスアンプ回路の出力が端子DSIn\_iwから送られてきて、インディケータビットの情報によって、信号INDS\_w及びINDSB\_wが動いてデータを反転する場合にはデータを反転して、ラッチ回路PDIN、PDINBn\_iwにデータをセットする。

20

【0042】

反転回路320は、書き込み時、メインラッチ回路42に保持された第1のデータの内実際に書き込みを行うビット数に応じて、第1のデータを反転する回路であり、トランスファークゲート321、PMOSトランジスタ322及びNMOSトランジスタ323を含む。書き込み時、書き込みデータが端子RAMDATn\_iwから入力され、インディケータビットの情報によって信号INDC\_w、INDCB\_wが動いてデータを反転する場合にはデータを反転し、ラッチ回路PDIN、PDINBn\_iwにデータをセットし、配線RAMDATから出力される。配線RAMDATは、DMビット線チャージ/メインラッチ回路のセンスアンプ回路につながっている。信号WTw及び信号WTBwをアクティブにすることにより配線RAMDATにつながり、そこからSRAMアレイ40に送られる。

30

【0043】

ノードPDINBはライトアンプ回路34を制御し、ラッチデータに応じてそのライトアンプ回路34を活性化し、セルのドレインに書き込み電圧を印加する。例えば、ノードPDINBにHighがラッチされている状態が書き込みを示す状態であり、当該ライトアンプ回路34から配線DATABに高電圧を出力させ、ホットエレクトロン注入によりセルにプログラムする。

40

【0044】

そして、書き込み電圧印加後につづいて行われるベリファイにおいて、センスデータが配線DSIを介してノードPDINBに入力される。セルが“0”に正常にプログラムされていれば、HighのベリファイデータがPDINにラッチされる。書き込み対象のすべてのセルのデータが“0”に正常に書き込まれると、すべてのノードPDINBがHighからLowにラッチが反転する。すると、ノードMATCHPはHighとなり、ベリファイはパスしたことを示し、プログラムは終了する。ここで、MATCHPはVCCにプルアップされたノードであり、WiredOR接続された複数のNチャネルトランジ

50

スタがそこに構成されている。INDS及びINDC等の信号については後述する。

【0045】

図6は、DMビット線チャージブロック50の回路構成を示す図である。DBビット線チャージブロック50は、図6に示すように、ディファレンシャルセンスアンプ33によるセンスデータをSRAMアレイ40に送るか、逆にSRAMアレイ40のデータをライトアンプ回路34に送るかの転送制御機能と、ディファレンシャルセンスアンプ33によるセンスデータの増幅機能、またメインラッチ回路42のデータを増幅する機能(つまりメインラッチ回路のセンスアンプ)を有している。

【0046】

このDMビット線チャージブロック50は、NMOSトランジスタ501乃至506、PMOSトランジスタ507乃至512、インバータ513及び514を含む。左半分はSRAMアレイ40のメインラッチ回路42のセンスアンプである。センスに先立ち、メインラッチ回路42のビット線をプリチャージする構成となっている。

【0047】

書き込み時は、SRAMアレイ40のメインラッチ回路42に保持された書き込みデータが内部アクセス単位毎にDMビット線チャージブロック50を介して配線RAMDATに出力され、書き込みデータは図5で示したWRラッチ回路31のノードPDINBにラッチされる。読み出し時、信号RDMBによりビット線をプリチャージして、ノードDM、DMBをVCCにしておき、信号WTPをHighにして、ノードRAMDATから入力されたセンスデータによってメインラッチ回路42のビット線DM及びDMBを駆動し、SRAMアレイ40のメインラッチ回路42にデータをセットする。信号NRSTN及びPRSTMは、SRAMアレイ40内のデータを強制的にリセットするための信号である。

【0048】

図7はDCビット線チャージブロック60のキャッシュラッチ回路のセンスアンプ回路図である。図7に示すように、DCビット線チャージブロック60のセンスアンプ回路61は、NMOSトランジスタ601及び602、PMOSトランジスタ603乃至606を含む。信号RDCRBによりビット線をプリチャージする。信号NRSTC及びPRSTCによってSRAMアレイ40内のデータを強制的にリセットするための信号である。書き込み時、外部からYsel72を介して入力される書き込みデータを増幅し、キャッシュラッチ回路41に送られる。逆に、読み出し時、キャッシュラッチ回路41のデータを増幅して、Ysel72を介して外部に送られる。

【0049】

このように、キャッシュラッチ回路41とメインラッチ回路42を介するデータの転送経路は、外部からのデータはキャッシュラッチ回路41にセットされ、キャッシュラッチ回路41からメインラッチ回路42に転送されてコアに書き込まれ、逆に、コアのデータはメインラッチ回路42にセットされ、メインラッチ回路42からキャッシュラッチ回路41に転送されて外部に出力されるという、直列型となっている。この構成により、特許文献1の多値用ページバッファを使う回路よりも回路規模を小さくできる。

【0050】

図8はIO\_SA(15:0)回路80を示す図である。図8に示すように、IO\_SA(15:0)回路80は、PMOSトランジスタ801乃至804、NMOSトランジスタ805乃至808、インバータ809、810を含む。読み出し時、ノードSn及びSbnに現れたデータは、増幅されてインバータを介してノードDSInから外部に出力される。書き込み時、信号WTMをHighにして、ノードDICnから入力された書き込みデータによってノードSn及びSbnを駆動する。

【0051】

図9はビットディテクタ90を示す図である。図9に示すように、ビットディテクタ90は、MUX91、書き込み時、キャッシュラッチ回路42に保持された第1のデータの内実際に書き込みを行うビット数を検出する加算器92、加算器92が検出したビット数

10

20

30

40

50

を所定のビット数と比較する比較部 9 3 及び比較部 9 3 の比較結果に応じて、第 1 のデータを反転するかどうかを示すフラグを出力する出力部 9 4 を含む。ビットディテクタ 9 0 は、内部アクセスウインドウ中の、通常メモリ領域に対するレギュラーデータ ( 5 1 2 b i t ) に対応する R A M D A T 上の “ 0 ” データの数を検出する回路である。書き込み電圧の印加は、消費電流を削減するため、内部アクセスウインドウをたとえば 4 分割し、レギュラーデータとして 1 2 8 b i t )、インディケータビットとして 1 ビット、スペアデータとして 4 ビット、リファレンスデータとして 1 ビットの計 1 3 4 ビットを一つの内部書き込みウインドウとして実行される。このうち、レギュラーデータにおける書き込みデータ (メインラッチ回路 4 2 に格納されている外部から入力された実データ) の数が 6 4 b i t より多ければ、1 2 8 b i t の信号をすべて反転後にコアに書き込むとともに、インディケータビット I B にフラグを立ててこれも同時に書き込む。ここでは簡単のため、スペアデータに対してはこの反転、非反転動作は行わないが、すべてのデータをビットディテクタ 9 0 の計算対象として、同様の書き込み動作を実行してもよい。

10

20

30

40

50

#### 【 0 0 5 2 】

例えば、書き込み時、レギュラーデータである 1 2 8 b i t のメインラッチ回路 4 2 中、データ “ 0 ” が 7 0 b i t 分セットされているとすると、7 0 本の R A M D A T に L ( “ 0 ” ) が現れる。この数を加算器 9 2 が数え、比較部 9 3 において 6 4 より多いかどうかを計算する。この例では 6 4 より多いために、比較部 9 3 の出力 I N D C は H i g h、I N D C B は L o w となり、配線 R A M D A T の 7 0 個のデータ “ 0 ” は図 5 の W R ラッチ回路 3 1 内の反転回路 3 2 0 において反転されてノード P D I N B に L o w がセットされ、当該ビットに対してはプログラムしないことになる。

#### 【 0 0 5 3 】

一方、残りの配線 R A M D A T の 5 8 個のデータ “ 1 ” は同様に W R ラッチ回路 3 1 においてデータ反転され、ノード P D I N B には H i g h がセットされ、当該ビットに対してはプログラムすることになる。また同時に、インディケータビット I B 用の W R ラッチ回路 3 1 内のノード P D I N B には H i g h がセットされる。結果、W R ラッチ回路 3 1 には 5 8 b i t ( = 1 2 8 - 6 4 ) + 1 b i t 分の書き込み状態と、最大で 4 ビットのスペアデータ、1 ビットのリファレンスデータの書き込み状態がセットされたことになる。このように、実際にプログラムが行われるビット数は最大で 6 9 ( = 6 4 + 4 + 1 ) となるため、書き込み時間、書き込み電流が削減できる。インディケータビット I B は 1 ページ中 4 つ設けられている。これは、書き込みパルスを印加する単位 (書き込みウインドウ) を 4 分割したためである。

#### 【 0 0 5 4 】

同様に、読み出し時は、1 ページ分のセルデータのうち、まず、内部アクセスウインドウ単位のセルデータがセンスされて、データ D S I として W R センスアンプブロック回路 3 0 に出力される。これは当然ながら、実際にセルに書かれているデータである。このとき、インディケータビット I B も同時にセンスされる。4 分割した内の一のインディケータビット I B において、そのデータ D S I \_ I B が H i g h、つまり、当該書き込みウインドウに書き込みを行ったときに、レギュラーデータにおける “ 0 ” データ数が 6 4 を超えていて、反転データを書き込んでいることを示す場合、ビットディテクタ 9 0 の出力部 9 4 の出力 I D N S が H i g h なり、W R ラッチ回路 3 1 の反転回路 3 1 0 が D S I に現れているセンスデータを反転して、元のデータ (外部から入力された書き込みデータ) に戻して配線 R A M D A T に出力する。

#### 【 0 0 5 5 】

もし、インディケータビット I B のデータが L o w であれば、I N D S が L o w となり、D S I のデータは反転されずにそのまま配線 R A M D A T に出力する。これを、4 分割した書き込みウインドウ毎に順に行って、一の内部アクセスウインドウに対する反転処理後のすべてのデータが配線 R A M D A T に出力されることになる。配線 R A M D A T に現れたデータは S R A M アレイ 4 0 に転送され、これを 3 2 回行うことで、S R A M アレイ 4 0 のメインラッチ回路 4 2 への 1 ページ分の読み出しデータのセットが完了する。この

ように、ビットディテクタ90は内部アクセスウインドウ分ではなく、書き込みウインドウ分のデータを検出できれば良い。

【0056】

次に、書き込み動作について説明する。まず、外部から1ページ分の書き込みデータが、IO\_S/A(0:15)80、Y\_sel72、DCビット線チャージブロック60を介し配線DCを伝わってシリアルにSRAMアレイ40内のキャッシュラッチ回路41に書き込まれる。次に、転送トランジスタ43を介してメインラッチ回路42に全データが転送される。これは、動作の安定化のために複数の信号TRを設けて分割して転送させても良い。

【0057】

次に、内部アクセス単位毎にメインラッチ回路42がアクセスされ、配線DMを伝わってその分のラッチデータがDMビット線チャージ/メインラッチ回路42のセンスアンプ回路からRAMDATに出力される。するとビットディテクタ90が"0"データの数を数え、レギュラデータにおける書き込みデータの数が64bitより多ければ、128bitの信号をすべて反転後にコアに書き込むとともに、インディケータビットIBにフラグを立ててこれも同時に書き込む。

【0058】

次に、読み出し動作について説明する。前記のようにセンス後、ビットディテクタ90の制御を介して配線DMを伝わってメインラッチ回路42に1ページ分のデータセットが完了する。すると、転送トランジスタ43によってキャッシュラッチ回路41に全データが転送される。次に、配線DCを伝わってDCビット線チャージブロック60、Y\_sel72、IO\_S/A(0:15)80を介してDSI(15:0)から外部に読み出される。これは、16ビット毎に/RE制御信号によるトグル動作によりシリアルに出力される。

【0059】

次に、キャッシュプログラムについて説明する。ステートマシン3は、キャッシュプログラムにおいて、メインラッチ回路42に保持された第1のデータをメモリセルアレイ2に書き込み中に、外部から入力された第2のデータをキャッシュラッチ回路41にロードするよう制御を行う。具体的には、外部から1ページ分の書き込みデータが入力されてセルに書き込みを行っている間は、メインラッチ回路42のデータを使用しているが、信号TRはLowのため、キャッシュラッチ回路41は分離されて未使用状態にある。よって、その最中に別のプログラムを行うためのデータロードをキャッシュラッチ回路41に行うことができる。このようにして次データのロードが完了し、先のプログラムも完了すると、信号TRがHighとなってメインラッチ回路42にデータ転送され、次のプログラムがスタートする。

【0060】

図10は、キャッシュラッチ回路41とメインラッチ回路42の動作を示したものである。図10のA及びBは、図3に示すノードA及びBに対応する。プログラムコマンドが入力されると、キャッシュラッチ回路41及びメインラッチ回路42をリセットする(S21)。80hはプログラムエンリーコマンドで、続いて1stページアドレスと1stプログラムデータがシーケンシャルに入力される(S11、S12)。1stプログラムデータをキャッシュラッチ回路41にロードする(S22)。続いて、キャッシュプログラムすることを示す15hコマンドを入力する。するとRD/BYがLow(ビジー状態)となり(S13)、1stプログラムデータがキャッシュラッチ回路41からメインラッチ回路42に転送される(S23)。キャッシュラッチ回路41をリセットする(S24)。

【0061】

RD/BYがHighに戻ると(レディ状態、S14)、1stプログラムデータの内部での書き込みが開始されるとともに、次データ(2ndプログラムデータ)、2ndページアドレスが入力可能となる(S15、S16)。キャッシュラッチ回路41に2nd

10

20

30

40

50

プログラムデータをロードする(S25)。先の1stプログラムが終了していれば、メインラッチ回路42をリセットする(S26)。RD/BYがLow(ビジー状態)となり(S17)、2ndプログラムデータがキャッシュラッチ回路41からメインラッチ回路42に転送される(S27)。2ndプログラムがスタートし、キャッシュラッチ回路41をリセットする(S28)。同様にして、3rdプログラム、4thプログラムを行い、4thプログラムが最後であれば、15hの代わりに10hコマンドを入力して終了する。

#### 【0062】

次にコピーバックについて説明する。図11は、キャッシュラッチ回路41とメインラッチ回路42の動作を示したものである。ステートマシン3は、キャッシュラッチ回路41及びメインラッチ回路42を用いて、メモリセルアレイ2から読み出した読み出しデータを外部から入力された書き込みデータによって上書きし、該上書きしたデータをメモリセルアレイ2に書き込むよう制御を行う。具体的には、まず、リードコマンド10hと、コピー元のページアドレス(Source address)が入力される(S31)。キャッシュラッチ回路41及びメインラッチ回路42をリセットする(S41)。続けてコマンド35hを入力すると(S32)、Source addressの1ページ分のセルが内部で読み出されてメインラッチ回路42に書き込まれる(S42)。このとき、前述のように、ビットディテクタ90の制御によって反転前のデータ(反転していなければそのまま)がメインラッチ回路42に書き込まれる。続けて、メインラッチ回路42に書き込まれたデータはキャッシュラッチ回路41に転送される(S43)。メインラッチ回路42をリセットする(S44)。

10

20

#### 【0063】

それまでの期間はRD/BYはLowであり、すべての転送が終わってRD/BY信号がHighに戻ると(S33)、コピー先のページアドレス(destination address)を入力する。このとき、もし、元のデータに変更を加えたいとき(上書き)は、アドレス入力につづけて外部から上書きデータを入力する(S34)。従ってこのとき、先ほどキャッシュラッチ回路41にセットされたデータに変更を加えるビットがあった場合には、外部からのデータが上書きされる(S45)。それが終了すると、信号TRをHighにすることで、キャッシュラッチ回路41内のデータがメインラッチ回路42に転送される(S46)。

30

#### 【0064】

プログラムコマンドの10hを入力することで(S35)、メインラッチ回路42からWRラッチ回路31にデータを転送し(S47)、新しいページアドレスにプログラム(コピー)が行われる。元のデータに変更を加えないときは、destination address入力に続けてプログラムコマンド10hを入力し、単純なコピープログラムが行われる。

#### 【0065】

上述では上書き可能なコピーバックについて説明したが、上書きを行わないコピーバックを行うこともできる。この場合、ステートマシン3は、キャッシュラッチ回路41及びメインラッチ回路42を用いて、メモリセルアレイ2から読み出した読み出しデータをメモリセルアレイ2の他の領域に書き込むよう制御を行う。

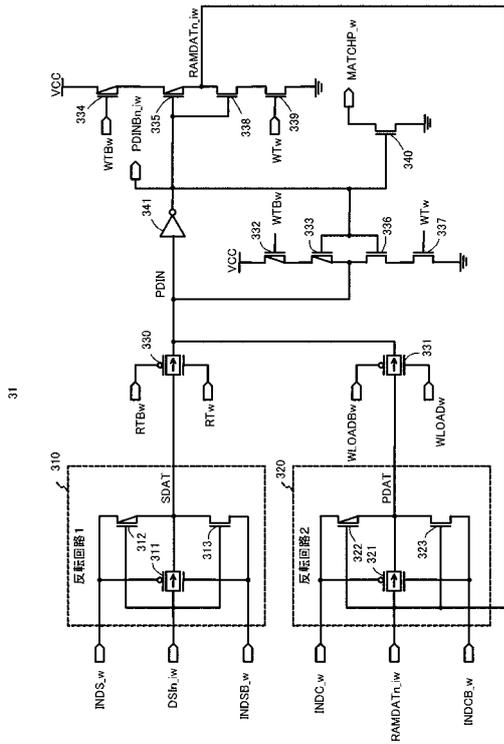
40

#### 【0066】

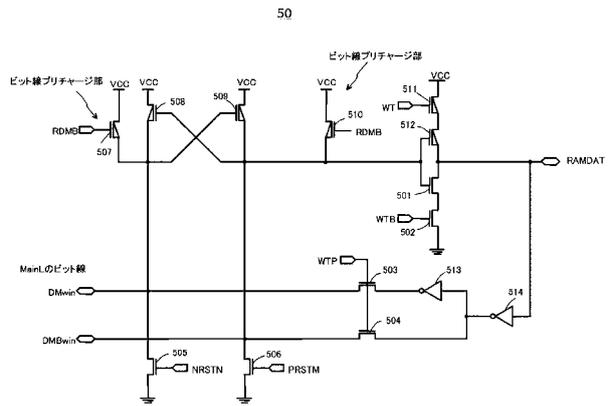
以上本発明の好ましい実施例について詳述したが、本発明に係る特定の実施例に限定されるものではなく、請求の範囲に記載された本発明の要旨の範囲内において、種々の変形、変更が可能である。



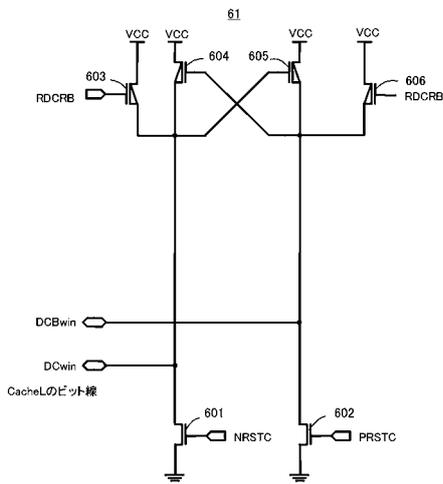
【図5】



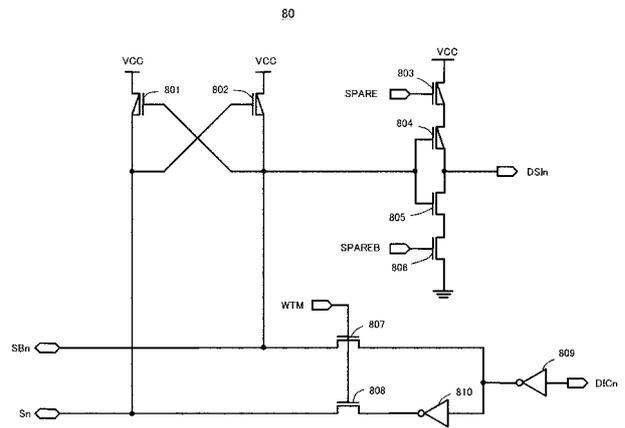
【図6】



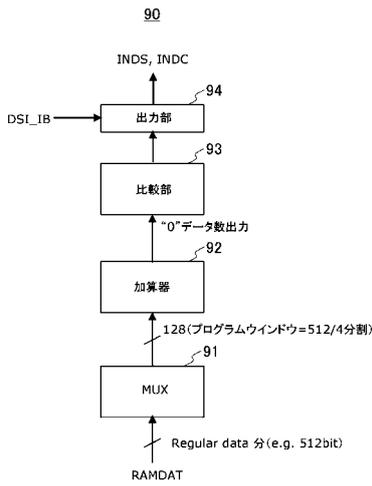
【図7】



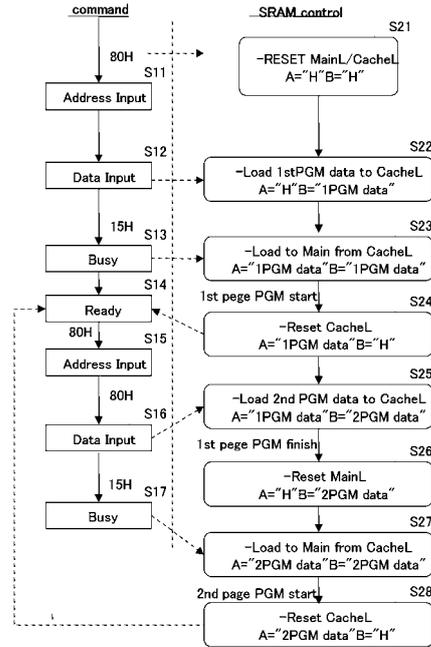
【図8】



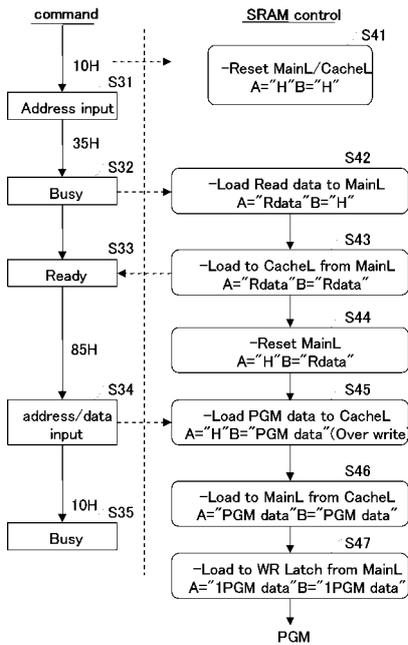
【 図 9 】



【 図 1 0 】



【 図 1 1 】



## 【 国際調査報告 】

<b>INTERNATIONAL SEARCH REPORT</b>		International application No. PCT/JP2005/006310
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl. <sup>7</sup> G11C16/10  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl. <sup>7</sup> G11C16/00-16/34  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2005-504404 A (SanDisk Corp.), 10 February, 2005 (10.02.05), Par. Nos. [0024] to [0048]; Figs. 3 to 7 & WO 2003/025939 A2 & US 2003/0058691 A1	1, 3, 14, 18 2, 4-13, 15-17, 19-25
Y	JP 7-240098 A (Sony Corp.), 12 September, 1995 (12.09.95), Par. Nos. [0026] to [0050]; Figs. 1 to 6 (Family: none)	2, 6-8, 15, 19-25
Y	JP 2003-030993 A (Toshiba Corp.), 31 January, 2003 (31.01.03), Par. Nos. [0013] to [0041]; Figs. 1 to 6 & US 2003/0016559 A1	4, 5, 22, 23
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 21 July, 2005 (21.07.05)		Date of mailing of the international search report 09 August, 2005 (09.08.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/006310

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-265483 A (Renesas Technology Corp.), 24 September, 2004 (24.09.04), Par. Nos. [0040] to [0043]; Fig. 7 (Family: none)	9-11, 16
Y	JP 2003-151291 A (Samsung Electronics Co., Ltd.), 23 May, 2003 (23.05.03), Par. Nos. [0019] to [0064]; Figs. 3 to 8 & US 2003/0016562 A1 & EP 1280161 A1	12, 13
Y	JP 2004-179626 A (Samsung Electronics Co., Ltd.), 24 June, 2004 (24.06.04), Full text; all drawings (Family: none)	17
A	JP 2003-249082 A (Toshiba Corp.), 05 September, 2003 (05.09.03), Par. Nos. [0037] to [0111], [0141] to [0175]; Figs. 1 to 14, 24 to 29 & US 2003/0156455 A1	1-25
A	JP 11-003594 A (Hitachi, Ltd., Hitachi ULSI Engineering Corp.), 06 January, 1999 (06.01.99), Full text; all drawings (Family: none)	1-25

国際調査報告		国際出願番号 PCT/JP2005/006310
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl.7 G11C16/10		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl.7 G11C16/00-16/34		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2 0 0 5 - 5 0 4 4 0 4 A (サンディスク コーポレイション) 2005. 02. 10, 第0024-0048段落, 第3-7	1, 3, 14, 18
Y	図 & WO 2003/025939 A2 & US 2003/0058691 A1	2, 4-13, 15-17, 19-25
Y	J P 7 - 2 4 0 0 9 8 A (ソニー株式会社) 1995. 09. 12, 第0026-0050段落, 第1-6図 (ファミリー無し)	2, 6-8, 15, 19-25
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 21. 07. 2005		国際調査報告の発送日 09. 8. 2005
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 5N 3561 丹治 彰 電話番号 03-3581-1101 内線 3586

国際調査報告

国際出願番号 PCT/JP2005/006310

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP2003-030993 A (株式会社東芝) 2003. 01. 31, 第0013-0041段落, 第1-6図 & US 2003/0016559 A1	4, 5, 22, 23
Y	JP2004-265483 A (株式会社ルネサステクノロジ) 2004. 09. 24, 第0040-0043段落, 第7図 (ファミリー無し)	9-11, 16
Y	JP2003-151291 A (三星電子株式会社) 2003. 05. 23, 第0019-0064段落, 第3-8図 & US 2003/0016562 A1 & EP 1280161 A1	12, 13
Y	JP2004-179626 A (三星電子株式会社) 2004. 06. 24, 全文, 全図 (ファミリー無し)	17
A	JP2003-249082 A (株式会社東芝) 2003. 09. 05, 第0037-0111, 0141-0175段落, 第1-14, 24-29図 & US 2003/0156455 A1	1-25
A	JP11-003594 A (株式会社日立製作所、日立超エル・エス・アイ・エンジニアリング株式会社) 1999. 01. 06, 全文, 全図 (ファミリー無し)	1-25

---

フロントページの続き

(72)発明者 荒川 秀貴

福島県会津若松市高久工業団地2番 Spansion Japan株式会社内

(72)発明者 坂下 基匡

福島県会津若松市高久工業団地2番 Spansion Japan株式会社内

Fターム(参考) 5B125 BA08 CA01 DA03 DB02 DE17 DE20 EA05 EB02 EF02 EF03  
EF06 FA01

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。