(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年9 月18 日 (18.09.2008)

PCT

(10) 国際公開番号
WO 2008/111192 A1

(51) 国際特許分類:
H03K 5/12 (2006.01)

(21) 国際出願番号: PCT/JP2007/055092

(22) 国際出願日: 2007 年3 月14 日 (14.03.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通マイクロエレクトロニクス株式会社 (FUJITSU MICROELECTRONICS LIMITED) [JP/JP]; 〒1630722 東京都新宿区西新宿二丁目７番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 沼田 知之 (NUMATA, Tomoyuki) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目３番９号 富士通マイクロソリューションズ株式会社内 Kanagawa (JP). 永瀬 典生 (NAGASE, Norio) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目３番９号 富士通マイクロソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 伊東 忠彦 (ITOH, Tadahiko); 〒1506032 東京都渋谷区恵比寿４丁目２０番３号 恵比寿ガーデンプレイスタワー３２階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

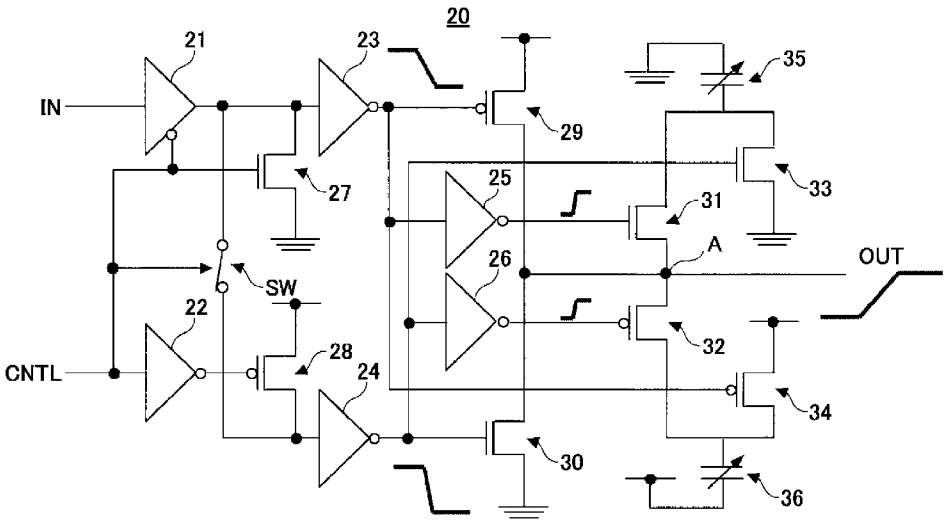
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) **Title:** OUTPUT CIRCUIT

(54) 発明の名称: 出力回路

[図9]



(57) **Abstract:** An output circuit of relatively small scale in which the rising slope and the falling slope of an output signal can be regulated to match each other. The output circuit is characterized by comprising a signal output unit for delivering a signal transiting between first and second potentials to a signal output end, a load circuit able to vary a load amount, and a first switch circuit for switching electrical conduction/nonconduction between the signal output end and the load circuit.

(57) 要約: 本発明は、出力信号の立ち上がりの傾きと立ち下りの傾きとを合わせるように調整可能な比較的小さな規模の出力回路を提供することを目的とする。出力回路は、第１の電位と第２の電位との間で遷移する信号を信号出力端に出力する信号出力ユニットと、負荷量が可変の負荷回路と、信号出力端と負荷回路との間の電気的な導通／非導通を切替える第１のスイッチ回路を含むことを特徴とする。

WO 2008/111192 A1

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— **国際調査報告書**

明 細 書

出力回路

技術分野

[0001] 本発明は、一般にパルス回路に関し、詳しくはパルス信号を出力する出力回路に関する。

背景技術

[0002] 半導体集積回路の信号出力部分には、PMOSトランジスタとNMOSトランジスタとを直列接続したCMOSタイプの出力回路が一般に用いられる。回路外部に出力すべき信号をPMOSトランジスタ及びNMOSトランジスタのゲートに印加して、各トランジスタのオン・オフを制御することにより、PMOSトランジスタとNMOSトランジスタとの間の接続点をHIGH側(電源電圧側)或いはLOW側(グランド側)の何れか選択された方に電気的に接続する。PMOSトランジスタとNMOSトランジスタとの間の接続点を出力端子に繋げることで、出力端子から出力信号を出力することができる。

[0003] 上記のようなCMOS出力回路では、出力信号の立ち上がりの傾き(Rise Slew)と立ち下りの傾き(fall slew)とがバランスよく略同等の傾きとなるように、回路を設計する必要がある。この際、各トランジスタの駆動能力を調整したり、各トランジスタにゲート入力を供給する経路の遅延を調整したりすることにより、出力信号の立ち上がり及び立ち下りの傾きを独立に調整することができる。しかしこれらの方法では、一般に、立ち上がりの傾きと立ち下りの傾きとを合わせるように微調整することは困難であり、バランスのよいCMOS出力回路を設計することは難しい。

[0004] またPMOSトランジスタとNMOSトランジスタとの双方について、複数のトランジスタを並列に接続した構成として、駆動するトランジスタ数を変化させることにより、出力信号の傾きを制御する方式もある。しかしこの方式の回路では、回路規模が増大してしまうとともに、駆動トランジスタ数を変化させることによる駆動能力の変化がステップ状で連続的でないために、微調整が困難であるという問題がある。

特許文献1:特表2001－508635号公報

特許文献2:特開2005－217840号公報

特許文献3:特開2005－236395号公報

発明の開示

発明が解決しようとする課題

[0005] 以上を鑑みて本発明は、出力信号の立ち上がりの傾きと立ち下りの傾きとを合わせるように調整可能な比較的小さな規模の出力回路を提供することを目的とする。

課題を解決するための手段

[0006] 出力回路は、第1の電位と第2の電位との間で遷移する信号を信号出力端に出力する信号出力ユニットと、負荷量が可変の負荷回路と、該信号出力端と該負荷回路との間の電気的な導通／非導通を切替える第1のスイッチ回路を含むことを特徴とする。

発明の効果

[0007] 本発明の少なくとも1つの実施例によれば、第1のスイッチ回路の導通／非導通により、例えば信号の立ち上がり時には負荷回路を信号出力端に電気的に接続し、信号の立ち下り時には負荷回路を信号出力端から電気的に切り離すことができる。従って、負荷回路の負荷量を調整することにより、立ち上がりエッジの傾きを調整して、立ち下がりエッジの傾きに合わせることが可能となる。即ち、信号の立ち上がりエッジ及び立ち下がりエッジの一方を他方とは独立に制御して、両エッジの傾きを一致させるような制御動作が可能となる。またスイッチ回路と負荷回路とを付加するだけでよいので、比較的小さな回路規模により、傾き調整機能を備えた出力回路を実現することができる。

図面の簡単な説明

[0008] [図1]本発明による出力回路の構成の一例を示す図である。

[図2]図1の出力回路の変形例を示す図である。

[図3]図1の出力回路の更なる変形例を示す図である。

[図4]図1の出力回路の更なる変形例を示す図である。

[図5]図1の出力回路の更なる変形例を示す図である。

[図6]図5の出力回路の変形例を示す図である。

[図7]図5の出力回路の更なる変形例を示す図である。

[図8]図5の出力回路の更なる変形例を示す図である。

[図9]本発明による出力回路の実施形態の構成の一例を示す図である。

[図10]図9の出力回路の動作について説明するための波形図である。

[図11]本発明による出力回路の実施形態の変形例を示す図である。

[図12]本発明による出力回路の実施形態の別の変形例を示す図である。

[図13]本発明による出力回路の実施形態の更に別の変形例を示す図である。

[図14]本発明による出力回路の実施形態の別の変形例を示す図である。

[図15]本発明による出力回路の実施形態の別の変形例を示す図である。

[図16]本発明による出力回路の実施形態の別の変形例を示す図である。

[図17]本発明による出力回路の実施形態の別の変形例を示す図である。

[図18]本発明による出力回路の実施形態の別の変形例を示す図である。

[図19]本発明による出力回路の実施形態の別の変形例を示す図である。

[図20]本発明による出力回路の実施形態の別の変形例を示す図である。

[図21]本発明による出力回路の実施形態の別の変形例を示す図である。

[図22]本発明による出力回路の実施形態の別の変形例を示す図である。

[図23]本発明による出力回路の実施形態の別の変形例を示す図である。

[図24]本発明による出力回路の実施形態の別の変形例を示す図である。

[図25]本発明による出力回路の実施形態の別の変形例を示す図である。

[図26]本発明による出力回路の実施形態の別の変形例を示す図である。

[図27]本発明による出力回路の実施形態の別の変形例を示す図である。

符号の説明

[0009] 11 信号出力ユニット

12 負荷回路

12－1乃至12－n 負荷回路

13 スイッチ回路

13－1乃至13－n スイッチ回路

14 スイッチ回路

15 スイッチ回路

16 制御回路

発明を実施するための最良の形態

[0010] 以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

[0011] 図1は、本発明による出力回路の構成の一例を示す図である。図1の出力回路10は、信号出力ユニット11、負荷回路12、及びスイッチ回路13を含む。

[0012] 信号出力ユニット11は、第1の電位(例えばHIGH)と第2の電位(例えばLOW)との間で遷移する信号を信号出力端Aに出力する。負荷回路12は、負荷量が可変の回路であり例えば可変容量素子や可変抵抗素子により構成される。スイッチ回路13は、信号出力端Aと負荷回路12との間の電気的な導通／非導通を切替えるよう機能する。

[0013] スイッチ回路13は、信号出力ユニット11が信号出力端Aに出力する信号の第1の電位と第2の電位との間の遷移に略同期して、導通／非導通が制御されてよい。即ち例えば、信号出力ユニット11が信号出力端Aに出力する信号がLOWからHIGHに立ち上がるときに、その立ち上がりから僅かに早いタイミングでスイッチ回路13が導通状態となり、負荷回路12が信号出力端Aに電気的に接続された状態で信号出力端Aの信号がLOWからHIGHに立ち上がるようにする。また信号出力ユニット11が信号出力端Aに出力する信号がHIGHからLOWに立ち下がるときに、その立ち下がりから僅かに早いタイミングでスイッチ回路13が非導通状態となり、負荷回路12が信号出力端Aから電気的に切断された状態で信号出力端Aの信号がHIGHからLOWに立ち下がるようにする。立ち上がり／立ち下りよりも僅かに早いタイミングでスイッチ回路13の導通／非導通を制御することにより、スイッチングノイズを抑圧することができる。

[0014] 上記のように構成すると、信号の立ち上がり時には、負荷回路12の負荷が信号の立ち上がりの変化を遅くするように作用するので、信号の立ち上がりの傾きが緩やかとなる。即ち、信号の遅延が大きくなると言える。この場合の信号の立ち上がりの傾きは、負荷回路12の負荷量に応じて変化するので、負荷量を調整することで立ち上がりの傾きを制御することができる。また逆に信号の立ち下がり時には、負荷回路12の

負荷が接続されていないので、信号の立ち下がりの傾きは信号出力ユニット11や信号出力端Aの特性に応じたものとなり、一定の傾きに固定されている。

[0015] 従って、負荷回路12の負荷量を調整することにより、立ち上がりエッジの傾きを調整して、立ち下がりエッジの傾きに合わせることが可能となる。即ち、信号の立ち上がりエッジ及び立ち下がりエッジの一方を他方とは独立に制御して、両エッジの傾きを一致させるような制御動作が可能となる。なお上述の例では、信号の立ち上がり時に負荷回路12が接続され、立ち下り時には負荷回路12が接続されないような構成について説明したが、その逆に信号の立ち下がり時に負荷回路12が接続され、立ち上がり時には負荷回路12が接続されないような構成を用いても、同様の効果を奏することができる。

[0016] 図2は、図1の出力回路の変形例を示す図である。図2において、図1と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0017] 図2に示す出力回路は、信号出力ユニット11、負荷回路12、及びスイッチ回路13に加え、更にスイッチ回路14及びスイッチ回路15を含む。信号端Bと信号出力端Aとの間を結合する第1の信号経路にはスイッチ回路15が設けられている。信号端Bと負荷回路12との間にはスイッチ回路14が設けられている。スイッチ回路13～15を制御することで、信号出力端Aからスイッチ回路13、負荷回路12、及びスイッチ回路14を介して信号端Bに至る第2の信号経路と上記第1の信号経路とを切換えることができる。

[0018] 即ち例えば、信号出力ユニット11が信号出力端Aに出力する信号がLOWからHIGHに立ち上がるときに、その立ち上がりから僅かに早いタイミングでスイッチ回路13と14とが導通状態となりスイッチ回路15が非導通となると、負荷回路12が信号出力端Aに電気的に接続された状態で信号出力端Aの信号がLOWからHIGHに立ち上がる。その信号は、上記第2の信号経路を伝播して信号端Bに現れる。また信号出力ユニット11が信号出力端Aに出力する信号がHIGHからLOWに立ち下がるときに、その立ち下がりから僅かに早いタイミングでスイッチ回路13と14とが非導通状態となりスイッチ回路15が導通すると、負荷回路12が信号出力端Aから電気的に切断された状態で信号出力端Aの信号がHIGHからLOWに立ち下がる。その信号は、上記

第1の信号経路を伝播して信号端Bに現れる。

[0019] 図2のように構成しても図1の場合と同様に、信号の立ち上がり時には、負荷回路12の負荷が信号の立ち上がりの変化を遅くするように作用するので、信号の立ち上がりの傾きが緩やかとなる。また逆に信号の立ち下がり時には、負荷回路12の負荷が接続されていないので、信号の立ち下がりの傾きは信号出力ユニット11や信号出力端A、スイッチ回路15、信号端Bの特性に応じたものとなり、一定の傾きに固定されている。

[0020] 従って、負荷回路12の負荷量を調整することにより、立ち上がりエッジの傾きを調整して、立ち下がりエッジの傾きに合わせることが可能となる。即ち、信号の立ち上がりエッジ及び立ち下がりエッジの一方を他方とは独立に制御して、両エッジの傾きを一致させるような制御動作が可能となる。なお上述の例では、信号の立ち上がり時に負荷回路12が接続され、立ち下り時には負荷回路12が接続されないような構成について説明したが、その逆に信号の立ち下がり時に負荷回路12が接続され、立ち上がり時には負荷回路12が接続されないような構成を用いても、同様の効果を奏することができる。

[0021] また図2の構成においては、信号伝搬経路にスイッチ回路13～15が直列に挿入されるので、それらスイッチ回路のオン抵抗が信号の遅延を増大するように機能する。従って、負荷回路12の負荷量の調整だけでなく、スイッチ回路13～15のオン抵抗の抵抗値を適宜選択して設定することにより、信号の立ち上がりの傾き及び立ち下りの傾きを制御することが可能となる。

[0022] 図3は、図1の出力回路の更なる変形例を示す図である。図3において、図1と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0023] 図3に示す出力回路は、信号出力ユニット11、負荷回路12－1乃至12－n、及びスイッチ回路13－1乃至13－nを含む。図1の負荷回路12の代わりに複数の負荷回路12－1乃至12－nが設けられ、スイッチ回路13の代わりに複数のスイッチ回路13－1乃至13－nが設けられる。負荷回路12－1乃至12－nは、それぞれ対応するスイッチ回路13－1乃至13－nを介して信号出力端Aに結合される。

[0024] 負荷回路12－1乃至12－nのうちの何れの負荷回路を信号出力端Aに電気的に

接続するかを、信号出力ユニット11が出力する信号の遷移に応じて変化させる。例えば信号出力端Aの信号がHIGHからLOWに立ち下がる際には信号出力端Aに負荷回路12－1を電気的に接続し、信号出力端Aの信号がLOWからHIGHに立ち上がる際には負荷回路12－2を信号出力端Aに電気的に接続する。このように構成すれば、負荷回路12－1及び負荷回路12－2の負荷量を互いに独立に調整することで、立ち上がりの傾きと立ち下りの傾きとの両方を互いに独立に制御することが可能となる。

[0025] 負荷回路12－1乃至12－nの個数nは、2以上であってもよい。この場合、例えば第2の電位（例えばLOW）から第3の電位（例えばextra－HIGH）に遷移する場合には、上記負荷回路12－1及び12－2とは異なる負荷回路12－3を電気的に接続するよう構成してよい。また或いは第2の電位（例えばLOW）から第1の電位（例えばHIGH）への同一の遷移であっても、動作モードに応じて電気的に接続する負荷回路を異ならせるような構成としてよい。

[0026] 図4は、図1の出力回路の更なる変形例を示す図である。図4において、図2及び図3と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0027] 図4に示す出力回路は、信号出力ユニット11、負荷回路12－1乃至12－n、及びスイッチ回路13－1乃至13－nに加え、更にスイッチ回路14及びスイッチ回路15を含む。信号端Bと信号出力端Aとの間を結合する第1の信号経路にはスイッチ回路15が設けられている。信号端Bと負荷回路12－1乃至12－nとの間にはスイッチ回路14が設けられている。スイッチ回路13－1乃至13－n、14、及び15を制御することで、信号出力端Aからスイッチ回路13－x（x:選択値）、負荷回路12－x、及びスイッチ回路14を介して信号端Bに至る第2の信号経路と上記第1の信号経路とを切換えることができる。

[0028] 図4の構成においては、図3の構成の場合と同様に、負荷回路12－1乃至12－nのうちの何れの負荷回路を信号出力端Aに電気的に接続するかを、信号出力ユニット11が出力する信号の遷移に応じて変化させてよい。また更に、図2の構成の場合と同様に、信号伝搬経路にスイッチ回路が直列に挿入されるので、それらスイッチ回路のオン抵抗の抵抗値を適宜選択して設定することにより、信号の立ち上がりの傾き及

び立ち下りの傾きを制御することが可能となる。

[0029] 図5は、図1の出力回路の更なる変形例を示す図である。図5において、図1と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0030] 図5においては、図1の出力回路のスイッチ機能と負荷回路12の負荷調整機能とを制御回路16により実現する構成となっている。即ち、負荷回路12の信号出力端Aへの電気的な接続／非接続を制御回路16により制御するよう構成される。即ち、制御回路16は信号出力ユニット11からの制御信号Cに応じて、負荷回路12の信号出力端Aへの電気的な接続／非接続を切替えるよう構成される。また制御回路16は、負荷回路12の負荷量を調整することができるように構成される。

[0031] 図6は、図5の出力回路の変形例を示す図である。図6において、図2及び図5と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0032] 図5に示す出力回路は、信号出力ユニット11、負荷回路12、スイッチ回路14、及び制御回路16Bを含む。図2の出力回路のスイッチ回路13及び15のスイッチ機能と負荷回路12の負荷調整機能とを制御回路16Bにより実現する構成となっている。即ち、制御回路16Bは信号出力ユニット11からの制御信号Cに応じて、負荷回路12の信号出力端Aへの電気的な接続／非接続を切替えるよう構成される。また制御回路16Bは、信号出力ユニット11からの制御信号Cに応じて、信号出力端Aと信号端Bとの電気的な接続／非接続を切替えるよう構成される。また制御回路16Bは、負荷回路12の負荷量を調整することができるように構成される。

[0033] 図6に示す構成と図5に示す構成との効果上の差異については、図2に示す構成と図1に示す構成との効果上の差異と同様である。

[0034] 図7は、図5の出力回路の更なる変形例を示す図である。図7において、図3及び図5と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0035] 図7に示す出力回路は、信号出力ユニット11、負荷回路12－1乃至12－n、及び制御回路16Cを含む。この図7の出力回路においては、図3の出力回路のスイッチ回路13－1乃至13－nのスイッチ機能と負荷回路12－1乃至12－nの負荷調整機能とを制御回路16Cにより実現する構成となっている。即ち、制御回路16Cは信号出力ユニット11からの制御信号Cに応じて、負荷回路12－1乃至12－nの信号出力

端Aへの電気的な接続／非接続を切替えるよう構成される。また制御回路16Cは、負荷回路12－1乃至12－nの負荷量を調整することができるように構成される。

[0036] 図7に示す構成と図5に示す構成との効果上の差異については、図3に示す構成と図1に示す構成との効果上の差異と同様である。

[0037] 図8は、図5の出力回路の更なる変形例を示す図である。図8において、図4及び図5と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0038] 図8に示す出力回路は、信号出力ユニット11、負荷回路12－1乃至12－n、スイッチ回路14、及び制御回路16Dを含む。この図8の出力回路においては、図4の出力回路のスイッチ回路13－1乃至13－n及びスイッチ回路15のスイッチ機能と負荷回路12－1乃至12－nの負荷調整機能とを制御回路16Dにより実現する構成となっている。即ち、制御回路16Dは信号出力ユニット11からの制御信号Cに応じて、負荷回路12－1乃至12－nの信号出力端Aへの電気的な接続／非接続を切替えるよう構成される。また制御回路16Dは、信号出力ユニット11からの制御信号Cに応じて、信号出力端Aと信号端Bとの電気的な接続／非接続を切替えるよう構成される。また制御回路16Dは、負荷回路12－1乃至12－nの負荷量を調整することができるように構成される。

[0039] 図8に示す構成と図5に示す構成との効果上の差異については、図4に示す構成と図1に示す構成との効果上の差異と同様である。

[0040] 図9は、本発明による出力回路の実施形態の構成の一例を示す図である。図9に示す回路構成は、図3に示す構成に対応する。図9に示す出力回路20は、バッファ21乃至26、NMOSトランジスタ27、PMOSトランジスタ28、PMOSトランジスタ29、NMOSトランジスタ30、NMOSトランジスタ31、PMOSトランジスタ32、NMOSトランジスタ33、PMOSトランジスタ34、可変容量素子35、及び可変容量素子36を含む。

[0041] バッファ21は、入力端に受け取った入力信号INを同一の論理のまま出力端に出力する回路である。バッファ23及び24は、入力端に受け取った入力信号を反転して出力端に出力する反転回路であり、バッファ21の出力信号をその入力端に受け取る。バッファ21の入力信号INとしてLOWからHIGHに立ち上がる正方向遷移信号が

入力された場合、バッファ23の出力とバッファ24の出力とは、図9においてそれぞれの出力端近くに波形を示すようにHIGHからLOWに立ち下がる負方向遷移信号となる。

[0042] バッファ25及び26は、入力端に受け取った入力信号を反転して出力端に出力する反転回路であり、それぞれバッファ23及びバッファ24の出力信号をその入力端に受け取る。図9において波形を示したようにHIGHからLOWに立ち下がる負方向遷移信号が入力された場合、バッファ25の出力とバッファ26の出力とは、図9においてそれぞれの出力端近くに波形を示すようにLOWからHIGHに立ち上がる正方向遷移信号となる。

[0043] この場合、バッファ25の出力の正方向遷移に応答してNMOSトランジスタ31が導通し、バッファ26の出力の正方向遷移に応答してPMOSトランジスタ32が非導通となる。従って信号出力端Aは、可変負荷の負荷回路である可変容量素子35に電気的に接続される。このように可変容量素子35の信号出力端Aへの電気的接続／非接続は、PMOSトランジスタ29及びNMOSトランジスタ30の導通／非導通を制御する信号の信号レベルに応じて、即ち信号出力端Aの信号レベルの遷移に略同期して制御される。

[0044] 信号出力端Aが可変容量素子35に電気的に接続された状態で、PMOSトランジスタ29がバッファ23の出力の負方向遷移に応答して導通状態となり、NMOSトランジスタ30がバッファ24の出力の負方向遷移に応答して非導通状態となる。従って、信号出力端AがLOW（NMOSトランジスタ30のソース端が接続されているグランド電位）からHIGH（PMOSトランジスタ29のソース端が接続されている電源電位）に変化する。

[0045] この際、信号出力端Aが可変容量素子35に電気的に接続されている状態であるので、可変容量素子35が信号出力端Aの電圧上昇を遅らせるように作用する。即ち、信号出力端Aの電圧上昇の速度は、可変容量素子35に電流が流れ込み電荷が蓄積する速度に応じたものとなる。可変容量素子35の容量が大きいほど信号出力端Aの電圧上昇は遅くなり、可変容量素子35の容量が小さいほど信号出力端Aの電圧上昇は速くなる。従って、可変容量素子35の容量値（負荷値）を調整することにより、

信号出力端Aの電圧上昇速度を制御することが可能になる。即ち、出力信号OUTの立ち上がりの傾きを制御することが可能となる。

[0046] バッファ21の入力信号INとしてHIGHからLOWに立ち下がる負方向遷移信号が入力された場合、バッファ23の出力とバッファ24の出力とは、LOWからHIGHに立ち上がる正方向遷移信号となる。この場合、バッファ25の出力とバッファ26の出力とは、HIGHからLOWに立ち下がる負方向遷移信号となる。この場合、バッファ25の出力の負方向遷移に応答してNMOSトランジスタ31が非導通となり、バッファ26の出力の負方向遷移に応答してPMOSトランジスタ32が導通となる。従って信号出力端Aは、可変負荷の負荷回路である可変容量素子36に電気的に接続される。このように可変容量素子36の信号出力端Aへの電気的接続／非接続は、PMOSトランジスタ29及びNMOSトランジスタ30の導通／非導通を制御する信号の信号レベルに応じて、即ち信号出力端Aの信号レベルの遷移に略同期して制御される。

[0047] 信号出力端Aが可変容量素子36に電気的に接続された状態で、PMOSトランジスタ29がバッファ23の出力の正方向遷移に応答して非導通状態となり、NMOSトランジスタ30がバッファ24の出力の正方向遷移に応答して導通状態となる。従って、信号出力端AがHIGHからLOWに変化する。

[0048] この際、信号出力端Aが可変容量素子36に電気的に接続されている状態であるので、可変容量素子36が信号出力端Aの電圧下降を遅らせるように作用する。即ち、信号出力端Aの電圧下降の速度は、可変容量素子36に電流が流れ込み電荷が蓄積する速度に応じたものとなる。可変容量素子36の容量が大きいほど信号出力端Aの電圧下降は遅くなり、可変容量素子36の容量が小さいほど信号出力端Aの電圧下降は速くなる。従って、可変容量素子36の容量値（負荷値）を調整することにより、信号出力端Aの電圧下降速度を制御することが可能になる。即ち、出力信号OUTの立ち下がりの傾きを制御することが可能となる。なおこのとき、NMOSトランジスタ33がバッファ24の正方向遷移に応じて導通することにより、信号出力端Aに電気的に接続されていない可変容量素子35を放電して、電荷が無い状態に戻している。

[0049] このように図9に示す出力回路20では、可変容量素子35の容量値（負荷値）を調整することにより、信号出力端Aの電圧上昇速度、即ち出力信号OUTの立ち上がり

の傾きを制御することが可能となる。また可変容量素子36の容量値(負荷値)を調整することにより、信号出力端Aの電圧下降速度、即ち出力信号OUTの立ち下がりの傾きを制御することが可能となる。従って、可変容量素子35の容量値と可変容量素子36の容量値とを独立に且つ連続的に調整することにより、出力信号OUTの立ち上がりの傾き及び立ち下りの傾きを独立に且つ連続的に変化させることができる。従って、出力信号OUTの立ち上がりの傾き及び立ち下りの傾きを容易に合わせることができる。

[0050] なお制御信号CNTLは、出力回路20が出力信号を送出する動作状態ではLOWであり、信号出力端AをHIGHインピーダンス状態にする必要がある場合にHIGHになる信号である。制御信号CNTLがHIGHになると、バッファ21の動作が停止され(非駆動状態となり)、スイッチSWが解放され、更にNMOSトランジスタ27及びPMOSトランジスタ28が導通する。これによりバッファ23の入力がLOW固定で出力がHIGH固定となり、バッファ24の入力がHIGH固定で出力がLOW固定となる。従って、PMOSトランジスタ29、NMOSトランジスタ30、NMOSトランジスタ31、及びPMOSトランジスタ32が全て非導通となり、信号出力端AがHIGHインピーダンス状態となる。

[0051] 半導体集積回路において、信号入力端子と信号出力端子とが共通である場合がある。そのような双方向入出力端子に用いる出力回路では、例えば図9における信号出力端Aが入力端子にも電気的に接続されており、入力動作の場合には信号出力端Aにも入力信号電圧が印加されることになる。この場合、出力回路20の動作を停止して、信号出力端AをHIGHインピーダンス状態としておく必要がある。制御信号CNTLは、この目的のために用いられるものである。

[0052] 図10は、図9の出力回路20の動作について説明するための波形図である。出力回路20を構成するバッファ及びトランジスタの各回路要素は、適切な動作を保証するために以下に説明するような条件を満たしていることが好ましい。

[0053] まずバッファ23の出力の立ち上がりの傾きは、図10に示されるように、バッファ24の出力の立ち上がりの傾きよりも大きい(急峻)であることが好ましい。これは、PMOSトランジスタ29及びNMOSトランジスタ30を通る貫通電流を避けるためには、NMO

Sトランジスタ30が導通する前にPMOSトランジスタ29を非導通とすることが望まれるからである。

[0054] またバッファ23の出力の立ち下がりの傾きは、図10に示されるように、バッファ24の出力の立ち下がりの傾きよりも小さい（緩やか）であることが好ましい。これは、PMOSトランジスタ29及びNMOSトランジスタ30を通る貫通電流を避けるためには、PMOSトランジスタ29が導通する前にNMOSトランジスタ30を非導通とすることが望まれるからである。

[0055] 更に、図10から見て取れるように、バッファ23の出力の変化からバッファ25の出力の変化までの応答時間は、バッファ24の出力の変化からバッファ26の出力の変化までの応答時間と略等しいことが好ましい。これにより、出力信号OUTの立ち下り時には、バッファ26の出力に応答するPMOSトランジスタ32が導通する前に、バッファ25の出力に応答するNMOSトランジスタ31が非導通となる。また出力信号OUTの立ち上がり時には、バッファ25の出力に応答するNMOSトランジスタ31が導通する前に、バッファ26の出力に応答するPMOSトランジスタ32が非導通となる。従って、可変容量素子35及び36の一方から他方に電荷が移動するような経路が形成されるのを防ぐことができる。

[0056] また更に、バッファ23の出力の変化からPMOSトランジスタ34の状態変化までの応答時間は、バッファ24の出力の変化からNMOSトランジスタ33の状態変化までの応答時間と略等しいことが好ましい。更に、バッファ23及び24の立ち上がり／立ち下りの速度の違いにより、NMOSトランジスタ31を非導通とした後にNMOSトランジスタ33を導通するとともに、PMOSトランジスタ32を非導通とした後にPMOSトランジスタ34を導通するよう構成することが好ましい。

[0057] また更に、バッファ23及び24の出力にそれぞれ応答するPMOSトランジスタ29及びNMOSトランジスタ30の状態変化は、NMOSトランジスタ31、PMOSトランジスタ32、NMOSトランジスタ33、及びPMOSトランジスタ34の状態変化よりも遅いことが好ましい。これにより図10に示すような出力信号OUTの信号レベルの遷移が起こる時点では、既に可変容量素子35又は可変容量素子36の何れか必要な一方を信号出力端Aに電気的に接続した状態としておくことができる。

[0058] なお図10には、制御信号CNTLをHIGHにして、バッファ23の出力がHIGH固定となり、バッファ24の出力がLOW固定となる状態が示されている。この状態では、PMOSトランジスタ29、NMOSトランジスタ30、NMOSトランジスタ31、及びPMOSトランジスタ32が全て非導通となり、出力信号OUTがHIGHインピーダンス状態となる。

[0059] 以下に本発明による出力回路の実施形態の種々の変形例について説明する。

[0060] 図11は、本発明による出力回路の実施形態の変形例を示す図である。図11において、出力回路は、信号出力ユニット11、容量素子41、及びスイッチ回路42及び43を含む。容量素子41が負荷回路に相当する。信号出力ユニット11の出力信号が立ち上がる時には、スイッチ回路42及び43をそれぞれ導通及び非導通として容量素子41を信号出力端Aに電気的に接続する。容量素子41の容量値を調整することにより、信号出力端Aの信号の立ち上がり速度を制御することが可能となる。

[0061] 信号出力ユニット11の出力信号が立ち下がる時には、スイッチ回路42及び43をそれぞれ非導通及び導通として容量素子41を信号出力端Aから電気的に切り離して放電させる。この場合、信号出力端Aの信号の立ち下がり速度は容量素子41の影響を受けない。

[0062] 図12は、本発明による出力回路の実施形態の別の変形例を示す図である。図12において、出力回路は、信号出力ユニット11、抵抗素子44、及びスイッチ回路42を含む。抵抗素子44が負荷回路に相当する。信号出力ユニット11の出力信号が立ち上がる時には、スイッチ回路42を導通状態として抵抗素子44を信号出力端Aに電気的に接続する。抵抗素子44の抵抗値を調整することにより、信号出力端Aの信号の立ち上がり速度を制御することが可能となる。

[0063] 信号出力ユニット11の出力信号が立ち下がる時には、スイッチ回路42を非導通として抵抗素子44を信号出力端Aから電気的に切り離す。この場合、信号出力端Aの信号の立ち下がり速度は抵抗素子44の影響を受けない。

[0064] 図13は、本発明による出力回路の実施形態の更に別の変形例を示す図である。図13において、出力回路は、信号出力ユニット11、容量素子41、スイッチ回路42、及び抵抗素子44を含む。容量素子41及び抵抗素子44が負荷回路に相当する。信

号出力ユニット11の出力信号が立ち上がる時には、スイッチ回路42を導通状態として容量素子41及び抵抗素子44を信号出力端Aに電気的に接続する。容量素子41の容量値及び抵抗素子44の抵抗値を調整することにより、信号出力端Aの信号の立ち上がり速度を制御することが可能となる。

[0065] 信号出力ユニット11の出力信号が立ち下がる時には、スイッチ回路42を非導通として容量素子41及び抵抗素子44を信号出力端Aから電気的に切り離して放電させる。この場合、信号出力端Aの信号の立ち下がり速度は容量素子41及び抵抗素子44の影響を受けない。なお上記放電は、容量素子41から抵抗素子44を介して行われる。

[0066] 図14は、本発明による出力回路の実施形態の別の変形例を示す図である。図14において、出力回路は、信号出力ユニット11、容量素子51、及びスイッチ回路52及び53を含む。容量素子51が負荷回路に相当する。信号出力ユニット11の出力信号が立ち下がる時には、スイッチ回路52及び53をそれぞれ導通及び非導通として容量素子51を信号出力端Aに電気的に接続する。容量素子51の容量値を調整することにより、信号出力端Aの信号の立ち下がり速度を制御することが可能となる。

[0067] 信号出力ユニット11の出力信号が立ち上がる時には、スイッチ回路52及び53をそれぞれ非導通及び導通として容量素子51を信号出力端Aから電気的に切り離して放電させる。この場合、信号出力端Aの信号の立ち上がり速度は容量素子51の影響を受けない。

[0068] 図15は、本発明による出力回路の実施形態の別の変形例を示す図である。図15において、出力回路は、信号出力ユニット11、抵抗素子54、及びスイッチ回路52を含む。抵抗素子54が負荷回路に相当する。信号出力ユニット11の出力信号が立ち下がる時には、スイッチ回路52を導通状態として抵抗素子54を信号出力端Aに電気的に接続する。抵抗素子54の抵抗値を調整することにより、信号出力端Aの信号の立ち下がり速度を制御することが可能となる。

[0069] 信号出力ユニット11の出力信号が立ち上がる時には、スイッチ回路52を非導通として抵抗素子54を信号出力端Aから電気的に切り離す。この場合、信号出力端Aの信号の立ち上がり速度は抵抗素子54の影響を受けない。

[0070] 図16は、本発明による出力回路の実施形態の別の変形例を示す図である。図16において、出力回路は、信号出力ユニット11、容量素子51、スイッチ回路52、及び抵抗素子54を含む。容量素子51及び抵抗素子54が負荷回路に相当する。信号出力ユニット11の出力信号が立ち下がる時には、スイッチ回路52を導通状態として容量素子51及び抵抗素子54を信号出力端Aに電気的に接続する。容量素子51の容量値及び抵抗素子54の抵抗値を調整することにより、信号出力端Aの信号の立ち下がり速度を制御することが可能となる。

[0071] 信号出力ユニット11の出力信号が立ち上がる時には、スイッチ回路52を非導通として容量素子51及び抵抗素子54を信号出力端Aから電気的に切り離して放電させる。この場合、信号出力端Aの信号の立ち上がり速度は容量素子51及び抵抗素子54の影響を受けない。なお上記放電は、容量素子51から抵抗素子54を介して行われる。

[0072] 図17は、本発明による出力回路の実施形態の別の変形例を示す図である。図17において、出力回路は、信号出力ユニット11、容量素子41、スイッチ回路42及び43、容量素子51、及びスイッチ回路52及び53を含む。容量素子41及び容量素子51が負荷回路に相当する。信号出力ユニット11の出力信号が立ち上がる時には、スイッチ回路42及び43をそれぞれ導通及び非導通として容量素子41を信号出力端Aに電気的に接続するとともに、スイッチ回路52及び53をそれぞれ非導通及び導通として容量素子51を信号出力端Aから電気的に切断して放電させる。容量素子41の容量値を調整することにより、信号出力端Aの信号の立ち上がり速度を制御することが可能となる。

[0073] 信号出力ユニット11の出力信号が立ち下がる時には、スイッチ回路42及び43をそれぞれ非導通及び導通として容量素子41を信号出力端Aから電気的に切り離して放電させるとともに、スイッチ回路52及び53をそれぞれ導通及び非導通として容量素子51を信号出力端Aに電気的に接続する。容量素子51の容量値を調整することにより、信号出力端Aの信号の立ち下がり速度を制御することが可能となる。

[0074] 図18は、本発明による出力回路の実施形態の別の変形例を示す図である。図18において、出力回路は、信号出力ユニット11、スイッチ回路42、抵抗素子44、スイッ

チ回路52、抵抗素子54を含む。抵抗素子44及び抵抗素子54が負荷回路に相当する。信号出力ユニット11の出力信号が立ち上がる時には、スイッチ回路42を導通状態として抵抗素子44を信号出力端Aに電気的に接続するとともに、スイッチ回路52を非導通状態として抵抗素子54を信号出力端Aから電気的に切り離す。抵抗素子44の抵抗値を調整することにより、信号出力端Aの信号の立ち上がり速度を制御することが可能となる。

[0075] 信号出力ユニット11の出力信号が立ち下がる時には、スイッチ回路42を非導通として抵抗素子44を信号出力端Aから電気的に切り離すとともに、スイッチ回路52を導通状態として抵抗素子54を信号出力端Aに電気的に接続する。抵抗素子54の抵抗値を調整することにより、信号出力端Aの信号の立ち下がり速度を制御することが可能となる。

[0076] 図19は、本発明による出力回路の実施形態の別の変形例を示す図である。図19において、出力回路は、信号出力ユニット11、容量素子41、スイッチ回路42、抵抗素子44、容量素子51、スイッチ回路52、抵抗素子54を含む。容量素子41及び抵抗素子44と容量素子51及び抵抗素子54とが負荷回路に相当する。信号出力ユニット11の出力信号が立ち上がる時には、スイッチ回路42を導通状態として容量素子41及び抵抗素子44を信号出力端Aに電気的に接続するとともに、スイッチ回路52を非導通として容量素子51及び抵抗素子54を信号出力端Aから電気的に切り離して放電させる。容量素子41の容量値及び抵抗素子44の抵抗値を調整することにより、信号出力端Aの信号の立ち上がり速度を制御することが可能となる。

[0077] 信号出力ユニット11の出力信号が立ち下がる時には、スイッチ回路42を非導通として容量素子41及び抵抗素子44を信号出力端Aから電気的に切り離して放電させるとともに、スイッチ回路52を導通状態として容量素子51及び抵抗素子54を信号出力端Aに電気的に接続する。容量素子51の容量値及び抵抗素子54の抵抗値を調整することにより、信号出力端Aの信号の立ち下がり速度を制御することが可能となる。

[0078] 図20は、本発明による出力回路の実施形態の別の変形例を示す図である。図20において、出力回路は、信号出力ユニット11、容量素子41、スイッチ回路42及び43

、スイッチ回路61、及びスイッチ回路62を含む。信号端Bと信号出力端Aとの間を結合する第1の信号経路にはスイッチ回路62が設けられている。信号端Bと容量素子41との間にはスイッチ回路61が設けられている。スイッチ回路42、43、61、及び62を制御することで、信号出力端Aからスイッチ回路42及びスイッチ回路61を介して信号端Bに至る第2の信号経路と上記第1の信号経路とを切換えることができる。

[0079] 信号出力ユニット11の出力信号が立ち上がる時には、スイッチ回路42及び43をそれぞれ導通及び非導通として容量素子41を信号出力端Aに電気的に接続する。更に、スイッチ回路61及び62を導通及び非導通とする。容量素子41の容量値を調整することにより、信号出力端Aの信号の立ち上がり速度を制御することが可能となる。

[0080] 信号出力ユニット11の出力信号が立ち下がる時には、スイッチ回路42及び43をそれぞれ非導通及び導通とし、スイッチ回路61を非導通として、容量素子41を信号出力端A及び信号端Bから電気的に切り離して放電させる。この場合、信号出力端Aの信号の立ち下がり速度は容量素子41の影響を受けない。なおこの際、スイッチ回路62を導通状態として、信号出力ユニット11の出力信号を信号出力端Aからスイッチ回路62を介して信号端Bに伝搬させる。

[0081] 図21は、本発明による出力回路の実施形態の別の変形例を示す図である。図20と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0082] 図21の出力回路は、図20の出力回路と比較して、抵抗素子63が第2の経路に直列に挿入されていることが異なる。容量素子41の容量値の調整に加えて、更にこの抵抗素子63の抵抗値を調整することで、信号立ち上がり時の傾き(速度)を制御することができる。

[0083] 図22は、本発明による出力回路の実施形態の別の変形例を示す図である。図22において、出力回路は、信号出力ユニット11、容量素子51、スイッチ回路52及び53、スイッチ回路71、及びスイッチ回路72を含む。信号端Bと信号出力端Aとの間を結合する第1の信号経路にはスイッチ回路72が設けられている。信号端Bと容量素子51との間にはスイッチ回路71が設けられている。スイッチ回路52、53、71、及び72を制御することで、信号出力端Aからスイッチ回路52及びスイッチ回路71を介して信号端Bに至る第2の信号経路と上記第1の信号経路とを切換えることができる。

[0084] 信号出力ユニット11の出力信号が立ち下がる時には、スイッチ回路52及び53をそれぞれ導通及び非導通として容量素子51を信号出力端Aに電気的に接続する。更に、スイッチ回路71及び72を導通及び非導通とする。容量素子51の容量値を調整することにより、信号出力端Aの信号の立ち下がり速度を制御することが可能となる。

[0085] 信号出力ユニット11の出力信号が立ち上がる時には、スイッチ回路52及び53をそれぞれ非導通及び導通とし、スイッチ回路71を非導通として、容量素子51を信号出力端A及び信号端Bから電気的に切り離して放電させる。この場合、信号出力端Aの信号の立ち上がり速度は容量素子51の影響を受けない。なおこの際、スイッチ回路72を導通状態として、信号出力ユニット11の出力信号を信号出力端Aからスイッチ回路72を介して信号端Bに伝搬させる。

[0086] 図23は、本発明による出力回路の実施形態の別の変形例を示す図である。図22と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0087] 図23の出力回路は、図22の出力回路と比較して、抵抗素子73が第2の経路に直列に挿入されていることが異なる。容量素子51の容量値の調整に加えて、更にこの抵抗素子73の抵抗値を調整することで、信号立ち下がり時の傾き(速度)を制御することができる。

[0088] 図24は、本発明による出力回路の実施形態の別の変形例を示す図である。図24において、出力回路は、信号出力ユニット11、容量素子41、スイッチ回路42及び43、スイッチ回路61、容量素子51、スイッチ回路52及び53、及びスイッチ回路71を含む。

[0089] 信号出力ユニット11の出力信号が立ち上がる時には、スイッチ回路42及び43をそれぞれ導通及び非導通として容量素子41を信号出力端Aに電気的に接続するとともに、スイッチ回路61を導通状態として容量素子41を信号端Bに電気的に接続する。容量素子41の容量値を調整することにより、信号出力端Aの信号の立ち上がり速度を制御することが可能となる。この際、スイッチ回路52及び53をそれぞれ非導通及び導通とし、スイッチ回路71を非導通として、容量素子51を信号出力端A及び信号端Bから電気的に切り離して放電させる。

[0090] 信号出力ユニット11の出力信号が立ち下がる時には、スイッチ回路52及び53をそ

れぞれ導通及び非導通として容量素子51を信号出力端Aに電気的に接続するとともに、スイッチ回路71を導通状態として容量素子51を信号端Bに電気的に接続する。容量素子51の容量値を調整することにより、信号出力端Aの信号の立ち下がり速度を制御することが可能となる。この際、スイッチ回路42及び43をそれぞれ非導通及び導通とし、スイッチ回路61を非導通として、容量素子41を信号出力端A及び信号端Bから電気的に切り離して放電させる。

[0091] 図25は、本発明による出力回路の実施形態の別の変形例を示す図である。図24と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0092] 図25の出力回路は、図24の出力回路と比較して、抵抗素子63が信号出力端Aと信号端Bとを結ぶ容量素子41側の経路に直列に挿入され、また抵抗素子73が信号出力端Aと信号端Bとを結ぶ容量素子51側の経路に直列に挿入されていることが異なる。容量素子41及び51の容量値の調整に加えて、更にこれら抵抗素子63及び73の抵抗値を調整することで、信号立ち上がり時の傾き及び立ち下がり時の傾きを制御することができる。

[0093] 図26は、本発明による出力回路の実施形態の別の変形例を示す図である。図24と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0094] 図26の出力回路は、図24の出力回路と比較して、抵抗素子63が信号出力端Aと信号端Bとを結ぶ容量素子41側の経路に直列に挿入されていることが異なる。容量素子41の容量値の調整に加えて、更にこの抵抗素子63の抵抗値を調整することで、信号立ち上がり時の傾き(速度)を制御することができる。なお信号出力端Aと信号端Bとを結ぶ容量素子51側の経路には、直列挿入抵抗は設けられていない。

[0095] 図27は、本発明による出力回路の実施形態の別の変形例を示す図である。図24と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0096] 図27の出力回路は、図24の出力回路と比較して、抵抗素子73が信号出力端Aと信号端Bとを結ぶ容量素子51側の経路に直列に挿入されていることが異なる。容量素子51の容量値の調整に加えて、更にこの抵抗素子73の抵抗値を調整することで、信号立ち下がり時の傾き(速度)を制御することができる。なお信号出力端Aと信号端Bとを結ぶ容量素子41側の経路には、直列挿入抵抗は設けられていない。

[0097] 以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

請求の範囲

[1] 第1の電位と第2の電位との間で遷移する信号を信号出力端に出力する信号出力ユニットと、

負荷量が可変の負荷回路と、

該信号出力端と該負荷回路との間の電気的な導通／非導通を切替える第1のスイッチ回路

を含むことを特徴とする出力回路。

[2] 該信号の該第1の電位と該第2の電位との間の遷移に略同期して該第1のスイッチ回路の導通／非導通が制御されるよう構成されることを特徴とする請求項1記載の出力回路。

[3] 該信号出力端に接続される第2のスイッチ回路と、

該第2のスイッチ回路を介して該信号出力端に結合される負荷量が可変の負荷回路

をさらに含むことを特徴とする請求項1記載の出力回路。

[4] 該第1のスイッチ回路と該第2のスイッチ回路とは交互に導通状態となるよう構成されることを特徴とする請求項3記載の出力回路。

[5] 該信号出力ユニットは、

該信号出力端と該第1の電位との間の電気的な導通／非導通を切替える第3のスイッチ回路と、

該信号出力端と該第2の電位との間の電気的な導通／非導通を切替える第4のスイッチ回路と、

を含み、該第3のスイッチ回路はPMOSトランジスタであり、該第4のスイッチ回路はNMOSトランジスタであることを特徴とする請求項1記載の出力回路。

[6] 該信号出力ユニットの出力をHIGHインピーダンス状態にするとともに該第1のスイッチ回路を非導通とすることにより該信号出力端をHIGHインピーダンス状態に設定可能なように構成されることを特徴とする請求項1記載の出力回路。

[7] 信号端と、

該信号端と該信号出力端との間を結合する第1の信号経路と、

該信号端と該負荷回路との間に設けられる第2のスイッチ回路

を更に含み、該信号出力端から該第1のスイッチ回路、該負荷回路、及び該第2のスイッチ回路を介して該信号端に至る第2の信号経路と該第1の信号経路とが切換可能に設けられることを特徴とする請求項1記載の出力回路。

[8] 該第1の信号経路及び該第2の信号経路の何れか一方に直列に挿入された抵抗素子を更に含むことを特徴とする請求項7記載の出力回路。

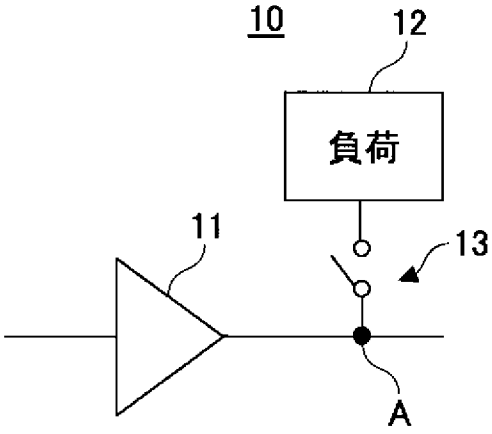
[9] 該負荷回路は可変容量素子を含むことを特徴とする請求項1記載の出力回路。

[10] 該可変容量素子と該第1のスイッチ回路との間の信号端を所定の電位に結合するスイッチ回路を更に含むことを特徴とする請求項9記載の出力回路。

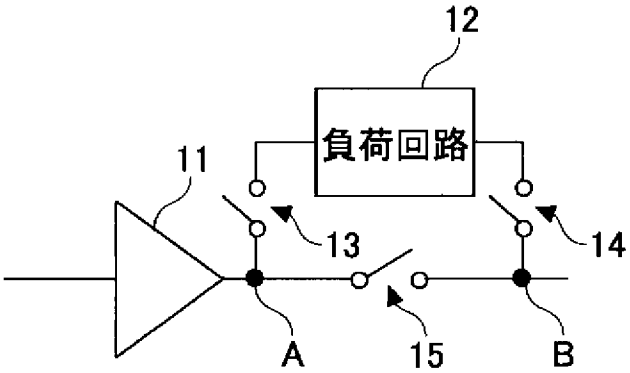
[11] 該可変容量素子と該第1のスイッチ回路との間の信号端を所定の電位に結合する抵抗素子を更に含むことを特徴とする請求項9記載の出力回路。

[12] 該負荷回路は可変抵抗素子を含むことを特徴とする請求項1記載の出力回路。

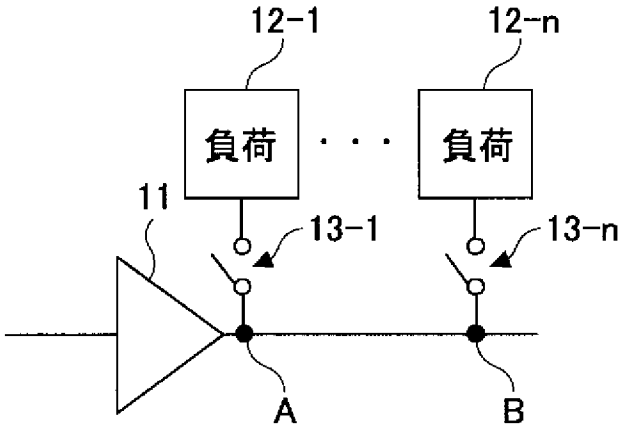
[図1]



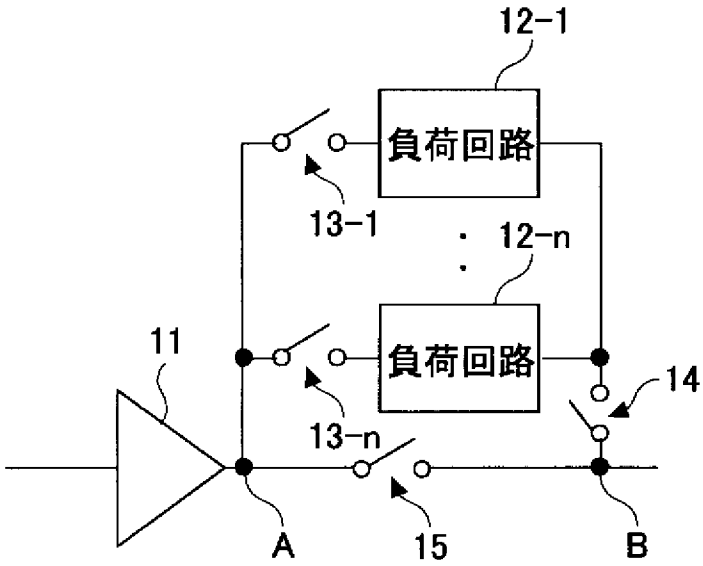
[図2]



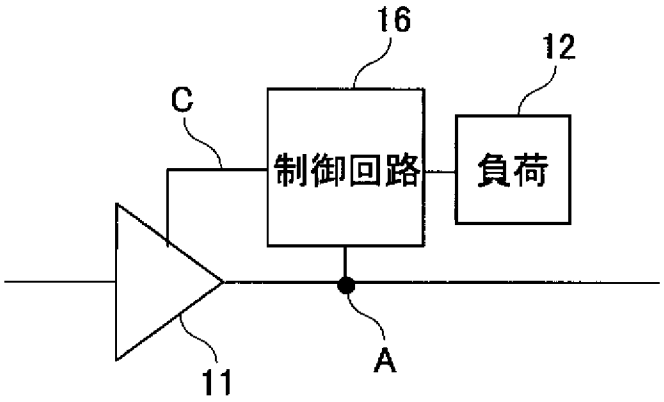
[図3]



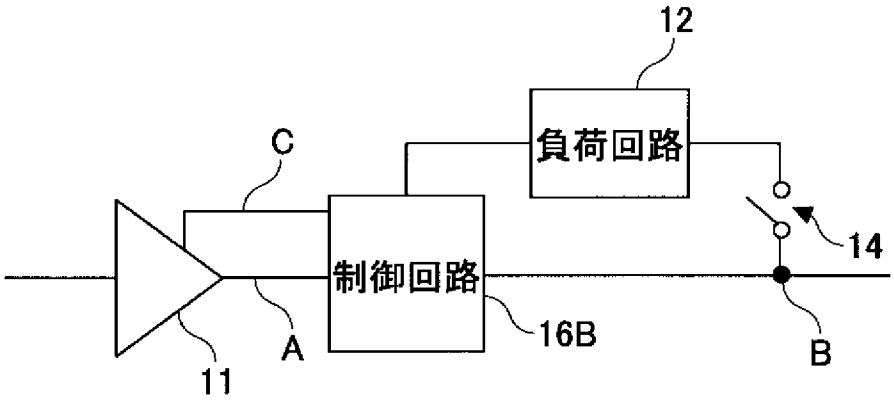
[図4]


12-1
負荷回路
13-1
12-n
負荷回路
11
14
13-n
A
15
B

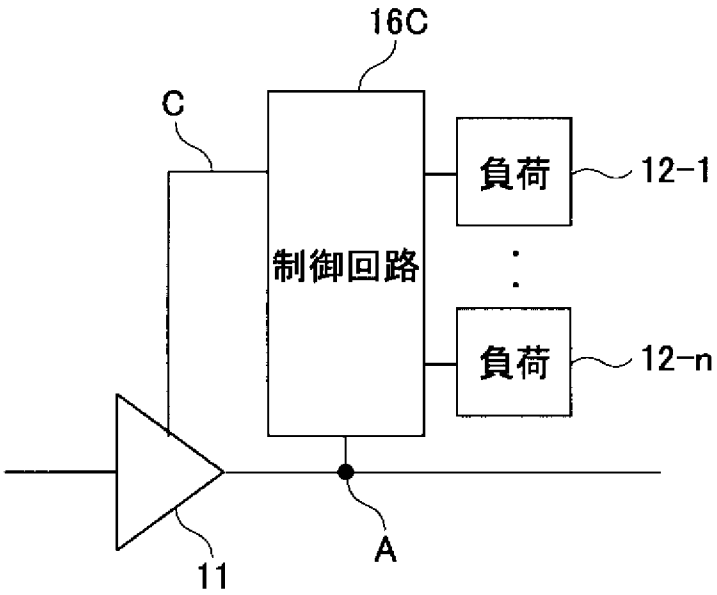
[図5]


16
12
C
制御回路
負荷
A
11

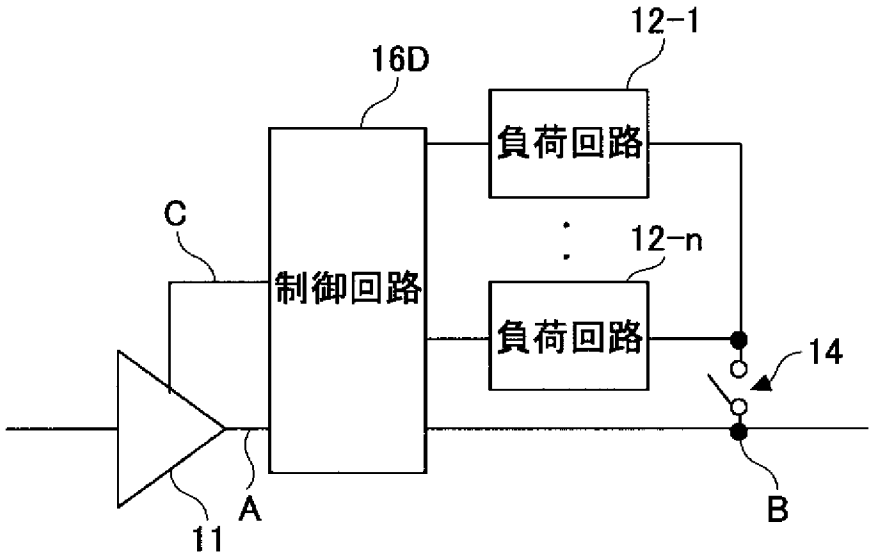
[図6]


12
負荷回路
C
14
制御回路
16B
A
B
11

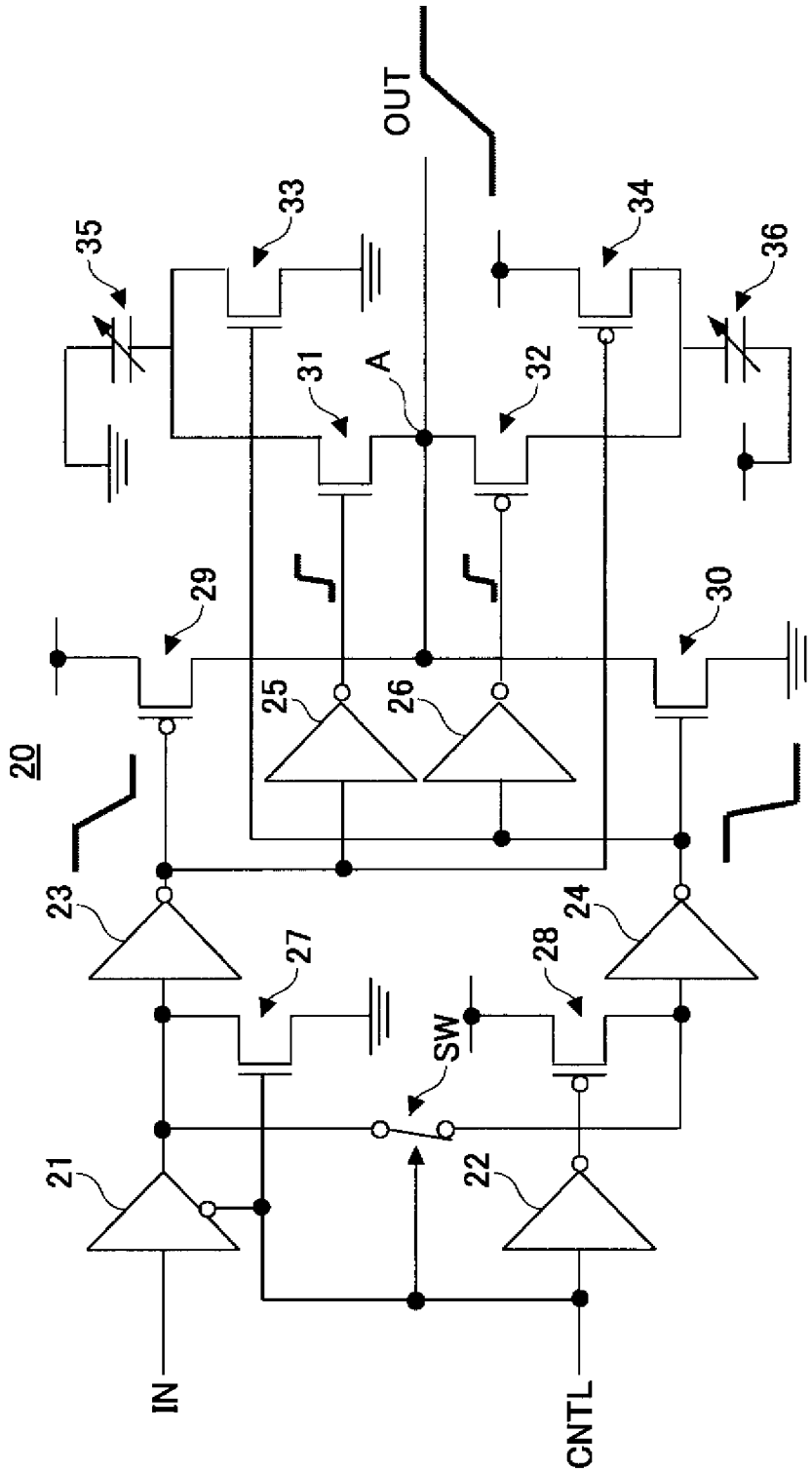
[図7]



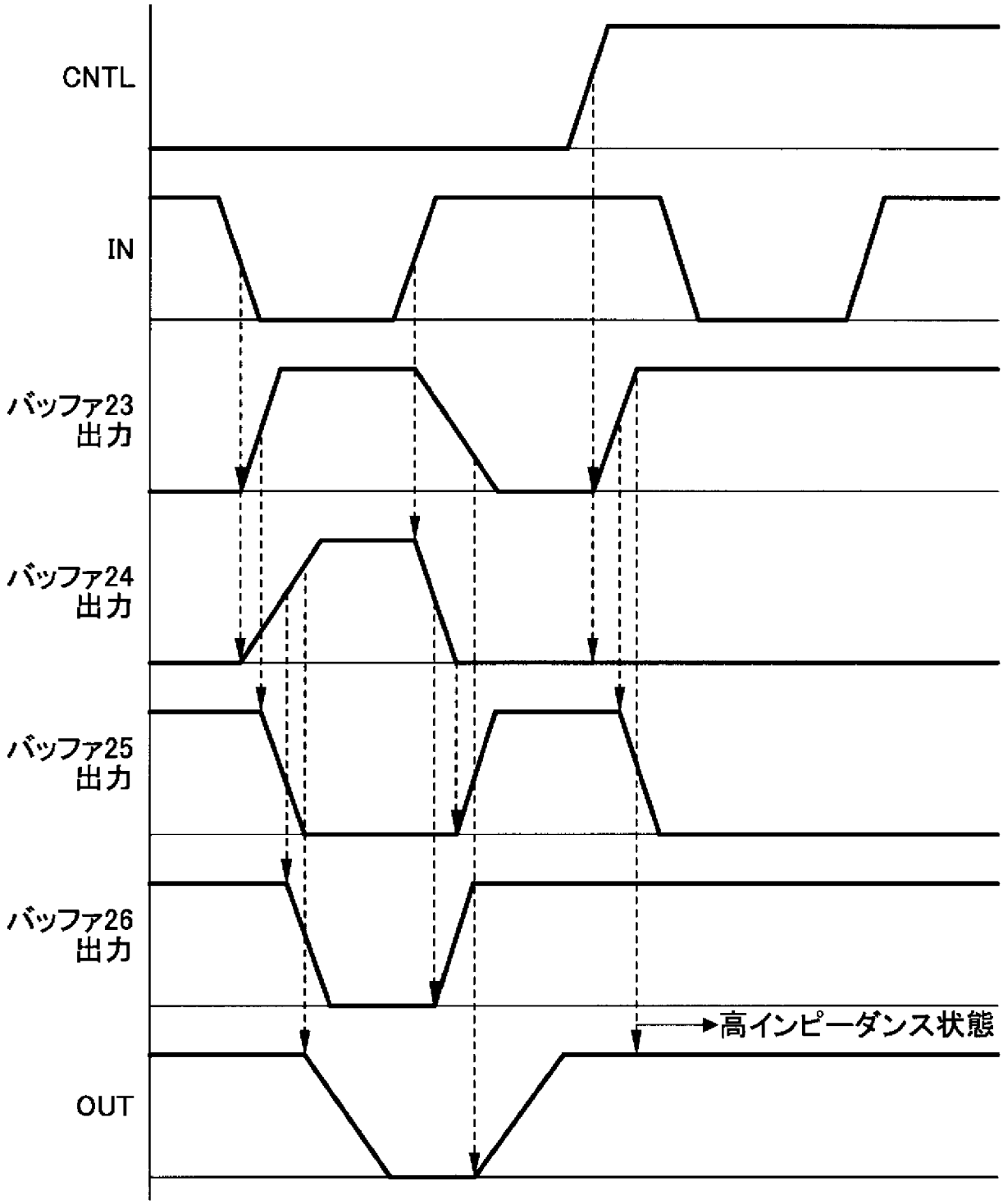
[図8]



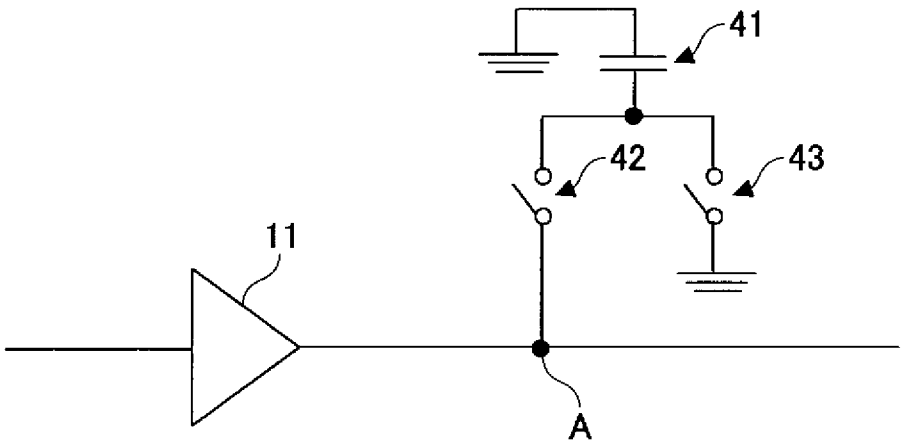
[図9]



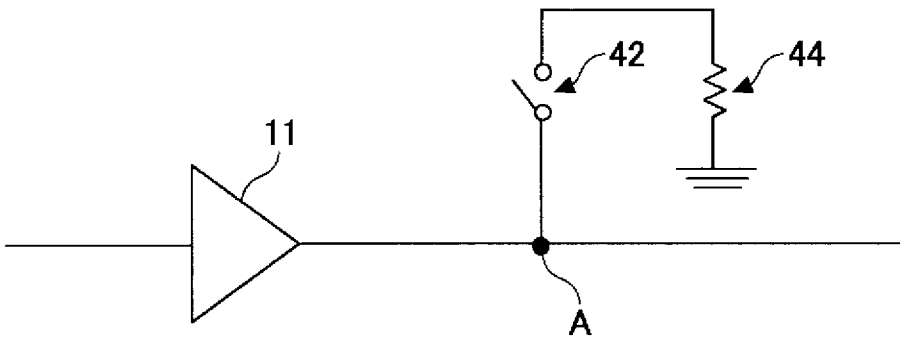
[図10]


CNTL
IN
バッファ23
出力
バッファ24
出力
バッファ25
出力
バッファ26
出力
高インピーダンス状態
OUT

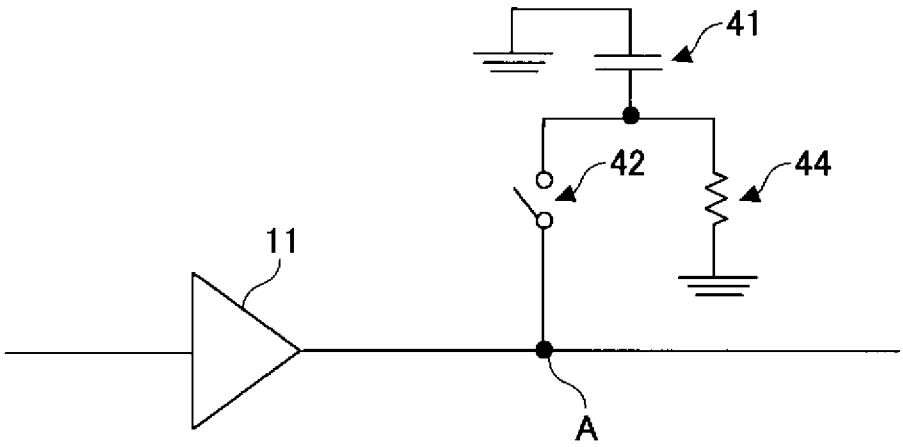
[図11]



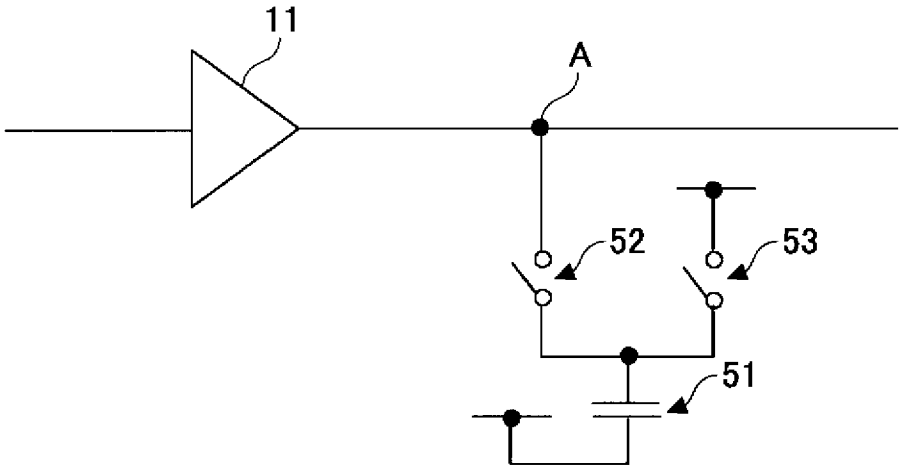
[図12]



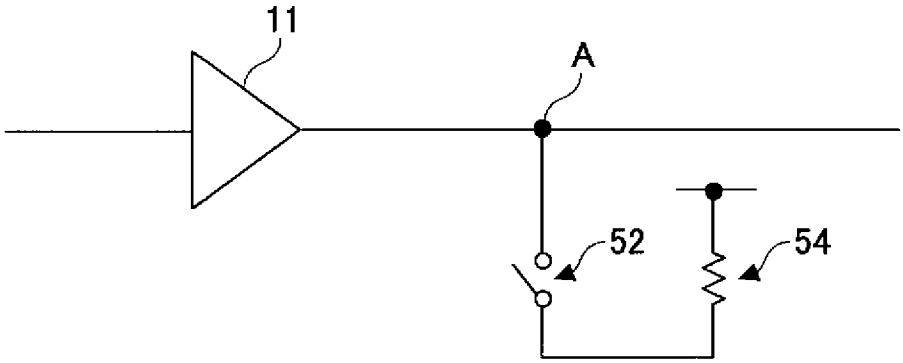
[図13]



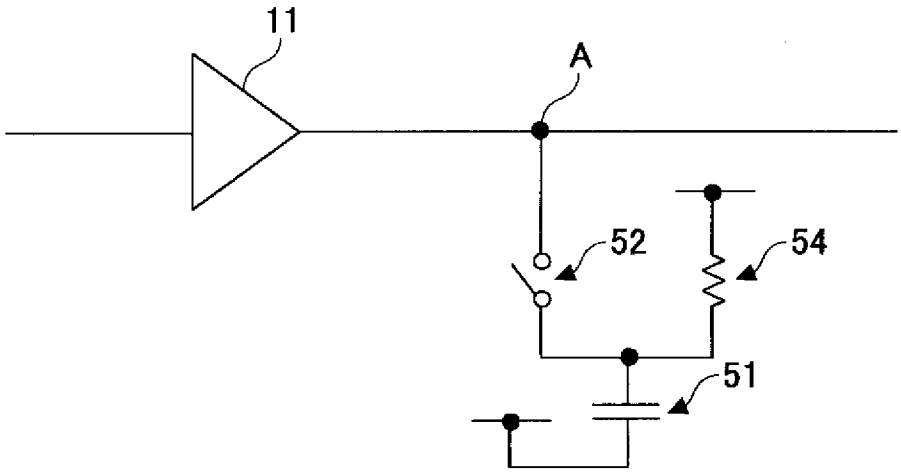
[図14]



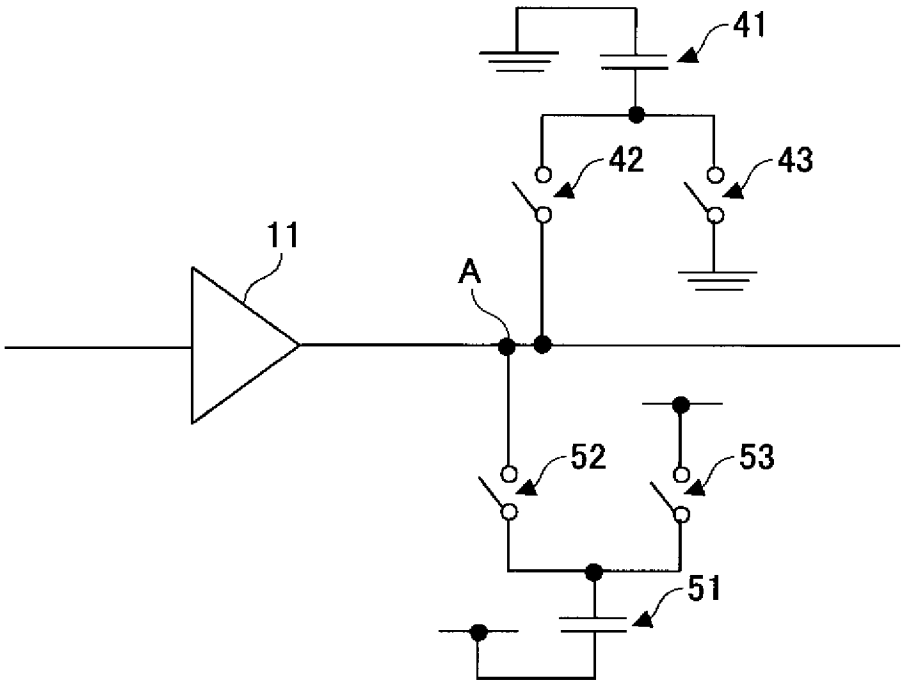
[図15]



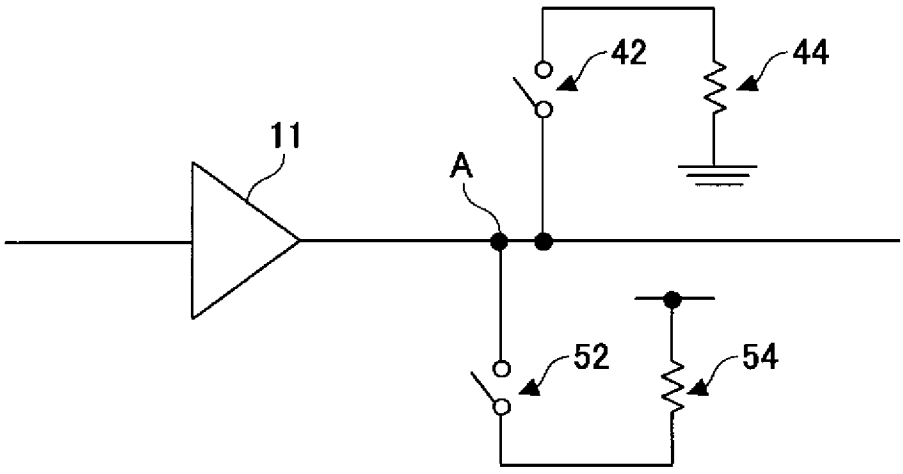
[図16]



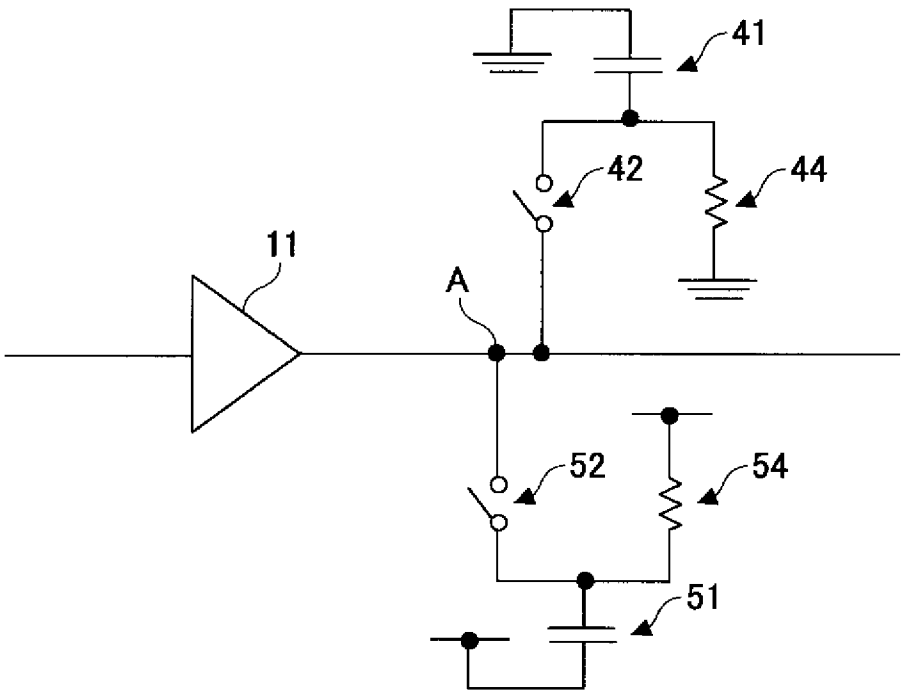
[図17]



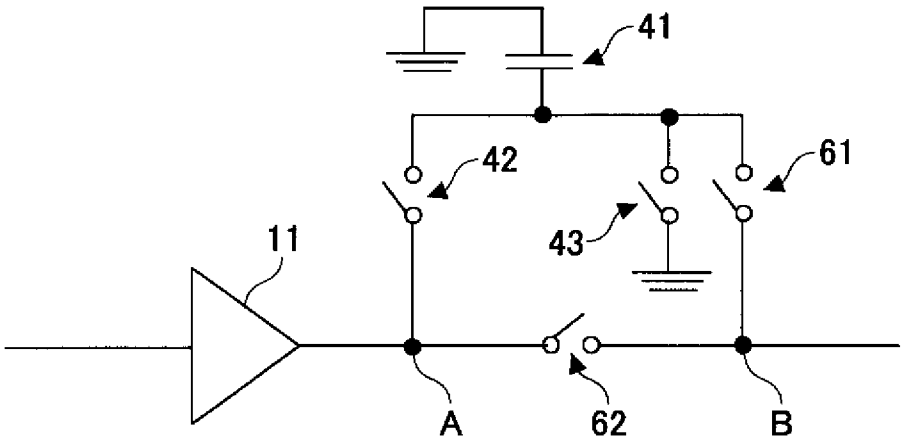
[図18]



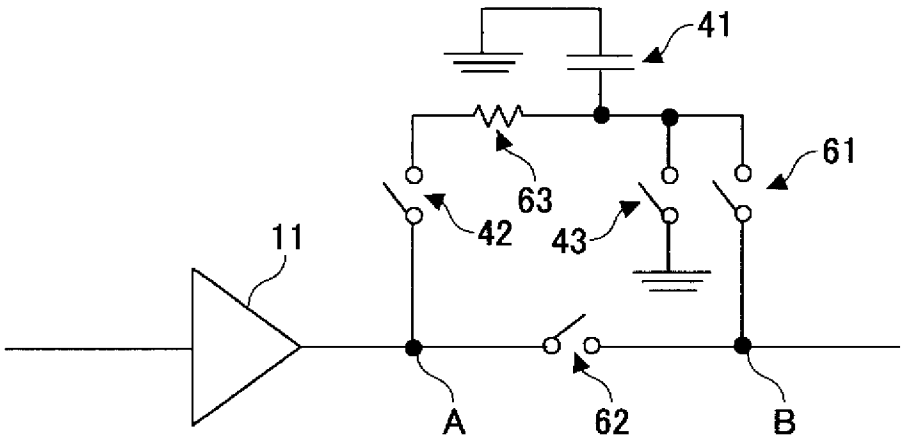
[図19]



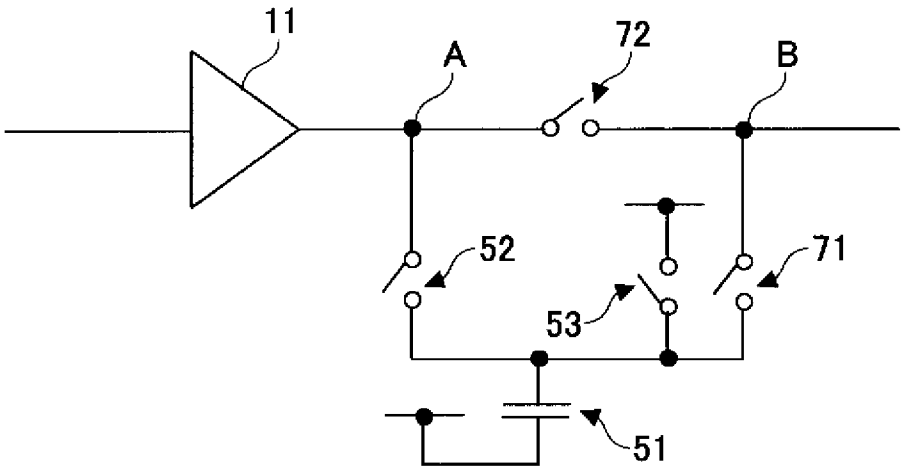
[図20]



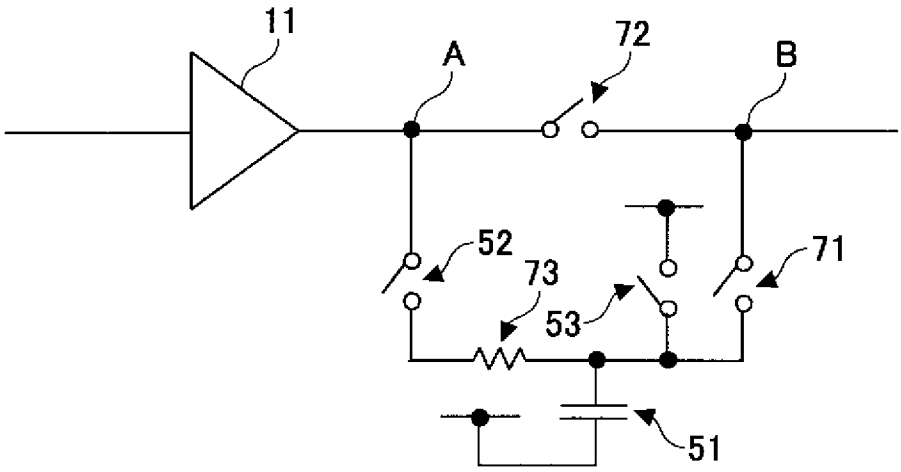
[図21]



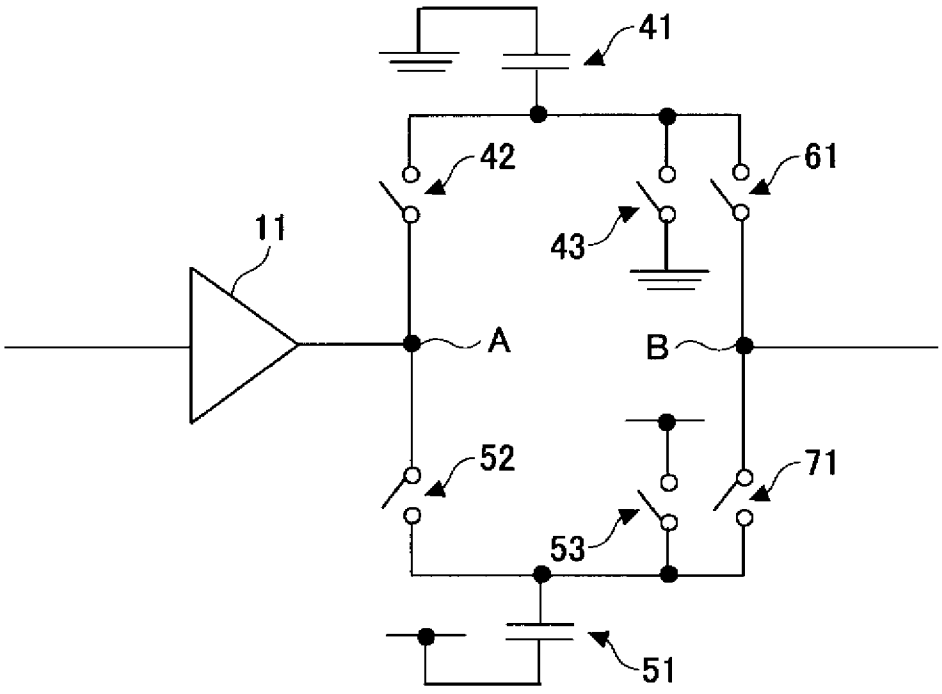
[図22]



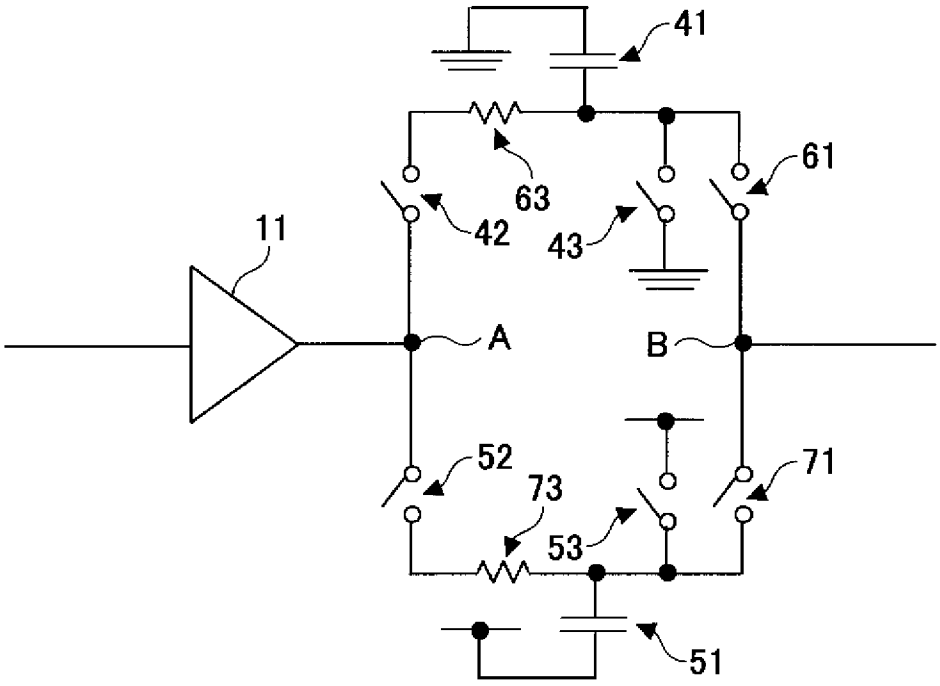
[図23]



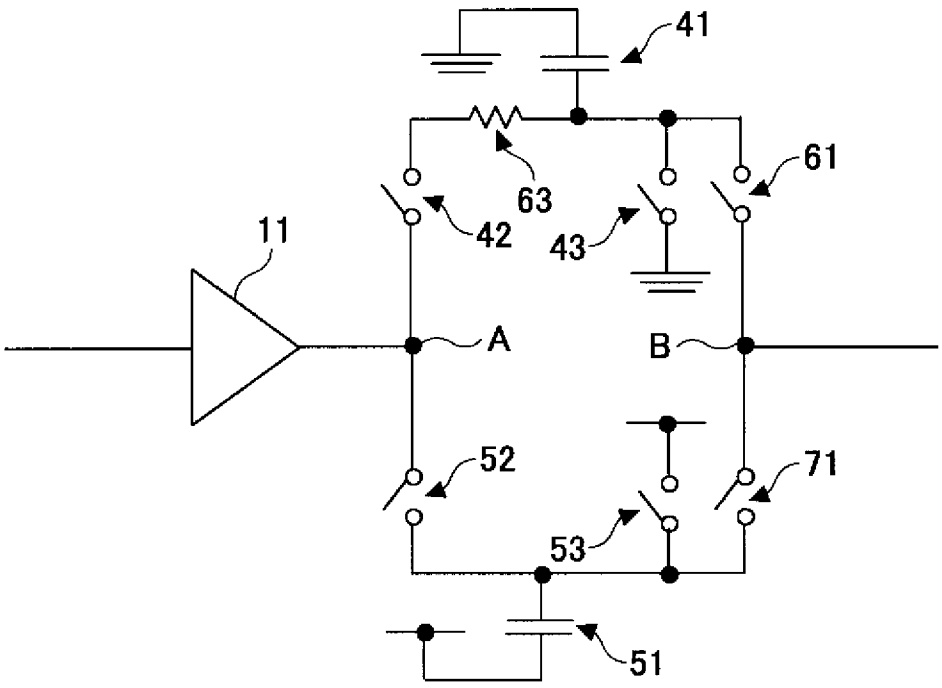
[図24]



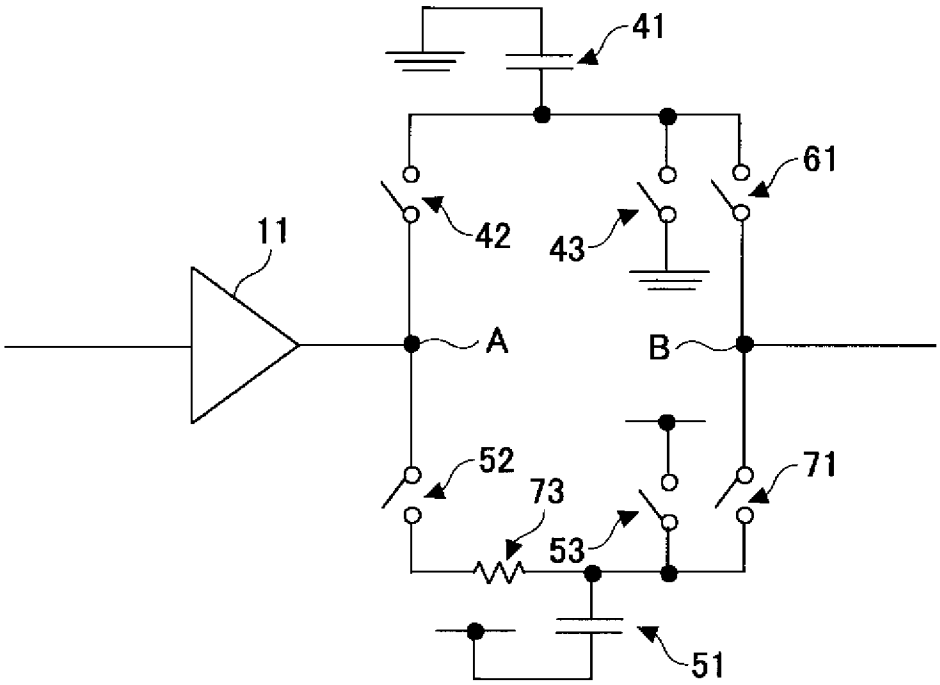
[図25]



[図26]



[図27]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/055092

A. CLASSIFICATION OF SUBJECT MATTER
H03K5/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K5/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007
Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-88130 A (Toko, Inc.), 30 March, 1999 (30.03.99), Full text; Fig. 1 (Family: none)	1-6,9,12 7-8,10,11
Y A	JP 9-172356 A (Fujitsu Ltd.), 30 June, 1997 (30.06.97), Full text; Figs. 1, 2 (Family: none)	1-6,9,12 7-8,10,11
A	JP 5-48420 A (Fujitsu Ltd.), 26 February, 1993 (26.02.93), Full text; Fig. 1 (Family: none)	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 April, 2007 (12.04.07)	24 April, 2007 (24.04.07)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００７／０５５０９２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03K5/12(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03K5/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００７年
日本国実用新案登録公報	１９９６－２００７年
日本国登録実用新案公報	１９９４－２００７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｙ Ａ	ＪＰ　１１－８８１３０　Ａ　（東光株式会社） １９９９．０３．３０、全文、図１　（ファミリーなし）	１－６、９、１２ ７－８、１０及び１１
Ｙ Ａ	ＪＰ　９－１７２３５６　Ａ　（富士通株式会社） １９９７．０６．３０、全文、図１及び図２　（ファミリーなし）	１－６、９、１２ ７－８、１０及び１１
Ａ	ＪＰ　５－４８４２０　Ａ　（富士通株式会社） １９９３．０２．２６、全文、図１　（ファミリーなし）	１－１２

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１２．０４．２００７	２４．０４．２００７

国際調査機関の名称及びあて先

日本国特許庁（ＩＳＡ／ＪＰ）

郵便番号１００－８９１５

東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｘ　３５７２

石田　勝

電話番号　０３－３５８１－１１０１　内線　３５９６