(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2019-91937
(P2019-91937A)
(43)公開日　令和1年6月13日(2019.6.13)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 27/146	(2006.01)	H01L	27/146	E	4M118
H04N 5/369	(2011.01)	H04N	5/369		5C024

審査請求 有　請求項の数 4　OL　（全 16 頁）

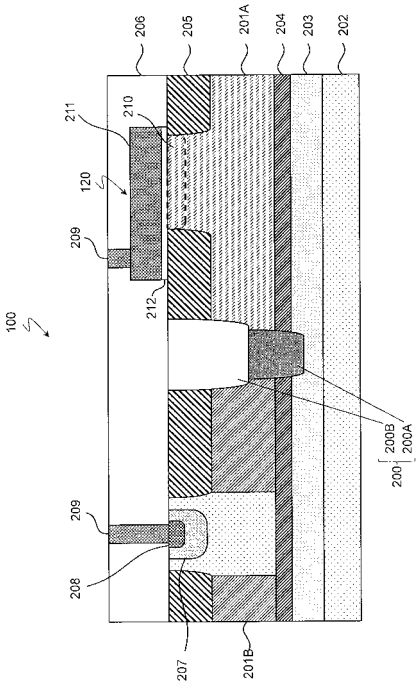
(21)出願番号　特願2019-33996(P2019-33996)
(22)出願日　平成31年2月27日(2019.2.27)
(62)分割の表示　特願2014-264698(P2014-264698)の分割
原出願日　平成26年12月26日(2014.12.26)

(71)出願人　314012076
パナソニックＩＰマネジメント株式会社
大阪府大阪市中央区城見２丁目１番６１号
(74)代理人　100101683
弁理士　奥田　誠司
(74)代理人　100155000
弁理士　喜多　修市
(74)代理人　100180529
弁理士　梶谷　美道
(74)代理人　100125922
弁理士　三宅　章子
(74)代理人　100135703
弁理士　岡部　英隆
(74)代理人　100188813
弁理士　川喜田　徹

最終頁に続く

(54)【発明の名称】撮像装置

(57)【要約】
【課題】暗電流による影響を抑制して高画質で撮像を行うことが可能な積層型の固体撮像装置を提供する。
【解決手段】撮像装置１は、入射光を光電変換する光電変換部１０１と、光電変換部の信号を増幅する増幅トランジスタ１２０と、光電変換部の電圧を初期化するリセットトランジスタ１３０と、を含む単位画素セル１００を備える。増幅トランジスタは半導体基板に設けられた第１のウェル領域２０１Ａに形成され、リセットトランジスタは半導体基板に設けられた第２のウェル領域２０１Ｂに形成され、第１のウェル領域と第２のウェル領域とは電気的に分離されている。
【選択図】図５



【特許請求の範囲】
【請求項１】
入射光を光電変換する光電変換部と、前記光電変換部で生成された信号電荷を蓄積する電荷蓄積領域と、前記信号電荷の量に応じた電圧を出力する増幅トランジスタと、を含む画素を備え、
前記増幅トランジスタは半導体基板に設けられた第１ウェル領域に形成され、前記電荷蓄積領域は前記半導体基板に設けられた第２ウェル領域に形成され、
前記第１ウェル領域は第１導電型の不純物領域であり、前記第２ウェル領域は第２導電型の不純物領域であり、前記電荷蓄積領域は前記第１導電型の不純物領域であり、
前記第１ウェル領域に与える電位は、前記第２ウェル領域に与える電位とは異なる、撮像装置。
【請求項２】
前記光電変換部は、第１電極と、第２電極と、前記第１電極と前記第２電極との間に挟まれた光電変換膜と、を有し、
前記電荷蓄積領域は、前記第２電極に電気的に接続されている請求項１に記載の撮像装置。
【請求項３】
ドレインが前記増幅トランジスタのソースに接続された選択トランジスタをさらに備え、
前記選択トランジスタは前記第１ウェル領域に設けられている、請求項１または２に記載の撮像装置。
【請求項４】
前記第１導電型はｎ型であり、前記第２導電型はｐ型である、請求項１から３のいずれかに記載の撮像装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本願は、光電変換膜を有する固体撮像装置（以下、単に「撮像装置」と称する場合がある。）に関する。
【背景技術】
【０００２】
ＭＯＳ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）型の固体撮像装置として積層型の固体撮像装置が提案されている。積層型の固体撮像装置では、半導体基板の最表面に光電変換膜が積層され、光電変換膜内において光電変換によって発生した信号電荷を電荷蓄積領域、いわゆるＦＤ（Ｆｌｏａｔｉｎｇ　Ｄｉｆｆｕｓｉｏｎ）に蓄積する。固体撮像装置は、半導体基板内でＣＣＤ（Ｃｈａｒｇｅ　Ｃｏｕｐｌｅｄ　Ｄｅｖｉｃｅ）回路またはＣＭＯＳ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ　ＭＯＳ）回路を用いてその蓄積された電荷を読み出す。例えば特許文献１が、そのような固体撮像装置を開示している。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】特開２００９－１６４６０４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】
上述した従来の積層型の固体撮像装置では、リーク電流（以下、「暗電流」と称する場合がある。）をさらに低減するための技術開発が望まれている。本願の限定的ではないある例示的な一実施形態は、暗電流による影響を抑制して高画質で撮像を行うことが可能な積層型の固体撮像装置を提供する。
【課題を解決するための手段】

【０００５】
上記課題を解決するために、本開示の一態様は、入射光を光電変換する光電変換部と、光電変換部の信号を増幅する増幅トランジスタと、光電変換部の電圧を初期化するリセットトランジスタと、を含む単位画素セルを備え、増幅トランジスタは半導体基板に設けられた第１のウェル領域に形成され、リセットトランジスタは半導体基板に設けられた第２のウェル領域に形成され、第１のウェル領域と第２のウェル領域とは電気的に分離されている、撮像装置を含む。
【発明の効果】
【０００６】
本開示の一態様によれば、暗電流による影響を抑制して高画質で撮像を行うことが可能な積層型の固体撮像装置を提供できる。
【図面の簡単な説明】
【０００７】
【図１】図１は、例示的な第１の実施形態による撮像装置１の構成を示す模式図である。
【図２】図２は、例示的な第１の実施形態による単位画素セル１００の回路構成を示す模式図である。
【図３】図３は、複数の単位画素セル１００を２次元に配列して構成された撮像装置１の四隅のうちの１つの近辺の様子を示す模式図である。
【図４】図４は、例示的な第１の実施形態による単位画素セル１００に着目したとき、そのレイアウトの様子を示す模式図である。
【図５】図５は、図４に示されるＡ－Ａ’線に沿って単位画素セル１００を切断したときの断面を示す断面図である。
【図６】図６は、図４に示されるＡ－Ａ’線に沿って、例示的な第１の実施形態の変形例による単位画素セル１００を切断したときの断面を示す断面図である。
【図７】図７は、例示的な第２の実施形態による撮像装置１の構成を示す模式図である。
【図８】図８は、例示的な第２の実施形態による単位画素セル１００の回路構成を示す模式図である。
【図９】図９は、例示的な第２の実施形態による単位画素セル１００に着目したとき、そのレイアウトの様子を示す模式図である。
【発明を実施するための形態】
【０００８】
積層型の固体撮像装置においては、暗電流の改善が求められている。特に、暗電流のうち、ＦＤおよび基板の間の暗電流の改善が要求されている。一般に、その暗電流を低減するためには、ＦＤ電圧と、基板電圧との差を小さくすることが有効である。ＦＤ電圧とは、ＦＤに蓄積された電荷の量に応じた電位を意味する。
【０００９】
ＦＤ電圧は、後述する増幅トランジスタのゲートに入力電圧として印加される。そのため、ＦＤ電圧を小さくすると、増幅トランジスタの入力電圧が低下する。その結果、画素回路の動作レンジが確保されず、画素回路を駆動することが困難となる。換言すると、十分な駆動電流を確保することができない。後述する「画素回路」とは、ＦＤに蓄積された電荷の量に応じて発生する信号電圧を外部に出力する回路を指す。
【００１０】
このような課題に鑑み、本願発明者は、新規な構造を備えた撮像装置に想到した。本開示の一態様の概要は以下の項目に記載のとおりである。
【００１１】
〔項目１〕
入射光を光電変換する光電変換部と、光電変換部の信号を増幅する増幅トランジスタと、光電変換部の電圧を初期化するリセットトランジスタと、を含む単位画素セルを備え、増幅トランジスタは半導体基板に設けられた第１のウェル領域に形成され、リセットトランジスタは半導体基板に設けられた第２のウェル領域に形成され、第１のウェル領域と第

２のウェル領域とは電気的に分離されていることを特徴とした撮像装置。
この構成によると、単位画素セル１００において、第１のウェル領域と、第２のウェル領域とにそれぞれ独立したウェル電位を与えることができる。
【００１２】
〔項目２〕
光電変換部で生成された信号電荷を蓄積する電荷蓄積領域が第２のウェル領域に設けられている、項目１に記載の撮像装置。
この構成によると、暗電流を効率的に低減することができる。
【００１３】
〔項目３〕
光電変換部は、光電変換膜と、光電変換膜の受光面に形成された第１の画素電極と、光電変換膜の受光面に対向した面に形成された第２の画素電極と、を有し、増幅トランジスタおよびリセットトランジスタは、第２の画素電極に電気的に接続されている項目１または２に記載の撮像装置。
【００１４】
〔項目４〕
増幅トランジスタの出力を制御する選択トランジスタをさらに備え、選択トランジスタは第１のウェル領域に設けられている、項目１から３のいずれかに記載の撮像装置。
この構成によると、電荷蓄積部の信号電圧を選択的に外部に出力することができる。
【００１５】
〔項目５〕
単位画素セルは、光電変換部の信号を負帰還するフィードバック経路と、フィードバック経路の導通を制御するフィードバックトランジスタと、をさらに備え、フィードバックトランジスタは第２のウェル領域に設けられている、項目１から４のいずれかに記載の撮像装置。
この構成によると、リセットトランジスタおよびフィードバックトランジスタで発生するｋＴＣノイズを抑制でき、またフィードバック制御を効率的に行うことができる。
【００１６】
〔項目６〕
第１および第２のウェル領域はＰ型不純物領域であり、第１のウェル領域に印加される電位は、第２のウェル領域に印加される電位よりも大きい項目１から５のいずれかに記載の撮像装置。
この構成によると、単位画素セル内の画素回路をＮＭＯＳトランジスタで構成することができる。また、基板バイアス効果を利用して、増幅トランジスタの閾値電圧を下げることができる。その結果、画素回路の駆動電流を確保することができる。
【００１７】
〔項目７〕
第１および第２のウェル領域はＮ型不純物領域であり、第１のウェル領域に印加される電位は、第２のウェル領域に印加される電位よりも小さい項目１から５のいずれかに記載の撮像装置。
この構成によると、単位画素セル内の画素回路をＰＭＯＳトランジスタで構成することができる。基板バイアス効果により、増幅トランジスタの閾値を下げることができるので駆動電流を低下させることなく、動作レンジを確保することができる。
【００１８】
上述した本開示の一態様によれば、増幅トランジスタの入力電圧が低下しても、増幅トランジスタの閾値電圧Ｖｔｈを下げることができるので、駆動電流（ドレイン－ソース電流Ｉｄｓ）を確保することができる。
【００１９】
以下、図面を参照しながら、本開示による実施形態を説明する。なお、本開示は、以下の実施形態に限定されない。また、本発明の効果を奏する範囲を逸脱しない範囲で、適宜

変更は可能である。さらに、一の実施形態と他の実施形態とを組み合わせることも可能である。以下の説明において、同一または類似する構成要素については同一の参照符号を付している。また、重複する説明は省略する場合がある。

【００２０】

本願明細書では、画素回路内の各トランジスタをＮＭＯＳトランジスタとして扱い、画素回路を説明する。当然ながら、ＰＭＯＳトランジスタを用いて画素回路を構成してもよい。または、ＮＭＯＳトランジスタとＰＭＯＳトランジスタとを組み合わせて画素回路を構成しても構わない。

【００２１】

（第１の実施形態）

図１から図５を参照しながら、本実施形態による撮像装置１の構造および機能を説明する。

【００２２】

（固体撮像装置１の構造）

図１は、本実施形態による撮像装置１の例示的な構成を模式的に示す。撮像装置１は、複数の単位画素セル１００と周辺回路とを備える。後述する周辺回路は、単位画素セル１００に蓄積された信号電荷に応じた信号を外部に読み出す。

【００２３】

複数の単位画素セル１０は、半導体基板上に２次元に配列されることにより、感光領域（画素領域）を形成している。半導体基板は、その全体が半導体である基板に限定されない。半導体基板は、感光領域が形成される側の表面に半導体層が設けられた絶縁性基板などであってもよい。

【００２４】

図示する例では、複数の単位画素セル１００は、行方向および列方向に配列されている。本明細書において、行方向および列方向とは、行および列がそれぞれ延びる方向をいう。つまり、垂直方向が列方向であり、水平方向が行方向である。なお、複数の単位画素セル１００は、１次元に配列されていてもよい。その場合、撮像装置１は、ラインセンサであり得る。

【００２５】

単位画素セル１００は、電源配線２に接続されている。各単位画素セル１００には、電源配線２を介して所定の電源電圧が供給される。後に詳しく説明するように、単位画素セル１００は、半導体基板に積層された光電変換膜を有する光電変換部１０１（図２を参照）を含んでいる。また、図示するように、撮像装置１は、すべての光電変換部１０１に同一の一定電圧を印加するための蓄積制御線３を有する。

【００２６】

周辺回路は、垂直走査回路（「行走査回路」とも呼ばれる）４と、負荷回路５と、カラム信号処理回路（「行信号蓄積回路」とも呼ばれる）６と、水平信号読み出し回路（「列走査回路」とも呼ばれる）７と、反転増幅器８とを含む。図示する構成において、カラム信号処理回路６、負荷回路５および反転増幅器８は、２次元に配列された単位画素セル１００の列毎に配置されている。この例では、周辺回路は、複数のカラム信号処理回路６と、複数の負荷回路５と、複数の反転増幅器８とを含んでいる。

【００２７】

垂直走査回路４は、アドレス信号線９およびリセット信号線１０を介して単位画素セル１００に接続されている。垂直走査回路４は、アドレス信号線９に所定の電圧を印加することにより、各行に配置された複数の単位画素セル１００を行単位で選択する。これにより、選択された単位画素セル１００の信号電圧の読み出しと、後述する画素電極のリセットとが実行される。

【００２８】

各列に配置された単位画素セル１００は、各列に対応した垂直信号線１１を介してカラム信号処理回路６に電気的に接続されている。垂直信号線１１には、負荷回路５が電気的

に接続されている。カラム信号処理回路６は、相関二重サンプリングに代表される雑音抑圧信号処理およびアナログ－デジタル変換（ＡＤ変換）などを行う。複数のカラム信号処理回路６には、水平信号読み出し回路７が電気的に接続されている。水平信号読み出し回路７は、複数のカラム信号処理回路６から水平共通信号線１２に信号を順次読み出す。

【００２９】

図１に示す構成では、複数の反転増幅器８が各列に対応して設けられている。反転増幅器８の負側の入力端子は、対応する垂直信号線１１に接続されている。反転増幅器８の正側の入力端子には、所定の電圧（例えば１Ｖまたは１Ｖ近傍の正電圧）Ｖｒｅｆが供給される。また、反転増幅器８の出力端子は、各列に対応して設けられたフィードバック線１３を介して、その反転増幅器８の負側の入力端子との接続を有する複数の単位画素セル１００に接続されている。反転増幅器８は、単位画素セル１００からの出力を負帰還させるフィードバック回路１６の一部を構成する。そのため、反転増幅器８をフィードバックアンプと呼んでもよい。反転増幅器８の動作は後述する。

【００３０】

図２は、図１に示す単位画素セル１００の例示的な回路構成を示す。単位画素セル１００は、光電変換部１０１と、画素回路とを含む。

【００３１】

光電変換部１０１は、単位画素セル１００に入射する光（入射光）を光電変換する。光電変換部１０１は、入射光の光量に応じた信号電荷を生成して蓄積する。光電変換部１０１は、典型的には、第１の画素電極１０１ａと、第２の画素電極１０１ｃと、それらの間に挟まれた光電変換膜１０１ｂとを有する。光電変換膜１０１ｂは、有機材料またはアモルファスシリコンなどの無機材料から形成され得る。

【００３２】

光電変換膜１０１ｂの受光面側に、第１の画素電極１０１ａが設けられている。第１の画素電極１０１ａは、ＩＴＯなどの透明な導電性材料から形成される。光電変換膜１０１ｂの受光面に対向した面の側には第２の画素電極１０１ｃが設けられる。第２の画素電極１０１ｃは、光電変換膜１０１ｂにおいて光電変換によって発生した信号電荷を収集する。第２の画素電極１０１ｃは、アルミニウム、銅などの金属、または、不純物がドープされることにより導電性が付与されたポリシリコンなどから形成される。

【００３３】

画素回路は、３つのトランジスタを含んでいる。それらのトランジスタは、アドレストランジスタ（選択トランジスタ）１１０、増幅トランジスタ１２０およびリセットトランジスタ１３０であり、例えばＰ型シリコン基板に形成され得る。以下、各トランジスタと各信号線との電気的な接続関係を説明する。

【００３４】

第１の画素電極１０１ａは、蓄積制御線３に接続されている。また、光電変換部１０１で発生した信号電荷は、光電変換部１０１、リセットトランジスタ１３０および増幅トランジスタ１２０の間に形成されたノード（電荷蓄積部）に主に蓄積される。そのノードは一般にフローティングディフュージョン（ＦＤ）と称される。第２の画素電極１０１ｃは、ＦＤに接続されている。

【００３５】

蓄積制御線３を介して第１の画素電極１０１ａの電位を制御することにより、光電変換によって生じた正孔－電子対のうち、正孔および電子のいずれか一方を第２の画素電極１０１ｃによって収集することができる。信号電荷として正孔を利用する場合、第２の電極１０１ｃよりも第１の画素電極１０１ａの電位を高くすればよい。以下では、信号電荷として正孔を利用する場合を例示する。例えば１０Ｖ程度の電圧が、蓄積制御線３を介して第１の画素電極１０１ａに印加される。これにより、信号電荷をＦＤに蓄積することができる。もちろん、信号電荷として電子を利用してもよい。

【００３６】

増幅トランジスタ１２０、アドレストランジスタ１１０、および定電流源１９は、ソー

スフォロア回路を形成する。ＦＤに蓄積された信号電荷に応じた信号は、垂直信号線１１に出力され、外部に読み出される。なお、定電流源１９は、単位画素セル１１０毎に設けられていてもよいし、単位画素セル１１０の素子数を削減するために、複数の単位画素セル１１０により共有されていてもよい。

【００３７】

増幅トランジスタ１２０のゲートには、ＦＤが接続されている。増幅トランジスタ１２０のドレインは、ソースフォロア電源電圧ＡＶＤＤに接続され、ソースは、アドレストランジスタ１１０のドレインに接続されている。増幅トランジスタ１２０は、光電変換部１０１で発生した信号電荷の量に応じた信号電圧を出力する。

【００３８】

アドレストランジスタ１１０のゲートは、アドレス信号線９に接続されている。アドレストランジスタ１１０のソースは、定電流源１９および反転増幅器８に接続されている。アドレストランジスタ１１０は、単位画素セル１００から垂直信号線１１に信号電圧を選択的に出力する。このように、増幅トランジスタ１２０の出力電圧は、アドレストランジスタ１１０を介して垂直信号線１１から読み出される。

【００３９】

リセットトランジスタ１３０のゲートは、リセット信号線１０に接続されている。リセットトランジスタ１３０のドレインおよびソースの一方は、反転増幅器８の出力に接続され、他方は、ＦＤに接続されている。リセットトランジスタ１３０は、光電変換部１０１の信号電荷（電圧）をリセット（初期化）する。換言すると、リセットトランジスタ１３０は、増幅トランジスタ１２０のゲート電極の電位をリセットする。

【００４０】

反転増幅器８、増幅トランジスタ１２０およびリセットトランジスタ１３０は、ＦＤを介して帰還（フィードバック回路）１６を形成する。フィードバック回路１６によって、ＦＤから読み出された信号は、増幅トランジスタ１２０によって読み出された後、反転増幅器８によって増幅されてＦＤに帰還される。

【００４１】

反転増幅器８の出力端子は、フィードバック線１３を介してリセットトランジスタ１３０のドレインまたはソースに接続されている。従って、反転増幅器８は、増幅トランジスタ１２０、アドレストランジスタ１１０およびリセットトランジスタ１３０が導通状態にあるときに、アドレストランジスタ１１０の出力値を負端子に受ける。そして、増幅トランジスタ１２０のゲート電位が所定のフィードバック電圧となるように、フィードバック動作がされる。このとき、反転増幅器８の出力電圧値は、例えば１Ｖまたは１Ｖ近傍の正電圧である。フィードバック電圧とは、反転増幅器８の出力電圧を意味する。

【００４２】

再び図１を参照する。単位画素セル１００内の信号電荷が、アドレストランジスタ１１０を介して垂直信号線１１に出力される。出力された信号電荷は、カラム信号処理回路６に電気信号として蓄積される。その後、蓄積された信号電荷は水平信号読み出し回路７により選択されて出力される。また、単位画素セル１００内の信号電荷は、リセットトランジスタ１３０をオン状態とすることにより排出される。その際、リセットトランジスタ１３０からｋＴＣ雑音と呼ばれる大きな熱雑音が発生する。この熱雑音は、リセットトランジスタ１３０をオフ状態とし、信号電荷の蓄積を始める際にも残留する。

【００４３】

この熱雑音を抑えるために、垂直信号線１１を反転増幅器８の負側の入力端子に接続させている。垂直信号線１１の電圧値、つまり負側の入力端子への電圧値は、反転増幅器８により反転増幅される。反転増幅された信号はフィードバック線１３を介してリセットトランジスタ１３０のドレインまたはソースにフィードバックされている。これにより、リセットトランジスタ１３０で発生する熱雑音を負帰還制御により抑圧することができる。

【００４４】

（単位画素セル１００のデバイス構造）

次に、図３から図５を参照しながら、単位画素セル１００のデバイス構造を説明する。
【００４５】
図３は、複数の単位画素セル１００を２次元に配列して構成された撮像装置１の四隅のうちの１つの近辺の様子を示している。撮像装置１において、複数の単位画素セル１００が行列状に配置されている。単位画素セル１００は、第１の画素ウェル２０１Ａおよび第２の画素ウェル２０１Ｂを有する。本願明細書では、撮像装置１において、第１の画素ウェル２０１Ａが設けられた領域を「第１の画素ウェル領域」と称し、第２の画素ウェル２０１Ｂが設けられた領域を「第２の画素ウェル領域」と称する。
【００４６】
図示する例では、レイアウトの効率化の観点から、隣接する単位画素セル１００の間において、第１の画素ウェル２０１Ａが互いに隣接し、第２の画素ウェル２０１Ｂが互いに隣接するように複数の単位画素セル１００を配置している。これにより、撮像装置１においては、第１の画素ウェル領域と、第２の画素ウェル領域とが交互に形成される。
【００４７】
第１の画素ウェル２０１Ａと、第２の画素ウェル２０１Ｂとは、それらの境界に設けられたウェル分離領域２００によって電気的に分離されている。図示する例では、第１の画素ウェル２０１Ａの周囲をウェル分離領域２００によって囲むことにより、第２の画素ウェル２０１Ｂとは電気的に分離された島状の画素ウェル領域を形成している。このような構成により、第１の画素ウェル２０１Ａと、第２の画素ウェル２０１Ｂとにそれぞれ独立した電位（ウェル電位）を与えることができる。
【００４８】
ただし、本開示はこれに限定されない。例えば、第２の画素ウェル２０１Ｂの周囲をウェル分離領域２００によって囲むことにより、第１の画素ウェル２０１Ａとは電気的に分離された島状の画素ウェル領域を形成することもできる。このように、一方の画素ウェル領域とは電気的に分離された島状の他方の画素ウェル領域を形成することができれば、いかなる構成を採用しても構わない。
【００４９】
図４は、１つの単位画素セル１００に着目したとき、そのレイアウトの様子を示している。アドレストランジスタ１１０および増幅トランジスタ１２０は第１の画素ウェル２０１Ａに形成されている。ＦＤおよびリセットトランジスタ１３０は第２の画素ウェル２０１Ｂに形成されている。第１の画素ウェル２０１Ａおよび第２の画素ウェル２０１Ｂの境界には、ウェル分離領域２００が設けられている。
【００５０】
第１の画素ウェル２０１Ａには、第１の画素ウェル電位線２０によってコンタクトを介して第１のウェル電位が印加される。また、第２の画素ウェル２０１Ｂには、第２の画素ウェル電位線２１によってコンタクトを介して第２のウェル電位が印加される。
【００５１】
図５は、図４に示されるＡ－Ａ’線に沿って単位画素セル１００を切断したときの断面を模式的に示している。半導体基板２０２は、例えばｐ型シリコン（Ｓｉ）の基板である。その基板には、アドレストランジスタ１１０、増幅トランジスタ１２０、およびリセットトランジスタ１３０が形成されている。ただし、図５には、増幅トランジスタ１２０のみが示されている。
【００５２】
半導体基板２０２の表面には、ｎ型不純物領域２０３が形成されている。ｎ型不純物領域２０３の上には、ｐ型不純物領域２０４が形成されている。
【００５３】
ｎ型不純物領域２０３の上には、第１の画素ウェル２０１Ａおよび第２の画素ウェル２０１Ｂが形成されている。第１の画素ウェル２０１Ａおよび第２の画素ウェル２０１Ｂのそれぞれは、例えばｐ型不純物で形成され得る。
【００５４】

第１の画素ウェル２０１Ａおよび第２の画素ウェル２０１Ｂの間にはウェル分離領域２００が形成されている。ウェル分離領域２００は第１のウェル分離領域２００Ａおよび第２のウェル分離領域２００Ｂを有する。例えば、第１のウェル分離領域２００Ａはｎ型不純物領域から形成され、第２のウェル分離領域２００ＢはＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）から形成される。半導体表面からある深さまではＳＴＩによりウェル分離領域を形成し、その深さを超えた範囲ではｎ型不純物領域でウェル分離領域を形成している。

【００５５】

素子分離領域２０５は、第１の画素ウェル２０１Ａの表面において、増幅トランジスタ１２０およびアドレストランジスタ１１０（図４を参照）を囲むように形成され得る。また、素子分離領域２０５は、第２の画素ウェル２０１Ｂの表面において、リセットトランジスタ１３０を囲むように形成され得る。素子分離領域２０５は、各トランジスタを互いに電気的に分離する。例えば、素子分離領域２０５はｐ型不純物拡散領域である。

【００５６】

層間絶縁膜２０６が、半導体基板２０２上に積層されている。さらに、図示していないが、層間絶縁膜２０６の上には、光電変換部１０１が設けられている。層間絶縁膜２０６には、コンタクトプラグ２０９が設けられている。コンタクトプラグ２０９は、光電変換部１０１と、ＦＤおよび増幅トランジスタ１２０などとを電気的に接続する。コンタクトプラグ２０９は、光電変換部１０１で発生した信号電荷の一部を蓄積するノードとしても機能する。

【００５７】

第１の画素ウェル領域の半導体基板２０２上には、ゲート絶縁膜２１２を介して増幅トランジスタ１２０のゲート電極２１１が形成されている。そして、ゲート電極２１１の直下の、第１の画素ウェル２０１Ａの表面には、チャネル領域２１０が形成され得る。

【００５８】

一方、第２の画素ウェル領域の半導体基板２０２の表面付近には、高濃度のn^+型不純物領域２０８が形成されている。n^+型不純物領域２０８は、コンタクトプラグ２０９と半導体基板２０２との接触面の周囲に形成される空乏層の広がり（空乏化）を抑制するために、高濃度のｎ型不純物から形成されている。n^+型不純物領域２０８には、コンタクトプラグ２０９が接続されている。また、n^+型不純物領域２０８を囲むように、ｎ型不純物領域２０７が半導体基板２０２の表面に形成されている。ｎ型不純物領域２０７は電荷蓄積部、すなわち、ＦＤとして機能する。

【００５９】

ｎ型不純物領域２０７はリセットトランジスタ１３０のドレイン領域でもある。増幅トランジスタ１２０のゲート電極２１１は、コンタクトプラグ２０９を介してｎ型不純物領域２０７に電気的に接続されている。

【００６０】

本実施形態によれば、単位画素セル１００において、第１の画素ウェル２０１Ａと、第２の画素ウェル２０１Ｂとにそれぞれ独立した電位を与えることができる。これにより、ＦＤと、増幅トランジスタ１２０とのそれぞれに、個別のウェル電位を設定することができる。その結果、ＦＤ電圧を下げて、ウェルとの間のＰＮ接合で発生する暗電流を低減することができる。また、基板バイアス効果により、ウェル電位を変えることによってトランジスタの閾値を制御できるので画素回路に十分な駆動電流を確保することができる。以下、具体的に説明する。

【００６１】

画素回路をＮＭＯＳトランジスタを用いて構成した場合、第１の画素ウェル２０１Ａに与える第１のウェル電位を、第２の画素ウェル２０１Ｂに与える第２のウェル電位よりも高く設定する。例えば、第１のウェル電位を０．５Ｖ程度、第２のウェル電位を０Ｖとすることができる。仮に第２の電圧を０Ｖに設定し、暗時（光を受光していない時）のＦＤ電圧を１．０Ｖから０．８Ｖに下げて設定したとする。その場合、増幅トランジスタ１２

０のゲートに印加される電位も下がるので、従来と同様に第１のウェル電位が第２のウェル電位と同じ０Ｖであれば、画素回路を駆動できる十分な駆動電流を確保できない。

【００６２】

駆動電流を確保するためには、基板バイアス効果を利用して、増幅トランジスタ１２０の閾値電圧を下げる方向に第１のウェル電位を設定し、電流を確保する必要がある。本実施形態によれば、第２のウェル電位よりも高くなるように第１のウェル電位を０．５Ｖ程度に設定できるので、基板バイアス効果により、増幅トランジスタ１２０の閾値を下げることができる。その結果、駆動電流を低下させることなく、動作レンジを確保できる。ただし、第１の画素ウェル２０１Ａに高い電圧を印加すると、アドレストランジスタ１１０または増幅トランジスタ１２０のソース・ドレインから第１の画素ウェル２０１Ａに順バイアス方向に電流が流れるので、少なくともビルトポテンシャル（Ｖｂｉ）よりも小さい値に第１のウェル電位を設定することが好ましい。

【００６３】

画素回路をＰＭＯＳトランジスタを用いて構成した場合、第１の画素ウェル２０１Ａに与える第１のウェル電位を、第２の画素ウェル２０１Ｂに与える第２のウェル電位よりも低く設定する。例えば、ウェル分離を行ってない構造において基板電圧を３．３Ｖに設定した場合に対し、本実施形態では第１のウェル電位を２．８Ｖ程度、第２のウェル電位を３．３Ｖ程度とすることができる。このように、第１のウェル電位を第２のウェル電位よりも低くできるので、基板バイアス効果により、増幅トランジスタ１２０の閾値を下げることができる。その結果、駆動電流を低下させることなく、動作レンジを確保できる。なお、ＰＭＯＳトランジスタにおいて、閾値の低下は、Ｖｔｈの大きさを正の方向に変化させることを意味する。

【００６４】

以下、本実施形態による単位画素セル１００の変形例を説明する。

【００６５】

図６は、図４に示されるＡ－Ａ’線に沿って、変形例による単位画素セル１００を切断したときの断面を模式的に示している。変形例による単位画素セル１００は、ウェル分離領域２００を有していない点で、本実施形態による単位画素セル１００とは異なる。本変形例においては、第１のウェル領域はＰＭＯＳ構造であり、第２のウェル領域はＮＭＯＳ構造である。第１の画素ウェル２０１Ａはｎ型となるので、ｐ型不純物領域２０４を第１のウェル領域には形成していない。また、ｐ型不純物領域２０４は、第２のウェル領域において、ＦＤ領域の周囲に形成されたｐ型層の電位を固定する役割を担う。

【００６６】

本変形例によると、ウェル分離領域２００を形成しなくてもよいので、デバイスの製造プロセスが容易になる。また、個々の単位画素セル１００のサイズを小さくすることができるので、撮像装置１全体を小型化できる。ただし、リーク電流をより効率よく抑制する点では、上述した第１の実施形態による単位画素セル１００の方が好ましい。ＰＭＯＳ化すると、増幅トランジスタ１２０の相互コンダクタンスＧｍが小さくなるからである。

【００６７】

（第２の実施形態）

図７から図９を参照しながら、本実施形態による撮像装置１の構造および機能を説明する。本実施形態による単位画素セル１００内の画素回路は、アドレストランジスタ１１０、増幅トランジスタ１２０およびリセットトランジスタ１３０に加えてフィードバックトランジスタ１４０（図８を参照）をさらに含んでいる点で、第１の実施形態による単位画素セル１００内の画素回路とは異なる。また、本実施形態による画素回路は、第１および第２の容量素子１５０、１６０を含んでいる点で、第１の実施形態による画素回路とは異なる。「容量素子（ｃａｐａｃｉｔｏｒ）」とは、電極の間に絶縁膜などの誘電体が挟まれた構造を意味する。以下、第１の実施形態とは異なる点を中心に本実施形態を説明する。

【００６８】

図７は、本実施形態による撮像装置１の例示的な構成を模式的に示す。

【００６９】

本実施形態による撮像装置１は、フィードバックトランジスタ１４０を制御するフィードバック制御線１４をさらに備えている。フィードバック制御線１４は垂直走査回路４に接続されている。垂直走査回路４は、フィードバック制御線１４に所定の電位を印加する。これにより、単位画素セル１００の出力を負帰還させるフィードバック回路１６が形成される。

【００７０】

図８は、本実施形態による単位画素セル１００の例示的な回路構成を示す。単位画素セル１００は、第１の実施形態と同様に、光電変換部１０１と、画素回路とを含む。

【００７１】

本実施形態による画素回路は、４つのトランジスタを含んでいる。それらのトランジスタは、アドレストランジスタ１１０、増幅トランジスタ１２０、リセットトランジスタ１３０およびフィードバックトランジスタ１４０であり、例えばＰ型シリコン基板に形成され得る。以下、フィードバックトランジスタ１４０、第１の容量素子１５０および第２の容量素子１６０のそれぞれの電気的な接続関係および機能を説明する。

【００７２】

フィードバックトランジスタ１４０は、反転増幅器８の出力に接続され、フィードバック回路１６の一部を構成する。フィードバックトランジスタ１４０のゲートは、フィードバック制御線１４に接続されている。フィードバック制御線１４に電位を印加することにより、フィードバック回路１６を制御することができる。

【００７３】

第１の実施形態と同様に、第１の画素電極１０１ａは、蓄積制御線３に接続されており、第２の画素電極１０１ｃは、ＦＤに接続されている。リセットトランジスタ１３０のソースおよびドレインの一方、および第１の容量素子１５０の一方の電極は、ＦＤに接続されている。つまり、これらは、第２の画素電極１０１ｃとの電気的な接続を有する。リセットトランジスタ１３０のソースおよびドレインの他方、および第１の容量素子１５０の他方の電極は、第２の容量素子１６０の一方の電極に接続されている。本願明細書では、フィードバックトランジスタ１４０、リセットトランジスタ１３０、第１の容量素子１５０および第２の容量素子１６０の間に形成されたノードを「ＲＤ」と称することにする。第２の容量素子１６０の電極のうち、ＲＤに接続されていない他方の電極は電位制御線１５に接続されている。その電位は、例えば０Ｖに設定され得る。

【００７４】

本実施形態によると、第１の容量素子１５０の容量Ｃｃおよび第２の容量素子１６０の容量Ｃｓをそれぞれ適切に設定することができる。例えば、第２の容量素子１６０の容量Ｃｓを、第１の容量素子１５０の容量Ｃｃよりも大きくなるように設定する。これにより、単位画素セル１００内の素子数の増加を抑制しながら、簡易な構成でダイナミックレンジを拡大することが可能となる。したがって、本実施形態は、例えば高ダイナミックレンジで撮影する撮像装置に有用である。

【００７５】

リセットトランジスタ１３０およびフィードバックトランジスタ１４０のゲート電圧を適切に制御することにより、感度の異なる２つの動作モードを切り替えることができる。２つの動作モードとは、比較的高い感度で撮像が可能な第１のモード、および、比較的低い感度で撮像が可能な第２のモードである。

【００７６】

図９は、単位画素セル１００のレイアウトの様子の一例を示している。図示するように、光電変換部１０１を、アドレストランジスタ１１０および増幅トランジスタ１２０と同様に第１の画素ウェル２０１Ａに形成することもできる。ただし、光電変換部１０１の配置は図示する例に限られない。

【００７７】

第１の容量素子１５０および第２の容量素子１６０を第２の画素ウェル２０１Ｂに形成している。これにより、ＦＤと同様に第２の画素ウェル２０１ＢにＲＤを形成している。図９に示すＢ－Ｂ’線に沿って単位画素セル１００を切断したときの断面は、図５に示すとおりである。

【００７８】

本実施形態によれば、単位画素セル１００において、第１の画素ウェル２０１Ａと、第２の画素ウェル２０１Ｂとにそれぞれ独立した電位を与えることができる。これにより、ＦＤおよびＲＤに共通のウェル電位を設定でき、増幅トランジスタ１２０には、第１の画素ウェル２０１Ａに印加する電位として、第２の画素ウェル２０１Ｂに印加する電位と異なるウェル電位を設定することができる。その結果、ＦＤおよびＲＤの電位を低下させて、ウェルとの間のＰＮ接合で発生する暗電流を低減することができる。また、第１の実施形態と同様に、基板バイアス効果により、ウェル電位を変えることによってトランジスタの閾値を制御できるので画素回路に十分な駆動電流を確保することができる。

【産業上の利用可能性】

【００７９】

本開示による撮像装置は、低ノイズで高画質の撮影を行うデジタルカメラなどに利用できる。

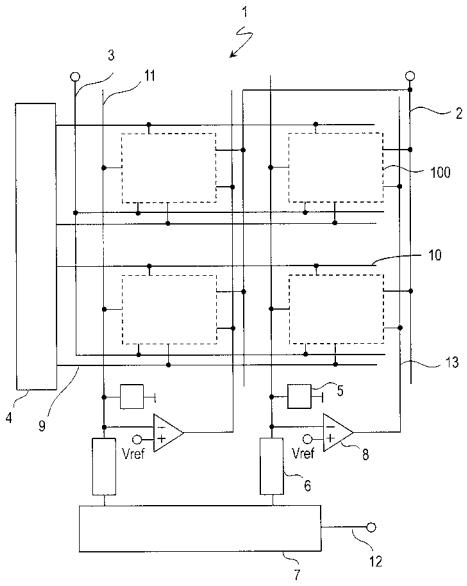
【符号の説明】

【００８０】

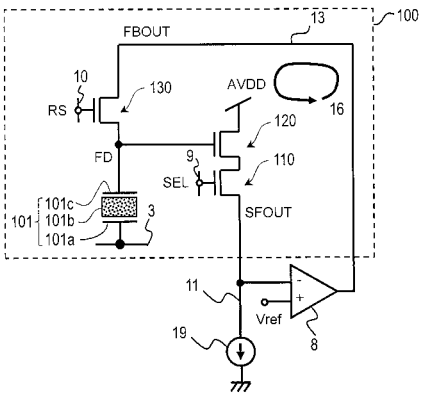
１　（固体）撮像装置
２　電源配線
３　蓄積制御線
４　垂直走査回路
５　負荷回路
６　カラム信号処理回路
７　水平信号読み出し回路
８　反転増幅器
９　アドレス信号線
１０　リセット信号線
１１　垂直信号線
１２　水平共通信号線
１３　フィードバック線
１４　フィードバック制御線
１５　電位制御線
１６　フィードバック回路
１９　定電流源
２０　第１の画素ウェル電位線
２１　第２の画素ウェル電位線
１００　単位画素セル
１０１　光電変換部
１０１ａ　第１の画素電極
１０１ｂ　光電変換膜
１０１ｃ　第２の画素電極
１１０　アドレストランジスタ
１２０　増幅トランジスタ
１３０　リセットトランジスタ
１４０　フィードバックトランジスタ
１５０　第１の容量素子
１６０　第２の容量素子
２００　ウェル分離領域

２００Ａ　第１のウェル分離領域
２００Ｂ　第２のウェル分離領域
２０１Ａ　第１の画素ウェル
２０１Ｂ　第２の画素ウェル
２０２　　半導体基板
２０３　　ｎ型不純物領域
２０４　　ｐ型不純物領域
２０５　　素子分離領域
２０６　　層間絶縁膜
２０７　　ｎ型不純物領域
２０８　　n^+型不純物領域
２０９　　コンタクトプラグ
２１０　　チャネル領域
２１１　　ゲート電極
２１２　　ゲート絶縁膜

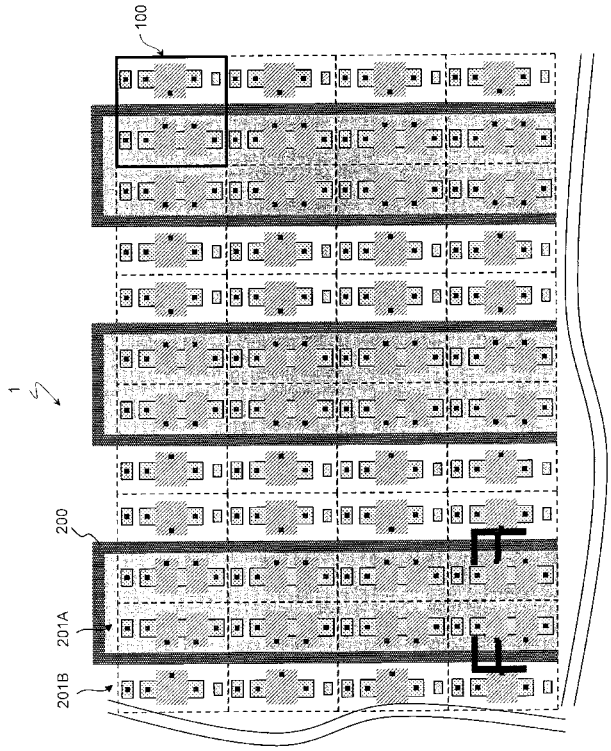
【図１】



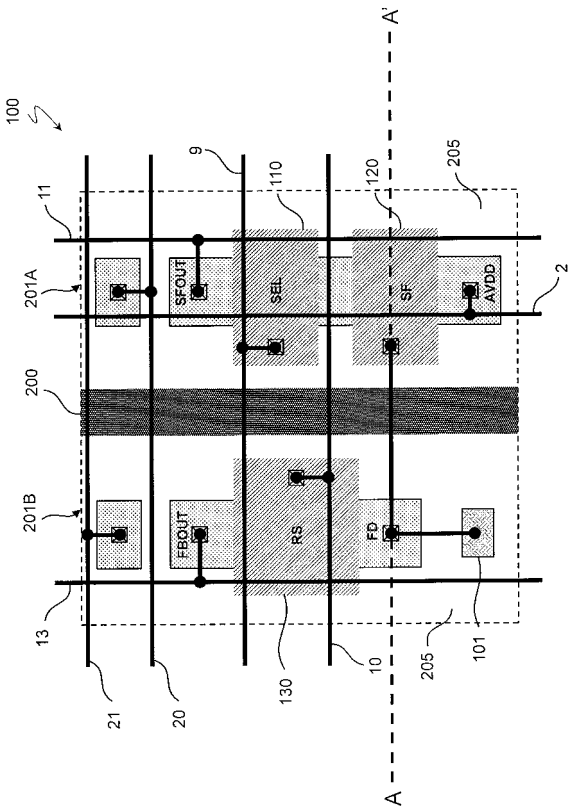
【図２】



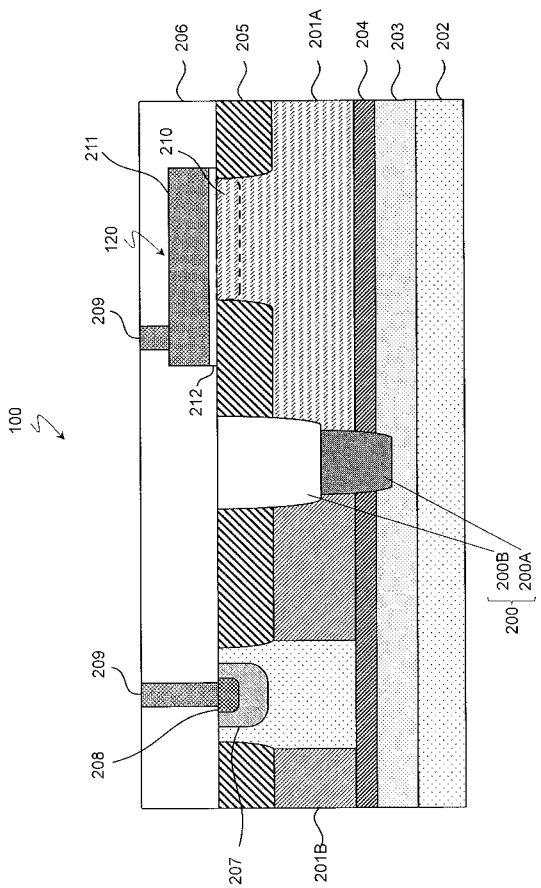
【図３】


100
1
200
201A
201B

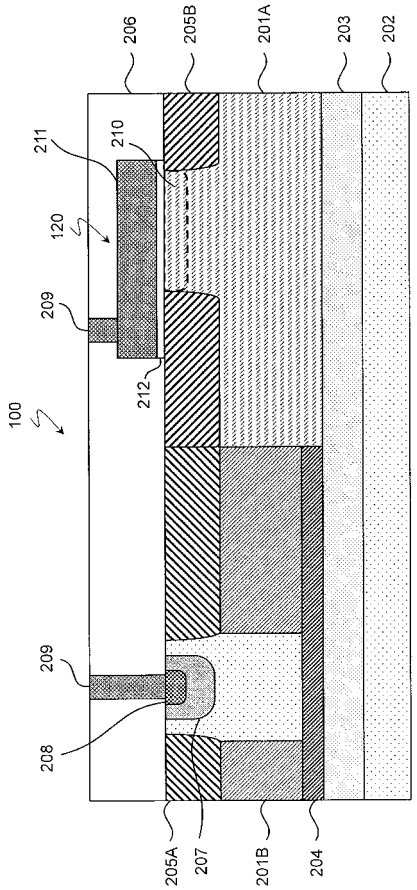
【図４】


A
A'
100
11
9
110
120
205
201A
SFOUT
SEL
SF
AVDD
2
200
201B
FBOUT
RS
FD
13
21
20
130
10
205
101

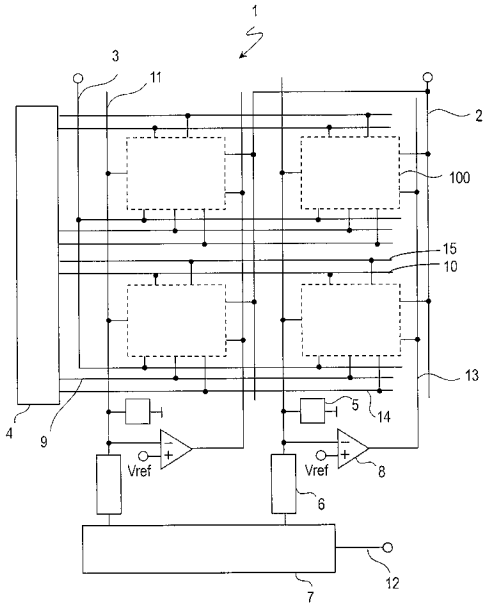
【図５】


206
205
201A
204
203
202
211
210
120
209
212
100
200B
200A
200
209
208
207
201B

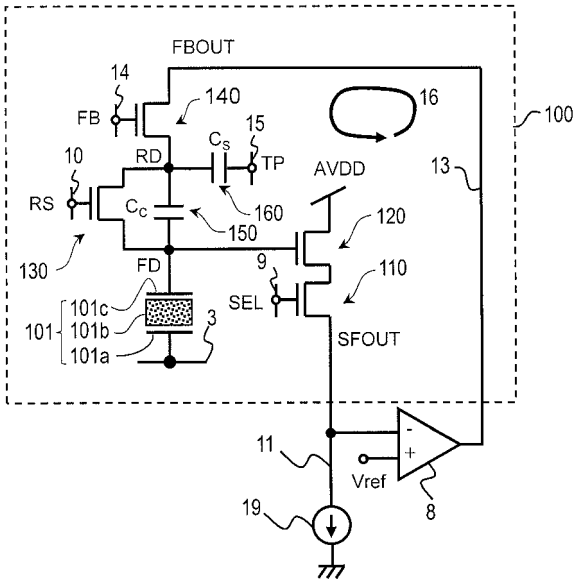
【図６】


206
205B
201A
203
202
211
210
120
209
212
100
209
208
205A
207
201B
204

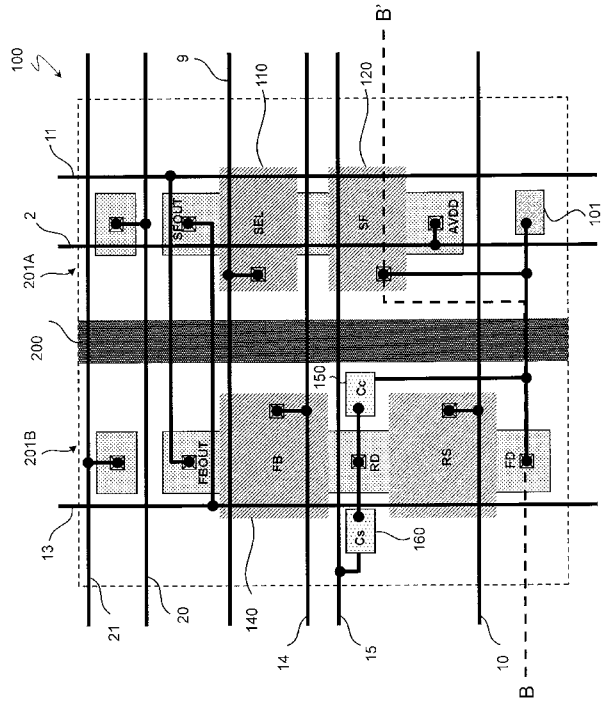
【図７】


1
3
11
2
100
15
10
13
5
14
4
9
Vref
8
6
7
12

【図８】


FBOUT
14
140
16
100
FB
15
Cs
10
RD
TP
AVDD
13
RS
Cc
160
120
150
130
FD
9
110
SEL
101c
101
101b
101a
3
SFOUT
11
Vref
8
19

【図９】


B'
100
9
110
120
11
2
SFOUT
SEL
SF
AVDD
101
201A
200
150
Cc
201B
FBOUT
FB
RD
RS
FD
13
Cs
160
21
20
140
14
15
10
B

フロントページの続き

(74)代理人 100184985
弁理士 田中 悠
(74)代理人 100202197
弁理士 村瀬 成康
(72)発明者 佐藤 好弘
大阪府門真市大字門真１００６番地 パナソニック株式会社内
(72)発明者 平瀬 順司
大阪府門真市大字門真１００６番地 パナソニック株式会社内

Ｆターム(参考) 4M118 AB01 BA07 CA14 CB06 CB14 CB20 DD04 DD12 FA06 FA08
5C024 CX41 CX43 GX01 GX03 GX06 GY31