

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4302535号
(P4302535)

(45) 発行日 平成21年7月29日(2009.7.29)

(24) 登録日 平成21年5月1日(2009.5.1)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G02F 1/1345 (2006.01)	G02F 1/1345
G02F 1/1368 (2006.01)	G02F 1/1368
G09G 3/20 (2006.01)	G09G 3/20 612K
請求項の数 9 (全 27 頁) 最終頁に続く	

(21) 出願番号 特願2003-584804 (P2003-584804)
 (86) (22) 出願日 平成15年4月4日(2003.4.4)
 (65) 公表番号 特表2005-522734 (P2005-522734A)
 (43) 公表日 平成17年7月28日(2005.7.28)
 (86) 国際出願番号 PCT/KR2003/000671
 (87) 国際公開番号 W02003/087921
 (87) 国際公開日 平成15年10月23日(2003.10.23)
 審査請求日 平成17年10月31日(2005.10.31)
 (31) 優先権主張番号 10-2002-0018924
 (32) 優先日 平成14年4月8日(2002.4.8)
 (33) 優先権主張国 韓国(KR)
 (31) 優先権主張番号 10-2002-0061454
 (32) 優先日 平成14年10月9日(2002.10.9)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 503447036
 サムスン エレクトロニクス カンパニー
 リミテッド
 大韓民国キョンギード, スウォンーシ, ヨ
 ントンーク, マエタンードン 416
 (74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子
 (72) 発明者 リ, バクーウォン
 大韓民国, ソウル 156-826, ドン
 ジャクグ, サダン1ードン, #1035
 -10

最終頁に続く

(54) 【発明の名称】 ゲート駆動回路及びこれを有する液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

各駆動ステージにおいて、前段ステージの出力端子が、前記前段ステージの次の次段ステージの制御端子に連結されることで、互いに従属的に連結され、マトリクス形態で配列されたそれぞれの画素上に形成されたスイッチング素子に連結された複数の駆動信号ラインに前記複数のスイッチング素子を駆動するための駆動信号を順次に前記各ステージの出力端子を通じて出力する複数の駆動ステージと、

ダミー出力信号を出力するダミー出力端子及びダミー制御端子を有し、前記ダミー出力端子が前記複数の駆動ステージのうち、最終段の駆動ステージの制御端子に連結されて前記最終段の駆動ステージをオン/オフさせ、かつ、前記ダミー制御端子が前記ダミー出力端子に連結されて前記ダミー出力信号によってオン/オフされるダミーステージと、を含み、

前記各駆動ステージそれぞれは、

前記スイッチング素子をオン可能なオン電圧レベルの駆動信号を前記出力端子に提供するプルアップ部と、

前記スイッチング素子をオフ可能なオフ電圧レベルの駆動信号を前記出力端子に提供するプルダウン部と、

前記オン電圧レベルの駆動信号によって駆動されて前記プルダウン部をターンオンさせるとともに前記プルアップ部をターンオフさせ、前記オン電圧レベルの駆動信号を第1所定時間のあいだ維持させるための駆動部と、を備え、

前記ダミーステージは、

前記スイッチング素子をオン可能なオン電圧レベルのダミー出力信号を前記ダミー出力端子に提供するダミープルアップ部と、

前記スイッチング素子をオフ可能なオフ電圧レベルのダミー出力信号を前記ダミー出力端子に提供するダミープルダウン部と、

前記オン電圧レベルのダミー出力信号によって駆動されて前記ダミープルダウン部をターンオンさせるとともに前記ダミープルアップ部をターンオフさせ、前記オン電圧レベルのダミー出力信号を第2所定時間のあいだ維持させるためのダミー駆動部と、を備え、

前記ダミーステージの前記ダミー駆動部は、前記ダミー制御端子に連結され、かつ前記オン電圧レベルのダミー出力信号を前記第2所定時間のあいだ維持させるための第1トランジスタを有し、

10

前記最終段の駆動ステージの前記駆動部は、前記ダミー出力端子からのダミー出力信号を受ける前記制御端子に連結され、かつ前記オン電圧レベルの駆動信号を第1所定時間のあいだ維持させるための第2トランジスタを有し、

前記第1トランジスタのサイズは、前記第2トランジスタのサイズより小さく形成されていることで、前記ダミーステージのオン電圧レベルのダミー出力信号が前記駆動ステージの駆動信号の最大電圧レベルと実質的に同じ大きさを有するように制御することを特徴とする能動マトリクス駆動ディスプレイ装置の駆動回路。

【請求項2】

前記ダミー駆動部は、

20

前記ダミープルアップ部の第1入力ノードに連結され、前記ダミーステージの入力端子から出力された入力信号に応答して前記ダミープルアップ部をターンオンさせ、前記ダミー制御端子から出力されるオン電圧レベルのダミー出力信号に応答して第3所定時間以後に前記ダミープルアップ部をターンオフさせるダミープルアップ駆動部と、

前記ダミープルダウン部の第2入力ノードに連結され、前記ダミーステージの入力端子から出力された入力信号に応答して前記ダミープルダウン部をターンオフさせ、前記ダミー制御端子から提供されるオン電圧レベルのダミー出力信号に応答して第4所定時間の以後に前記ダミープルダウン部をターンオンさせるダミープルダウン駆動部と、を含むことを特徴とする請求項1記載の能動マトリクス駆動ディスプレイ装置の駆動回路。

【請求項3】

30

前記ダミープルアップ駆動部は、

前記ダミープルアップ部の第1入力ノードと前記ダミー出力端子との間に連結されたキャパシタと、

第1ドレーンが高電源ラインに連結され、第1ゲートが前記入力端子に連結され、第1ソースが前記ダミープルアップ部の第1入力ノードに連結された第1トランジスタと、

第2ドレーンと第1ゲートが前記高電源ラインに共通に連結された第2トランジスタと

、
第3ドレーンが前記高電源ラインに連結され、第3ゲートが前記第2トランジスタの第2ソースに連結され、第3ソースが前記ダミープルダウン部の第2入力ノードに連結された第3トランジスタと、

40

第4ドレーンが前記入力端子に連結され、第4ゲートが前記ダミープルダウン部の入力ノードに連結され、第4ソースが接地電圧ラインに連結された第4トランジスタと、

第5ドレーンが前記ダミープルダウン部の第2入力ノードに連結され、第5ゲートが前記入力端子に連結され、第5ソースが前記接地電圧ラインに連結された第5トランジスタと、

第6ドレーンが前記ダミープルアップ部の第1入力ノードに連結され、第6ゲートが前記ダミープルダウン部の第2入力ノードに連結され、第6ソースが前記接地電圧ラインに連結された第6トランジスタと、を含むことを特徴とする請求項2記載の能動マトリクス駆動ディスプレイ装置の駆動回路。

【請求項4】

50

前記ダミープルアップ駆動部は、第7ドレーンが前記入力端子に連結され、第7ゲートが前記ダミー制御端子に連結され、第7ソースが前記接地電圧ラインに連結された第7トランジスタを更に含むことを特徴とする請求項3記載の能動マトリクス駆動ディスプレイ装置の駆動回路。

【請求項5】

前記ダミープルダウン駆動部は、

第8ドレーンが前記ダミープルダウン部の第2入力ノードに連結され、第8ゲートが前記ダミープルアップ部の第1入力ノードに連結され、第8ソースが前記接地電圧ラインに連結された第8トランジスタと、

第9ドレーンが前記第2トランジスタの第2ソースに連結され、第9ゲートが前記ダミープルアップ部の第1入力ノードに連結され、第9ソースが前記接地電圧ラインに連結された第9トランジスタと、

第10ドレーンが前記ダミープルアップ部の第1入力ノードに連結され、第10ゲートが前記ダミー制御端子に連結され、第10ソースが前記接地電圧端子に連結された第10トランジスタと、を含むことを特徴とする請求項3記載の能動マトリクス駆動ディスプレイ装置の駆動回路。

【請求項6】

前記駆動ステージを構成する駆動回路と、前記ダミーステージを構成する駆動回路とは同じであり、前記ダミーステージの第10トランジスタに対応する前記駆動ステージのトランジスタのサイズは、前記ダミーステージの第10トランジスタのサイズより10倍大きいことを特徴とする請求項5記載の能動マトリクス駆動ディスプレイ装置駆動回路。

【請求項7】

マトリクス形態で配列されたそれぞれの画素上に形成されたスイッチング素子に連結された複数のゲートラインが具備される第1基板と、前記第1基板と向い合う第2基板と、前記第1及び第2基板の間に介在された液晶層とで構成された表示部と、

前記請求項1に記載の複数の駆動ステージ及びダミーステージを含む駆動回路を有するゲート駆動部と、を備え、

前記駆動回路は、前記第1トランジスタのサイズが前記第2トランジスタのサイズより小さく形成されていることで、前記ダミーステージのオン電圧レベルのダミー出力信号が前記駆動ステージの駆動信号の最大電圧レベルと実質的に同じ大きさを有するように制御することを特徴とする液晶表示装置。

【請求項8】

前記ゲート駆動部は、前記複数の駆動ステージ及びダミーステージに各種信号を提供するための配線部を更に含むことを特徴とする請求項7記載の液晶表示装置。

【請求項9】

前記駆動ステージは、第1及び第2グループに分けられ、前記配線部は、

前記第1グループの複数の駆動ステージのうち、奇数番目の駆動ステージに第1クロック信号を提供する第1クロック配線と、

前記第2グループの奇数番目の駆動ステージ及び前記ダミーステージに前記第1クロック信号を提供する第2クロック配線と、

前記第1グループの複数の駆動ステージのうち、偶数番目の駆動ステージに前記第1クロック信号と反転された位相を有する第2クロック信号を提供する第3クロック配線と、

前記第2グループの偶数番目の駆動ステージに前記第2クロック信号を提供する第4クロック配線と、を含むことを特徴とする請求項8記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、能動マトリクス駆動ディスプレイ装置の駆動回路及びこれを有する能動マトリクス駆動ディスプレイ装置に関し、より詳細にはディスプレイ装置の表示特性を向上させることができる駆動回路及びこれを有する液晶表示装置に関するものである。

【背景技術】

【0002】

多結晶液晶表示装置は、素子動作を高速化させることができ、素子の低電力駆動が可能であるという長所がある反面、製造工程が複雑であるという短所がある。従って、前記多結晶液晶表示装置は、小型ディスプレイ装置に主に適用され、非晶質液晶表示装置は、主にノートブックPC、LCDモニター、HDTVなどの大画面ディスプレイ装置に適用される。

【0003】

最近では、前記非晶質液晶表示装置にも前記多結晶液晶表示装置のように液晶表示パネルのガラス基板上にゲート駆動回路を形成することで、組み立ての工程の数を減少しようとする技術開発に努めている。

10

【0004】

一般的に、前記ゲート駆動回路は、一つのシフトレジスタと前記シフトレジスタに各種信号を提供するための配線部で構成される。前記配線部は、複数の配線で構成され、前記配線のレイアウトは、前記ゲート駆動回路から出力される出力信号に影響を及ぼす。即ち、前記配線が互いにクロスされかつ発生されるキャパシタンスによって前記ゲート駆動回路の出力信号が歪曲される現状が発生される。

【0005】

従って、前記液晶表示装置の表示特性を低下させる。

【0006】

20

また、非晶質液晶表示装置が次第に大型化されるか又は高解像度を有する方向に開発されることによって、TFT基板に集積された従来のゲート駆動回路で画面を駆動するには次のような問題点が発生する。

【0007】

まず、画面が大型化されるか解像度が高くなると、そのだけ前記非晶質液晶表示装置のTFT基板に形成されたゲートライン及びゲートラインに連結された画素の数も増加される。ゲートライン及び画素が増加することによってゲート駆動部から離れるほどゲートラインのRCディレイが大きくなり、一番目のゲートラインから最後のゲートラインに行くほどハイレベル区間を有して発生されたクロックの遅延時間が大きくなる。このような理由のため、ゲート出力信号の歪曲が発生するようになり、これによって液晶表示装置の表示特性が低下される。

30

【0008】

また、配線幅が一番大きくて最外郭に配置されている配線の間キャパシタンスが形成される。これによって、液晶表示装置のRCディレイが更に大きくなる。従って、ゲート駆動信号を最小限のディレイでゲートラインに伝達することができる構造が必要である。

【発明の開示】

【発明が解決しようとする課題】

【0009】

従って、本発明の一特徴は、表示特性を向上させることができる能動マトリクス駆動ディスプレイ装置の駆動回路を提供することにある。また、本発明の他の特徴は、前記の駆動回路を有する液晶表示装置を提供する。

40

【0010】

また、本発明の他の特徴は、表示特性を向上させることができる配線構造を有する液晶表示装置を提供する。

【課題を解決するための手段】

【0011】

前述した本発明の一特徴による能動マトリクス駆動ディスプレイ装置の駆動回路は、各駆動ステージにおいて、前段ステージの出力端子が、前記前段ステージの次の次段ステージの制御端子に連結されることで、互いに従属的に連結され、マトリクス形態で配列されたそれぞれの画素上に形成されたスイッチング素子に連結された複数の駆動信号ラインに

50

前記複数のスイッチング素子を駆動するための駆動信号を順次に前記各ステージの出力端子を通じて出力する複数の駆動ステージと、ダミー出力信号を出力するダミー出力端子及びダミー制御端子を有し、前記ダミー出力端子が前記複数の駆動ステージのうち、最終段の駆動ステージの制御端子に連結されて前記最終段の駆動ステージをオン/オフさせ、かつ、前記ダミー制御端子が前記ダミー出力端子に連結されて前記ダミー出力信号によってオン/オフされるダミーステージと、を含む。

前記各駆動ステージそれぞれは、前記スイッチング素子をオン可能なオン電圧レベルの駆動信号を前記出力端子に提供するプルアップ部と、前記スイッチング素子をオフ可能なオフ電圧レベルの駆動信号を前記出力端子に提供するプルダウン部と、前記オン電圧レベルの駆動信号によって駆動されて前記プルダウン部をターンオンさせるとともに前記プルアップ部をターンオフさせ、前記オン電圧レベルの駆動信号を第1所定時間のあいだ維持させるための駆動部と、を備える。

10

前記ダミーステージは、前記スイッチング素子をオン可能なオン電圧レベルのダミー出力信号を前記ダミー出力端子に提供するダミープルアップ部と、前記スイッチング素子をオフ可能なオフ電圧レベルのダミー出力信号を前記ダミー出力端子に提供するダミープルダウン部と、前記オン電圧レベルのダミー出力信号によって駆動されて前記ダミープルダウン部をターンオンさせるとともに前記ダミープルアップ部をターンオフさせ、前記オン電圧レベルのダミー出力信号を第2所定時間のあいだ維持させるためのダミー駆動部と、を備える。

前記ダミーステージの前記ダミー駆動部は、前記ダミー制御端子に連結され、かつ前記オン電圧レベルのダミー出力信号を前記第2所定時間のあいだ維持させるための第1トランジスタを有し、前記最終段の駆動ステージの前記駆動部は、前記ダミー出力端子からのダミー出力信号を受ける前記制御端子に連結され、かつ前記オン電圧レベルの駆動信号を第1所定時間のあいだ維持させるための第2トランジスタを有し、前記第1トランジスタのサイズは、前記第2トランジスタのサイズより小さく形成されていることで、前記ダミーステージのオン電圧レベルのダミー出力信号が前記駆動ステージの駆動信号の最大電圧レベルと実質的に同じ大きさを有するように制御する。

20

【0012】

発明2は、発明1において、前記ダミー駆動部は、前記ダミープルアップ部の第1入力ノードに連結され、前記ダミーステージの入力端子から出力された入力信号にตอบสนองして前記ダミープルアップ部をターンオンさせ、前記ダミー制御端子から出力されるオン電圧レベルのダミー出力信号にตอบสนองして第3所定時間以後に前記ダミープルアップ部をターンオフさせるダミープルアップ駆動部と、前記ダミープルダウン部の第2入力ノードに連結され、前記ダミーステージの入力端子から出力された入力信号にตอบสนองして前記ダミープルダウン部をターンオフさせ、前記ダミー制御端子から提供されるオン電圧レベルのダミー出力信号にตอบสนองして第4所定時間の以後に前記ダミープルダウン部をターンオンさせるダミープルダウン駆動部と、を含むことを特徴とする。

30

発明3は、発明2において、前記ダミープルアップ駆動部は、前記ダミープルアップ部の第1入力ノードと前記ダミー出力端子との間に連結されたキャパシタと、第1ドレーンが高電源ラインに連結され、第1ゲートが前記入力端子に連結され、第1ソースが前記ダミープルアップ部の第1入力ノードに連結された第1トランジスタと、第2ドレーンと第1ゲートが前記高電源ラインに共通に連結された第2トランジスタと、第3ドレーンが前記高電源ラインに連結され、第3ゲートが前記第2トランジスタの第2ソースに連結され、第3ソースが前記ダミープルダウン部の第2入力ノードに連結された第3トランジスタと、第4ドレーンが前記入力端子に連結され、第4ゲートが前記ダミープルダウン部の入力ノードに連結され、第4ソースが接地電圧ラインに連結された第4トランジスタと、第5ドレーンが前記ダミープルダウン部の第2入力ノードに連結され、第5ゲートが前記入力端子に連結され、第5ソースが前記接地電圧ラインに連結された第5トランジスタと、第6ドレーンが前記ダミープルアップ部の第1入力ノードに連結され、第6ゲートが前記ダミープルダウン部の第2入力ノードに連結され、第6ソースが前記接地電圧ラインに連

40

50

結された第 6 トランジスタと、を含むことを特徴とする。

発明 4 は、発明 3 において、前記ダミープルアップ駆動部は、第 7 ドレインが前記入力端子に連結され、第 7 ゲートが前記ダミープルアップ制御端子に連結され、第 7 ソースが前記接地電圧ラインに連結された第 7 トランジスタを更に含むことを特徴とする。

発明 5 は、発明 3 において、前記ダミープルダウン駆動部は、第 8 ドレインが前記ダミープルダウン部の第 2 入力ノードに連結され、第 8 ゲートが前記ダミープルアップ部の第 1 入力ノードに連結され、第 8 ソースが前記接地電圧ラインに連結された第 8 トランジスタと、第 9 ドレインが前記第 2 トランジスタの第 2 ソースに連結され、第 9 ゲートが前記ダミープルアップ部の第 1 入力ノードに連結され、第 9 ソースが前記接地電圧ラインに連結された第 9 トランジスタと、第 10 ドレインが前記ダミープルアップ部の第 1 入力ノードに連結され、第 10 ゲートが前記ダミープルアップ制御端子に連結され、第 10 ソースが前記接地電圧端子に連結された第 10 トランジスタと、を含むことを特徴とする。

発明 6 は、発明 5 において、前記駆動ステージを構成する駆動回路と、前記ダミーステージを構成する駆動回路とは同じであり、前記ダミーステージの第 10 トランジスタに対応する前記駆動ステージのトランジスタのサイズは、前記ダミーステージの第 10 トランジスタのサイズより 10 倍大きいことを特徴とする。

【 0 0 1 3 】

発明 7 は、マトリクス形態で配列されたそれぞれの画素上に形成されたスイッチング素子に連結された複数のゲートラインが具備される第 1 基板と、前記第 1 基板と向い合う第 2 基板と、前記第 1 及び第 2 基板の間に介在された液晶層とで構成された表示部と、前記発明 1 に記載の複数の駆動ステージ及びダミーステージを含む駆動回路を有するゲート駆動部と、を備え、前記駆動回路は、前記第 1 トランジスタのサイズが前記第 2 トランジスタのサイズより小さく形成されていることで、前記ダミーステージのオン電圧レベルのダミー出力信号が前記駆動ステージの駆動信号の最大電圧レベルと実質的に同じ大きさを有するように制御することを特徴とする液晶表示装置を提供する。

発明 8 は、発明 7 において、前記ゲート駆動部は、前記複数の駆動ステージ及びダミーステージに各種信号を提供するための配線部を更に含むことを特徴とする。

発明 9 は、発明 8 において、前記駆動ステージは、第 1 及び第 2 グループに分けられ、前記配線部は、前記第 1 グループの複数の駆動ステージのうち、奇数番目の駆動ステージに第 1 クロック信号を提供する第 1 クロック配線と、前記第 2 グループの奇数番目の駆動ステージ及び前記ダミーステージに前記第 1 クロック信号を提供する第 2 クロック配線と、前記第 1 グループの複数の駆動ステージのうち、偶数番目の駆動ステージに前記第 1 クロック信号と反転された位相を有する第 2 クロック信号を提供する第 3 クロック配線と、前記第 2 グループの偶数番目の駆動ステージに前記第 2 クロック信号を提供する第 4 クロック配線と、を含むことを特徴とする。

【 0 0 1 5 】

これによると、ダミーステージの出力端子が最後の駆動ステージの制御端子に連結されると同時に、そのダミーステージの制御端子にも連結される。また、配線部に第 1 及び第 2 クロックが提供される第 3 及び第 4 クロック配線を追加することで、液晶表示装置の表示特性を向上することができる。

【発明を実施するための最良の形態】

【 0 0 1 6 】

以下、添付した図面を参照して、本発明の望ましい実施例をより詳細に説明する。

【 0 0 1 7 】

図 1 は、本発明の第 1 実施例による液晶表示パネルを示した図面であり、図 2 は、図 1 に図示されたゲート駆動回路を構成するシフトレジスタを具体的に示した図面である。

【 0 0 1 8 】

図 1 を参照すると、本発明の一実施例による液晶表示パネル 200 は、TFT 基板 100、カラーフィルター基板（図示せず）及び前記 TFT 基板 100 とカラーフィルター基板との間に介在された液晶層（図示せず）で構成される。

【0019】

前記TFT基板100は、映像を表示する表示領域(DA)及び前記表示領域(DA)に隣接した周辺領域(PA)に区分されるが、前記表示領域(DA)には複数の画素がマトリクス形態に具備される。具体的に、前記複数の画素それぞれは、第1方向に延長されたデータライン(DL)と前記第1方向と直交する第2方向に延長されたゲートライン(GL)に連結されたTFT110及び前記TFT110に結合された画素電極120を含む。

【0020】

前記複数の画素の数によって前記液晶表示装置200の解像度が決定される。前記複数の画素が $m \times n$ 個で具備されると、前記解像度は $m \times n$ 個になる。このとき、前記TFT基板100上には、 m 個の前記データライン(DL1~DL m)が具備され、 n 個の前記ゲートライン(GL1~GL n)が具備される。

10

【0021】

一方、前記データライン(DL1~DL m)の一端が配置される第1周辺領域(PA)には、データ駆動回路140がチップ形態で付着され、前記ゲートライン(GL1~GL n)の一端が配置される第2周辺領域(PA)にはゲート駆動回路が集積される。前記ゲート駆動回路130は、前記表示領域(DA)に前記複数の画素を形成する工程と同じ工程上で形成される。

【0022】

前記ゲート駆動回路130は、一つのシフトレジスタで構成される。

20

【0023】

図2に図示されたように、前記シフトレジスタ131は、従属的に連結された複数のステージ(SRC1~SRC $n+1$)で構成される。具体的に、前記シフトレジスタ131は、 n 個の駆動ステージ(SRC1~SRC n)及びダミーステージ(SRC $n+1$)を含む。ここで、前記 n は偶数である。

【0024】

前記 n 個の駆動ステージ(SRC1~SRC n)は、前記 n 個のゲートライン(GL1~GL n)にゲート駆動信号を順次出力する。このとき、前記 n 個の駆動ステージ(SRC1~SRC n)それぞれの出力端子(OUT)は、以前駆動ステージの制御端子(CT)にそれぞれ連結される。また、前記 n 個の駆動ステージ(SRC1~SRC n)それぞれのキャリア端子(CR)は次の駆動ステージの入力端子(IN)に連結される。

30

【0025】

例外に、一番目の駆動ステージ(SRC1)の入力端子(IN)には、出力信号のかわりに開始信号(ST)が提供される。

【0026】

一方、前記ダミーステージ(SRC $n+1$)の入力端子(IN)が n 番目駆動ステージ(SRC n)のキャリア端子(CR)に連結され、ダミーステージ(SRC $n+1$)の出力端子(OUT)が前記 n 番目駆動ステージ(SRC n)の制御端子(CT)に連結された形態で具備される。従って、前記ダミーステージ(SRC $n+1$)は、前記 n 番目駆動ステージ(SRC n)がちゃんと動作することができるように制御する。また、前記ダミーステージ(SRC $n+1$)の出力端子(OUT)は、前記ダミーステージ(SRC $n+1$)の制御端子(CT)にも結合される。従って、前記ダミーステージ(SRC $n+1$)は、ダミーステージ(SRC $n+1$)自体の出力信号によって制御される。

40

【0027】

前記シフトレジスタ131の周辺には、前記シフトレジスタ131に各種信号を供給するための配線部132が具備される。具体的に、前記配線部132は、開始信号配線(STL)、第1電圧配線(VDDL)、第1クロック配線(CKL)及び第2クロック配線(CKBL)、第2電圧配線(VSSL)を含む。

【0028】

前記開始信号配線(STL)は、開始信号(ST)を前記一番目の駆動ステージ(SR

50

C1)の入力端子(IN)に提供する。ここで、前記開始信号(ST)は、外部のグラフィックコントローラ(図示せず)などから提供される垂直動機信号に動機されたパルスである。前記第1電圧配線(VDDL)も前記n個の駆動ステージ(SRC1~SRCn)及びダミーステージ(SRCn+1)にそれぞれ連結されて第1電圧(VDD)を供給し、前記第2電圧配線(VSSL)は、前記n個の駆動ステージ(SRC1~SRCn)及びダミーステージ(SRCn+1)にそれぞれ連結されて第2電圧(VSS)を供給する。

【0029】

一方、前記第1クロック配線(CK)は、前記n個の駆動ステージ(SRC1~SRCn)のうち、奇数番目の駆動ステージ(SRC1, SRC3)及びダミーステージ(SRCn+1)に第1クロック信号(CK)を提供し、第2クロック配線(CKBL)は、前記n個の駆動ステージ(SRC1~SRCn)のうち、偶数番目の駆動ステージ(SRC2, SRCn)に前記第1クロック信号(CK)と反転された位相を有する第2クロック信号(CKB)を提供する。

10

【0030】

従って、各ステージの出力信号(OUT1~OUTn)が順次にアクティブ区間(ハイ状態)を有して発生されるため、出力信号(OUT1~OUTn)のアクティブ区間で対応される前記ゲートライン(GL~GL1)がそれぞれ順次選択される。

【0031】

図3は、図2に図示された駆動ステージの構成を示した回路であり、図4は、図3に図示された駆動ステージのレイアウト図面である。但し、図3及び図4では、n番目の駆動ステージ(SRCn)の構成を代表的に提示し、その他の駆動ステージ(SRC1~SRCn-1)は、前記n番目の駆動ステージ(SRCn)と同じ構成を有するため、余りの駆動ステージ(SRC1~SRCn-1)に対する説明は省略する。

20

【0032】

図3及び図4を参照するとシフトレジスタ131のn番目の駆動ステージ(SRCn)は、プルアップ部131a、プルダウン部131b、プルアップ駆動部131c、プルダウン駆動部131d、キャリア出力部131eを含む。また、前記n番目の駆動ステージ(SRCn)は、入力端子(IN)、出力端子(OUT)、制御端子(CT)、クロック信号端子(CKT)、第2電圧端子(VSST)、第1電圧端子(VDDT)及びキャリア出力端子(CR)を有する。

30

【0033】

前記プルアップ部131aは、クロック信号(CK)の入力を受けるドレイン、第1ノード(N1)に連結されたゲート及び前記出力端子(OUT)に連結されたソースで構成された第1NMOSトランジスタ(NT1)で構成される。

【0034】

前記プルダウン部131bは、ドレインが前記出力端子(OUT)に連結され、ゲートが第2ノード(N2)に連結され、ソースが前記第2端子(VSST)に連結された第2NMOSトランジスタ(NT2)で構成される。

【0035】

前記プルアップ駆動部131cは、キャパシタ(C)、第3乃至第9NMOSトランジスタ(NT3, NT4, NT5, NT6, NT7, NT8, NT9)で構成される。前記キャパシタ(C)は、第1ノード(N1)と出力端子(OUT)との間に連結される。前記第3NMOSトランジスタ(NT3)は、ドレインが前記第1電圧端子(VDDT)に連結され、ゲートが前記入力端子(IN)に連結され、ソースが前記第1ノード(N1)に連結された構成を有する。また、前記4NMOSトランジスタ(NT4)は、ドレインとゲートが前記第1電圧端子(VDDT)に共通に連結され、ソースが前記第5NMOSトランジスタ(NT5)のゲートに連結された構成を有する。一方、前記第5NMOSトランジスタ(NT5)はドレインが前記第1電圧端子(VDDT)に連結され、ゲートが前記第4NMOSトランジスタ(NT4)のソースに連結され、ソースが前記第2ノード

40

50

(N2)に連結された構成を有する。

【0036】

前記第6NMOSトランジスタ(NT6)は、ドレインが前記第3NMOSトランジスタ(NT3)のソースに連結され、ゲートが前記第2ノードに連結され、ソースが前記第2電圧端子(VSS)に連結された構成を有する。また、前記第7NMOSトランジスタ(NT7)は、ゲートが前記第2ノード(N2)に連結され、ドレインが前記入力端子(IN)に連結され、ソースが前記第2電圧端子(VSS)に連結された構成を有する。前記第8NMOSトランジスタ(NT8)は、ドレインが前記第2ノード(N2)に連結され、ゲートが前記入力端子(IN)に連結され、ソースが前記第2電圧端子(VSS)に連結された構成を有する。

10

【0037】

図面に図示しなかったが、前記第8NMOSトランジスタ(NT8)のソースは、前記第2電圧(VSS)より低い電圧レベルを有する第3電源電圧が提供される第3電源電圧端子に連結されることができる。一方、前記第9NMOSトランジスタ(NT9)は、ドレインが前記入力端子(IN)に連結され、ゲートが制御端子(CT)に連結され、ソースが前記第2電圧端子(VSS)に連結された構成を有する。

【0038】

前記プルダウン駆動部131dは、第10乃至第13NMOSトランジスタ(NT10, NT11, NT12, NT13)を含む。具体的に、前記第10NMOSトランジスタ(NT10)は、ドレインが前記第2ノード(N2)に連結され、ゲートが前記第1ノード(N1)に連結され、ソースが前記第2電圧端子(VSS)に連結された構成を有する。前記第11NMOSトランジスタ(NT11)は、ドレインが前記第4NMOSトランジスタ(NT4)のソースに連結され、ゲートが前記第1ノード(N1)に連結され、ソースが前記第2電圧端子(VSS)に連結された構成を有する。また、前記第12NMOSトランジスタ(NT12)は、ドレインが前記第1ノード(N1)に連結され、ゲートが前記制御端子(CT)に連結され、ソースが前記第2電圧端子(VSS)に連結された構成を有する。前記第13NMOSトランジスタ(NT13)は、ドレインが前記出力端子(OUT)に連結され、ゲートが前記制御端子(CT)に連結され、ソースが前記第2電圧端子(VSS)に連結された構成を有する。

20

【0039】

一方、前記キャリア出力部131eは、ドレインが前記クロック信号端子(CKT)に連結され、ゲートが前記第1ノード(N1)に連結され、ソースが前記キャリア出力端子(CR)に連結された第14NMOSトランジスタ(NT14)を含む。従って、前記キャリア出力部131eは、次の駆動ステージの入力端子(IN)に第1及び第2クロック信号(CK/CKB)のうち、対応されるクロック信号の伝達を制御する。

30

【0040】

前記n番目の駆動ステージ(SRCn)で、前記入力端子(IN)に提供された以前ステージのキャリア信号(CR)によって前記第3NMOSトランジスタ(NT3)がターンオンされることで、前記第1ノード(N1)の電位が前記第2電圧(VSS)から前記第1電圧(VDD)に上昇される。以後、前記第4及び第5NMOSトランジスタ(NT4, NT5)及び前記第1ノード(N1)の電位の上昇によって前記第10NMOSトランジスタ(NT10)がターンオンされる。このように、前記第10NMOSトランジスタ(NT10)が動作されることで、前記第2ノード(N2)の電位が前記第2電圧(VSS)にダウンされる。それによって、前記第2NMOSトランジスタ(NT2)がターンオフされる。

40

【0041】

前記第1ノード(N1)の電位が上昇されることによって、前記第1NMOSトランジスタ(NT1)がターンオンされることで、前記出力端子(OUT)にオン電圧レベルを有する前記クロック信号(CK)が出力され始めると、出力電圧がキャパシタ(C)にブートストラップ(bootstrap)されて前記第1NMOSトランジスタ(NT1)

50

のゲート電圧が前記第 1 電圧 (VDD) 以上に上昇されるようになる。従って、前記第 1 NMOS トランジスタ (NT1) が完全 (FULL) 導通状態を維持するようになる。

【0042】

以後、前記 n 番目の駆動ステージ (SRCn) の制御端子 (CT) を通じてオン電圧レベルに上昇されたダミーステージの出力信号が提供されると、前記第 12 及び第 13 NMOS トランジスタ (NT12, NT13) がターンオンされる。

【0043】

前記第 12 NMOS トランジスタ (NT12) がターンオンされることによって前記第 1 ノード (N1) の電位が前記第 1 電圧 (VDD) から前記第 2 電圧 (VSS) にダウンされる。それによって、前記第 10 NMOS トランジスタ (NT10) がターンオフされる。従って、前記第 4 及び第 5 NMOS トランジスタ (NT4, NT5) を通じて前記第 2 ノード (N2) は、前記第 2 電圧 (VSS) から前記第 1 電圧 (VDD) に上昇される。

10

【0044】

また、前記制御端子 (CT) から提供された前記ダミーステージの出力信号は、前記第 13 NMOS トランジスタ (NT13) をターンオンさせ、ターンオンされた前記第 13 NMOS トランジスタ (NT13) は、前記第 2 NMOS トランジスタ (NT2) と共に前記出力端子 (OUT) に前記第 2 電圧 (VSS) を出力する。

【0045】

一方、前記第 7 乃至第 8 NMOS トランジスタ (NT7, NT8) は、前記出力端子 (OUT) に前記第 1 電圧 (VDD) が出力される状態で前記入力端子 (IN) に提供される n - 1 番目の駆動ステージの出力信号がオン電圧レベルに変更される場合にターンオンされる。

20

【0046】

具体的に、前記出力端子 (OUT) に前記電圧 (VSS) が出力される状態で前記入力端子 (IN) にオン電圧レベルを有する n - 1 番目の駆動ステージの出力信号が提供されると、前記第 8 NMOS トランジスタ (NT8) がターンオンされながら前記入力端子 (IN) に提供された前記 n - 1 番目の駆動ステージの出力信号を前記第 2 電圧端子 (VSS) に放電させる。

【0047】

また、前記第 9 NMOS トランジスタ (NT9) は、前記制御端子 (CT) を通じて提供された前記ダミーステージの出力信号によってターンオンされて前記入力端子 (IN) に提供されるオン電圧レベルに変更された n - 1 番目の駆動ステージの出力信号を放電させる。従って、前記第 1 NMOS トランジスタ (NT1) がターンオンされることが防止される。

30

【0048】

一方、前記制御端子 (CT) を通じて印加される前記ダミーステージ (SRCn+1) の出力信号がオフ電圧レベルに下降され、前記第 12 NMOS トランジスタ (NT12) がターンオフされても前記第 2 ノード (N2) は前記第 4 及び第 5 NMOS トランジスタ (NT4, NT5) を通じて前記第 1 電圧 (VDD) にバイアスされた状態を維持する。従って、前記第 2 NMOS トランジスタ (NT2) は、ターンオン状態を維持して前記出力端子 (OUT) には前記第 2 電圧 (VSS) が続いて出力される。

40

【0049】

図 5 は、図 2 に図示されたダミーステージの構成を示した回路図であり、図 6 は、図 5 に図示された駆動ステージのレイアウト図面である。但し、図 5 及び図 6 を説明するのにおいて、前記図 3 及び図 4 に図示された n 番目の駆動ステージ (SRCn) と同じ構成要素に対しては同じ参照符号を付与し、それに対応する説明は省略する。

【0050】

図 5 及び図 6 を参照すると、ダミーステージ (SRCn+1) は、前記 n 番目の駆動ステージ (SRCn) のようにプルアップ部 131a、プルダウン部 131b、プルアップ

50

駆動部 131c、プルダウン駆動部 131f 及びキャリア出力部 131e を含む。ここで、前記ダミーステージ (SRCn+1) は、前記 n 番目の駆動ステージと同じ構造を有するが、前記ダミーステージ (SRCn+1) の制御端子 (CT) には前記ダミーステージ (SRCn+1) の出力端子 (OUT) が連結される。従って、前記ダミーステージ (SRCn+1) は、自体の出力信号によって制御される。

【0051】

このとき、前記ダミーステージ (SRCn+1) の出力信号を所定の時間のあいだ維持するために、前記制御端子 (CT) に直接的に連結されたトランジスタのサイズ (NT12') が変形される。

【0052】

具体的に、前記ダミーステージ (SRCn+1) で、第 12 NMOS トランジスタ (NT12') のサイズは、前記 n 番目の駆動ステージの第 12 トランジスタ (NT12) のサイズより約 10 倍ぐらい小さい。

【0053】

トランジスタのサイズは、トランジスタチャンネルの長さ (L) に対するその幅 (W) の割合 (W/L) である。一般的に、長さ (L) は決まっているので、前記トランジスタのサイズはチャンネルの幅 (W) によって決定される。従って、前記ダミーステージ (SRCn+1) に利用される前記第 12 NMOS トランジスタ (NT12') の幅 (W) は、前記 n 番目の駆動ステージに利用される前記第 12 NMOS トランジスタ (NT12) の幅 (W) より約 10 倍ぐらい小さい。図 4 及び図 6 を参照すると、図 6 に図示された第 12 NMOS トランジスタ NT12' のチャンネル幅は、図 4 に図示された第 12 NMOS トランジスタ NT12 のチャンネル幅に比べて約 10 倍ぐらい小さい。

【0054】

即ち、オン電圧レベルに上昇された前記ダミーステージ (SRCn+1) の出力信号が前記ダミーステージ (SRCn+1) の制御端子 (CT) にフィードバックされても、前記第 12 NMOS トランジスタ (NT12') のサイズによって前記第 12 NMOS トランジスタ (NT12') がターンオンされるまでは、所定時間が所要される。従って、前記第 10 NMOS トランジスタ (NT10) もすぐターンオフされないので、前記第 2 ノード (N2) は、前記第 2 電圧 (VSS) を所定の時間のあいだ維持する。これによって、前記ダミーステージ (SRCn+1) の出力端子は、所定の時間のあいだオン電圧レベルを維持することができる。

【0055】

所定時間が経過された以後、前記第 12 NMOS トランジスタ (NT12') がターンオンされると、それに対応して前記第 10 NMOS トランジスタ (NT10) がターンオフされ、前記第 2 ノード (N2) は、前記第 2 電圧 (VSS) から前記第 1 電圧 (VDD) に上昇される。前記第 2 ノード (N2) の電位が前記第 1 電圧 (VDD) に上昇されることによって、前記第 2 NMOS トランジスタ (NT2) がターンオンされて前記ダミーステージ (SRCn+1) の出力端子 (OUT) には前記第 2 電圧 (VSS) が出力される。

【0056】

また、前記ダミーステージ (SRCn+1) では、前記 n 番目の駆動ステージ (SRCn) から制御端子 (CT) に連結された前記第 13 NMOS トランジスタ (NT13) が除去された状態で構成される。図 6 を参照すると、図 4 に図示された第 13 NMOS トランジスタ (NT13) が除去されていることがわかる。従って、ターンオン状態にある前記第 2 NMOS トランジスタ (NT2) のみが前記出力端子 (OUT) に前記第 2 電圧 (VSS) を出力することで、前記出力端子 (OUT) に前記第 2 電圧 (VSS) が出力される時間を延ばすことができる。

【0057】

図 7 は、駆動ステージと同じ構造で構成されたダミーステージの出力波形図であり、図 8 は、ダミーステージが図 5 に図示された回路図で構成された場合の出力波形図である。

10

20

30

40

50

但し、図7及び図8で、X軸は時間(μs)であり、Y軸は電圧(V)である。

【0058】

図7を参照すると、駆動ステージが順次にハイ区間を有する出力信号(OUT_{n-1}、OUT_n)を出力した以後、ダミーステージ(SRC_{n+1})が出力信号(OUT_{n+1})を出力するように動作される。図7では、前記ダミーステージ(SRC_{n+1})は、前記駆動ステージと同じ回路図で構成され、前記ダミーステージ(SRC_{n+1})の出力端子が前記ダミーステージ(SRC_{n+1})の制御端子に連結される。このとき、n番目の駆動ステージの出力信号(OUT_n)によって前記ダミーステージの出力端子から出力される出力信号(OUT_{n+1}')がオン電圧レベルに変更されると同時に、オン電圧レベルに変更された前記出力信号(OUT_{n+1}')は、前記n番目の駆動ステージの制御端子及びダミーステージ(SRC_{n+1})自体の制御端子にそれぞれ提供される。

10

【0059】

以後、前記ダミーステージ(SRC_{n+1})の制御端子を通じてフィードバックされた自体の前記出力信号(OUT_{n+1}')によって、前記ダミーステージ(SRC_{n+1})の出力端子から出力される前記出力信号(OUT_{n+1}')は、ターンオフ電圧レベルにダウンされた。これによって、前記ダミーステージの出力信号(OUT_{n+1}')が所定期間のうち、オン電圧レベルを維持できなくてすぐオフ電圧レベルにダウンされた。即ち、前記ダミーステージ出力信号(OUT_{n+1}')の最大電圧の大きさは駆動ステージ出力信号(OUT_n)の最大電圧レベルに遥かに及ばない値を有するようになる。

【0060】

一方、図8に図示されたように、前記ダミーステージが図5に図示された回路図で構成されると、前記ダミーステージの出力信号(OUT_{n+1}')は安定的に表れる。

20

【0061】

前記駆動ステージが順次にハイ区間を有する出力信号(OUT_{n-1}, OUT_n)を出力した後、前記ダミーステージが動作される。即ち、n番目の駆動ステージの出力信号(OUT_n)によって前記ダミーステージの出力端子から出力される出力信号(OUT_{n+1})がオン電圧レベル(または、ハイレベル)に変更されると同時に、オン電圧レベルに変更された前記出力信号(OUT_{n+1})は、前記n番目の駆動ステージ(SRC_n)の制御端子及びダミーステージ(SRC_{n+1})自体の制御端子にそれぞれ提供される。

【0062】

以後、前記ダミーステージ(SRC_{n+1})の制御端子を通じて前記出力信号(OUT_{n+1})が提供されても、前記ダミーステージの制御端子に連結されたトランジスタのサイズが小さいため、前記ダミーステージの出力端子から出力される前記出力信号(OUT_{n+1})がオフ電圧レベルにダウンされるまでは所定時間が所要された。従って、前記ダミーステージの出力信号(OUT_{n+1})は、所定期間のあいだ、オン電圧レベルを維持することができる。

30

【0063】

このとき、前記ハイ区間を有する駆動ステージの出力信号(OUT_n)とオン電圧レベルを有する前記ダミーステージの出力信号(OUT_{n+1})は、ほぼ同じ電圧を有して発生された。従って、前記n番目の駆動ステージ(SRC_n)は、前記ダミーステージ(SRC_{n+1})の出力信号(OUT_{n+1})によって安定的に駆動されることができる。

40

【0064】

図9は、本発明の第2実施例によるシフトレジスタの駆動ステージ及びダミーステージの構成を示した回路図である。

【0065】

図9を参照すると、本発明の第2実施例によるシフトレジスタ133は、n個の駆動ステージ(SRC₁~SRC_n)及びダミーステージ(SRC_{n+1})で構成される。前記n個の駆動ステージ(SRC₁~SRC_n)のうち、n番目の駆動ステージ(SRC_n)は、プルアップ部133a、プルダウン部133b、プル駆動部133c及びプルダウン駆動部133dを含む。

50

【0066】

前記プルアップ部133aは、ドレインを通じてクロック信号(CK)の入力を受けて、ゲートが第1ノード(N1a)に連結され、出力端子(OUTn)にソースが連結された第1NMOSトランジスタ(NT1a)で構成される。

【0067】

前記プルダウン部133bは、出力端子(OUTn)にドレインが連結され、第2ノード(N2a)にゲートが連結され、ソースが第2電圧端子(VSS)に連結された第2NMOSトランジスタ(NT2a)で構成される。

【0068】

前記プルアップ駆動部133cは、キャパシタ(C)、第3乃至第5NMOSトランジスタ(NT3a, NT4a, NT5a)で構成される。前記キャパシタ(C)は、前記第1ノード(N1a)と出力端子(OUT)との間に連結される。前記第3NMOSトランジスタ(NT3a)は、ドレインが第1電圧端子(VDD)に連結され、ゲートが入力端子(IN)に連結され、ソースが前記第1ノード(N1a)に連結された構成を有する。前記第4NMOSトランジスタ(NT4a)は、ドレインが前記第1ノード(N1a)に連結され、ゲートが制御端子(CT)に連結され、ソースが前記第2電圧端子(VSS)に連結された構成を有する。前記第5NMOSトランジスタ(NT5a)は、ドレイン前記第1ノード(N1a)に連結され、ゲートが前記第2ノード(N2a)に連結され、ソースが前記第2電圧端子(VSS)に連結された構成を有する。前記第3NMOSトランジスタ(NT3a)のサイズは前記第5NMOSトランジスタ(NT5a)のサイズより約2倍ぐらい大きい。

10

20

【0069】

前記プルダウン駆動部133dは、第6及び第7NMOSトランジスタ(NT6a, NT7a)で構成される。前記第6NMOSトランジスタ(NT6a)は、ドレインとゲートが前記第1電圧端子(VDD)に共通に連結され、ソースが前記第2ノード(N2a)に連結された構成を有する。前記第7NMOSトランジスタ(NT7a)は、ドレインが前記第2ノード(N2a)に連結され、ゲートが前記第1ノード(N1a)に連結され、ソースが前記第2電圧端子(VSS)に連結された構成を有する。前記第6NMOSトランジスタ(NT6a)のサイズは、前記第7NMOSトランジスタ(NT7a)のサイズより約16倍ぐらい大きい。

30

【0070】

前記n番目の駆動ステージ(SRCn)の入力端子にn-1番目の駆動ステージの出力信号が提供されると、前記第7NMOSトランジスタ(NT7a)がターンオンされる。前記第7NMOSトランジスタが動作されることによって、前記第2ノード(N2a)の電位が前記第1電圧(VDD)から前記第2電圧(VSS)にダウンされ、それによって前記第2NMOSトランジスタ(NT2a)がターンオフされる。以後、前記第7NMOSトランジスタ(NT7a)がターンオンされても、前記第6NMOSトランジスタ(NT6a)のサイズが前記第7NMOSトランジスタ(NT7a)のサイズより約16倍ぐらい大きいため、前記第2ノード(N2a)は、前記第2電圧(VSS)で続いて維持される。

40

【0071】

前記n番目の駆動ステージ(SRCn)の制御端子(CT)を通じてオン電圧レベルに上昇された前記ダミーステージ(SRCn+1)の出力信号(OUTn+1)が提供されると、前記第7NMOSトランジスタ(NT7a)がターンオフされる。従って、前記第6NMOSトランジスタ(NT6a)を通じて前記第2ノード(N2a)は前記第2電圧(VSS)から前記第1電圧(VDD)に上昇される。

【0072】

以後、n番目の駆動ステージ(SRCn)の制御端子(CT)を通じて印加される前記ダミーステージ(SRCn)の出力信号(OUTn+1)がオフ電圧レベルにダウンされて前記第4NMOSトランジスタ(NT4a)がターンオフされても、前記第2ノード(

50

N2a)は、前記第6NMOSトランジスタ(NT6a)を通じて前記第1電圧(VDD)にバイアスされる。従って、前記第2NMOSトランジスタ(NT2a)は、ターンオン状態を維持して前記出力端子(OUTn)には前記第2電圧(VSS)が続いて出力される。

【0073】

一方、図9に図示されたように前記ダミーステージ(SRCn+1)は、前記n番目の駆動ステージ(SRCn)のように、プルアップ部133a、プルダウン部133b、プルアップ駆動部133c'及びプルダウン駆動部133dを含む。ここで、前記ダミーステージ(SRCn+1)は、前記n番目の駆動ステージ(SRCn)と同じ構造を有するが、前記ダミーステージ(SRCn+1)の制御端子(CT)には前記ダミーステージ(SRCn+1)の出力端子(OUTn+1)が連結される。従って、前記ダミーステージ(SRCn+1)は、ダミーステージ(SRCn+1)の出力信号によって制御される。このとき、オン電圧レベルを有する前記ダミーステージ(SRCn+1)の出力信号を所定時間のあいだ維持させるために、前記制御端子(CT)に直接的に連結されたトランジスタのサイズが変更される。

10

【0074】

具体的に、前記ダミーステージ(SRCn+1)での第4トランジスタ(NT4a')のサイズは、前記n番目の駆動ステージ(SRCn)の第4NMOSトランジスタ(NT4a)のサイズより約10倍ぐらい小さい。従って、ダミーステージ(SRCn+1)のハイレベルの出力信号がダミーステージ(SRCn+1)の制御信号(CT)にフィードバックされた後、第4NMOSトランジスタ(NT4a')がすぐにターンオフされないため、第7NMOSトランジスタ(NT7a)はすぐにターンオンされない。第4NMOSトランジスタ(NT4a')は、所定期間のあいだ第2電圧(VSS)に維持される。よって、ダミーステージ(SRCn+1)の出力端子は、所定の期間のあいだ高電圧レベルに維持される。

20

【0075】

即ち、前記ダミーステージ(SRCn+1)の制御端子(CT)を通じてオン電圧レベルに上昇された前記ダミーステージ(SRCn+1)の出力信号が提供されても、前記第4NMOSトランジスタ(NT4a')がターンオンされるのに所定時間が所要されるため、前記第7NMOSトランジスタ(NT7a)もすぐターンオフされない。従って、前記第4ノード(N4)は、前記第2電圧(VSS)を所定時間のあいだ、維持する。これによって、前記ダミーステージ(SRCn+1)は、所定時間のうち、オン電圧レベルを維持することができる。

30

【0076】

所定時間が経った以後、前記第4NMOSトランジスタ(NT4a')がターンオンされると、それに対応して前記第7NMOSトランジスタ(NT7a)がターンオフされることによって、前記第4ノード(N4)は、前記第2電圧(VSS)から前記第1電圧(VDD)に上昇される。前記第4ノード(N4)の電位が第1電圧(VDD)に上昇されることによって、前記第2NMOSトランジスタ(NT2a)がターンオンされて前記ダミーステージ(SRCn+1)の出力端子(OUT)には前記第2電圧(VSS)が出力される。

40

【0077】

このように、前記ダミーステージ(SRCn+1)の制御端子(CT)を前記ダミーステージ(SRCn+1)の出力端子(OUT+1)に連結させることで、前記ダミーステージ(SRCn+1)が安定的に動作することができる。また、前記ゲート駆動回路は、前記ダミーステージ(SRCn+1)の制御端子(CT)に制御信号を提供するために外部から提供される別途の配線を必要としないので、追加しなくてもよい。

【0078】

従って、前記追加配線(図示せず)が追加されることで、他の配線と前記追加配線との間に発生するキャパシタンスによって前記ゲート駆動回路に提供される各種信号が遅延さ

50

れる現状を防止することができる。

【0079】

図10は、本発明の第3実施例によるゲート駆動回路を示した図面であり、図11は、図10に図示されたゲート駆動回路の出力波形図である。ここで、 i は前記 n より小さい偶数である。

【0080】

図10を参照すると、本発明の第3実施例によるゲート駆動回路150は、一つのシフトレジスタ151で構成される。前記シフトレジスタ151は、複数の駆動ステージで構成された第1及び第2グループ($G1$, $G2$)に区分される。また、前記シフトレジスタ151の周辺には、前記シフトレジスタ151に各種信号を供給するための配線部152が具備される。

10

【0081】

具体的に、前記配線部152は、開始信号配線(STL)、第1電圧配線($VDDL$)、第1クロック配線($CKL1$)、第2クロック配線($CKBL1$)、第2電圧配線($VSSL$)、第3クロック配線($CKL2$)、第4クロック配線($CKBL2$)を含む。

【0082】

前記第1クロック配線($CKL1$)は、前記第1グループの駆動ステージ($SRC1 \sim SRCi-1$)のうち、奇数番目の駆動ステージ($SRC1$, $SRC3$, \dots , $SRCi-1$)に第1クロック信号(CK)を提供し、前記第3クロック配線($CKL2$)は、前記第2グループ($G2$)の駆動ステージ($SRCi \sim SRCn$)のうち、奇数番目の駆動ステージ($SRCi+1$)に前記第1クロック信号(CK)を提供する。一方、前記第2クロック配線($CKBL1$)は前記第1グループ($G1$)の駆動ステージ($SRC1 \sim SRCi-1$)のうち、偶数番目の駆動ステージ($SRC2 \dots$)に前記第1クロック信号(CK)と反転された位相を有する第2クロック信号(CKB)を提供し、前記第4クロック配線($CKBL2$)は、前記第2グループ($G2$)の駆動ステージ($SRCi \sim SRCn$)のうち、偶数番目の駆動ステージ($SRCi \sim SRCn$)に前記第2クロック信号(CKB)を提供する。

20

【0083】

従って、前記 n 個の駆動ステージ($SRC1 \sim SRCn$)の一部は、前記第1及び第2クロック配線($CKL1$, $CKBL1$)を通じてそれぞれ提供される前記第1及び第2クロック信号(CK , CKB)によって動作される。その他の一部は、前記第3及び第4クロック配線($CKL2$, $CKBL2$)を通じてそれぞれ提供される前記第1及び第2クロック信号(CK , CKB)によって動作される。これによって、一番目のゲートラインから n 番目のゲートラインまで順次にオン電圧レベル区間を有して発生される前記第1及び第2クロック信号(CK , CKB)の遅延時間を最小化して各ステージからの出力信号が歪曲される現状を防止することができる。

30

【0084】

一方、前記第3及び第4クロック配線($CKL2$, $CKBL2$)は、前記 n 個の駆動ステージ($SRC1 \sim SRCn$)それぞれに連結されるように他の配線($VSSL$, $VDDL$, STL など)を横切らない。第3及び第4クロック配線($CKL2$, $CKBL2$)の一端は、前記第1及び第2クロック配線($CKL1$, $CKBL1$)の一端に結合されて前記 n 個の駆動ステージ($SRC1 \sim SRCn$)それぞれに連結される。

40

【0085】

具体的に、前記第1クロック信号(CK)が入力される前記第3クロック配線($CKL2$)の第1端と前記第1クロック信号(CK)が入力される前記第1クロック配線($CKL1$)の第1端は近接した位置に配置される。また、前記第2クロック信号(CKB)が入力される前記第2クロック配線($CKBL1$)の第1端と前記第2クロック信号(CKB)が入力される前記第4クロック配線($CKBL2$)の第1端は、近接した位置に配置される。即ち、前記第1乃至第4クロック信号配線($CKL1$, $CKBL1$, $CKL2$, $CKBL2$)の入力端子は、前記 n 個の駆動ステージ($SRC1 \sim SRCn$)の一番目の

50

駆動ステージ (SRC1) に隣接した位置に配置される。

【0086】

このとき、前記第1クロック配線 (CKL1) の他の第2端は、前記第3クロック配線 (CKL2) の他の第2端と結合され、結合される位置は、前記ダミーステージ (SRC_{n+1}) に隣接した位置である。

【0087】

従って、前記第3及び第4クロック配線 (CKL2, CKBL2) は、前記シフトレジスタ151と直接的に連結されなく、他の配線とクロス (cross) される部分もない。これによって、前記第3及び第4クロック配線 (CKL2, CKBL2) を通じた前記第1及び第2クロック信号 (CK, CKB) の移動速度は、前記第1及び第2クロック配線 (CKL1, CKBL1) を通じた前記第1及び第2クロック信号 (CK, CKB) の移動速度より速い。

【0088】

また、前記配線部152は、配線幅が狭いほど前記シフトレジスタ151と隣接して配置される。

【0089】

具体的に、前記シフトレジスタ151に一番隣接した位置には、前記開始信号配線 (STL) が配置され、その次に前記第1電圧配線 (VDDL) が前記開始信号配線 (STL) に隣接して配置される。前記第1電圧配線 (VDDL) の外側には第2及び第1クロック配線 (CK1, CKBL1) が順次位置する。前記第1クロック配線 (CKL1) と隣接して前記第2電圧配線 (VSSL) が形成される。一方、前記第3クロック配線 (CKL2) は前記第2電圧配線 (VSSL) に隣接して配置され、その次に前記第4クロック配線 (CKBL2) が前記第3クロック配線 (CKL2) に隣接して配置される。

【0090】

前記配線部152がこのような順次に配置された各種の配線で構成されることで、前記液晶表示装置の表示特性を向上させることができる。即ち、前記シフトレジスタ151と隣接すれば隣接するほど配線の間接面積が大きくなって、接触キャパシタンスが大きくなる。そのため、接触キャパシタンスの影響を大きく与えられない配線であるほど前記シフトレジスタ151と隣接されて配置される。これによって、前記液晶表示装置の表示特性を向上させることができる。

【0091】

図11を参照すると、前記第1及び第2配線 (CKL1, CKBL1) を通じて前記シフトレジスタ151の第1グループ (G1) に第1及び第2クロック信号 (CK, CKB) が提供される。前記第1グループ (G1) の一番目の駆動ステージ (SRC1) に開始信号 (ST) が提供されると、前記第1グループ (G1) の前記一番目の駆動ステージ (SRC1) では、前記開始信号 (ST) の先端にตอบสนองして前記第1クロック信号 (CK) のハイレベルの区間が第1出力信号 (OUT1) に発生される。以後、二番目の駆動ステージ (SRC2) では、前記一番目の駆動ステージ (SRC1) の前記第1出力信号 (OUT1) にตอบสนองして、前記第2クロック信号 (CKB) のハイレベルの区間が第2出力信号 (OUT2) に発生される。

【0092】

一方、前記第3及び第4クロック信号配線 (CKL2, CKBL2) を通じて前記シフトレジスタ151の第2グループ (G2) に前記第1及び第2クロック信号 (CK, CKB) が提供されると、前記第2グループ (G2) の一番目の駆動ステージである第i番目の駆動ステージ (SRCi) では、前記第1グループ (G1) の最後の駆動ステージである第i-1番目の駆動ステージ (SRCi-1) の第i-1番目の出力信号 (OUTi-1) にตอบสนองして、前記第2クロック信号 (CKB) のハイレベル区間が第i番目の出力信号 (OUTi) に発生される。第i+1番目の駆動ステージ (SRCi+1) では、前記第i出力信号 (OUTi) にตอบสนองして、前記第1クロック信号 (CK) のハイレベル区間が第i+1出力信号 (OUTi+1) に発生される。

【 0 0 9 3 】

このように、各ステージの出力端子（OUT）には、第1乃至第n出力信号（OUT1～OUTn）が順次にハイレベル区間を有しながら発生される。

【 0 0 9 4 】

図12は、図10に図示された第3及び第4クロック配線の位置を具体的に示したゲート駆動回路の設計図であり、図13は、図1及び第3クロック配線の連結関係と第2及び第4クロック配線の連結関係を示した設計図である。

【 0 0 9 5 】

図12を参照すると、シフトレジスタ151の外側には、開始信号配線（STL）、第1電圧配線（VDDL）、第1及び第2クロック配線（CKL1、CKBL1）、第2電圧配線（VSSL）、第3及び第4クロック配線（CKL2、CKBL2）が順次配置されている。各配線は、配線幅が狭いほど前記シフトレジスタ151と隣接して配置される。即ち、シフトレジスタから遠い方の配線幅をシフトレジスタに隣接した方の配線幅より少なくとも大きく同じようにする。前記シフトレジスタ151と隣接するほど配線の間の総接触面積が多くなって、接触キャパシタンスが大きくなるので、キャパシタンスの影響を大きく与えられない配線であるほど前記シフトレジスタ151と隣接して配置される。

10

【 0 0 9 6 】

具体的に、前記シフトレジスタ151に一番隣接した位置には前記開始信号配線（STL）が配置され、その次に前記第1電圧配線（VDDL）が前記開始信号配線（STL）に隣接して配置される。前記第1電圧配線（VDDL）の外側には前記第2及び第1クロック配線（CKBL、CKBL1）が位置する。ここで、前記第2クロック配線（CKBL1）は、前記第1クロック配線（CKL1）よりシフトレジスタ151に近い側に配置される。前記第1クロック配線（CKL1）と隣接して前記第2電圧配線（VSSL）が形成される。このような構造は、配線と該当配線を各ステージ（SRC1～SRCn+1）を連結する連結ラインとの間で発生する接触キャパシタンスによるディレイを減少させる。

20

【 0 0 9 7 】

一方、前記第3及び第4クロック配線（CKL2、CKBL2）は、前記シフトレジスタ151に連結されるようには他の配線を貫かない。前記第3及び第4クロック配線（CKL2、CKBL2）の一端は、前記第1及び第2クロック配線（CKL1、CKBL1）の一端に結合されて前記シフトレジスタ151に連結されるので、第3及び第4クロック配線（CKL2、CKBL2）は、第2電圧配線（VSSL）より前記シフトレジスタ151から遠い位置に配置される。言い換えると、前記第2電圧配線（VSSL）より外側に配置される。

30

【 0 0 9 8 】

図12に図示したように、前記第3及び第4クロック配線（CKL2、CKBL2）は、TFT基板300のシールライン領域（SA）内に形成される。具体的に、TFT基板300は、ゲートライン（図示せず）、データライン（図示せず）及び画素（図示せず）が形成されている表示領域（DA）と前記表示領域（DA）の周辺に形成された周辺領域（PA）に区分される。

40

【 0 0 9 9 】

また、前記周辺領域（PA）は、前記シフトレジスタ151及び各種配線が形成されたゲート駆動領域（GA）とTFT基板をカラーフィルター基板（図示せず）と結合させる結合部材 - たとえばシーラント（sealant、図示せず）が形成された前記シールライン領域（SA）に区分される。前記ゲート駆動領域（GA）と前記シールライン領域（SA）は、部分的にオーバーラップされている。即ち、前記シールライン領域（SA）は、前記シールライン領域（SA）の中心を基準に、液晶が存在する第1領域と液晶が存在しない第2領域に区分される。ここで、前記ゲート駆動領域（GA）は、前記第1領域を含んでいる。

50

【0100】

ここで、前記第3及び第4クロック配線（CKL2，CKBL2）、第2電圧配線（VSSL）の一部は前記シールライン領域（SA）内に形成され、第2電圧配線（VSSL）の余りの一部、前記第1クロック配線（CKL1）、第2クロック配線（CKBL1）及び開始信号配線（STL）は前記ゲート駆動領域（GA）内に形成される。

【0101】

前記第2電圧配線（VSSL）の一部、第1及び第2クロック配線（CKL1，CKBL1）、第1電圧配線（VDDL）及び開始信号配線（STL）は、連結ラインと接触される部分を有する。よって、第2電圧配線（VSSL）の一部、第1及び第2クロック配線（CKL1，CKBL1）、第1電圧配線（VDDL）及び開始信号配線（STL）が前記シールライン領域（SA）内に形成するようになると、前記TFT基板300とカラーフィルター基板を結合させるために高温で圧力を加える工程によって接触不良が発生される。

10

【0102】

連結ラインと接触する部分を有している配線が前記ゲート駆動領域（GA）内に形成され、連結ラインと接触される部分を有しない配線が前記シールライン領域（SA）内に形成される。そのため、液晶表示装置の全体的なサイズが増加されることを防止することができる。具体的に、第2電圧配線（VSSL）の余りの一部、第3及び第4クロック配線（CKL2，CKBL2）は、連結ラインと結合される部分がないので、前記シールライン領域（SA）内に形成されてもよい。

20

【0103】

従って、前記第3及び第4クロック配線（CKL2，CKBL2）が周辺領域（PA）に追加に形成されることによって、液晶表示装置のサイズが増加される現象が発生しない。また、前記第3及び第4クロック配線（CKL2，CKBL2）は、液晶が存在しない前記シールライン領域（SA）内に形成されるため、第3及び第4クロック配線（CKL2，CKBL2）のキャパシタンスが存在しない。よって、第1及び第2クロック信号（CK，CKB）の遅延時間が前記第1及び第2クロック配線（CKL1，CKBL1）に比べて遥かに減少される。

【0104】

図13を参照すると、前記第1クロック信号配線（CKL1）の一端は、前記第3クロック配線（CKL2）の一端と結合され、前記第2クロック配線（CKBL1）の一端は前記第4クロック配線（CKBL2）の一端と結合される。従って、前記第3クロック配線（CKL2）は、前記シフトレジスタの各ステージに前記第1クロック信号（CK）を提供し、前記第4クロック配線（CKBL2）は、各ステージに前記第2クロック信号（CKB）を提供する。

30

【0105】

図12及び図13に図示されたように、前記第3及び第4クロック配線（CKL2，CKBL2）は、前記シフトレジスタ151と直接的に連結連結されなくて、他の配線とクロス（cross）される部分もない。従って、前記第1及び第2クロック信号（CK，CKB）が第3及び第4クロック配線（CKL2，CKBL2）を通じて移動する速度は前記第1及び第2クロック配線（CKL1，CKBL1）を通じて移動する速度より速い。

40

【0106】

従って、前記シフトレジスタ151の各ステージ（SRC1～SRCn+1）の一部は第1及び第2クロック配線（CKL1，CKBL1）を通じて提供される第1及び第2クロック信号（CK，CKB）によって動作され、余りの一部は前記第3及び第4クロック配線（CKL2，CKBL2）を通じて提供される前記第1及び第2クロック信号（CK，CKB）によって動作される。

【0107】

これによって、一番目のゲートラインから最後のゲートラインまで順次にハイレベル区

50

間を有して発生される前記第1及び第2クロック信号(CK, CKB)の遅延時間を最小化して前記シフトレジスタ151から出力される出力信号の遅延歪曲を除去することができる。

【0108】

図14は、本発明の第4実施例による配線構造を示した図面であり、図15は、図14に図示された配線構造を具体的に示したレイアウト図面である。

【0109】

図14及び図15を参照すると、第2電圧配線(VSSL)とシフトレジスタ(図示せず)の間には前記第2電圧配線(VSSL)と各ステージを連結する第1電圧連結ライン(VSSLc)が配置される。前記第2電圧配線(VSSL)と前記シフトレジスタとの間には前記第2電圧配線(VSSL)と平行に第1及び第2クロック配線(CKL1, CKBL1)が配置される。

10

【0110】

前記第1電圧連結ライン(VSSLc)と第1及び第2クロック配線(CKL1, CKBL1)は、クロスされる。また、前記第1及び第2クロック配線(CKL1, CKBL1)は、前記第1電圧連結ライン(VSSLc)とクロスされない領域では、第1幅(W1)を有し、前記第1電圧連結ライン(VSSLc)とクロスされた領域では前記第1幅(W1)より小さい第2幅(W2)を有する。

【0111】

具体的に、前記第1クロック配線(CKL1)には前記第2電圧連結ライン(VSSLc)とクロスされた領域に対応して一側壁から内側に凹んだ第1凹部(C1)が形成され、前記第2クロック配線(CKBL1)にも前記第1電圧連結ライン(VSSLc)とクロスされた領域に対応して一側壁から内側に凹んだ第2凹部(C2)が形成される。

20

【0112】

前記第1クロック配線(CKL1)は、長さの方向に延長される第1及び第2側壁1401、1402を具備し、前記第2クロック配線(CKBL1)は長さの方向に延長される第3及び第4側壁1403、1404を具備する。前記第1及び第2クロック配線(CKL1, CKBL1)は、第2側壁1402と第3側壁1403が互いに向い合うように配置される。このとき、前記第1凹部(C1)は、第1側壁1401に形成され、前記第2凹部(C2)は第4側壁1404に形成される。

30

【0113】

図14及び図15に図示されたように、前記第1クロック配線(CKL1)と前記シフトレジスタ151との間に第1クロック信号を各ステージに提供する第1クロック信号連結ライン(CKLc)が配置され、前記第2クロック配線(CKBL1)と前記シフトレジスタ151との間に第2クロック信号を各ステージに提供する第2クロック信号連結ライン(CKBLc)が配置される。第1クロック信号連結ライン(CKLc)は、前記第1クロック配線(CKL1)の第2側壁1402の近傍で前記第1クロック配線(CKL1)とコンタクトされ、前記第2クロック信号連結ライン(CKBLc)は、前記第2クロック配線(CKBL1)の第3側壁1403の近傍で前記第2クロック配線(CKBL1)とコンタクトされる。前記第1及び第2凹部(C1, C2)は、前記第1及び第2クロック信号連結ライン(CKLc, CKBLc)のコンタクト部分とオーバーラップされない位置に形成されることが望ましい。

40

【0114】

これによって、前記第1及び第2クロック配線(CK1, CKB1)と前記第1電圧連結ライン(VSSLc)と交差する区間で生成されるキャパシタンスを減少させることができる。従って、前記第1及び第2クロック配線(CKL1, CKBL1)を通じてシフトレジスタに印加される前記第1及び第2クロック信号(CK, CKB)の遅延時間を短縮できる。さらに、と前記第2電圧連結ライン(VSSLc)を通じて印加される第2電圧VSSの遅延時間を短縮することができる。

【0115】

50

前記第1及び第2クロック配線（CKL1，CKBL1）は、部分的に狭い幅（W2）で形成されているため、第1電圧連結ライン（VSSLc）と第1及び第2クロック配線（CK1，CKB1）とがオーバーラップする部分では、抵抗が発生する。しかし、信号の遅延は、抵抗成分よりキャパシタンス成分に更に大きい影響を与えられるため、究極には遅延時間を減少させることができる。

【0116】

以下、表1に提示された実験例及び比較例を通じてキャパシタンス成分及び抵抗成分によって変化されるRCディレイを提示する。実験例では、第1及び第2クロック配線（CKL1，CKBL1）の第1幅（W1）が70μmであり、第2幅（W2）が45μmである。また、比較例では、第1及び第2クロック配線（CKL1，CKBL1）は、全体的に均一に70μmを有する。

10

【0117】

【表1】

CKL1 (CKBL1)	W1	W2	C	R
比較例	70 μm	70 μm	385 pF	457Ω
実験例	70 μm	45 μm	344.5 pF	489Ω

20

【0118】

表1に提示されたように、比較例で前記第1及び第2クロック配線（CKL1，CKBL1）と前記第1電圧連結ライン（VSSLc）との間で発生される第1キャパシタンスは385pFであり、実験例で、前記第1及び第2クロック配線（CKL1，CKBL1）と前記第1電圧連結ライン（VSSLc）との間で発生される第2キャパシタンスは344.5pFである。即ち、実験例での第2キャパシタンスが比較例の第1キャパシタンスより約10.5%減少される。

【0119】

一方、比較例で、前記第1及び第2クロック配線（CKL1，CKBL1）での第1抵抗は457であり、実験例で、前記第1及び第2クロック配線（CKL1，CKBL1）の第2抵抗は489であって、実験例での第2抵抗が第1抵抗より約7%増加される。しかし、実験例で第2抵抗が増加された割合より第2キャパシタンスが減少された割合が大きいため究極にはRCディレイは減少される。

30

【0120】

図16は、本発明の第5実施例による配線構造を示した図面である。

【0121】

図16を参照すると、第2電圧配線（VSSL）とシフトレジスタ（図示せず）の間には第2電圧配線（VSSL）と各ステージを連結する第1電圧連結ライン（VSSLc）が配置される。前記第2電圧配線（VSSL）と前記シフトレジスタの間には前記第2電圧配線（VSSL）と並んで第1及び第2クロック配線（CKL1，CKBL1）が配置される。

40

【0122】

ここで、前記第1電圧連結ライン（VSSLc）は、前記第1及び第2クロック配線（CKL1，CKBL1）とクロスされる。また、前記第1電圧連結ライン（VSSLc）は、前記第1クロック配線（CKL1）とクロスされた領域に対応して一側壁から内側に凹んだ第3凹部（C3）を具備する。前記第2クロック配線（CKBL1）とクロスされた領域に対応して一側壁から内側に凹んだ第4凹部（C4）を具備する。従って、前記第2電圧連結ライン（VSSLc）は、前記第1及び第2クロック配線（CKL1，CKBL1）とクロスされない領域では第3幅（W3）を有し、前記第1及び第2クロック配線（CKL1，CKBL1）とクロスされる領域では、前記3幅（W3）より小さい第4幅

50

(W4)を有する。

【0123】

このように、前記第1電圧連結ライン(VSSLc)の幅が前記第1及び第2クロック配線(CKL1,CKBL1)とクロスされた領域で狭く形成されることで、前記第1及び第2クロック配線(CKL1,CKBL1)と前記第1電圧連結ライン(VSSLc)との間で形成されるキャパシタンスを減少させることができる。従って、前記第1及び第2クロック配線(CKL1,CKBL1)を通じて印加される前記第1及び第2クロック信号の遅延時間と前記第1電圧連結ライン(VSSLc)を通じて印加される第1電源電圧の遅延時間を減少させることができる。

【産業上の利用可能性】

10

【0124】

このようなゲート駆動回路で、ダミーステージ(SRCn+1)の出力端子が最後の駆動ステージ(SRCn)の制御端子に連結されると同時に、ダミーステージ(SRCn+1)自体の制御端子に連結されることによって、前記ゲート駆動回路に提供される各種信号が遅延される現象を防止することができる。また、ダミーステージ(SRCn+1)から制御端子に連結されたトランジスタの構造が変更されることで、前記ダミーステージ(SRCn+1)の出力信号が正常に出力され、それによって前記液晶表示装置の表示特性を向上させることができる。

【0125】

また、配線部は、第1及び第2クロック配線以外に、第1及び第2クロック(CK,CKB)がそれぞれ提供される第3及び第4クロック配線を追加に具備することで、一番目のゲートラインから最後のゲートラインまで順次にハイレベル区間を有して発生される第1及び第2クロックの遅延時間を最小化することができ、更に液晶表示装置の表示特性を向上させることができる。

20

【0126】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0127】

30

【図1】本発明の第1実施例による液晶表示パネルを示した図面である。

【図2】図1に図示されたゲート駆動回路を構成するシフトレジスタを具体的に示した図面である。

【図3】図2に図示された駆動ステージの構成を示した回路図である。

【図4】図3に図示された駆動ステージのレイアウト図面である。

【図5】図2に図示されたダミーステージの構成を示した回路図である。

【図6】図5に図示されたダミーステージのレイアウト図面である。

【図7】ダミーステージが駆動ステージと同じ構造を有する場合、ダミーステージの出力波形図である。

【図8】ダミーステージが図5に図示された回路で構成された場合の出力波形図である。

40

【図9】本発明の第2実施例による駆動ステージ及びダミーステージの構成を示した回路図である。

【図10】本発明の第3実施例によるゲート駆動回路を示した図面である。

【図11】図10に図示されたゲート駆動回路の出力波形図である。

【図12】図10に図示された第3及び第4クロック配線の位置を具体的に示したゲート駆動回路のレイアウト図面である。

【図13】第1及び第3クロック配線の連結関係と第2及び第4クロック配線の連結関係を示したレイアウト図面である。

【図14】本発明の第4実施例によるシフトレジスタの配線構造を示した図面である。

【図15】図14に図示された配線構造を有するシフトレジスタを示したレイアウト図面

50

である。

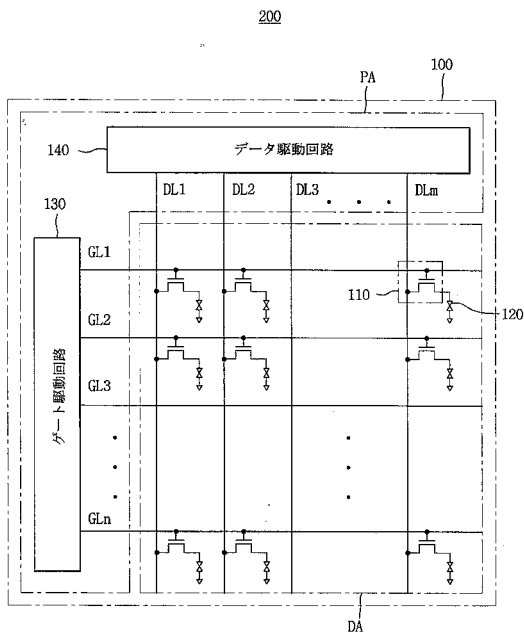
【図16】本発明の第5実施例によるシフトレジスタを配線構造を示したレイアウトの図面である。

【符号の説明】

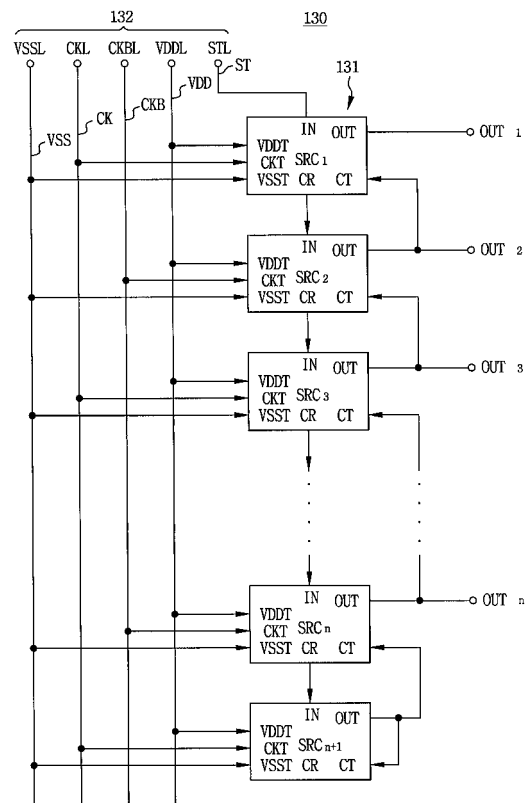
【0128】

- 100、300 TFT基板
- 110 TFT
- 120 画素電極
- 130 ゲート駆動回路
- 131、133、151 シフトレジスタ
- 132、152 配線部
- 140 データ駆動回路
- 150 ゲート駆動回路
- 200 液晶表示装置
- 1401 第1側壁
- 1402 第2側壁
- 1403 第3側壁
- 1404 第4側壁

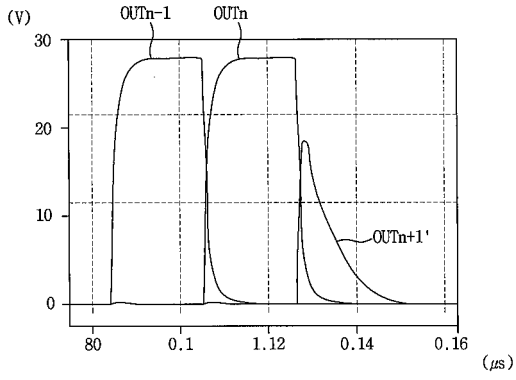
【図1】



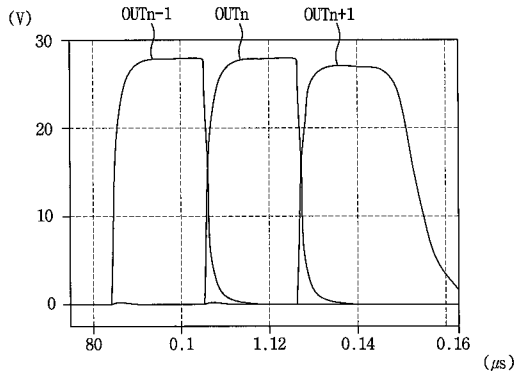
【図2】



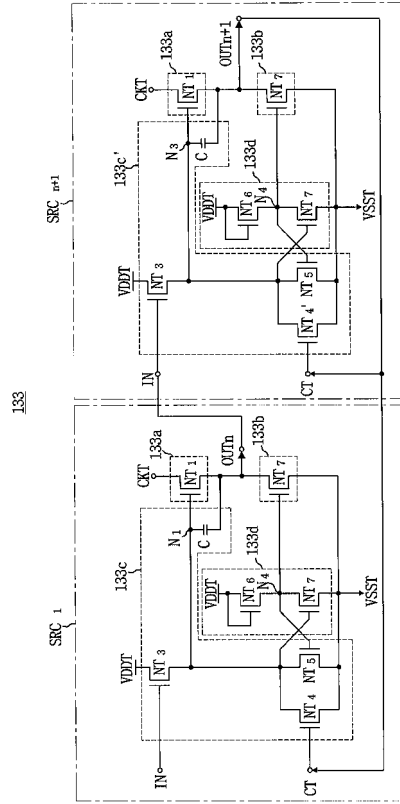
【 図 7 】



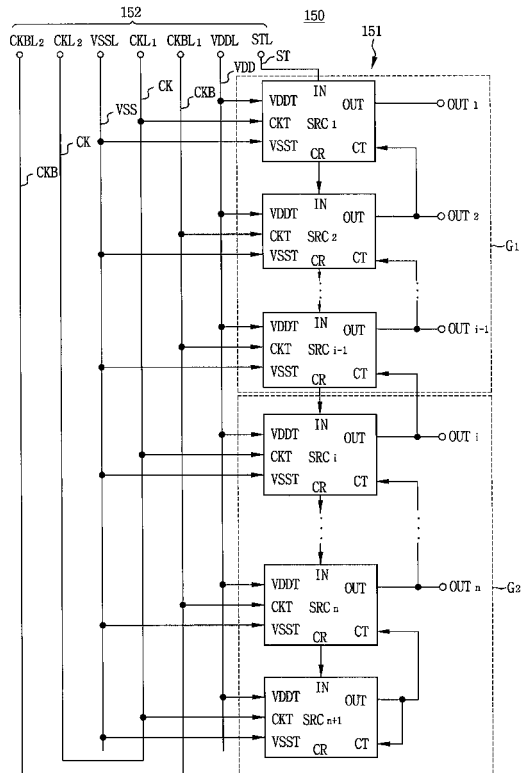
【 図 8 】



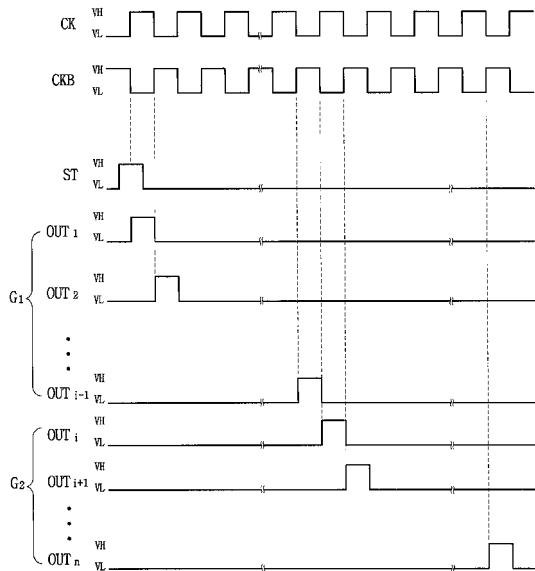
【 図 9 】



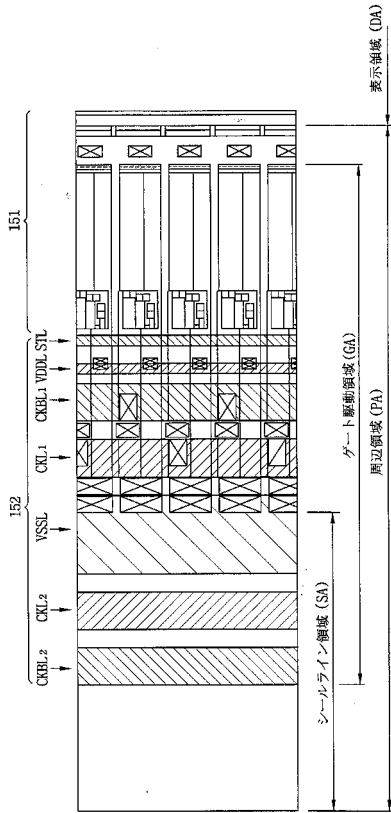
【 図 10 】



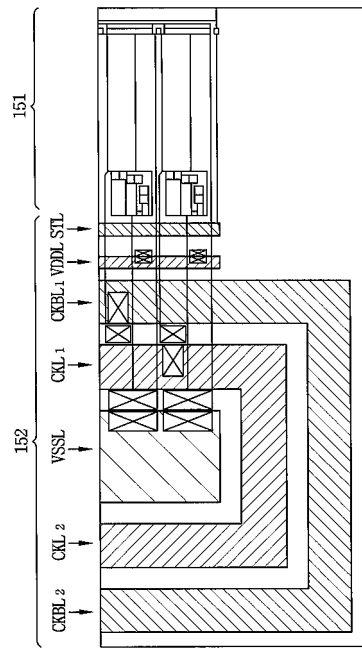
【 図 11 】



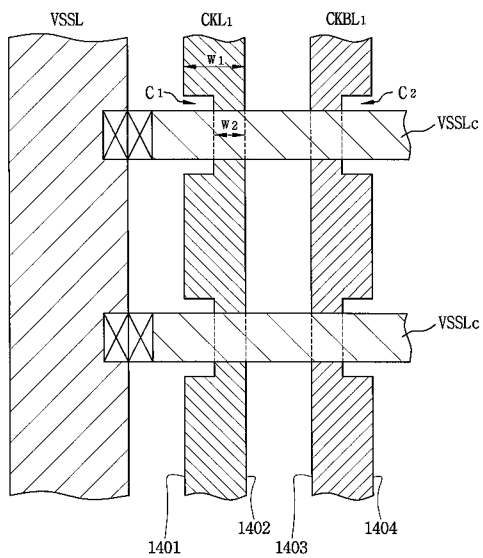
【図12】



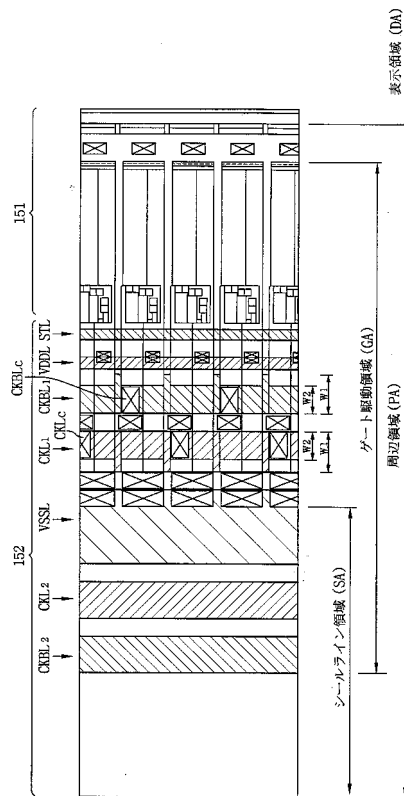
【図13】



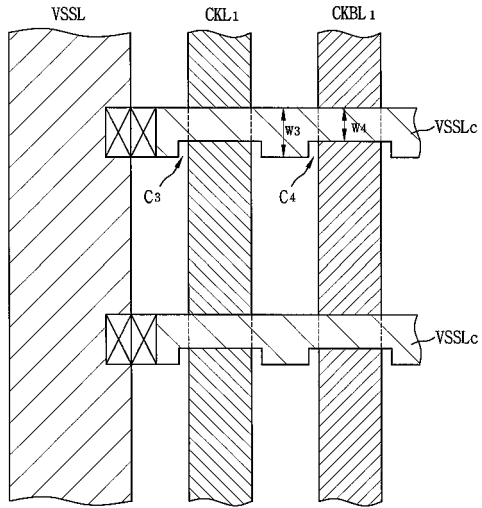
【図14】



【図15】



【 図 16 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 E
G 0 9 G 3/20 6 8 0 G

(31)優先権主張番号 10-2002-0087014

(32)優先日 平成14年12月30日(2002.12.30)

(33)優先権主張国 韓国(KR)

(72)発明者 モン, スン - ファン

大韓民国, キョンギ - ド 4 4 9 - 8 4 3 , ヨンジン - シ, スジ - ウップ, サンヒョン - リ, 2 0
5 - 1 5 0 4 ヒュンダイ I - パーク 6チャ アパート

審査官 中村 直行

(56)参考文献 特開2002 - 133890 (JP, A)
特開2001 - 320546 (JP, A)
特開平02 - 128400 (JP, A)
特開2002 - 055644 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38
G02F 1/133- 1/1368
G11C 19/00