



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
H01L 27/02 (2006.01)

(11) 공개번호 10-2007-0048330  
(43) 공개일자 2007년05월09일

(21) 출원번호 10-2005-0105281  
(22) 출원일자 2005년11월04일  
심사청구일자 없음

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 김형결  
경기 용인시 구성읍 보정리 1161 진산마을 삼성5차아파트 505동206호  
이건빈  
경기 수원시 영통구 매탄동 주공그린빌 101동 504호  
김동환  
경기 수원시 영통구 영통동 황골마을2단지아파트 234동 1503호  
지안호  
경기 화성시 태안읍 반월리 872번지 삼성래미안2차 202동 1101호  
안형철  
경기 수원시 영통구 영통동 1027-7 101호

(74) 대리인 조희원

전체 청구항 수 : 총 16 항

(54) 칩형 전기 소자 및 이를 포함하는 표시 장치

(57) 요약

본 발명은 외부 전극 간의 높이 편차로 인한 본딩 불량을 방지할 수 있는 칩형 전기 소자 및 이를 포함하는 표시 장치에 관한 것이다.

본 발명에 따른 칩형 전기 소자는 다수의 유전체층이 적층된 몸체와; 상기 다수의 유전체층 중 적어도 어느 한 층을 관통하는 콘택홀과; 상기 콘택홀 내에 매립되는 연결전극쌍과; 상기 연결전극쌍과 접속됨과 아울러 상기 몸체의 배면 상에 형성되는 외부전극쌍을 구비하는 것을 특징으로 한다.

대표도

도 3

특허청구의 범위

청구항 1.

다수의 유전체층이 적층된 몸체와;

상기 다수의 유전체층 중 적어도 어느 한 층을 관통하는 콘택홀과;

상기 콘택홀 내에 매립되는 연결전극쌍과;

상기 연결전극쌍과 접속됨과 아울러 상기 몸체의 배면 상에 형성되는 외부전극쌍을 구비하는 것을 특징으로 하는 칩형 전기 소자.

## 청구항 2.

제 1 항에 있어서,

상기 몸체 전면 상에 형성되며 상기 전극쌍과 접속되는 저항층을 추가로 구비하는 것을 특징으로 하는 칩형 전기 소자.

## 청구항 3.

제 1 항에 있어서,

상기 다수의 유전체층 사이에 교번적으로 형성됨과 아울러 상기 유전체층을 사이에 두고 서로 중첩되며 상기 외부 전극쌍과 전기적으로 접속되는 내부 전극쌍을 추가로 구비하는 것을 특징으로 하는 칩형 전기 소자.

## 청구항 4.

제 1 항에 있어서,

상기 다수의 유전체층 상에 나선형태로 형성되며 일단과 타단이 상기 외부 전극쌍과 접속되는 내부 전극을 추가로 구비하는 것을 특징으로 하는 칩형 전기 소자.

## 청구항 5.

제 1 항에 있어서,

상기 몸체의 배면의 양쪽 외곽부에 형성되는 열라인 마크를 추가로 구비하는 것을 특징으로 하는 칩형 전기 소자.

## 청구항 6.

제 1 항에 있어서,

상기 칩형 전기 소자는 칩 캐퍼시터, 칩 저항, 칩 인덕터, 칩 다이오드 및 칩 배리스터 중 적어도 어느 하나인 것을 특징으로 하는 칩형 전기 소자.

## 청구항 7.

다수의 유전체층이 적층된 몸체와;

상기 다수의 유전체층 중 적어도 어느 한 층을 관통하는 콘택홀과;

상기 콘택홀 내에 매립되는 연결전극쌍과;

상기 연결전극쌍과 접속됨과 아울러 상기 몸체의 배면 상에 소정 간격으로 이격되도록 형성되며 절연 기판의 신호패드와 도전 필름을 통해 접속되는 외부 전극쌍을 구비하는 것을 특징으로 하는 칩형 전기 소자.

#### 청구항 8.

제 7 항에 있어서,

상기 칩형 전기 소자는 칩 캐퍼시터, 칩 저항, 칩 인덕터, 칩 다이오드 및 칩 배리스터 중 적어도 어느 하나인 것을 특징으로 하는 칩형 전기 소자.

#### 청구항 9.

제 7 항에 있어서,

상기 몸체의 배면의 양쪽 외곽부에 형성되는 얼라인 마크를 추가로 구비하는 것을 특징으로 하는 칩형 전기 소자.

#### 청구항 10.

신호패드가 형성된 표시 패널과;

상기 표시 패널 상에 실장되며 상기 신호 패드와 접속되는 칩형 전기 소자를 구비하며,

상기 칩형 전기 소자는

다수의 유전체층이 적층된 몸체와;

상기 다수의 유전체층을 관통하는 콘택홀과;

상기 콘택홀 내에 매립되는 연결전극쌍과;

상기 연결전극쌍과 접속됨과 아울러 상기 몸체의 배면 상에 형성되며 상기 신호패드와 전기적으로 연결되는 전극쌍을 구비하는 것을 특징으로 하는 표시 장치.

#### 청구항 11.

제 10 항에 있어서,

상기 신호 패드와 상기 칩형 전기 소자를 사이에 형성되어 이들을 접속시키는 도전 필름을 추가로 구비하는 것을 특징으로 하는 표시 장치.

#### 청구항 12.

제 10 항에 있어서,

상기 봄체 전면 상에 형성되며 상기 전극쌍과 접속되는 저항층을 추가로 구비하는 것을 특징으로 하는 표시 장치.

### 청구항 13.

제 10 항에 있어서,

상기 다수의 유전체층 사이에 교번적으로 형성됨과 아울러 상기 유전체층을 사이에 두고 서로 중첩되며 상기 외부 전극쌍과 전기적으로 접속되는 내부 전극쌍을 추가로 구비하는 것을 특징으로 하는 표시 장치.

### 청구항 14.

제 10 항에 있어서,

상기 다수의 유전체층 상에 나선형태로 형성되며 일단과 타단이 상기 외부 전극쌍과 접속되는 내부 전극을 추가로 구비하는 것을 특징으로 하는 표시 장치.

### 청구항 15.

제 10 항에 있어서,

상기 봄체의 배면의 양쪽 외곽부에 형성되는 얼라인 마크를 추가로 구비하는 것을 특징으로 하는 표시 장치.

### 청구항 16.

제 10 항에 있어서,

상기 칩형 전기 소자는 칩 캐패시터, 칩 저항, 칩 인덕터, 칩 다이오드 및 칩 배리스터 중 적어도 어느 하나인 것을 특징으로 하는 표시 장치.

명세서

## 발명의 상세한 설명

### 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 칩형 전기 소자 및 이를 포함하는 액정 표시 장치에 관한 것으로, 상세하게는 외부 전극 간의 높이 편차로 인한 본딩 불량을 방지할 수 있는 칩형 전기 소자 및 이를 포함하는 표시 장치에 관한 것이다.

전자 기기의 소형화 및 경량화에 대한 요구가 점점 증대함에 따라 회로 기판의 배선 밀도를 높이기 위하여 칩 형상의 전기 소자가 많이 사용된다. 이러한 전기 소자는 칩 캐패시터, 칩 저항, 칩 인덕터 등을 예로 들 수 있다.

칩 캐패시터(Multi Layer Ceramic Capacitor : MLCC)는 유전체층과 내부전극을 소형 박막으로 다층화한 칩 타입의 캐패시터이고, 칩 저항(Chip Resistor)은 표면실장을 위한 박형의 소형 저항이며, 칩 인덕터(Chip Inductor)는 전자기기의 노이즈를 제거하기 위해 사용하는 표면실장형 인덕터이다.

이와 같은 종래 칩형 전기 소자(2)는 솔더링 공정을 통해 인쇄 회로 기판 또는 연성 회로 기판 상에 실장된다. 그러나, 최근에는 비용 절감 및 액정 표시 장치의 박형화를 위해 인쇄 회로 기판 또는 연성 회로 기판이 제거되는 방향으로 진행되고 있으므로 액정 표시 패널 상에 실장될 수 있는 칩형 전기 소자가 요구되고 있다.

종래 인쇄 회로 기판 또는 연성 회로 기판 상에 실장된 칩형 전기 소자(2)는 도 1에 도시된 바와 같이 다수의 유전체층이 적층된 몸체(4)와, 그 몸체(4)를 사이에 두고 대향하는 외부전극쌍(6,8)을 구비한다.

외부 전극쌍(6,8)은 몸체(4) 내에 형성된 내부 전극들과 접속되기 위해 몸체(4)의 측면에 형성됨과 아울러 액정 표시 패널의 도전패드와 접속되기 위해 몸체(4)의 하부면에 형성된다. 이러한 외부 전극쌍(6,8)을 식각공정을 포함하는 포토리소그래피공정으로 형성할 경우, 몸체(4)의 측면 상에 외부전극쌍을 형성한 후 하부면 상에 외부전극쌍을 형성하여야 한다. 이에 따라, 적어도 2번의 포토리소그래피공정과 적어도 2번의 식각공정이 필요하므로 공정이 복잡한 문제점이 있다. 이러한 문제점을 해결하기 위해 몸체(4)에 외부전극쌍(6,8)을 형성하기 위해 침지방식을 이용한다. 침지방식은 도 2a에 도시된 바와 같이 몸체(4)의 측면(4a)과 상/하부면(4b,4c)을 액상 형태의 도전 페이스트(10)에 침지시킨 후 열처리하는 방식이다. 이 경우, 몸체(4)의 하부면(4c)과 상부면(4b)에 도포된 외부전극쌍(6,8)은 도 2b에 도시된 바와 같이 몸체(4)의 측면(4a)에 도포된 외부 전극쌍(6,8)에 비해 얇게 형성된다. 또한, 액정 표시 패널 상에 안착되는 면인 몸체(4)의 하부면(4c)에 도포되는 외부 전극쌍(6,8)의 높이와 표면적은 균일하지 못하다. 높이가 일정치 않은 외부 전극쌍(6,8)을 가지는 칩형 전기 소자는 높이차에 의해 액정 표시 패널의 하부기판 상에 제대로 안착되지 못하는 문제점이 있다. 즉, 높이가 높은 외부 전극(6,8)을 기준으로 칩형 전기 소자(2)를 하부기판 상에 실장할 경우, 높이가 높은 외부 전극(6,8)은 하부기판 상에 형성된 신호패드와 접속되는 반면에 높이가 낮은 외부 전극(6,8)은 하부기판 상에 형성된 신호 패드와 접속되지 못한다. 또한, 표면적이 일정치 않은 외부 전극(6,8)을 가지는 칩형 전기 소자(2)는 하부기판 상에 형성된 신호패드와의 접촉면적이 달라 접촉불량이 발생된다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 외부 전극 간의 높이 및 면적 편차로 인한 본딩 불량을 방지할 수 있는 칩형 전기 소자 및 이를 포함하는 표시 장치를 제공하는데 있다.

### 발명의 구성

이를 위해, 본 발명에 따른 칩형 전기 소자는 다수의 유전체층이 적층된 몸체와; 상기 다수의 유전체층 중 적어도 어느 한 층을 관통하는 콘택홀과; 상기 콘택홀 내에 매립되는 연결전극쌍과; 상기 연결전극쌍과 접속됨과 아울러 상기 몸체의 배면 상에 형성되는 외부전극쌍을 구비하는 것을 특징으로 한다.

본 발명에 따른 칩형 전기 소자의 제1 실시 예는 상기 몸체 전면 상에 형성되며 상기 전극쌍과 접속되는 저항층을 추가로 구비하는 것을 특징으로 한다.

본 발명에 따른 칩형 전기 소자의 제2 실시 예는 상기 다수의 유전체층 사이에 교번적으로 형성됨과 아울러 상기 유전체층을 사이에 두고 서로 중첩되며 상기 외부 전극쌍과 전기적으로 접속되는 내부 전극쌍을 추가로 구비하는 것을 특징으로 한다.

본 발명에 따른 칩형 전기 소자의 제3 실시 예는 상기 다수의 유전체층 상에 나선형태로 형성되며 일단과 타단이 상기 외부 전극쌍과 접속되는 내부 전극을 추가로 구비하는 것을 특징으로 한다.

한편, 본 발명에 따른 칩형 전기 소자는 상기 몸체의 배면의 양쪽 외곽부에 형성되는 얼라인 마크를 추가로 구비하는 것을 특징으로 한다.

이러한 본 발명에 따른 칩형 전기 소자는 칩 캐페시터, 칩 저항 및 칩 인덕터 중 적어도 어느 하나인 것을 특징으로 한다.

또한, 본 발명에 따른 칩형 전기 소자는 다수의 유전체층이 적층된 몸체와; 상기 다수의 유전체층 중 적어도 어느 한 층을 관통하는 콘택홀과; 상기 콘택홀 내에 매립되는 연결전극쌍과; 상기 연결전극쌍과 접속됨과 아울러 상기 몸체의 배면 상에 소정 간격으로 이격되며 절연 기판의 신호패드와 상기 도전 필름을 통해 접속되는 전극쌍을 구비하는 것을 특징으로 한다.

여기서, 본 발명에 따른 칩형 전기 소자는 칩 캐패시터, 칩 저항, 칩 인덕터, 칩 다이오드 및 칩 배리스터 중 적어도 어느 하나인 것을 특징으로 한다.

그리고, 본 발명에 따른 칩형 전기 소자는 상기 몸체의 배면의 양쪽 외곽부에 형성되는 얼라인 마크를 추가로 구비하는 것을 특징으로 한다.

또한, 본 발명에 따른 액정 표시 장치는 신호패드가 형성된 액정 표시 패널과; 상기 액정 표시 패널 상에 실장되며 상기 신호 패드와 접속되는 칩형 전기 소자를 구비하며, 상기 칩형 전기 소자는 다수의 유전체층이 적층된 몸체와; 상기 다수의 유전체층을 관통하는 콘택홀과; 상기 콘택홀 내에 매립되는 연결전극쌍과; 상기 연결전극쌍과 접속됨과 아울러 상기 몸체의 배면 상에 형성되며 상기 신호패드와 전기적으로 연결되는 전극쌍을 구비하는 것을 특징으로 한다.

여기서, 본 발명에 따른 액정 표시 장치는 상기 신호 패드와 상기 칩형 전기 소자를 사이에 형성되어 이들을 접속시키는 도전필름을 추가로 구비하는 것을 특징으로 한다.

상기 기술적 과제 외에 본 발명이 이루고자 하는 다른 기술적 과제 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

도 3은 본 발명에 따른 칩형 전기 소자의 제1 실시예인 칩 커패시터를 나타내는 배면 사시도이며, 도 4는 도 3에 도시된 칩 커패시터를 나타내는 단면도이다.

도 3 및 도 4에 도시된 칩 커패시터(102)는 다수의 유전체층(104)과, 다수의 유전체층(104) 사이에 교번적으로 형성된 제1 및 제2 내부전극(110,112)과, 제1 내부 전극(110)과 연결된 제1 외부 전극(106)과, 제2 내부 전극(112)과 연결된 제2 외부전극(108)과, 최외곽에 위치하는 유전체층(104)의 양쪽 외곽에 형성되는 얼라인 마크(162)를 구비한다.

다수의 유전체층(104)은 세라믹 유전물질로 다층 구조로 형성되어 몸체를 이루며 유전체층(104)의 유전율과 두께에 따라 캐패시터의 용량값이 결정된다.

제1 및 제2 내부전극(110,112)은 유전체층(104)을 사이에 두고 서로 대향하도록 형성된다. 이러한 제1 및 제2 내부전극(110,112)은 팔라듐(Pd), 니켈(Ni) 등으로 형성된다.

제1 내부 전극들(110)은 그들(110) 사이에 위치하는 유전체층(104)을 관통하는 제1 콘택홀(120) 내에 매립되는 제1 연결전극(116)을 통해 서로 접속된다. 제1 연결전극(116)은 제1 내부 전극(110) 형성과 동시에 제1 내부 전극(110)과 동일 금속으로 형성된다. 또는 별도의 공정을 통해 제1 내부 전극(110)과 다른 금속으로 형성되거나 별도의 공정을 통해 제1 내부 전극(110)과 동일 금속으로 형성된다.

제2 내부 전극들(112)은 그들(112) 사이에 위치하는 유전체층(104)을 관통하는 제2 콘택홀(122) 내에 매립되는 제2 연결전극(118)을 통해 서로 접속된다. 제2 연결전극(118)은 제2 내부 전극(112) 형성과 동시에 제2 내부 전극(112)과 동일 금속으로 형성된다. 또는 별도의 공정을 통해 제2 내부 전극(112)과 다른 금속으로 형성되거나 별도의 공정을 통해 제2 내부 전극(112)과 동일 금속으로 형성된다.

제1 및 제2 외부 전극(106,108)은 최외곽의 유전체층(104)의 배면 상에 식각공정을 포함하는 포토리소그래피공정 또는 스크린 프린팅 공정을 통해 은(Ag), 구리(Cu) 등의 금속으로 형성된다.

제1 외부전극(106)은 도 4에 도시된 바와 같이 제1 콘택홀(120) 내에 매립된 제1 연결전극(116)을 통해 제1 내부전극(110)들과 연결되도록 최외곽의 유전체층(104) 상에 단층 구조로 형성된다. 또는 도 5에 도시된 바와 같이 제1 콘택홀(120) 내에 매립된 제1 연결전극을 통해 제1 내부 전극(110)들과 연결되도록 최외곽의 유전체층(104) 상에 다층 구조로 형성된다. 예를 들어, 다층 구조의 제1 외부 전극(106)은 최외곽의 유전체층(104) 상에 제1 연결 전극(116)과 동일 금속으로 형성되는 제1 전극층(106a)과, 제1 전극층(106a) 상에 얼라인 마크(162)와 동일 금속으로 동시에 형성되는 제2 전극층(106b)으로 이루어진다.

제2 외부전극(108)은 도 4에 도시된 바와 같이 제2 콘택홀(122) 내에 매립된 제2 연결전극(118)을 통해 제2 내부전극(112)들과 연결되도록 최외곽의 유전체층(104) 상에 단층 구조로 형성된다. 또는 도 5에 도시된 바와 같이 제2 콘택홀(122) 내에 매립된 제2 연결전극(118)을 통해 제2 내부전극(112)들과 연결되도록 최외곽의 유전체층(104) 상에 다층 구조로 형성된다. 예를 들어, 다층 구조의 제2 외부전극(108)은 최외곽의 유전체층(104) 상에 제2 연결전극(118)과 동일 금속으로 형성되는 제1 전극층(108a)과, 제1 전극층(108a) 상에 얼라인 마크(162)와 동일 금속으로 동시에 형성되는 제2 전극층(108b)으로 이루어진다.

얼라인 마크(162)는 외부전극(106,108)과 동일 평면 상에 외부전극(106,108)과 동일 금속으로 형성된다. 또는 내부전극들(110,112) 중 적어도 어느 하나와 동일 평면 상에 내부전극(110,112) 또는 연결전극(116,118)과 동일 금속으로 형성된다. 이러한 얼라인 마크(162)는 칩 캐패시터(102)가 액정 표시 패널 상에 실장될 때 이용된다. 즉, 칩 캐패시터(102)는 그 칩 캐패시터(102)에 형성된 얼라인 마크(162)와 액정 표시 패널의 하부기판 상에 형성된 얼라인 마크가 서로 일치되게 정렬된 후 하부기판 상에 실장된다.

이와 같이, 본 발명에 따른 칩 캐패시터는 내부전극과 외부전극이 연결전극을 통해 연결된다. 이에 따라, 본 발명에 따른 칩 캐패시터의 외부전극은 최외곽의 유전체층 배면 상에 한번의 식각 공정을 포함하는 포토리소그래피공정 또는 스크린프린팅 공정으로 형성가능하다. 이러한 본 발명에 따른 칩 캐패시터의 외부전극은 침지방식으로 몸체의 측면과 하부면 상에 형성되는 종래 외부전극에 비해 전극 표면의 평탄도를 높힐 수 있다. 또한, 본 발명에 따른 칩 캐패시터는 다층의 유전체층을 구비하므로써 유전체층의 표면 평탄화가 이루어져 그 유전체층 상에 형성되는 전극 표면의 평탄도를 높힐 수 있다. 이에 따라, 본 발명에 따른 칩 캐패시터는 외부전극들 간의 높이 및 면적 중 적어도 어느 하나의 편차로 인한 접촉 불량을 방지할 수 있다. 또한, 본 발명에 따른 칩 캐패시터는 최외곽의 유전체층의 양쪽 끝에 얼라인 마크가 형성된다. 이 얼라인 마크를 가지는 칩 캐패시터는 별도의 얼라인 마크를 이용하여 얼라인 되는 접적 회로와 동일하게 액정 표시 패널 상의 정확한 위치에 정렬된다.

도 6은 본 발명에 따른 칩형 전기 소자의 제2 실시 예인 칩 저항을 나타내는 단면도이다.

도 6에 도시된 칩 저항(130)은 몸체인 유전체층(132) 전면 상에 형성된 저항층(134)과, 저항층(134)과 접속되며 유전체층(132) 배면 상에 형성된 제1 및 제2 외부전극(136,138)과, 제1 및 제2 외부전극(136,138) 각각과 저항층(134) 사이에 형성된 연결전극(140)과, 유전체층(132)의 배면의 양쪽 외곽에 형성되는 얼라인 마크(162)구비한다.

저항층(134)은 산화루티니움( $\text{RuO}_2$ ) 등의 저항물질로 이루어져 칩 저항(130)의 저항값을 결정한다.

제1 및 제2 외부전극(136,138)은 절연층(132) 배면 상에 식각공정을 포함하는 포토리소그래피공정 또는 스크린프린팅 공정을 통해 은(Ag), 구리(Cu), 니켈(Ni), 알루미늄(Al) 등의 금속으로 단층 또는 다층 구조로 형성된다. 이러한 제1 및 제2 외부전극(136,138)은 콘택홀(142) 내에 매립된 연결전극(140)을 통해 저항층(134)과 연결된다.

연결전극(140)은 제1 및 제2 외부전극(136,138) 형성과 동시에 동일 금속으로 형성된다. 또는 별도의 공정을 통해 제1 및 제2 외부전극(136,138)과 동일 금속으로 형성되거나 별도의 공정을 통해 제1 및 제2 외부전극(136,138)과 다른 금속으로 형성된다.

얼라인 마크(162)는 외부전극(106,108)과 동일 평면 상에 외부전극(106,108) 또는 연결전극(140)과 동일 금속으로 형성된다. 이러한 얼라인 마크(162)는 칩 저항(130)이 액정 표시 패널 상에 실장될 때 이용된다. 즉, 칩 저항(130)은 그 칩 저항(130)에 형성된 얼라인 마크(162)와 액정 표시 패널의 하부기판 상에 형성된 얼라인 마크가 서로 일치되게 하부기판 상에 실장된다.

이와 같이, 본 발명에 따른 칩 저항은 내부전극과 외부전극이 연결전극을 통해 연결된다. 이에 따라, 본 발명에 따른 칩 저항의 외부전극은 최외곽의 유전체층 배면 상에 한번의 식각 공정을 포함하는 포토리소그래피공정 또는 스크린프린팅 공정으로 형성가능하다. 이러한 본 발명에 따른 칩 저항의 외부전극은 침지방식으로 몸체의 측면과 하부면 상에 형성되는 종래 외부전극에 비해 전극 표면의 평탄도를 높힐 수 있다. 이에 따라, 본 발명에 따른 칩 저항은 외부전극들 간의 높이 및 면적 중 적어도 어느 하나의 편차로 인한 접촉 불량을 방지할 수 있다. 또한, 본 발명에 따른 칩 저항은 최외곽의 유전체층의 양쪽 끝에 얼라인 마크가 형성된다. 이 얼라인 마크를 가지는 칩 저항은 별도의 얼라인 마크를 이용하여 얼라인 되는 접적 회로와 동일하게 액정 표시 패널 상의 정확한 위치에 정렬된다.

도 7은 본 발명에 따른 칩형 전기 소자의 제3 실시예인 칩 인덕터를 나타내는 단면도이다.

도 7에 도시된 칩 인덕터(150)는 다수의 유전체층(154) 상에 나선형태로 형성된 내부 전극(152)과, 내부 전극(110,112)과 연결된 외부전극(156,158)을 구비한다.

다수의 유전체층(154)은 세라믹 유전물질로 다층 구조로 형성되어 몸체를 이룬다.

내부전극(152)들은 그들(152) 사이에 위치하는 유전체층(154)을 관통하는 제1 콘택홀(144) 내에 매립되는 제1 연결전극(164)을 통해 서로 접속된다. 제1 연결전극(164)은 내부 전극(152) 형성과 동시에 내부 전극(152)과 동일 금속으로 형성된다. 또는 별도의 공정을 통해 내부 전극(152)과 다른 금속 형성되거나 별도의 공정을 통해 내부 전극(152)과 동일 금속으로 형성된다. 이러한 제1 연결전극(164)은 내부전극(152)을 사이에 두고 좌우에 교번적으로 형성됨으로써 내부 전극(152)은 제1 연결전극(164)을 통해 나선형태로 형성된다.

이러한 나선형태의 내부 전극(152)의 시작부인 제1 인출부(170)는 유전체층(154)을 관통하는 제2 콘택홀(146)을 통해 제1 외부 전극(156)과 접속된다. 즉, 제1 인출부(170)는 제2 콘택홀(146) 내에 매립된 제2 연결 전극(166)을 통해 제1 외부 전극(156)과 접속된다.

내부 전극(152)의 종료부인 제2 인출부(172)는 유전체층(154)을 관통하는 제3 콘택홀(148)을 통해 제2 외부 전극(158)과 접속된다. 즉, 제2 인출부(172)는 제3 콘택홀(148) 내에 매립된 제3 연결 전극(168)을 통해 제2 외부 전극(158)과 접속된다.

한편, 제1 및 제2 외부 전극(156,158)은 최외곽의 유전체층(154) 상에 식각공정을 포함하는 포토리소그래피공정 또는 스크린 프린팅 공정을 통해 은(Ag), 구리(Cu) 등의 금속으로 단층 또는 다층 구조로 형성된다.

얼라인 마크(162)는 외부 전극(156,158)과 동일 평면 상에 외부 전극(156,158)과 동일 금속으로 형성된다. 또는 내부 전극들(152) 중 적어도 어느 하나와 동일 평면 상에 내부 전극(152) 또는 연결전극(164,166,168)과 동일 금속으로 형성된다. 이러한 얼라인 마크(162)는 칩 인덕터(150)가 액정 표시 패널 상에 실장될 때 이용된다. 즉, 칩 인덕터(150)는 그 칩 인덕터(150)에 형성된 얼라인 마크(162)와 액정 표시 패널의 하부기판 상에 형성된 얼라인 마크가 서로 일치되게 하부 기판 상에 실장된다.

이와 같이, 본 발명에 따른 칩 인덕터는 내부전극과 외부전극이 연결전극을 통해 연결된다. 이에 따라, 본 발명에 따른 칩 인덕터의 외부전극은 최외곽의 유전체층 배면 상에 한번의 식각 공정을 포함하는 포토리소그래피공정 또는 스크린 프린팅 공정으로 형성가능하다. 이러한 본 발명에 따른 칩 인덕터의 외부 전극은 침지 방식으로 몸체의 측면과 하부면 상에 형성되는 종래 외부 전극에 비해 전극 표면의 평탄도를 높힐 수 있다. 또한, 본 발명에 따른 칩 인덕터는 다층의 유전체층을 구비하므로써 유전체층의 표면 평탄화가 이루어져 그 유전체층 상에 형성되는 전극 표면의 평탄도를 높힐 수 있다. 이에 따라, 이에 따라, 본 발명에 따른 칩 인덕터는 외부 전극들 간의 높이 및 면적 편차 중 어느 하나로 인한 접촉 불량을 방지할 수 있다. 또한, 본 발명에 따른 칩 인덕터는 최외곽의 유전체층의 양쪽 끝에 얼라인 마크가 형성된다. 이 얼라인 마크를 가지는 칩 인덕터는 별도의 얼라인 마크를 이용하여 얼라인 되는 접적 회로와 동일하게 액정 표시 패널 상의 정확한 위치에 정렬된다.

도 8은 본 발명에 따른 칩형 전기 소자가 실장된 액정 표시 장치를 나타내는 도면이다.

도 8을 참조하면, 본 발명에 따른 칩형 전기 소자가 실장된 액정 표시 장치는 액정을 사이에 두고 서로 대향하여 합착된 박막 트랜지스터 기판(126) 및 칼라 필터 기판(128)을 구비한다.

컬러 필터 기판(128)에는 빛샘 방지를 위한 블랙 매트릭스와, 컬러 구현을 위한 컬러 필터, 화소 전극과 수직전계를 이루는 공통전극과, 그들 위에 액정 배향을 위해 도포된 상부 배향막이 상부기판 상에 형성된다.

박막 트랜지스터 기판(126)에는 서로 교차되게 형성된 게이트라인(GL) 및 데이터라인(DL)과, 그들(GL,DL)의 교차부에 형성된 박막트랜지스터(TFT)와, 박막트랜지스터(TFT)와 접속됨과 아울러 액정을 사이에 두고 공통전극과 대향하여 액정셀(Clc)을 형성하는 화소 전극과, 그들 위에 액정 배향을 위해 도포된 하부 배향막이 하부기판 상에 형성된다.

이러한 박막 트랜지스터 기판(126)의 하부 기판(176) 상에는 도 4 및 도 5에 도시된 적층 세라믹 캐패시터(102), 도 6에 도시된 칩 저항(130) 및 도 7에 도시된 칩 인덕터(150) 중 적어도 어느 하나의 칩형 전기 소자가 실장된다. 이러한 칩형 전기 소자의 외부 전극(106, 108, 136, 138, 156, 158)은 도 9a 내지 도 9c에 도시된 바와 같이 도전볼(124)을 가지는 이방성 도전 필름(Anisotropic Conductive Film : ACF)(114)을 통해 하부기판(176) 상에 형성된 신호 패드(174)와 접속된다.

한편, 본 발명에 따른 칩형 전기 소자는 칩 저항, 칩 캐패시터, 칩 인덕터를 예로 들어 설명하였지만 이외에도 칩 다이오드, 칩 배리스터 등에도 적용가능하다.

또한, 본 발명에 따른 칩형 전기 소자는 ACF(114)를 이용하여 하부기판(176) 상에 실장되는 경우를 예로 들어 설명하였지만 이외에도 ACF(114)를 이용하여 인쇄 회로 기판(Printed Circuit Board : PCB) 및 연성 회로 기판(Flexible Printed Circuit : FPC)에도 실장 가능하다. 또한, 본 발명에 따른 칩형 전기 소자는 솔더링 공정을 통해 하부기판(176), 인쇄 회로 기판(PCB) 및 연성 회로 기판(FPC) 중 적어도 어느 하나에도 실장 가능하다.

뿐만 아니라, 본 발명에 따른 칩형 전기 소자는 액정 표시 장치 뿐만 아니라, 플라즈마 디스플레이 패널, 전계 방출 소자, 전계 발광 소자 등에도 적용가능하다.

### 발명의 효과

상술한 바와 같이, 본 발명에 따른 칩형 전기 소자 및 이를 포함하는 표시 장치는 최외곽의 유전체층 배면 상에 제1 및 제2 외부 전극이 형성됨과 아울러 최외곽의 유전체층의 양쪽 끝에 얼라인 마크가 형성된다. 이에 따라, 본 발명에 따른 칩형 전기 소자 및 이를 포함하는 표시 장치는 제1 및 제2 외부 전극 간의 높이 편차로 인한 접촉 불량을 방지할 수 있다. 또한, 본 발명에 따른 칩형 전기 소자 및 이를 포함하는 표시 장치는 얼라인 마크를 이용하여 칩형 전기 소자를 표시 패널 상의 정확한 위치에 정렬시킬 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 쳐야만 할 것이다.

### 도면의 간단한 설명

도 1은 종래 인쇄 회로 기판에 실장된 칩형 전기 소자를 나타내는 단면도이다.

도 2a 및 도 2b는 도 1에 도시된 칩형 전기 소자의 외부 전극 형성방법을 설명하기 위한 단면도이다.

도 3은 본 발명의 제1 실시 예에 따른 칩형 전기 소자인 칩 캐패시터를 나타내는 사시도이다.

도 4는 도 3에 도시된 칩 캐패시터의 제1 실시 예를 나타내는 단면도이다.

도 5는 도 3에 도시된 칩 캐패시터의 제2 실시 예를 나타내는 단면도이다.

도 6은 본 발명의 제2 실시 예에 따른 칩형 전기 소자인 칩 저항을 나타내는 단면도이다.

도 7은 본 발명의 제3 실시 예에 따른 칩형 전기 소자인 칩 인덕터를 나타내는 단면도이다.

도 8은 도 4, 도 6 및 도 7에 도시된 칩형 전기 소자를 가지는 액정 표시 장치를 나타내는 평면도이다.

도 9a는 도 8에서 선 "I - I'"를 따라 절취한 칩 캐패시터를 나타내는 단면도이며, 도 9b는 도 8에서 선 "II - II'"를 따라 절취한 칩 저항을 나타내는 단면도이며, 도 9c는 도 8에서 선 "III - III'"를 따라 절취한 칩 인덕터를 나타내는 단면도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

102 : 칩 캐패시터 104, 154 : 유전체층

106,108,136,138,156,158 : 외부 전극 110,112 : 내부 전극

114 : 이방성 도전 필름 116,118,140,164,166,168 : 연결전극

120,122,142,144,146,148 : 콘택홀 124 : 도전볼

126 : 박막트랜지스터 기판 128 : 컬러필터 기판

130 : 칩 저항 132 : 세라믹 기판

134 : 저항층 150 : 칩 인덕터

160 : 액정 표시 패널 162 : 얼라인 마크

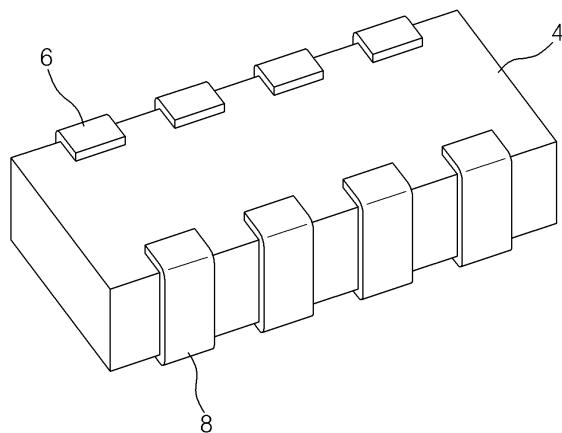
170,172 : 인출부 174 : 신호 패드

176 : 하부기판

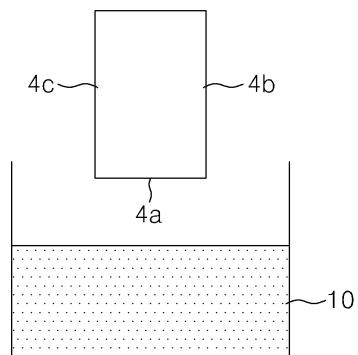
도면

도면1

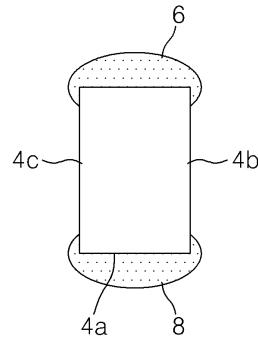
2



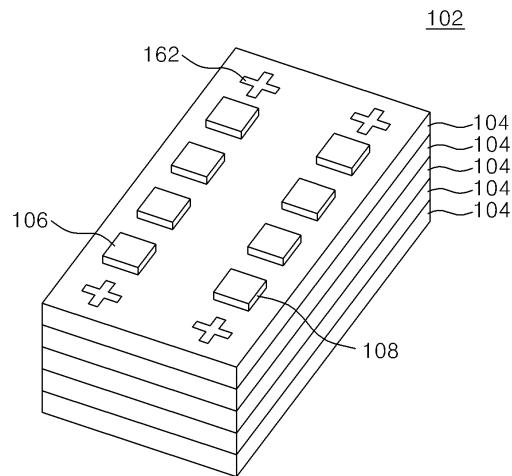
도면2a



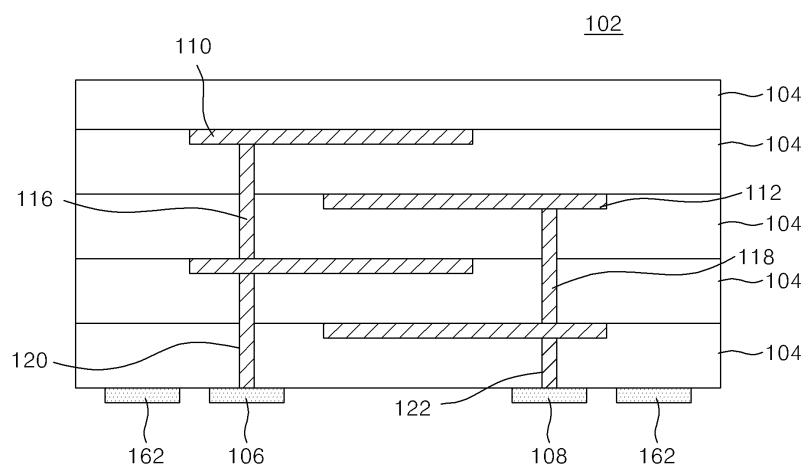
도면2b



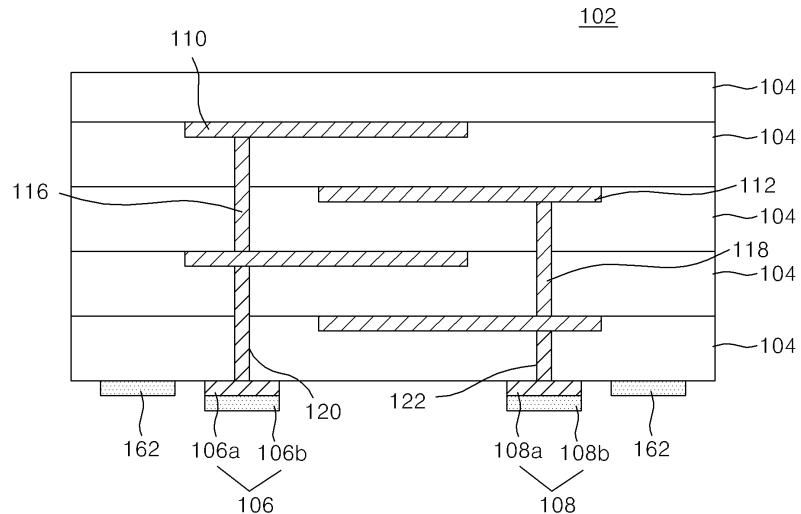
도면3



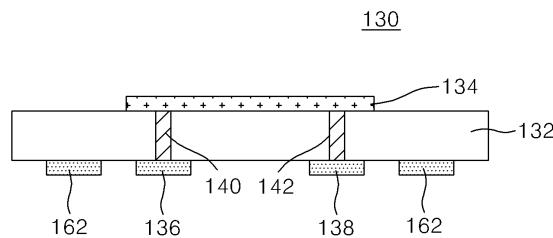
도면4



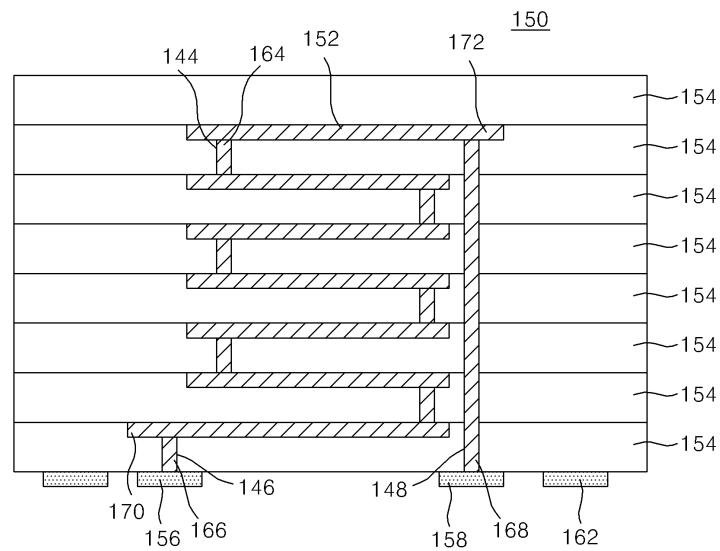
도면5



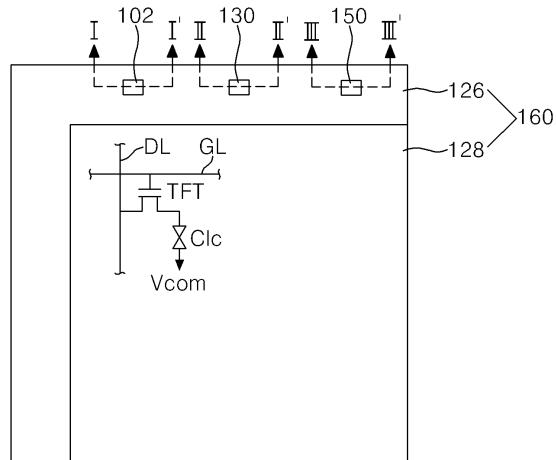
도면6



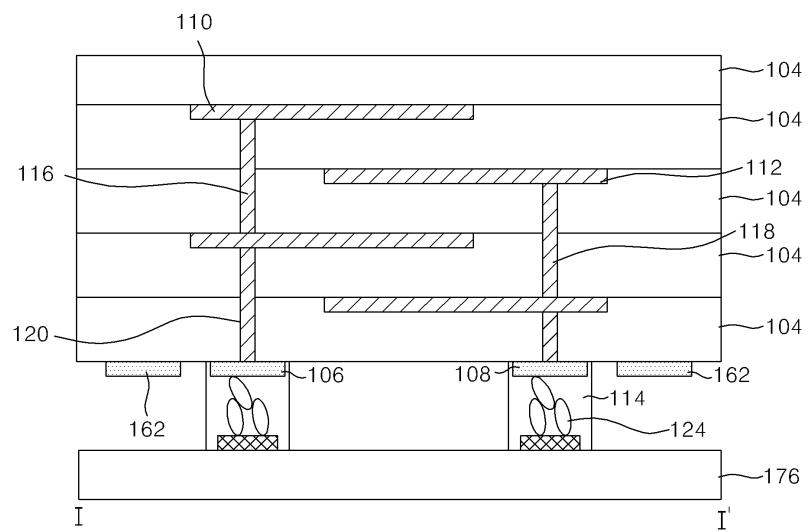
도면7



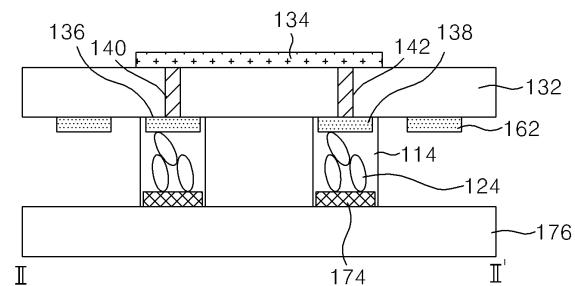
도면8



도면9a



도면9b



도면9c

