



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201804595 A

(43)公開日：中華民國 107 (2018) 年 02 月 01 日

(21)申請案號：106135953

(22)申請日：中華民國 101 (2012) 年 06 月 26 日

(51)Int. Cl.：

*H01L27/02 (2006.01)**H01L27/32 (2006.01)**H01L23/62 (2006.01)**G09G3/00 (2006.01)*

(30)優先權：2011/06/29

日本

2011-144836

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；小山潤 KOYAMA, JUN (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：11 項 圖式數：16 共 125 頁

(54)名稱

驅動電路、該驅動電路的製造方法及使用該驅動電路的顯示裝置

DRIVER CIRCUIT, METHOD OF MANUFACTURING THE DRIVER CIRCUIT, AND DISPLAY
DEVICE INCLUDING THE DRIVER CIRCUIT

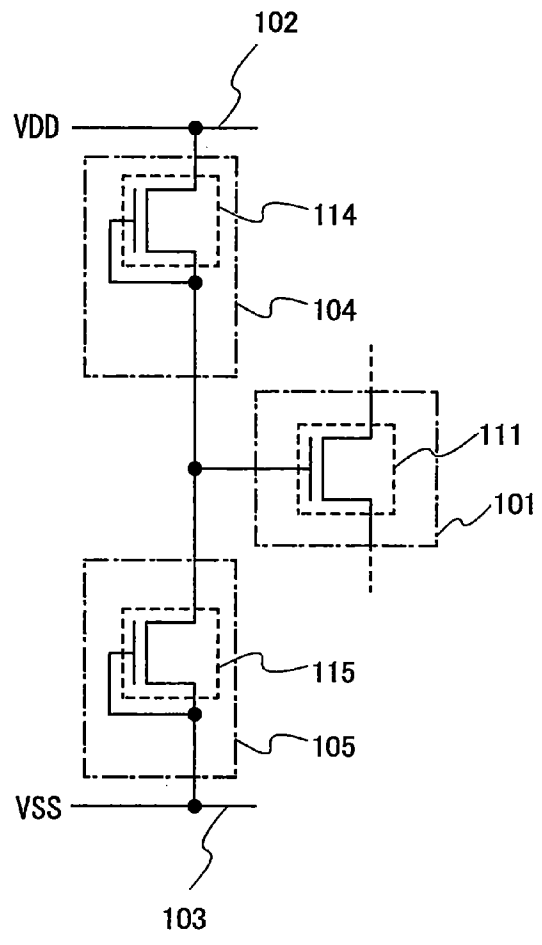
(57)摘要

本發明提供一種抑制在製造製程中 ESD 導致的半導體元件的損壞的驅動電路及該驅動電路的製造方法。另外，本發明提供一種設置有洩漏電流小的保護電路的驅動電路及該驅動電路的製造方法。藉由如下步驟抑制在製造製程中 ESD 導致的半導體元件的損壞：以與驅動電路中的半導體元件電連接的方式將保護電路設置在驅動電路中，同時形成在驅動電路中用作半導體元件的電晶體和在驅動電路中形成保護電路的電晶體。並且，藉由將氧化物半導體膜用於在驅動電路中形成保護電路的電晶體，降低保護電路的洩漏電流。

Provided are a driver circuit which suppresses damage of a semiconductor element due to ESD in a manufacturing process, a method of manufacturing the driver circuit. Further provided are a driver circuit provided with a protection circuit with low leakage current, and a method of manufacturing the driver circuit. By providing a protection circuit in a driver circuit to be electrically connected to a semiconductor element in the driver circuit, and by forming, at the same time, a transistor which serves as the semiconductor element in the driver circuit and a transistor included in the protection circuit in the driver circuit, damage of the semiconductor element due to ESD is suppressed in the process of manufacturing the driver circuit. Further, by using an oxide semiconductor film for the transistor included in the protection circuit in the driver circuit, leakage current in the protection circuit is reduced.

指定代表圖：

圖1



- 符號簡單說明：
- 101 . . . 半導體元件
 - 102 . . . 佈線
 - 103 . . . 佈線
 - 104 . . . 第一保護電路
 - 105 . . . 第二保護電路
 - 111 . . . 電晶體
 - 114 . . . 電晶體
 - 115 . . . 電晶體

發明摘要

※申請案號：106135953 (由105143922分割)

※申請日：101年06月26日

※IPC分類：H01L 27/02 (2006.01)

H01L 27/32 (2006.01)

H01L 23/62 (2006.01)

G09G 3/00 (2006.01)

【發明名稱】(中文/英文)

驅動電路、該驅動電路的製造方法及使用該驅動電路的顯示裝置

Driver circuit, method of manufacturing the driver circuit, and display device including the driver circuit

【中文】

本發明提供一種抑制在製造製程中 ESD 導致的半導體元件的損壞的驅動電路及該驅動電路的製造方法。另外，本發明提供一種設置有洩漏電流小的保護電路的驅動電路及該驅動電路的製造方法。藉由如下步驟抑制在製造製程中 ESD 導致的半導體元件的損壞：以與驅動電路中的半導體元件電連接的方式將保護電路設置在驅動電路中，同時形成在驅動電路中用作半導體元件的電晶體和在驅動電路中形成保護電路的電晶體。並且，藉由將氧化物半導體膜用於在驅動電路中形成保護電路的電晶體，降低保護電路的洩漏電流。

【 英文 】

Provided are a driver circuit which suppresses damage of a semiconductor element due to ESD in a manufacturing process, a method of manufacturing the driver circuit. Further provided are a driver circuit provided with a protection circuit with low leakage current, and a method of manufacturing the driver circuit. By providing a protection circuit in a driver circuit to be electrically connected to a semiconductor element in the driver circuit, and by forming, at the same time, a transistor which serves as the semiconductor element in the driver circuit and a transistor included in the protection circuit in the driver circuit, damage of the semiconductor element due to ESD is suppressed in the process of manufacturing the driver circuit. Further, by using an oxide semiconductor film for the transistor included in the protection circuit in the driver circuit, leakage current in the protection circuit is reduced.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

101：半導體元件

102：佈線

103：佈線

104：第一保護電路

105：第二保護電路

111：電晶體

114：電晶體

115：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

驅動電路、該驅動電路的製造方法及使用該驅動電路的顯示裝置

Driver circuit, method of manufacturing the driver circuit, and display device including the driver circuit

【技術領域】

本發明係關於一種設置用來防止由於靜電放電等高電壓的施加損壞電路的保護電路的驅動電路。本發明還關於一種該驅動電路的製造方法及使用該驅動電路的顯示裝置。

【先前技術】

在用於顯示裝置等半導體裝置的半導體電路中，有時由於靜電放電（Electro Static Discharge，以下稱為“ESD”）半導體元件、電極等被損壞。為了防止該ESD導致的半導體電路的損壞，太多的半導體電路連接有保護電路。保護電路是用來防止施加到端子、佈線等的過剩電壓供應到半導體電路的電路。作為用於保護電路的典型元件，有電阻元件、二極體、電晶體、電容元件等。

另外，藉由設置保護電路，即使在與信號、電源電壓一起雜波也輸入到佈線等的情況下，也可以防止該雜波導

致的下一級半導體電路的故障，並且可以防止該雜波導致的半導體元件的劣化或損壞。

例如，在專利檔案 1 中公開了一種在顯示裝置的掃描電極與配置在顯示部的週邊的導電線之間連接如下保護電路的技術，該保護電路串聯連接有使源極與閘極短路的 MOS 型電晶體與使閘極與汲極短路的 MOS 型電晶體。

[專利檔案 1] 日本專利申請公開第平 7-92448 號公報

但是，如專利檔案 1 所示，只在顯示裝置的掃描電極與配置在顯示部的週邊的導電線之間形成保護電路，難以防止對於設置在該顯示裝置的驅動電路中的半導體元件諸如電晶體的 ESD 導致的損傷。尤其是，當在驅動電路中的電晶體的製造製程中利用電漿處理時，有如下憂慮：在電晶體的製造中，由於該電漿的損傷而發生 ESD，電晶體或電極被損壞。

另外，在使用典型的半導體材料的矽的半導體元件（二極體、電晶體等）中，截止狀態時的洩漏電流較大。因此，當在設置在驅動電路中的信號線等佈線與電源線之間連接由該元件形成的保護電路時，該佈線之間流過洩漏電流，該佈線的電位、電源電位發生變化而有時使驅動電路的工作不穩定。

【發明內容】

於是，所公開的發明的一個方式的目的之一是提供一種抑制在製造製程中 ESD 導致的半導體元件的損壞的驅

動電路及該驅動電路的製造方法。另外，所公開的發明的一個方式的目的之一是提供一種設置有洩漏電流小的保護電路的驅動電路及該驅動電路的製造方法。

在所公開的發明中，藉由如下步驟可以抑制在製造製程中 ESD 導致的半導體元件的損壞：以與驅動電路中的半導體元件電連接的方式將保護電路設置在驅動電路中，同時形成在驅動電路中用作半導體元件的電晶體和在驅動電路中形成保護電路的電晶體。並且，在所公開的發明中，藉由將氧化物半導體膜用於在驅動電路中形成保護電路的電晶體，可以降低保護電路的洩漏電流。

所公開的發明的一個方式是一種驅動電路，包括保護電路及半導體元件，其中，保護電路具有設置有氧化物半導體膜的電晶體，在該電晶體中，半導體元件的端子之一與源極電極層及汲極電極層中的一方電連接，閘極電極層與源極電極層及汲極電極層中的一方電連接，並且，氧化物半導體膜在與閘極電極層重疊的區域中具有通道形成區，夾著該通道形成區具有其電阻低於通道形成區的電阻且包含金屬元素的源極區及汲極區。

所公開的發明的其他方式是一種驅動電路，包括：高電位電源線；低電位電源線；第一保護電路；第二保護電路；以及半導體元件，其中，第一保護電路具有設置有第一氧化物半導體膜的第一電晶體，在該第一電晶體中，半導體元件的端子之一與第一源極電極層及第一汲極電極層中的一方電連接，高電位電源線與第一源極電極層及第一

汲極電極層中的另一方電連接，以當半導體元件的端子之一的電位高於高電位電源線的電位時成為正向偏壓的方式，第一閘極電極層與第一源極電極層及第一汲極電極層中的一方電連接，第二保護電路具有設置有第二氧化物半導體膜的第二電晶體，並且，在該第二電晶體中，半導體元件的端子之一與第二源極電極層及第二汲極電極層中的一方電連接，低電位電源線與第二源極電極層及第二汲極電極層中的另一方電連接，以當半導體元件的端子之一的電位低於低電位電源線的電位時成為正向偏壓的方式，第二閘極電極層與第二源極電極層及第二汲極電極層中的一方電連接。

在上述結構中，第一保護電路也可以具有彼此串聯連接的多個第一電晶體，第二保護電路也可以具有彼此串聯連接的多個第二電晶體。另外，第一氧化物半導體膜較佳在與第一閘極電極層重疊的區域中具有通道形成區，夾著該通道形成區具有其電阻低於通道形成區的電阻且包含金屬元素的源極區及汲極區，第二氧化物半導體膜較佳在與第二閘極電極層重疊的區域中具有通道形成區，夾著該通道形成區具有其電阻低於通道形成區的電阻且包含金屬元素的源極區及汲極區。

另外，半導體元件較佳為是設置有第三氧化物半導體膜的第三電晶體。此外，第三氧化物半導體膜較佳在與第三電晶體的閘極電極層重疊的區域中具有通道形成區，夾著該通道形成區具有其電阻低於通道形成區的電阻且包含

金屬元素的源極區及汲極區。

另外，所公開的發明的其他方式是具有上述記載的驅動電路的顯示裝置。

此外，所公開的發明的其他方式是一種驅動電路的製造方法，包括如下步驟：在基板上形成氧化物半導體膜；在氧化物半導體膜上層疊閘極絕緣膜及閘極電極層；在氧化物半導體膜、閘極絕緣膜及閘極電極層上，以與氧化物半導體膜的一部分接觸的方式，邊加熱基板邊利用濺射法來形成包含金屬元素的膜，在氧化物半導體膜中的與閘極電極層重疊的區域中形成通道形成區，在氧化物半導體膜中的夾著該通道形成區的區域中形成其電阻低於通道形成區的電阻且包含金屬元素的源極區及汲極區；利用濕蝕刻去除包含金屬元素的膜；在氧化物半導體膜、閘極絕緣膜及閘極電極層上形成絕緣膜；在絕緣膜上形成源極電極層及汲極電極層並將該源極電極層及汲極電極層藉由形成在絕緣膜中的開口與源極區及汲極區電連接，以形成電晶體，在該電晶體中，源極電極層和汲極電極層中的一方與形成在同一基板上的半導體元件的端子之一電連接，源極電極層和汲極電極層中的另一方與形成在同一基板上的佈線電連接，閘極電極層與源極電極層及汲極電極層中的一方電連接，並且將該電晶體用於保護電路。另外，在上述步驟中，較佳在氬氛圍、氮氛圍或真空中形成包含金屬元素的膜。

另外，所公開的發明的其他方式是一種驅動電路的製

造方法，包括如下步驟：在基板上形成氧化物半導體膜；在氧化物半導體膜上層疊閘極絕緣膜及閘極電極層；在氧化物半導體膜、閘極絕緣膜及閘極電極層上，以與氧化物半導體膜的一部分接觸的方式，利用濺射法來形成包含金屬元素的膜；加熱氧化物半導體膜及包含金屬元素的膜而將金屬元素從包含金屬元素的膜引入到氧化物半導體膜中，在氧化物半導體膜中的與閘極電極層重疊的區域中形成通道形成區，在氧化物半導體膜中的夾著該通道形成區的區域中形成其電阻低於通道形成區的電阻且包含金屬元素的源極區及汲極區；利用濕蝕刻去除包含金屬元素的膜；在氧化物半導體膜、閘極絕緣膜及閘極電極層上形成絕緣膜；在絕緣膜上形成源極電極層及汲極電極層並將該源極電極層及汲極電極層藉由形成在絕緣膜中的開口與源極區及汲極區電連接，以形成電晶體，在該電晶體中，源極電極層和汲極電極層中的一方與形成在同一基板上的半導體元件的端子之一電連接，源極電極層和汲極電極層中的另一方與形成在同一基板上的佈線電連接，閘極電極層與源極電極層及汲極電極層中的一方電連接，並且將該電晶體用於保護電路。另外，在上述步驟中，較佳在氬氛圍、氮氛圍或真空中進行氧化物半導體膜及包含金屬元素的膜的加熱。

另外，在上述步驟中，較佳的是，在從形成包含金屬元素的膜到去除該包含金屬元素的膜的期間中，將閘極絕緣膜及閘極電極層用作掩模，藉由包含金屬元素的膜對氧

化物半導體膜選擇性地引入摻雜劑，在氧化物半導體膜中的夾著通道形成區的區域中形成其電阻低於通道形成區的電阻且包含金屬元素及摻雜劑的源極區及汲極區。

另外，半導體元件較佳為是設置有氧化物半導體的第二電晶體，較佳在製造上述電晶體的同時製造該第二電晶體。

另外，較佳的是在包含金屬元素的膜的濕蝕刻中，包含金屬元素的膜的對閘極電極層的蝕刻率高。此外，較佳作為金屬元素使用鋁和鎂中的任一個。另外，較佳作為摻雜劑使用磷和硼中的任一個。

在本說明書中，“驅動電路”是指顯示裝置中的掃描線驅動電路及/或信號線驅動電路。另外，“構成驅動電路的半導體元件或包括在驅動電路中的半導體元件”是指設置在對該驅動電路輸入信號的佈線的內側且設置在從該驅動電路輸出信號的佈線的內側的半導體元件。

另外，在本說明書等中，“電極”或“佈線”不限定構成要素的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”形成為一體的情況等。

此外，在採用極性不同的電晶體的情況下或在電路工作中電流方向發生變化的情況等下，“源極”和“汲極”的功能有時互相調換。因此，在本說明書中，可以互相調換使用“源極”和“汲極”。

另外，在本說明書等中，“電連接”包括藉由“具有

某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接目標間的電信號的授受，就對其沒有特別的限制。

例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、具有其他各種功能的元件等。

藉由所公開的發明的一個方式，能夠提供一種抑制在製造製程中 ESD 導致的半導體元件的損壞的驅動電路及該驅動電路的製造方法。另外，藉由所公開的發明的一個方式，能夠提供一種設置有洩漏電流小的保護電路的驅動電路及該驅動電路的製造方法。

【圖式簡單說明】

在圖式中：

圖 1 是說明用於驅動電路的保護電路的電路圖；

圖 2 是說明用於驅動電路的保護電路的電路圖；

圖 3A 和圖 3B 是說明顯示裝置的方塊圖的圖；

圖 4A 和圖 4B 是說明信號線驅動電路的結構的圖及說明工作的時序圖；

圖 5A 和圖 5B 是說明形成驅動電路的移位暫存器及脈衝輸出電路的方塊圖；

圖 6 是說明形成驅動電路的脈衝輸出電路的電路圖；

圖 7 是說明移位暫存器的工作的時序圖；

圖 8A 至圖 8F 是說明用於驅動電路的保護電路的製

造方法的剖面圖；

圖 9A 至圖 9D 是說明用於驅動電路的保護電路的製造方法的剖面圖；

圖 10A 至圖 10C 是說明用於驅動電路的保護電路的製造方法的剖面圖；

圖 11A 至圖 11E 是說明用於驅動電路的保護電路的製造方法的剖面圖；

圖 12A 至圖 12C 是說明具有驅動電路的顯示裝置的圖；

圖 13A 和圖 13B 是說明具有驅動電路的顯示裝置的圖；

圖 14A 至圖 14F 是具有使用所公開的發明的驅動電路的顯示裝置的電子裝置的外觀圖；

圖 15A 至圖 15E 是說明用於驅動電路的保護電路的製造方法的剖面圖；

圖 16 是說明用於驅動電路的保護電路的剖面圖。

【實施方式】

下面，參照圖式對本發明的實施方式的一個例子進行說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。注意，在以下

說明的實施方式中，在不同的圖式之間共同使用同一元件符號來表示同一部分或具有同一功能的部分，而省略其重複說明。

注意，爲了便於理解，在圖式等中所示的各結構的位置、大小及範圍等有時不表示實際上的位置、大小及範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小及範圍等。

另外，本說明書中的“第一”、“第二”、“第三”等的序數詞是爲了避免構成要素的混淆而附記的，而不是用於在數目方面上進行限制。

實施方式 1

在本實施方式中，參照圖 1 至圖 4B 對有關所公開的發明的一個方式的驅動電路以及能夠用於該驅動電路的保護電路的結構及工作方法進行說明。

圖 1 示出有關所公開的發明的一個方式的用於驅動電路的保護電路與構成該驅動電路的半導體元件之間的連接關係。在驅動電路中，在構成該驅動電路的半導體元件 101 的端子之一與第一佈線 102 之間設置有第一保護電路 104，在構成該驅動電路的半導體元件 101 的端子之一與第二佈線 103 之間設置有第二保護電路 105。另外，在圖 1 所示的驅動電路中，可以將高電位電源線（VDD）作爲第一佈線 102，將低電位電源線（VSS）作爲第二佈線 103。此外，也可以將接地電位線（GND）作爲第二佈線

103。

在圖 1 所示的驅動電路中，作為第一保護電路 104 設置有電晶體 114，作為第二保護電路 105 設置有電晶體 115，作為半導體元件 101 設置有電晶體 111。在此，電晶體 111 的閘極電極層、電晶體 114 的源極電極層及汲極電極層中的一方與電晶體 115 的源極電極層及汲極電極層中的一方電連接。另外，電晶體 114 的源極電極層及汲極電極層中的另一方與第一佈線 102 電連接，電晶體 115 的源極電極層及汲極電極層中的另一方與第二佈線 103 電連接。此外，以當電晶體 111 的閘極電極層的電位高於第一佈線 102 的電位時實現正向偏壓的方式，電晶體 114 的閘極電極層與源極電極層及汲極電極層中的一方電連接，以當電晶體 111 的閘極電極層的電位低於第二佈線 103 的電位時實現正向偏壓的方式，電晶體 115 的閘極電極層與源極電極層及汲極電極層中的一方電連接。

另外，雖然在本實施方式中對電晶體 114 及電晶體 115 為 n 通道型的情況進行說明，但是不侷限於此，也可以採用 p 通道型。當採用 p 通道型時，替換施加到第一佈線 102 的電位和施加到第二佈線 103 的電位。

半導體元件 101 不侷限於電晶體，只要是形成驅動電路的半導體元件，可以使用任何元件。另外，作為半導體元件 101 的端子，包括與該半導體元件連接的佈線。此外，也可以在驅動電路中的多個半導體元件 101 的每一個中，如圖 1 所示那樣設置第一保護電路 104 及第二保護電

路 105。

第一保護電路 104 只要形成根據施加到第一佈線 102 與半導體元件 101 的端子之間的電壓的大小呈現正向偏壓或反向偏壓的非線性元件即可，在圖 1 所示的驅動電路中，採用其閘極電極層與源極電極層及汲極電極層中的一方電連接的電晶體 114。在此，當電晶體 114 是 n 通道型時，電晶體 114 的閘極電極層與源極電極層及汲極電極層中的一方（在此，源極電極層）電連接。

另外，第一保護電路 104 只要具有至少一個以上的閘極電極層與源極電極層及汲極電極層中的一方電連接的電晶體 114 即可，也可以包括其他半導體元件。例如，如圖 2 所示，也可以將閘極電極層與源極電極層及汲極電極層中的一方電連接的電晶體 114a 以及電晶體 114b 串聯連接來形成第一保護電路 104。當然，也可以將三個以上的電晶體串聯連接。

第二保護電路 105 只要形成根據施加到第二佈線 103 與半導體元件 101 的端子之間的電壓的大小呈現正向偏壓或反向偏壓的非線性元件即可，在圖 1 所示的驅動電路中，採用其閘極電極層與源極電極層及汲極電極層中的一方電連接的電晶體 115。在此，當電晶體 115 是 n 通道型時，電晶體 115 的閘極電極層與源極電極層及汲極電極層中的另一方（在此，源極電極層）電連接。

另外，與第一保護電路 104 相同地，第二保護電路 105 也只要具有至少一個以上的閘極電極層與源極電極層

及汲極電極層中的一方電連接的電晶體 115 即可，也可以包括其他半導體元件。例如，如圖 2 所示，也可以將閘極電極層與源極電極層及汲極電極層中的一方電連接的電晶體 115a 以及電晶體 115b 串聯連接來形成第二保護電路 105。當然，也可以將三個以上的電晶體串聯連接。

在此，反向偏壓被施加時的電晶體 114 及電晶體 115 的截止電流較佳極小。作為截止電流極小的電晶體，可以舉出將具有比矽寬的能隙的半導體（寬能隙半導體）用於通道形成區的電晶體。

具體地，為了獲得非常高的截止電阻，矽（能隙為 1.1eV ）是不夠的，較佳為使用能隙為 2.5eV 以上且 4eV 以下，較佳為 3eV 以上且 3.8eV 以下的寬能隙半導體。作為寬能隙半導體的一個例子，可以應用碳化矽（SiC）、氮化鎵（GaN）等化合物半導體、In-Ga-Zn-O 類氧化物半導體等的由金屬氧化物構成的氧化物半導體等。

電晶體的截止電阻在形成通道的半導體層中與熱激發的載子的濃度成反比。即使在完全沒有來自施體、受體的載子的狀態（本質半導體）下，當利用矽時，由於矽的能隙為 1.1eV ，因此室溫（ 300K ）下的熱激發載子的濃度還為 $1 \times 10^{11} \text{cm}^{-3}$ 左右。

另一方面，能隙為 3.2eV 的寬能隙半導體的熱激發載子的濃度成為 $1 \times 10^{-7} \text{cm}^{-3}$ 左右。在電子遷移率相同的情況下，由於截止電阻與載子濃度成反比，所以能隙為 3.2eV 的半導體的截止電阻比矽大 18 位。作為這種化合物半導

體，例如已知 In-Ga-Zn-O 類、In-Sn-Zn-O 類氧化物半導體。

因此，藉由將以氧化物半導體為代表的寬能隙半導體用於電晶體 114 及電晶體 115，可以使反向偏壓被施加時的截止電流極小。另外，與此相同地，較佳將以氧化物半導體為代表的寬能隙半導體用於形成驅動電路的電晶體 111。藉由這樣的方式，可以降低電晶體 111 的截止電流而實現驅動電路的耗電量的降低。

如上所述，在驅動電路中，藉由將第一保護電路 104 及第二保護電路 105 與形成驅動電路的半導體元件 101 的端子之一連接，即使 ESD 等高浪湧電壓 (surge voltage) 施加到半導體元件 101 的端子之一，第一保護電路 104 或第二保護電路 105 成為放電路徑，由此也可以防止浪湧電流 (surge current) 流過半導體元件 101。

例如，當正的浪湧電壓施加到半導體元件 101 的端子之一時，第一保護電路 104 成為正向偏壓，由此電流從半導體元件 101 的端子之一流向第一佈線 102。此外，當負的浪湧電壓施加到半導體元件 101 的端子之一時，第二保護電路 105 成為正向偏壓，由此電流從第二佈線 103 流向半導體元件 101 的端子之一。如此，由於 ESD 等而被供應到半導體元件 101 的端子之一的電荷被消除，由此可以防止不需要的電荷流入到半導體元件 101。尤其是，當作為半導體元件 101 使用電晶體 111 時，如果沒有第一保護電路 104 及第二保護電路 105，則有由於浪湧電壓過剩的

電流經過電晶體 111 的閘極絕緣膜而導致電晶體 111 的絕緣擊穿的憂慮，但是藉由設置第一保護電路 104 及第二保護電路 105，可以排除其風險。

另外，不但在對第一佈線 102 施加高電位且對第二佈線 103 施加低電位的情況下，而且在如下情況下也上述第一保護電路 104 及第二保護電路 105 發揮上述功能：不對第一佈線 102 及第二佈線 103 施加這些電位的情況，即驅動電路的製造製程的途中或將驅動電路安裝到顯示裝置的途中。因為正的浪湧電壓的電壓絕對值充分大，所以即使不對第一佈線 102 施加高電位，第一保護電路 104 也成為正向偏壓。另外，因為負的浪湧電壓的電壓絕對值也充分大，所以即使不對第二佈線 103 施加低電位，第二保護電路 105 也成為正向偏壓。

注意，在驅動電路的製造製程的途中，為了使第一保護電路 104 及第二保護電路 105 工作，需要同時製造第一保護電路 104、第二保護電路 105 及半導體元件 101。因此，電晶體 114、電晶體 115 及電晶體 111 較佳為具有相同結構，並且較佳同時製造。

另外，在驅動電路的通常工作中，第一保護電路 104 或第二保護電路 105 基本上不工作，這是因為用於第一保護電路 104 或第二保護電路 105 的電晶體 114 或電晶體 115 處於反向偏壓狀態，或者第一佈線 102 或第二佈線 103 與半導體元件 101 的端子之一之間的電位差不超過電晶體 114 或電晶體 115 的工作電壓。

此時，當將矽等的能隙窄的半導體用於電晶體 114 及電晶體 115 時，即使在反向偏壓的情況下也有微小的電流流過，由此第一佈線 102 或第二佈線 103 與半導體元件 101 的端子之一之間流過洩漏電流，而使第一佈線 102 或第二佈線 103 的電位或半導體元件 101 的端子之一的電位發生變化。

但是，如上所述，藉由將以氧化物半導體為代表的寬能隙半導體用於電晶體 114 及電晶體 115，可以使反向偏壓被施加時的電晶體 114 及電晶體 115 的截止電流極小，由此可以降低第一保護電路 104 及第二保護電路 105 的洩漏電流。

另外，如圖 2 所示，藉由將電晶體 114 或電晶體 115 串聯連接形成第一保護電路 104 或第二保護電路 105，可以增大半導體元件 101 的端子之一與第一佈線 102 之間的電位差或者半導體元件 101 的端子之一與第二佈線 103 之間的電位差，這些電位差是為對第一保護電路 104 或第二保護電路 105 施加正向偏壓而使電流流過所需要的。例如，當 n 個電晶體 114 串聯連接時，除非半導體元件 101 的端子之一與第一佈線 102 之間的電位差成為 $n \times V_{th}$ (V_{th} 是電晶體 114 的臨界電壓) 以上，否則正向偏壓的電流不流過第一保護電路 104。因此，可以防止由於少量的雜波等進入到半導體元件 101 的端子而使第一保護電路 104 或第二保護電路 105 工作。

以下示出能夠使用圖 1 或圖 2 所示的保護電路的驅動

電路及使用該驅動電路的主動矩陣顯示裝置的一個例子。

圖 3A 示出主動矩陣型顯示裝置的方塊圖的一個例子。在顯示裝置的基板 5300 上設置有：像素部 5301；第一掃描線驅動電路 5302；第二掃描線驅動電路 5303；以及信號線驅動電路 5304。在像素部 5301 中配置有從信號線驅動電路 5304 延伸的多個信號線以及從第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303 延伸的多個掃描線。此外，在掃描線與信號線的交叉區中以矩陣狀設置有分別具有顯示元件的像素。另外，顯示裝置的基板 5300 藉由 FPC（Flexible Printed Circuit：撓性印刷電路）等的連接部連接到時序控制電路 5305（也稱為控制器、控制 IC）。

作為圖 3A 所示的第一掃描線驅動電路 5302、第二掃描線驅動電路 5303、信號線驅動電路 5304，可以使用圖 1 或圖 2 所示的驅動電路。另外，在與像素部 5301 相同的基板 5300 上形成第一掃描線驅動電路 5302、第二掃描線驅動電路 5303、信號線驅動電路 5304。由此，設置在外部的驅動電路等的構件的數量減少，從而能夠實現成本的降低。另外，因為可以減少基板 5300 與外部的驅動電路之間的連接部（FPC 等），所以能夠提高可靠性或良率。

另外，作為一個例子，時序控制電路 5305 向第一掃描線驅動電路 5302 供應第一掃描線驅動電路用起始信號（GSP1）、掃描線驅動電路用時脈信號（GCK1）。此

外，作為一個例子，時序控制電路 5305 向第二掃描線驅動電路 5303 供應第二掃描線驅動電路用起始信號（GSP2）（也稱為起始脈衝）、掃描線驅動電路用時脈信號（GCK2）。時序控制電路 5305 向信號線驅動電路 5304 供應信號線驅動電路用起始信號（SSP）、信號線驅動電路用時脈信號（SCK）、視頻信號用資料（DATA）（也簡單地稱為視頻信號）及鎖存信號（LAT）。另外，各時脈信號可以是錯開其週期的多個時脈信號或者與使時脈信號反轉的信號（CKB）一起供給的信號。另外，可以省略第一掃描線驅動電路 5302 和第二掃描線驅動電路 5303 中的一方。

圖 3B 示出如下結構，即在與像素部 5301 相同的基板 5300 上形成驅動頻率低的電路（例如，第一掃描線驅動電路 5302、第二掃描線驅動電路 5303），在與像素部 5301 不同的基板上形成信號線驅動電路 5304。藉由採用該結構，可以使用其場效應遷移率比使用單晶半導體的電晶體小的薄膜電晶體構形成在基板 5300 上的驅動電路。從而，能夠實現顯示裝置的大型化、製程數的縮減、成本的降低或良率的提高等。

另外，圖 3A 及圖 3B 所示的第一掃描線驅動電路 5302、第二掃描線驅動電路 5303 或信號線驅動電路 5304 及該驅動電路的一部分可以使用 LSI 而形成。

此外，在圖 4A 和圖 4B 中，示出利用 n 通道型 TFT 構成的信號線驅動電路的結構、工作的一個例子而進行說

明。

信號線驅動電路具有移位暫存器 5601 及開關電路 5602。開關電路 5602 具有多個電路，即開關電路 5602_1 至 5602_N（N 是自然數）。開關電路 5602_1 至 5602_N 分別具有多個電晶體，即薄膜電晶體 5603_1 至 5603_k（k 是自然數）。對薄膜電晶體 5603_1 至 5603_k 是 n 通道型 TFT 的例子進行說明。

以開關電路 5602_1 為例子說明信號線驅動電路的連接關係。薄膜電晶體 5603_1 至 5603_k 的第一端子分別連接到佈線 5604_1 至 5604_k。薄膜電晶體 5603_1 至 5603_k 的第二端子分別連接到信號線 S1 至 Sk。薄膜電晶體 5603_1 至 5603_k 的閘極連接到佈線 5605_1。

移位暫存器 5601 具有對佈線 5605_1 至 5605_N 依次輸出 H 位準（也稱為 H 信號、高電源電位水準）的信號，並依次選擇開關電路 5602_1 至 5602_N 的功能。

例如，開關電路 5602_1 具有控制佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 之間的導通狀態（第一端子與第二端子之間的導通）的功能，即控制是否將佈線 5604_1 至 5604_k 的電位供應到信號線 S1 至 Sk 的功能。像這樣，開關電路 5602_1 具有作為選擇器的功能。另外，薄膜電晶體 5603_1 至 5603_k 分別具有控制佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 之間的導通狀態的功能，即將佈線 5604_1 至 5604_k 的電位供應到信號線 S1 至 Sk 的功能。像這樣，薄膜電晶體 5603_1 至 5603_k 分

別具有作為開關的功能。

另外，對佈線 5604_1 至 5604_k 分別輸入視頻信號用資料（DATA）。在很多情況下，視頻信號用資料（DATA）是根據影像資訊或影像信號的類比信號。

接著，參照圖 4B 的時序圖對圖 4A 的信號線驅動電路的工作進行說明。圖 4B 示出信號 Sout_1 至 Sout_N 及信號 Vdata_1 至 Vdata_k 的一個例子。信號 Sout_1 至 Sout_N 分別是移位暫存器 5601 的輸出信號的一個例子，並且信號 Vdata_1 至 Vdata_k 分別是輸入到佈線 5604_1 至 5604_k 的信號的一個例子。另外，信號線驅動電路的一個工作期間對應於顯示裝置中的一個閘極選擇期間。作為一個例子，一個閘極選擇期間被分割為期間 T1 至期間 TN。期間 T1 至期間 TN 分別是用來對屬於被選擇的行的像素寫入視頻信號用資料（DATA）的期間。

另外，在本實施方式的圖式等所示的各結構中，為了明確起見，有時誇大表示信號波形的畸變等。因此，不一定侷限於其尺度。

在期間 T1 至期間 TN 中，移位暫存器 5601 將 H 位準的信號依次輸出到佈線 5605_1 至 5605_N。例如，在期間 T1 中，移位暫存器 5601 將高位準的信號輸出到佈線 5605_1。由此，薄膜電晶體 5603_1 至 5603_k 導通，所以佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 處於導通狀態。此時，對佈線 5604_1 至 5604_k 輸入 Data（S1）至 Data（Sk）。Data（S1）至 Data（Sk）分別藉由薄膜電晶體

5603_1 至 5603_k 寫入到屬於被選擇的行的像素中的第一列至第 k 列的像素。藉由上述步驟，在期間 T1 至 TN 中，對屬於被選擇的行的像素的每 k 列按順序寫入視頻信號用資料（DATA）。

如上所述，藉由對每多個列的像素寫入視頻信號用資料（DATA），可以減少視頻信號用資料（DATA）的數量或佈線的數量。因此，可以減少與外部電路的連接數量。此外，藉由對每多個列的像素寫入視頻信號用資料（DATA），可以延長寫入時間，因此可以防止視頻信號用資料（DATA）的寫入不足。

另外，參照圖 5A 至圖 7 說明能夠用於掃描線驅動電路及/或信號線驅動電路的一部分且使用圖 1 或圖 2 所示的保護電路的移位暫存器的一個方式的結構。

掃描線驅動電路具有移位暫存器。此外，有時也可以具有電平移動器、緩衝器等。在掃描線驅動電路中，藉由對移位暫存器輸入時脈信號（CK）及起始脈衝信號（SP），生成選擇信號。所生成的選擇信號在緩衝器中被緩衝放大並供應到對應的掃描線。掃描線與一行的像素的電晶體的閘極電極連接。而且，由於需要將一行的像素的電晶體同時導通，因此使用能夠使大電流流過的緩衝器。

移位暫存器具有第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N（N 是 3 以上的自然數）（參照圖 5A）。向圖 5A 所示的移位暫存器的第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N 從第一佈線 11 供應第一時脈信號

CK1，從第二佈線 12 供應第二時脈信號 CK2，從第三佈線 13 供應第三時脈信號 CK3，從第四佈線 14 供應第四時脈信號 CK4。另外，對第一脈衝輸出電路 10_1 輸入來自第五佈線 15 的起始脈衝 SP1（第一起始脈衝）。此外，對第二級以後的第 n 脈衝輸出電路 10_ n （ n 是 2 以上且 N 以下的自然數）輸入來自前一級的脈衝輸出電路的信號（稱為前級信號 OUT（ $n-1$ ））（ n 是 2 以上的自然數）。另外，對第一脈衝輸出電路 10_1 輸入來自後二級的第三脈衝輸出電路 10_3 的信號。同樣地，對第二級以後的第 n 脈衝輸出電路 10_ n 輸入來自後二級的第（ $n+2$ ）脈衝輸出電路 10_（ $n+2$ ）的信號（後級信號 OUT（ $n+2$ ））。從而，從各級的脈衝輸出電路輸出用來輸入到後級及/或前二級的脈衝輸出電路的第一輸出信號（OUT（1）（SR）至 OUT（ N ）（SR））、輸入到其他佈線等的第二輸出信號（OUT（1）至 OUT（ N ））。注意，如圖 5A 所示，不對移位暫存器的最後級的兩個級輸入後級信號 OUT（ $n+2$ ），但是作為一個例子可以採用如下結構：另行分別從第六佈線 16 輸入第二起始脈衝 SP2，從第七佈線 17 輸入第三起始脈衝 SP3。另外，也可以使用另行生成在移位暫存器的內部的信號。例如，也可以採用如下結構，即設置不有助於對像素部的脈衝輸出的第（ $N+1$ ）的脈衝輸出電路 10_（ $N+1$ ）、第（ $N+2$ ）的脈衝輸出電路 10_（ $N+2$ ）（也稱為偽級），從該偽級生成與第二起始脈衝（SP2）及第三起始脈衝（SP3）相當的信號。

另外，時脈信號（CK）是以一定間隔反復 H 位準和 L 位準（也稱為 L 信號、低電源電位水準）的信號。在此，第一時脈信號（CK1）至第四時脈信號（CK4）依次遲延 $1/4$ 週期。在本實施方式中，利用第一時脈信號（CK1）至第四時脈信號（CK4）而進行脈衝輸出電路的驅動的控制等。注意，時脈信號根據所輸入的驅動電路有時稱為 GCK、SCK，但在此稱為 CK 而進行說明。

第一輸入端子 21、第二輸入端子 22 及第三輸入端子 23 電連接到第一佈線 11 至第四佈線 14 中的任一個。例如，在圖 5A 中，在第一脈衝輸出電路 10_1 中，第一輸入端子 21 電連接到第一佈線 11，第二輸入端子 22 電連接到第二佈線 12，並且第三輸入端子 23 電連接到第三佈線 13。此外，在第二脈衝輸出電路 10_2 中，第一輸入端子 21 電連接到第二佈線 12，第二輸入端子 22 電連接到第三佈線 13，並且第三輸入端子 23 電連接到第四佈線 14。

第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N 的每一個具有第一輸入端子 21、第二輸入端子 22、第三輸入端子 23、第四輸入端子 24、第五輸入端子 25、第一輸出端子 26、第二輸出端子 27（參照圖 5B）。在第一脈衝輸出電路 10_1 中，對第一輸入端子 21 輸入第一時脈信號 CK1，對第二輸入端子 22 輸入第二時脈信號 CK2，對第三輸入端子 23 輸入第三時脈信號 CK3，對第四輸入端子 24 輸入起始脈衝，對第五輸入端子 25 輸入後級信號 OUT（3），從第一輸入端子 26 輸出第一輸出信號 OUT

(1) (SR)，從第二輸出端子 27 輸出第二輸出信號 OUT (1)。

接著，參照圖 6 對作為圖 5A 所示的脈衝輸出電路使用圖 1 或圖 2 所示的保護電路的具體電路結構的一個例子進行說明。

圖 6 所示的脈衝輸出電路具有第一電晶體 31 至第十一電晶體 41。另外，還具有第一保護電路 104a 至第一保護電路 104h、第二保護電路 105a 至第二保護電路 105h。在此，第一保護電路 104a 至第一保護電路 104h 對應於圖 1 或圖 2 所示的第一保護電路 104，第二保護電路 105a 至第二保護電路 105h 對應於圖 1 或圖 2 所示的第二保護電路 105。此外，除了向上述第一輸入端子 21 至第五輸入端子 25 及第一輸出端子 26、第二輸出端子 27 之外，還從被供應第一高電源電位 VDD 的電源線 51、被供應低電源電位 VSS 的電源線 53 向第一電晶體 31 至第十一電晶體 41 供應信號或電源電位。在此，圖 6 中的各電源線的電源電位的大小關係滿足電源電位 VDD 大於電源電位 VSS 的關係。此外，第一時脈信號 (CK1) 至第四時脈信號 (CK4) 是以一定間隔反復 H 位準和 L 位準的信號，當 H 位準時電位為 VDD，並且當 L 位準時電位為 VSS。此外，也可以設置具有小於電源電位 VDD 且大於電源電位 VSS 的電源電位 VCC 的電源線。藉由使該電源線的電位 VCC 低於電源線 51 的電位 VDD，可以抑制施加到電晶體的閘極電極的電位而不影響到工作，並可以降低電晶體的

閾值的移動而抑制劣化。

另外，由於電晶體的源極和汲極根據薄膜電晶體的結構或工作條件等而變化，因此很難限定哪個是源極或汲極。因此，有時不將用作源極和汲極的區域稱為源極或汲極。在此情況下，作為一個例子，有時將它們分別表示為第一端子、第二端子。

在圖 6 中，第一電晶體 31 中，第一端子電連接到電源線 51，第二端子電連接到第九電晶體 39 的第一端子，閘極電極電連接到第四輸入端子 24。在第二電晶體 32 中，第一端子電連接到電源線 53，第二端子電連接到第九電晶體 39 的第一端子，閘極電極電連接到第四電晶體 34 的閘極電極。在第三電晶體 33 中，第一端子電連接到第一輸入端子 21，第二端子電連接到第一輸出端子 26。在第四電晶體 34 中，第一端子電連接到電源線 53，第二端子電連接到第一輸出端子 26。在第五電晶體 35 中，第一端子電連接到電源線 53，第二端子電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，閘極電極電連接到第四輸入端子 24。在第六電晶體 36 中，第一端子電連接到電源線 51，第二端子電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，閘極電極電連接到第五輸入端子 25。在第七電晶體 37 中，第一端子電連接到電源線 51，第二端子電連接到第八電晶體 38 的第二端子，閘極電極電連接到第三輸入端子 23。在第八電晶體 38 中，第一端子電連接到第二電晶體 32 的閘極電極

及第四電晶體 34 的閘極電極，閘極電極電連接到第二輸入端子 22。在第九電晶體 39 中，第一端子電連接到第一電晶體 31 的第二端子及第二電晶體 32 的第二端子，第二端子電連接到第三電晶體 33 的閘極電極及第十電晶體 40 的閘極電極，閘極電極電連接到電源線 51。在第十電晶體 40 中，第一端子電連接到第一輸入端子 21，第二端子電連接到第二輸出端子 27，閘極電極電連接到第九電晶體 39 的第二端子。在第十一電晶體 41 中，第一端子電連接到電源線 53，第二端子電連接到第二輸出端子 27，閘極電極電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極。

另外，當設置具有電源電位 VCC 的電源線時，可以將具有電源電位 VCC 的電源線與第六電晶體 36 的第一端子、第七電晶體 37 的第一端子及第九電晶體 39 的閘極電極電連接，代替電源線 51。

在圖 6 中，在電連接到電源線 51 的第一保護電路 104a 與電連接到電源線 53 的第二保護電路 105a 之間連接有第一電晶體 31 的閘極電極。另外，在電連接到電源線 51 的第一保護電路 104b 與電連接到電源線 53 的第二保護電路 105b 之間連接有第八電晶體 38 的閘極電極。另外，在電連接到電源線 51 的第一保護電路 104c 與電連接到電源線 53 的第二保護電路 105c 之間連接有第七電晶體 37 的閘極電極。另外，在電連接到電源線 51 的第一保護電路 104d 與電連接到電源線 53 的第二保護電路 105d 之

間連接有第六電晶體 36 的閘極電極。另外，在電連接到電源線 51 的第一保護電路 104e 與電連接到電源線 53 的第二保護電路 105e 之間連接有第四電晶體 34 的閘極電極。另外，在電連接到電源線 51 的第一保護電路 104f 與電連接到電源線 53 的第二保護電路 105f 之間連接有第一輸出端子 26。另外，在電連接到電源線 51 的第一保護電路 104g 與電連接到電源線 53 的第二保護電路 105g 之間連接有第一輸入端子 21。另外，在電連接到電源線 51 的第一保護電路 104h 與電連接到電源線 53 的第二保護電路 105h 之間連接有第二輸出端子 27。

如參照圖 1 及圖 2 說明，在設置在連接到電源線 51 的第一保護電路 104a 至第一保護電路 104h 與連接到電源線 53 的第二保護電路 105a 至第二保護電路 105h 之間的具有電極或端子的半導體元件及與該電極或端子連接的半導體元件中，即使 ESD 等高浪湧電壓被施加，也第一保護電路 104a 至第一保護電路 104h 或第二保護電路 105a 至第二保護電路 105h 成為放電路徑，由此也可以防止浪湧電流流過該半導體元件。

注意，不一定必須要設置第一保護電路 104a 至第一保護電路 104h 及第二保護電路 105a 至第二保護電路 105h 的每一個，根據需要適當地設置即可。

在圖 6 中，以第三電晶體 33 的閘極電極、第十電晶體 40 的閘極電極以及第九電晶體 39 的第二端子的連接部分為節點 A。此外，以第二電晶體 32 的閘極電極、第四

電晶體 34 的閘極電極、第五電晶體 35 的第二端子、第六電晶體 36 的第二端子、第八電晶體 38 的第一端子以及第十一電晶體 41 的閘極電極的連接部分為節點 B。

在此，圖 7 示出圖 6 所示的具備多個脈衝輸出電路的移位暫存器的時序圖。此外，在移位暫存器是掃描線驅動電路時，圖 7 中的期間 61 相當於垂直回掃期間，並且期間 62 相當於閘極選擇期間。

此外，如圖 6 所示，藉由設置其閘極被施加電源電位 VDD 的第九電晶體 39，在自舉工作的前後有如下優點。

在沒有其閘極電極被施加電源電位 VDD 的第九電晶體 39 的情況下，當因自舉工作而節點 A 的電位上升時，第一電晶體 31 的第二端子的源極電位上升，而該源極電位變大於電源電位 VDD。於是，第一電晶體 31 的源極轉換為第一端子一側，即電源線 51 一側。因此，在第一電晶體 31 中，因為對閘極和源極之間以及閘極和汲極之間施加很大的電壓，所以閘極和源極之間以及閘極和汲極之間受到很大的壓力，這有可能導致電晶體的劣化。於是，藉由設置其閘極電極被施加電源電位 VDD 的第九電晶體 39，雖然因自舉工作而節點 A 的電位上升，但是可以不使第一電晶體 31 的第二端子的電位上升。換言之，藉由設置第九電晶體 39，可以將對第一電晶體 31 的閘極和源極之間施加的負電壓的值設定得小。由此，由於藉由採用本實施方式的電路結構來可以將施加到第一電晶體 31 的閘極和源極之間的負電壓設定得小，所以可以抑制因壓力而

導致的第一電晶體 31 的劣化。

此外，只要在第一電晶體 31 的第二端子和第三電晶體 33 的閘極之間以藉由第一端子和第二端子連接的方式設置第九電晶體 39，就對設置第九電晶體 39 的位置沒有特別的限制。另外，在採用本實施方式的具有多個脈衝輸出電路的移位暫存器時，具有如下優點：在其級數比掃描線驅動電路多的信號線驅動電路中也可以省略第九電晶體 39，而可以減少電晶體的數量。

另外，藉由作為第一電晶體 31 至第十一電晶體 41 的半導體層使用氧化物半導體，可以降低薄膜電晶體的截止電流並提高導通電流及場效應遷移率，並且還可以降低劣化的程度，所以可以減少電路內的錯誤工作。

另外，即使替換接線關係的如下情況也可實現同樣的作用：將向第七電晶體 37 的閘極電極藉由第三輸入端子 23 供應的時脈信號、向第八電晶體 38 的閘極電極藉由第二輸入端子 22 供應的時脈信號成為向第七電晶體 37 的閘極電極藉由第二輸入端子 22 供應的時脈信號、向第八電晶體 38 的閘極電極藉由第三輸入端子 23 供應的時脈信號。此時，在圖 6 所示的移位暫存器中，當從第七電晶體 37 及第八電晶體 38 都導通的狀態變化為第七電晶體 37 截止且第八電晶體 38 導通的狀態，然後變為第七電晶體 37 截止且第八電晶體 38 截止的狀態時，由第二輸入端子 22 及第三輸入端子 23 的電位降低所產生的節點 B 的電位的降低發生兩次，該節點 B 的電位的降低起因於第七電晶

體 37 的閘極電極的電位的降低及第八電晶體 38 的閘極電極的電位的降低。另一方面，在圖 6 所示的移位暫存器中，當從第七電晶體 37 及第八電晶體 38 都導通的狀態變化為第七電晶體 37 導通且第八電晶體 38 截止的狀態，然後變為第七電晶體 37 截止且第八電晶體 38 截止的狀態時，由第二輸入端子 22 及第三輸入端子 23 的電位的降低所產生的節點 B 的電位的降低僅發生一次，該節點 B 的電位的降低起因於第八電晶體 38 的閘極電極的電位的降低。由此，較佳為採用向第七電晶體 37 的閘極電極從第三輸入端子 23 供應時脈信號 CK3，且向第八電晶體 38 的閘極電極從第二輸入端子 22 供應時脈信號 CK2 的連線結構。這是因為這樣會可以減少節點 B 的電位的變動次數，並降低雜波的緣故。

像這樣，藉由採用在將第一輸出端子 26 及第二輸出端子 27 的電位保持為 L 位準的期間中對節點 B 定期供應 H 位準的信號的結構，可以抑制脈衝輸出電路的錯誤工作。

藉由採用上述結構，能夠提供一種抑制在製造製程中 ESD 導致的半導體元件的損壞的驅動電路。另外，能夠提供一種設置有洩漏電流小的保護電路的驅動電路。

以上，本實施方式所示的結構、方法等既可以與本實施方式所示的結構組合而使用，又可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 2

在本實施方式中，參照圖 8A 至圖 9D 對實施方式 1 所示的驅動電路的製造方法進行說明。作為例子，對圖 8A 至圖 8F 所示的同時製造電晶體 440 及電晶體 450 的方法進行說明。在此，電晶體 440 對應於上述實施方式所示的形成第一保護電路 104 的電晶體 114，電晶體 450 對應於用作半導體元件 101 的電晶體 111。另外，雖然在本實施方式中直接未圖示，但是上述實施方式所示的形成第二保護電路 105 的電晶體 115 也可以利用與電晶體 440 相同的方法來形成。此外，當如圖 3A 和圖 3B 所示那樣將驅動電路部和顯示部形成在同一基板上時，顯示部的電晶體也可以利用與此相同的方法來製造。

如圖 8F 所示，電晶體 440 在設置有絕緣膜 420 的具有絕緣表面的基板 400 上包括：具有通道形成區 409、源極區 404a 及汲極區 404b 的氧化物半導體膜 403；源極電極層 405a；汲極電極層 405b；閘極絕緣膜 402；以及閘極電極層 401。另外，電晶體 450 在設置有絕緣膜 420 的具有絕緣表面的基板 400 上包括：具有通道形成區 419、源極區 414a 及汲極區 414b 的氧化物半導體膜 413；源極電極層 415a；汲極電極層 415b；佈線層 415c；閘極絕緣膜 412；以及閘極電極層 411。

以下，參照圖 8A 至圖 8F 對電晶體 440 及電晶體 450 的製造製程進行說明。

首先，在具有絕緣表面的基板 400 上形成絕緣膜

420。

對能夠用於具有絕緣表面的基板 400 的基板沒有特別的限制，但是基板 400 需要至少具有能夠承受後面進行的熱處理的程度的耐熱性。例如，可以使用玻璃基板如硼矽酸鋇玻璃和硼矽酸鋁玻璃等、陶瓷基板、石英基板、藍寶石基板等。另外，作為基板 400，也可以採用以矽、碳化矽等為材料的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等，並且也可以在這些基板上設置有半導體元件。

絕緣膜 420 可以藉由電漿 CVD 法或濺射法等，使用氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氧化鉛、氧化鎵、氮化矽、氮氧化矽、氮化鋁、氮氧化鋁或它們的混合材料來形成。

作為絕緣膜 420 可以採用單層或疊層，較佳作為與氧化物半導體膜 403 接觸的膜使用氧化物絕緣膜。在本實施方式中，作為絕緣膜 420 使用藉由濺射法形成的氧化矽膜。

接著，在絕緣膜 420 上形成氧化物半導體膜，對該氧化物半導體膜進行構圖而將其加工為島狀，從而形成氧化物半導體膜 403 及氧化物半導體膜 413。

由於絕緣膜 420 與氧化物半導體膜 403 及氧化物半導體膜 413 接觸，因此較佳在絕緣膜 420 的膜中（塊（bulk）中）至少存在有超過化學計量比的量的氧。例如，當作為絕緣膜 420 使用氧化矽膜時，使用 $\text{SiO}_{2+\alpha}$ （注

意， $\alpha > 0$) 的膜。藉由使用這種絕緣膜 420，可以對氧化物半導體膜 403 及氧化物半導體膜 413 供應氧，從而可以提高特性。藉由對氧化物半導體膜 403 及氧化物半導體膜 413 供應氧，可以填補膜中的氧缺陷。

例如，藉由以與氧化物半導體膜 403 及氧化物半導體膜 413 接觸的方式設置包含多的（過剩的）成為氧的供應源的氧的絕緣膜 420，可以從該絕緣膜 420 將氧供應到氧化物半導體膜 403 及氧化物半導體膜 413。也可以藉由在氧化物半導體膜 403 及氧化物半導體膜 413 和絕緣膜 420 的至少一部分接觸的狀態下進行加熱處理，進行對該氧化物半導體膜 403 及氧化物半導體膜 413 的氧的供應。

在氧化物半導體膜 403 及氧化物半導體膜 413 的形成製程中，為了儘量不使氧化物半導體膜 403 及氧化物半導體膜 413 包含氫或水，作為形成氧化物半導體膜 403 及氧化物半導體膜 413 的預處理，較佳在濺射裝置的預熱室內對形成有絕緣膜 420 的基板進行預熱，來使吸附於基板及絕緣膜 420 的氫、水分等的雜質脫離並進行排氣。另外，設置在預熱室中的排氣單元較佳為是低溫泵。

較佳用於氧化物半導體膜 403 及氧化物半導體膜 413 的氧化物半導體至少包含銦（In）或鋅（Zn）。特別較佳為包含 In 及 Zn。另外，較佳的是，作為用來減少使用該氧化物半導體的電晶體的電特性不均勻的穩定劑，除了包含上述以外，還包含鎵（Ga）。另外，作為穩定劑，較佳為包含錫（Sn）。另外，作為穩定劑，較佳為包含鉛

(Hf)。另外，作為穩定劑，較佳為包含鋁 (Al)。

另外，作為其他穩定劑，也可以包含鑷系元素的鑷 (La)、鈾 (Ce)、鐳 (Pr)、釹 (Nd)、釷 (Sm)、鈾 (Eu)、釷 (Gd)、鐳 (Tb)、鐳 (Dy)、釷 (Ho)、鈾 (Er)、鐳 (Tm)、鐳 (Yb) 以及鐳 (Lu) 中的任何一種或多種。

例如，作為氧化物半導體可以使用氧化銦；氧化錫；氧化鋅；二元金屬氧化物如 In-Zn 氧化物、Sn-Zn 氧化物、Al-Zn 氧化物、Zn-Mg 氧化物、Sn-Mg 氧化物、In-Mg 氧化物、In-Ga 氧化物；三元金屬氧化物如 In-Ga-Zn 氧化物（也稱為 IGZO）、In-Al-Zn 氧化物、In-Sn-Zn 氧化物、Sn-Ga-Zn 氧化物、Al-Ga-Zn 氧化物、Sn-Al-Zn 氧化物、In-Hf-Zn 氧化物、In-La-Zn 氧化物、In-Ce-Zn 氧化物、In-Pr-Zn 氧化物、In-Nd-Zn 氧化物、In-Sm-Zn 氧化物、In-Eu-Zn 氧化物、In-Gd-Zn 氧化物、In-Tb-Zn 氧化物、In-Dy-Zn 氧化物、In-Ho-Zn 氧化物、In-Er-Zn 氧化物、In-Tm-Zn 氧化物、In-Yb-Zn 氧化物、In-Lu-Zn 氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 氧化物、In-Hf-Ga-Zn 氧化物、In-Al-Ga-Zn 氧化物、In-Sn-Al-Zn 氧化物、In-Sn-Hf-Zn 氧化物、In-Hf-Al-Zn 氧化物。在本實施方式中，作為氧化物半導體使用 IGZO。

在此，例如，“In-Ga-Zn 氧化物”是指以 In、Ga 以及 Zn 為主要成分的氧化物，對 In、Ga 以及 Zn 的比率沒有限制。此外，也可以包含 In、Ga 及 Zn 以外的金屬元

素。

另外，作為氧化物半導體可以使用由化學式 InMO_3 (ZnO)_m ($m>0$ ，且 m 不是整數) 表示的材料。另外， M 表示選自 Ga 、 Fe 、 Mn 及 Co 中的一種或多種金屬元素。另外，作為氧化物半導體，也可以使用由化學式 In_2SnO_5 (ZnO)_n ($n>0$ ，且 n 是整數) 表示的材料。

例如，可以使用其原子數比為 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ ($=1/6:1/2:1/3$)、 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ ($=1/2:1/6:1/3$) 或 $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ ($=2/5:2/5:1/5$) 的 In-Ga-Zn 氧化物或其組成附近的氧化物。或者，較佳為使用其原子數比為 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ($=1/3:1/6:1/2$) 或 $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ ($=1/4:1/8:5/8$) 的 In-Sn-Zn 氧化物或其組成附近的氧化物。

但是，所公開的發明不侷限於此，可以根據所需要的半導體特性（遷移率、閾值、不均勻性等）而使用適當的組成的氧化物。另外，較佳為採用適當的載子濃度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間結合距離以及密度等，以得到所需要的半導體特性。

例如， In-Sn-Zn 氧化物比較容易得到高遷移率。但是，即使使用 In-Ga-Zn 氧化物，也可以藉由降低塊體內缺陷密度而提高遷移率。

在此，例如 In 、 Ga 、 Zn 的原子數比為 $\text{In}:\text{Ga}:\text{Zn}=a:b:c$ ($a+b+c=1$) 的氧化物的組成在原子數比為 $\text{In}:\text{Ga}:\text{Zn}=$

$A:B:C$ ($A+B+C=1$) 的氧化物的組成的附近是指 a 、 b 、 c 滿足 $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ 的狀態， r 例如可以為 0.05。其他氧化物也是同樣的。

另外，氧化物半導體膜也可以是單層或兩層以上的疊層結構。此時，作為構成氧化物半導體膜的各氧化物半導體層，既可以採用具有不同的能隙的結構，又可以採用具有大致相等的能隙的結構。例如，當氧化物半導體膜具有依次層疊第一氧化物半導體層、第二氧化物半導體層、第三氧化物半導體層的結構時，藉由採用將能隙小的第二氧化物半導體層夾在能隙大的第一氧化物半導體層及第三氧化物半導體層之間的結構，能夠得到進一步降低電晶體的截止電流（洩漏電流）的效果。

氧化物半導體既可為單晶，又可為非單晶。在氧化物半導體為非單晶的情況下，既可為非晶，又可為多晶。另外，既可為在非晶中包含具有結晶性的部分的結構，又可為不是非晶的結構。

因為處於非晶狀態的氧化物半導體比較容易得到平坦的表面，所以藉由使用該非晶狀態的氧化物半導體製造電晶體，可以減少介面散亂，而可以比較容易得到比較高的遷移率。

另外，具有結晶性的氧化物半導體可以進一步降低塊體內缺陷，藉由提高表面的平坦性，可以得到處於非晶狀態的氧化物半導體的遷移率以上的遷移率。為了提高表面的平坦性，較佳在平坦的表面上形成氧化物半導體，明確

地說，較佳的是，在平均面粗糙度（Ra）為 1nm 以下，較佳為 0.3nm 以下，更佳地為 0.1nm 以下的表面上形成氧化物半導體。

注意，Ra 是將 JIS B0601:2001（ISO4287:1997）中定義的算術平均粗糙度擴大為三維以使其能夠應用於曲面，可以以“將從基準面到指定面的偏差的絕對值平均而得的值”表示，以如下算式定義。

[算式 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

這裏，指定面是指成為測量粗糙度對象的面，並且是以座標（ $x_1, y_1, f(x_1, y_1)$ ）（ $x_1, y_2, f(x_1, y_2)$ ）（ $x_2, y_1, f(x_2, y_1)$ ）（ $x_2, y_2, f(x_2, y_2)$ ）的四點表示的四角形的區域，指定面投影在 xy 平面的長方形的面積為 S_0 ，基準面的高度（指定面的平均高度）為 Z_0 。可以利用原子力顯微鏡（AFM：Atomic Force Microscope）測定 Ra。

因此，可以對絕緣膜 420 的與氧化物半導體膜 403 及氧化物半導體膜 413 接觸而形成的區域進行平坦化處理。對於平坦化處理沒有特別的限制，可以使用拋光處理（例如，化學機械拋光（Chemical Mechanical Polishing：CMP）法）、乾蝕刻處理、電漿處理等。

作為電漿處理，例如可以進行引入氬氣體產生電漿的反濺射。反濺射是指：使用 RF 電源在氬氛圍下對基板一

側施加電壓來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氬、氧等代替氬氛圍。藉由進行反濺射，可以去除附著於絕緣膜 420 的表面的粉狀物質（也稱為微粒、塵屑）。

作為平坦化處理，既可以進行多次的拋光處理、乾蝕刻處理以及電漿處理，又可以採用上述處理的組合。此外，當將上述處理組合而進行平坦化處理時，對製程順序也沒有特別的限制，可以根據絕緣膜 420 的表面的凹凸狀態適當地設定。

作為氧化物半導體膜 403 及氧化物半導體膜 413，可以使用包含結晶且具有結晶性的氧化物半導體膜（晶體氧化物半導體膜）。晶體氧化物半導體膜中的結晶狀態既可以是結晶軸的方向為無秩序的狀態，又可以是結晶軸的方向有一定配向性的狀態。

例如，作為晶體氧化物半導體膜，可以使用包含具有與表面大致垂直的 *c* 軸的結晶的 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，一般該結晶部分的尺寸為能夠容納於一個邊長小於 100nm 的立方體內的尺寸。另外，在使用透射電子顯微鏡（TEM：Transmission Electron Microscope）觀察時的影像中，包含於 CAAC-OS

膜中的非晶部與結晶部的邊界不明確。另外，當利用 TEM 時在 CAAC-OS 膜中觀察不到晶界（grain boundary）。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包含於 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，不同結晶部的 a 軸及 b 軸的方向也可以彼此不同。在本說明書中，在只記載“垂直”時，也包括 85° 以上且 95° 以下的範圍。另外，在只記載“平行”時，也包括 -5° 以上且 5° 以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，當從氧化物半導體膜的表面一側進行結晶生長時，有時與被形成面附近相比表面附近的結晶部所占的比例更高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部發生非晶化。

由於包含於 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以有時其根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或膜表面的剖面形狀）而朝向不同方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的

被形成面的法線向量或表面的法線向量的方向。結晶部是藉由成膜或藉由在成膜之後進行加熱處理等的晶化處理而形成的。

使用 CAAC-OS 膜的電晶體能夠降低由可見光或紫外光引起的電特性的變動。因此，該電晶體的可靠性高。

另外，構成氧化物半導體膜的氧的一部分也可以用氮取代。

另外，像 CAAC-OS 那樣的具有結晶部的氧化物半導體可以進一步降低塊體內缺陷，藉由提高表面的平坦性，可以得到處於非晶狀態的氧化物半導體的遷移率以上的遷移率。爲了提高表面的平坦性，較佳在平坦的表面上形成氧化物半導體，具體地，較佳在平均面粗糙度（Ra）爲 1nm 以下，較佳爲 0.3nm 以下，更佳地爲 0.1nm 以下的表面上形成氧化物半導體。

將氧化物半導體膜 403 及氧化物半導體膜 413 的厚度設定爲 1nm 以上且 200nm 以下（較佳爲 5nm 以上且 30nm 以下），可以適當地利用濺射法、MBE（Molecular Beam Epitaxy：分子束外延）法、CVD 法、脈衝雷射沉積法、ALD（Atomic Layer Deposition：原子層沉積）法等。此外，氧化物半導體膜 403 及氧化物半導體膜 413 可以使用在大致垂直於濺射靶材表面的方式設置有多個基板表面的狀態下進行成膜的濺射裝置，即所謂的 CP 濺射裝置（Columnar Plasma Sputtering system：柱狀電漿濺射裝置）形成。

此外，較佳以在成膜時包含多的氧的條件（例如，在 100% 的氧氛圍下利用濺射法進行成膜等）形成膜，使氧化物半導體膜為包含多量氧（較佳為包含氧含量超過氧化物半導體處於結晶狀態時的化學計量比的區域）的膜。

作為用於藉由濺射法形成氧化物半導體膜的靶材，例如使用成分比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳比] 的金屬氧化物靶材，來形成 In-Ga-Zn 類氧化物膜。此外，不侷限於上述靶材的材料和組成，例如也可以使用成分比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫耳比] 等的金屬氧化物靶材。

此外，金屬氧化物靶材的填充率為 90% 以上且 100% 以下，較佳為 95% 以上且 99.9% 以下。藉由使用高填充率的金屬氧化物靶材，可以形成緻密的氧化物半導體膜。

作為在形成氧化物半導體膜時使用的濺射氣體，較佳為使用去除了氫、水、羥基或氫化物等雜質的高純度氣體。

在保持為減壓狀態的沉積室中固定基板。然後，在去除沉積室內的殘留水分的同時導入去除了氫和水分的濺射氣體，使用上述靶材在基板 400 上形成氧化物半導體膜。為了去除沉積室內的殘留水分，較佳為使用吸附型的真空泵，例如低溫泵、離子泵、鈦昇華泵。此外，作為排氣單元，也可以使用配備有冷阱的渦輪泵。因為在使用低溫泵進行排氣的沉積室中，例如對氫原子、水（ H_2O ）等包含氫原子的化合物（更佳的是，還對包含碳原子的化合物）等進行排氣，所以可以降低在該沉積室中形成的氧化物半

導體膜所包含的雜質的濃度。

另外，較佳以不暴露於大氣的方式連續形成絕緣膜 420 和氧化物半導體膜。藉由以不暴露於大氣的方式連續形成絕緣膜 420 和氧化物半導體膜，可以防止氫或水分等雜質附著於絕緣膜 420 表面。

當作爲氧化物半導體膜 403 及氧化物半導體膜 413 使用 CAAC-OS 膜時，CAAC-OS 膜例如使用作爲多晶的氧化物半導體濺射靶材，且利用濺射法形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域從 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，藉由該平板狀的濺射粒子保持結晶狀態到達基板，可以形成 CAAC-OS 膜。

另外，爲了形成 CAAC-OS 膜，較佳爲應用如下條件。

藉由降低成膜時的雜質的混入，可以抑制因雜質導致的結晶狀態的破壞。例如，可以降低存在於沉積室內的雜質（氫、水、二氧化碳及氮等）的濃度。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點爲 -80°C 以下，較佳爲 -100°C 以下的成膜氣體。

另外，藉由增高成膜時的基板加熱溫度，在濺射粒子到達基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定爲 100°C 以上且 740°C 以下，較佳爲 200°C 以上且 500°C 以下的狀態下進行成膜。藉由增高成膜時的基板加熱溫度，當平板狀的濺射粒子到達基板時，在基板

上發生遷移，濺射粒子的平坦的面附著到基板。

另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol.%以上，較佳為 100vol.%。

以下，作為濺射靶材的一個例子示出 In-Ga-Zn-O 化合物靶材。

將 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以規定的莫耳數比混合，進行加壓處理，然後在 1000°C 以上且 1500°C 以下的溫度下進行加熱處理，由此得到作為多晶的 In-Ga-Zn-O 化合物靶材。另外，X、Y 及 Z 為任意正數。在此， InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的規定的莫耳數比例如為 2:2:1、8:4:3、3:1:1、1:1:1、4:2:3 或 3:1:2。另外，粉末的種類及其混合比率可以根據所製造的濺射靶材適當地改變。

另外，也可以對氧化物半導體膜進行用來去除（脫水化或脫氫化）過剩的氫（包括水或羥基）的加熱處理。將加熱處理的溫度設定為 300°C 以上且 700°C 以下，或低於基板的應變點。可以在減壓下或氮氣氛圍下等進行加熱處理。例如，將基板引入加熱處理裝置之一的電爐，在氮氣氛圍下以 450°C 對氧化物半導體膜進行 1 個小時的加熱處理。

另外，加熱處理裝置不侷限於電爐，還可以使用利用來自電阻發熱體等的發熱體的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用如 GRTA（Gas Rapid

Thermal Anneal，氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal，燈快速熱退火）裝置等 RTA（Rapid Thermal Anneal，快速熱退火）裝置。GRTA 裝置是一種利用高溫氣體進行加熱處理的裝置。作為高溫的氣體，使用即使進行加熱處理也不與被處理物起反應的惰性氣體，如氬等的稀有氣體或氮等。LRTA 裝置是一種利用鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈、或者高壓汞燈等的燈發射的光（電磁波）的輻射來加熱被處理物的裝置。

例如，作為加熱處理，可以進行 GRTA，其中在加熱為 650℃ 至 700℃ 的高溫的惰性氣體中放進基板，加熱幾分鐘之後，從惰性氣體取出基板。

此外，只要在氧化物半導體膜 403 及氧化物半導體膜 413 的形成之後、在形成包含金屬元素的膜的期間中以及在對氧化物半導體膜 403 及氧化物半導體膜 413 引入氧的製程之前等，就可以在電晶體 440 及電晶體 450 的製造製程中的任何時序進行用來脫水化或脫氫化的加熱處理。

藉由在將氧化物半導體膜加工為島狀之前進行用於脫水化或脫氫化的加熱處理，可以防止因加熱處理而放出包含在絕緣膜 420 中的氧，所以是較佳的。

另外，在加熱處理中，氮或諸如氮、氖、氬等稀有氣體較佳不包含水、氫等。或者，較佳將引入到熱處理裝置中的氮或諸如氮、氖、氬等的稀有氣體的純度設定為 6N（99.9999%）以上，更佳地設定為 7N（99.99999%）以上

（即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。

此外，也可以在藉由加熱處理加熱氧化物半導體膜之後，對相同的爐中導入高純度的氧氣體、高純度的一氧化二氮氣體或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點計進行測定時的水分量是 20ppm（露點換算， -55°C ）以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣）。氧氣體或一氧化二氮氣體較佳不包含水、氫等。或者，較佳將引入到熱處理裝置中的氧氣體或一氧化二氮氣體的純度設定為 6N 以上，較佳為設定為 7N 以上（即，將氧氣體或一氧化二氮氣體中的雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。藉由利用氧氣體或一氧化二氮氣體的作用來供應在利用脫水化或脫氫化處理進行雜質排除製程時減少的構成氧化物半導體的主要成分材料的氧，可以使氧化物半導體膜高純度化及 i 型（本質）化。

氧化物半導體膜 403 及氧化物半導體膜 413 藉由對所形成的氧化物半導體膜進行光微影處理而將其加工為島狀來形成。另外，也可以藉由噴墨法形成用於形成島狀氧化物半導體膜 403 及氧化物半導體膜 413 的光阻掩罩。在藉由噴墨法形成光阻掩罩時不需要光掩模，由此可以降低製造成本。

另外，氧化物半導體膜的蝕刻可以採用乾蝕刻和濕蝕刻中的一者或兩者。例如，作為用於氧化物半導體膜的濕

蝕刻的蝕刻劑，可以使用混合有磷酸、醋酸及硝酸的溶液等。此外，也可以使用 ITO07N（由日本關東化學株式會社製造）。

另外，也可以設置將氧化物半導體膜根據每個元件分離的由絕緣膜構成的元件分離區域。

接著，在氧化物半導體膜 403 及氧化物半導體膜 413 上形成閘極絕緣膜 422。

此外，爲了提高閘極絕緣膜 422 的覆蓋性，也可以對氧化物半導體膜 403 及氧化物半導體膜 413 的表面也進行上述平坦化處理。尤其是，當作爲閘極絕緣膜 422 使用厚度薄的絕緣膜時，氧化物半導體膜 403 及氧化物半導體膜 413 的表面較佳爲具有良好的平坦性。

將閘極絕緣膜 422 的厚度設定爲 1nm 以上且 100nm 以下，可以適當地利用濺射法、MBE 法、CVD 法、脈衝雷射沉積法、ALD 法等。此外，閘極絕緣膜 422 也可以使用在以大致垂直於濺射靶材表面的方式設置有多個基板表面的狀態下進行成膜的濺射裝置，所謂的 CP 濺射裝置來形成。

作爲閘極絕緣膜 422 的材料，可以使用氧化矽膜、氧化鎵膜、氧化鋁膜、氮化矽膜、氧氮化矽膜、氧氮化鋁膜或氮氧化矽膜。閘極絕緣膜 422 中的接觸於氧化物半導體膜 403 及氧化物半導體膜 413 的部分較佳爲包含氧。尤其是，閘極絕緣膜 422 較佳在其膜中（塊體中）存在至少超過化學計量比的量的氧，例如，當作爲閘極絕緣膜 422 使

用氧化矽膜時，使用 $\text{SiO}_{2+\alpha}$ （注意， $\alpha>0$ ）的膜。在本實施方式中，作為閘極絕緣膜 422，使用 $\text{SiO}_{2+\alpha}$ （注意， $\alpha>0$ ）的氧化矽膜。藉由將該氧化矽膜用於閘極絕緣膜 422，可以將氧供應到氧化物半導體膜 403 及氧化物半導體膜 413，而使其特性良好。並且，閘極絕緣膜 422 較佳為考慮所製造的電晶體的大小及閘極絕緣膜 422 的臺階覆蓋性而形成。

此外，藉由作為閘極絕緣膜 422 的材料使用氧化鈣、氧化釷、矽酸鈣（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加有氮的矽酸鈣（ HfSiO_xN_y （ $x>0$ ， $y>0$ ））、鋁酸鈣（ HfAl_xO_y （ $x>0$ ， $y>0$ ））以及氧化鑪等 high-k 材料，可以降低閘極漏電流。而且，閘極絕緣膜 422 既可以是單層結構，又可以是疊層結構。

然後，利用電漿 CVD 法或濺射法等形成導電膜，對該導電膜選擇性地進行構圖，將閘極電極層 401 及閘極電極層 411 形成在閘極絕緣膜 422 上（參照圖 8A）。閘極電極層 401 及閘極電極層 411 可以使用鈾、鈦、鋇、鎢、銅、鉻、釷、鈳等金屬材料或以它們為主要成分的合金材料形成。此外，作為閘極電極層 401 及閘極電極層 411，可以使用以摻雜有磷等雜質元素的多晶矽膜為代表的半導體膜、鎳矽化物等矽化物膜。閘極電極層 401 及閘極電極層 411 既可以是單層結構，又可以是疊層結構。在本實施方式中，作為閘極電極層 401 及閘極電極層 411 使用鎢。

另外，閘極電極層 401 及閘極電極層 411 的材料也可

以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物以及添加有氧化矽的銦錫氧化物等導電材料。此外，也可以採用上述導電材料與上述金屬材料的疊層結構。

此外，當與閘極絕緣膜 422 接觸的閘極電極層 401 及閘極電極層 411 具有疊層結構時，作為它們中的一層可以使用包含氮的金屬氧化物，明確地說，可以使用包含氮的 In-Ga-Zn-O 膜、包含氮的 In-Sn-O 膜、包含氮的 In-Ga-O 膜、包含氮的 In-Zn-O 膜、包含氮的 Sn-O 膜、包含氮的 In-O 膜以及金屬氮化膜（InN、SnN 等）。這些膜具有 5 電子伏特的功函數，較佳為具有 5.5 電子伏特以上的功函數。當將這些膜用作閘極電極層時，可以使電晶體的電特性的臨界電壓成為正值，而能夠實現所謂的常關閉型（normally off）的切換元件。

接著，將閘極電極層 401 及閘極電極層 411 用作掩模而對閘極絕緣膜 422 進行蝕刻，由此使氧化物半導體膜 403 及氧化物半導體膜 413 的一部分露出，從而形成閘極絕緣膜 402 及閘極絕緣膜 412（參照圖 8B）。

接著，在氧化物半導體膜 403、氧化物半導體膜 413、閘極絕緣膜 402、閘極絕緣膜 412、閘極電極層 401 及閘極電極層 411 上，以氧化物半導體膜 403 及氧化物半導體膜 413 的一部分接觸的方式，邊加熱基板 400 邊形成包含金屬元素的膜 424（參照圖 8C）。可以將包含金屬元

素的膜 424 的加熱成膜的溫度設定為 100℃ 以上且 700℃ 以下，較佳為設定為 200℃ 以上且 400℃ 以下。

作為包含金屬元素的膜 424，可以舉出金屬膜、金屬氧化物膜、金屬氮化物膜等。另外，包含金屬元素的膜 424 含有與包含在氧化物半導體膜 403 的通道形成區 409 及氧化物半導體膜 413 的通道形成區 419 中的金屬元素不同的金屬元素。

作為包含金屬元素的膜 424 中的金屬元素，可以使用選自鋁（Al）、鈦（Ti）、鉬（Mo）、鎢（W）、鉛（Hf）、鉭（Ta）、釧（La）、鋇（Ba）、鎂（Mg）、鋯（Zr）和鎳（Ni）中的一種以上的元素。作為包含金屬元素的膜 424，可以使用包含選自上述金屬元素中的一種以上的元素的金屬膜、金屬氧化物膜或金屬氮化物膜（例如，氮化鈦膜、氮化鉬膜、氮化鎢膜）。另外，也可以使包含金屬元素的膜 424 包含磷（P）、硼（B）等摻雜劑。在本實施方式中，包含金屬元素的膜 424 具有導電性。

包含金屬元素的膜 424 可以利用電漿 CVD 法、濺射法或蒸鍍法等形成。可以將包含金屬元素的膜 424 的厚度設定為 5nm 以上且 30nm 以下。

在本實施方式中，作為包含金屬元素的膜 424，利用濺射法形成厚度為 10nm 的鋁膜。

另外，雖然在氮、超乾燥空氣（水的含量為 20ppm 以下，較佳為 1ppm 以下，更佳地為 10ppb 以下的空氣）或稀有氣體（氬、氦等）的氛圍下進行加熱成膜即可，但

是上述氮、超乾燥空氣或稀有氣體等氛圍較佳不包含水、氫等。此外，較佳將引入到加熱處理裝置中的氮或稀有氣體的純度設定為 6N (99.9999%) 以上，較佳為設定為 7N (99.99999%) 以上 (即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下)。另外，也可以在減壓下或真空中進行加熱成膜。

藉由包含金屬元素的膜 424 的加熱成膜，金屬元素從包含金屬元素的膜 424 引入到氧化物半導體膜 403 及氧化物半導體膜 413 中。由此，氧化物半導體膜 403 中的與閘極電極層 401 重疊的區域中形成通道形成區 409，在通道長度方向上夾著該通道形成區的區域中形成包含金屬元素且其電阻低於該通道形成區 409 的電阻的源極區 404a 及汲極區 404b。同樣地，在氧化物半導體膜 413 中形成通道形成區 419 和包含金屬元素且其電阻低於該通道形成區 419 的電阻的源極區 414a 及汲極區 414b。

另外，雖然在圖 8C 中，在氧化物半導體膜 403 的厚度方向上的整個區域中形成有其電阻低於該通道形成區 409 的電阻的源極區 404a 及汲極區 404b，但是不一定形成為這樣的結構。有時源極區 404a 及汲極區 404b 形成在氧化物半導體膜 403 的一部分，即表面附近。另外，形成在氧化物半導體膜 413 中的源極區 414a 及汲極區 414b 也與此相同。

接著，也可以將閘極絕緣膜 402、閘極電極層 401、閘極絕緣膜 412 及閘極電極層 411 用作掩模，將摻雜劑

421 藉由包含金屬元素的膜 424 選擇性地引入到氧化物半導體膜 403 及氧化物半導體膜 413 中，由此實現源極區 404a、汲極區 404b、源極區 414a 及汲極區 414b 的進一步的低電阻化（參照圖 8D）。

摻雜劑 421 是改變氧化物半導體膜 403 及氧化物半導體膜 413 的導電率的雜質。作為摻雜劑 421，可以使用選自 15 族元素（典型的是磷（P）、砷（As）及銻（Sb））、硼（B）、鋁（Al）、氮（N）、氬（Ar）、氦（He）、氖（Ne）、銦（In）、氟（F）、氯（Cl）、鈦（Ti）及鋅（Zn）中的一種以上的元素。

上述摻雜劑也可以包含在包含金屬元素的膜 424 中。

利用注入法，將摻雜劑 421 藉由包含金屬元素的膜 424 引入到氧化物半導體膜 403 及氧化物半導體膜 413 中。作為摻雜劑 421 的引入方法，可以利用離子植入法、離子摻雜法、電漿浸沒離子植入法等。此時，較佳為使用摻雜劑 421 的單體的離子或者氫化物、氟化物或氯化物的離子。

摻雜劑 421 的引入製程可以適當地設定加速電壓、劑量等的注入條件或者摻雜劑藉由的包含金屬元素的膜 424 的厚度而控制。例如，當使用硼且利用離子植入法進行硼離子的注入時，加速電壓可以設定為 15kV，劑量可以設定為 $1 \times 10^{15} \text{ ions/cm}^2$ 。劑量可以設定為 $1 \times 10^{13} \text{ ions/cm}^2$ 以上且 $5 \times 10^{16} \text{ ions/cm}^2$ 以下。

源極區或汲極區中的摻雜劑 421 的濃度較佳為

$5 \times 10^{18}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下。

另外，也可以進行多次將摻雜劑 421 引入到氧化物半導體膜 403 及氧化物半導體膜 413 中的處理，並且，也可以使用多種摻雜劑。

此外，也可以在進行摻雜劑 421 的引入處理之後進行加熱處理。作為加熱條件，也可以將溫度設定為 300°C 以上且 700°C 以下，較佳為設定為 300°C 以上且 450°C 以下，並且在氮氛圍下、減壓下或大氣（超乾燥空氣）下進行加熱處理。

當氧化物半導體膜 403 及氧化物半導體膜 413 是晶體氧化物半導體膜時，有時由摻雜劑 421 的引入導致晶體氧化物半導體膜的一部分的非晶化。在此情況下，藉由在引入摻雜劑 421 之後進行加熱處理，可以恢復氧化物半導體膜 403 及氧化物半導體膜 413 的結晶性。

另外，為了實現源極區 404a、汲極區 404b、源極區 414a 及汲極區 414b 的進一步的低電阻化進行上述摻雜劑的引入，但是在電晶體 440 及電晶體 450 的製造中不一定必須要進行上述摻雜劑的引入。

接著，利用濕蝕刻而去除包含金屬元素的膜 424（參照圖 8E）。如本實施方式所示，當作為閘極電極層 401 及閘極電極層 411 使用鎢，作為氧化物半導體膜 403 及氧化物半導體膜 413 使用 IGZO，作為包含金屬元素的膜 424 使用鋁時，較佳為使用包含 0.2%至 5.0%的 TMAH（Tetra Methyl Ammonium Hydroxide：四甲基氫氧化銨）

的有機鹼性水溶液（例如，東京應化工業株式會社製造，產品名稱：NMD3）。藉由如此進行濕蝕刻，可以以相對於閘極電極層 401、閘極電極層 411、氧化物半導體膜 403 及氧化物半導體膜 413 高的蝕刻率去除包含金屬元素的膜 424。

當然，濕蝕刻的條件不侷限於此，根據閘極電極層 401、閘極電極層 411、氧化物半導體膜 403、氧化物半導體膜 413 及包含金屬元素的膜 424 的種類等適當地設定，即可。

如此，藉由利用濕蝕刻去除包含金屬元素的膜 424，可以去除包含金屬元素的膜 424 而不進行電漿處理，因此可以防止在形成第一保護電路 104 及第二保護電路 105 之前由於電漿的損傷發生 ESD 而損壞形成驅動電路的電晶體 450。

然後，以覆蓋電晶體 440 及電晶體 450 的方式形成絕緣膜 425。

絕緣膜 425 較佳適當地使用濺射法等的不使水、氫等雜質混入到絕緣膜 425 中的方法來形成。另外，當作爲絕緣膜 425 採用包含過剩的氧的膜時，該絕緣膜 425 用作對於氧化物半導體膜 403 及氧化物半導體膜 413 的氧的供應源，所以是較佳的。

在本實施方式中，利用濺射法形成用作絕緣膜 425 的厚度爲 100nm 的氧化矽膜。可以在稀有氣體（典型的是氬）氛圍下、氧氛圍下或稀有氣體和氧的混合氛圍下，藉

由濺射法形成氧化矽膜。

與形成氧化物半導體膜時同樣，爲了去除殘留在絕緣膜 425 的沉積室內的水分，較佳爲使用吸附型的真空泵（低溫泵等）。可以降低在使用低溫泵排氣的沉積室中形成的絕緣膜 425 所包含的雜質的濃度。此外，作爲用來去除殘留在絕緣膜 425 的沉積室內的水分的排氣裝置，也可以採用配備有冷阱的渦輪分子泵。

作爲當形成絕緣膜 425 時使用的濺射氣體，較佳爲使用去除了氫、水、羥基或氫化物等雜質的高純度氣體。

當層疊絕緣膜 425 時，除了氧化矽膜以外，可以典型地使用氧化鋁膜、氧氮化矽膜、氧氮化鋁膜或氧化鎵膜等無機絕緣膜。例如，作爲絕緣膜 425，可以使用氧化矽膜和氧化鋁膜的疊層。

再者，爲了降低起因於電晶體的表面凹凸，可以形成用作平坦化絕緣膜的絕緣膜 426。作爲絕緣膜 426，可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂等有機材料。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）等。也可以藉由層疊多個由這些材料形成的絕緣膜形成絕緣膜 426。

另外，也可以在形成絕緣膜 425 之後，在惰性氣體氛圍下或氧氛圍下進行熱處理。較佳將熱處理的溫度設定爲 200℃ 以上且 450℃ 以下，更佳地設定爲 250℃ 以上且 350℃ 以下。藉由進行這種熱處理，可以降低電晶體 440 及電晶體 450 的電特性的不均勻。另外，當絕緣膜 420、閘極

絕緣膜 402、閘極絕緣膜 412 或絕緣膜 425 包含氧時，將氧供應到氧化物半導體膜 403 及氧化物半導體膜 413 中，由此可以補充氧化物半導體膜 403 及氧化物半導體膜 413 的氧缺損。如此，上述熱處理具有供應氧的效果，所以可以將該熱處理稱為加氧化等。另外，包含上述金屬元素的膜 424 的加熱處理或添加摻雜劑 421 之後的熱處理可以兼進行加氧化。

最後，在絕緣膜 425 及絕緣膜 426 中形成到達閘極電極層 401、閘極電極層 411、源極區 404a、汲極區 404b、源極區 414a 及汲極區 414b 的開口，在絕緣膜 425 及絕緣膜 426 上，藉由該開口，以與源極區 404a 及閘極電極層 401 接觸的方式形成源極電極層 405a，以與汲極區 404b 接觸的方式形成汲極電極層 405b，以與源極區 414a 接觸的方式形成源極電極層 415a，以與汲極區 414b 接觸的方式形成汲極電極層 415b，以與閘極電極層 411 接觸的方式形成佈線層 415c（參照圖 8F）。

作為用於源極電極層 405a、汲極電極層 405b、源極電極層 415a、汲極電極層 415b 及佈線層 415c 的導電膜，例如可以使用包含選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。另外，還可以在 Al、Cu 等的金屬膜的下側或上側的一者或兩者層疊 Ti、Mo、W 等的高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）。

當製造源極電極層 405a、汲極電極層 405b、源極電極層 415a、汲極電極層 415b 及佈線層 415c 時，即使 ESD 等高浪湧電壓施加到電晶體 111（電晶體 450），如上述實施方式所示，由電晶體 114 構成的第一保護電路 104 或由電晶體 115 構成的第二保護電路 105 成為放電路徑，由此也可以防止浪湧電流流過電晶體 111。

可以藉由光微影製程在該導電膜上形成光阻掩罩，選擇性地進行蝕刻，來形成源極電極層 405a、汲極電極層 405b、源極電極層 415a、汲極電極層 415b 及佈線層 415c。

藉由上述步驟，可以同時形成電晶體 440 和電晶體 450，該電晶體 440 包括：具有通道形成區 409、源極區 404a 及汲極區 404b 的氧化物半導體膜 403；源極電極層 405a；汲極電極層 405b；閘極絕緣膜 402；以及閘極電極層 401，電晶體 450 包括：具有通道形成區 419、源極區 414a 及汲極區 414b 的氧化物半導體膜 413；源極電極層 415a；汲極電極層 415b；佈線層 415c；閘極絕緣膜 412；以及閘極電極層 411。

在此，與圖 1 同樣，源極電極層 405a 與佈線層 415c 電連接，汲極電極層 405b 與圖 1 所示的第一佈線 102 電連接。另外，當藉由圖 8A 至圖 8F 所示的方法形成圖 1 所示的形成第二保護電路 105 的電晶體 115，而不形成電晶體 114 時，汲極電極層 405b 與佈線層 415c 電連接，源極電極層 405a 與圖 1 所示的第二佈線 103 電連接。

此外，也可以藉由與圖 8A 至圖 8F 所示的方法不同的方法形成實施方式 1 所示的驅動電路。參照圖 9A 至圖 9D 示出藉由與圖 8A 至圖 8F 所示的方法不同的方法同時形成電晶體 440 及電晶體 450 的一個例子。

首先，與圖 8B 所示的狀態同樣，在基板 400 上形成絕緣膜 420、氧化物半導體膜 403、氧化物半導體膜 413、閘極絕緣膜 402、閘極絕緣膜 412、閘極電極層 401 及閘極電極層 411。該結構的詳細內容可以參照上述記載。

然後，在氧化物半導體膜 403、氧化物半導體膜 413、閘極絕緣膜 402、閘極絕緣膜 412、閘極電極層 401 及閘極電極層 411 上，以與氧化物半導體膜 403 及氧化物半導體膜 413 的一部分接觸的方式形成包含金屬元素的膜 424（參照圖 9A）。這裏，雖然在圖 8C 所示的製程中邊加熱基板 400 邊形成包含金屬元素的膜 424，但是在本製程中，不進行基板 400 的加熱，或者在金屬元素不從包含金屬元素的膜 424 引入到氧化物半導體膜 403 及氧化物半導體膜 413 中的程度的溫度，例如低於 100℃ 的溫度下進行加熱。

在此，作為包含金屬元素的膜 424 可以使用與在圖 8C 的說明中舉出的膜相同的膜，並且作為形成方法也可以使用與此相同的方法。

接著，在氧化物半導體膜 403 及氧化物半導體膜 413 的一部分與包含金屬元素的膜 424 接觸的狀態下進行加熱

處理（參照圖 9B）。在此，可以將加熱溫度設定為 100°C 以上且 700°C 以下，較佳為設定為 200°C 以上且 400°C 以下。

例如，將基板引入到加熱處理裝置之一的電爐中，在惰性氣體氛圍下以 300°C 對包含金屬元素的膜 424、氧化物半導體膜 403 及氧化物半導體膜 413 進行 1 個小時的加熱處理。

另外，加熱處理裝置不侷限於電爐，還可以使用利用來自電阻發熱體等的發熱體的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用如 GRTA（Gas Rapid Thermal Anneal，氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal，燈快速熱退火）裝置等 RTA（Rapid Thermal Anneal，快速熱退火）裝置。LRTA 裝置是一種利用鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈、或者高壓汞燈等的燈發射的光（電磁波）的輻射來加熱被處理物的裝置。GRTA 裝置是一種利用高溫氣體進行加熱處理的裝置。作為高溫的氣體，使用即使進行加熱處理也不與被處理物起反應的惰性氣體，如氬等的稀有氣體或氮等。

例如，作為加熱處理，可以進行 GRTA，其中在加熱到 650°C 至 700°C 的高溫的惰性氣體中放進基板，加熱幾分鐘之後，從惰性氣體取出基板。

另外，雖然在氮、超乾燥空氣（水的含量為 20ppm 以下，較佳為 1ppm 以下，更佳地為 10ppb 以下的空氣）

或稀有氣體（氫、氮等）的氛圍下進行加熱處理即可，但是較佳的是，上述氮、超乾燥空氣或稀有氣體等氛圍不包含水、氫等。此外，較佳將引入到加熱處理裝置中的氮或稀有氣體的純度設定為 6N（99.9999%）以上，較佳為設定為 7N（99.99999%）以上（即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。另外，也可以在減壓下或真空中進行加熱處理。

藉由對包含金屬元素的膜 424 的加熱處理，金屬元素從包含金屬元素的膜 424 引入到氧化物半導體膜 403 及氧化物半導體膜 413 中。由此，氧化物半導體膜 403 中的與閘極電極層 401 重疊的區域中形成通道形成區 409，在通道長度方向上夾著該通道形成區的區域中形成包含金屬元素且其電阻低於該通道形成區 409 的電阻的源極區 404a 及汲極區 404b。同樣地，在氧化物半導體膜 413 中形成通道形成區 419 和包含金屬元素且其電阻低於該通道形成區 419 的電阻的源極區 414a 及汲極區 414b。

另外，雖然在圖 9B 中，在氧化物半導體膜 403 的厚度方向上的整個區域中形成有其電阻低於該通道形成區 409 的電阻的源極區 404a 及汲極區 404b，但是不一定形成為這樣的結構。有時源極區 404a 及汲極區 404b 形成在氧化物半導體膜 403 的一部分，即表面附近。另外，形成在氧化物半導體膜 413 中的源極區 414a 及汲極區 414b 也與此相同。

另外，在該加熱處理的前後，如圖 8D 所示，也可以

將閘極絕緣膜 402、閘極電極層 401、閘極絕緣膜 412 及閘極電極層 411 用作掩模，將摻雜劑 421 藉由包含金屬元素的膜 424 選擇性地引入到氧化物半導體膜 403 及氧化物半導體膜 413 中。摻雜劑 421 的引入的詳細內容可以參照有關圖 8D 的記載。

以下，與圖 8E 及圖 8F 所示的方法相同地，利用濕蝕刻去除包含金屬元素的膜 424（參照圖 9C），以覆蓋電晶體 440 及電晶體 450 的方式形成絕緣膜 425 及絕緣膜 426，以與源極區 404a 及閘極電極層 401 接觸的方式形成源極電極層 405a，以與汲極區 404b 接觸的方式形成汲極電極層 405b，以與源極區 414a 接觸的方式形成源極電極層 415a，以與汲極區 414b 接觸的方式形成汲極電極層 415b，以與閘極電極層 411 接觸的方式形成佈線層 415c（參照圖 9D）。上述結構的詳細內容可以參照有關圖 8E 及圖 8F 的記載。

藉由上述步驟，可以使電晶體 440 的氧化物半導體膜 403 包含金屬元素和摻雜劑 421，形成其電阻低於通道形成區 409 的電阻的源極區 404a 及汲極區 404b。由此，電晶體 440 的導通特性（例如，導通電流及場效應遷移率）提高，能夠進行高速工作和高速回應。另外，可以緩和施加到形成在源極區 404a 與汲極區 404b 之間的通道形成區 409 的電場。此外，藉由在源極區 404a 及汲極區 404b 中將氧化物半導體膜 403 與源極電極層 405a 及汲極電極層 405b 電連接，可以降低氧化物半導體膜 403 與源極電極

層 405a 及汲極電極層 405b 的之間的接觸電阻。藉由將這種電晶體 440 用於第一保護電路 104 的電晶體 114 或第二保護電路 105 的電晶體 115，即使第一保護電路 104 的電晶體 114 或第二保護電路 105 的電晶體 115 成為電晶體 111 的浪湧電流的放電路徑，也可以降低電晶體 114 及電晶體 115 被損壞的危險性。

另外，藉由使電晶體 450 的氧化物半導體膜 413 包含金屬元素和摻雜劑 421，可以形成其電阻低於通道形成區 419 的電阻的源極區 414a 及汲極區 414b。由此，電晶體 450 的導通特性（例如，導通電流及場效應遷移率）提高，能夠進行高速工作和高速回應。另外，可以緩和施加到形成在源極區 414a 與汲極區 414b 之間的通道形成區 419 的電場。此外，藉由在源極區 414a 及汲極區 414b 中將氧化物半導體膜 413 與源極電極層 415a 及汲極電極層 415b 電連接，可以降低氧化物半導體膜 413 與源極電極層 415a 及汲極電極層 415b 的之間的接觸電阻。

被高純度化且其氧缺損被補充的氧化物半導體膜 403 及氧化物半導體膜 413 中的氫、水等雜質充分被去除，氧化物半導體膜 403 及氧化物半導體膜 413 中的氫濃度為 $5 \times 10^{19}/\text{cm}^3$ 以下，較佳為 $5 \times 10^{18}/\text{cm}^3$ 以下。另外，氧化物半導體膜 403 及氧化物半導體膜 413 中的氫濃度是藉由使用二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectrometry）而測量的。

這種氧化物半導體膜 403 及氧化物半導體膜 413 中的

載子極少（近於零），載子濃度低於 $1 \times 10^{14}/\text{cm}^3$ ，較佳低於 $1 \times 10^{12}/\text{cm}^3$ ，更佳地低於 $1 \times 10^{11}/\text{cm}^3$ 。

在使用本實施方式製造的被高純度化且使用包含補充氧缺損的過剩的氧的氧化物半導體膜 403 及氧化物半導體膜 413 的電晶體 440 及電晶體 450 中，可以使截止狀態下的室溫下的每通道寬度 $1\mu\text{m}$ 的電流值（截止電流值）降低到 $100\text{zA}/\mu\text{m}$ （ 1zA （仄普托介安培）為 $1 \times 10^{-21}\text{A}$ ）以下，較佳為降低到 $10\text{zA}/\mu\text{m}$ 以下，更佳地降低到 $1\text{zA}/\mu\text{m}$ 以下，進一步較佳為降低到 $100\text{yA}/\mu\text{m}$ 以下的水準。

藉由將這種電晶體 440 用於第一保護電路 104 的電晶體 114，可以降低第一保護電路 104 中的洩漏電流。另外，藉由將這種電晶體 440 用於第二保護電路 105 的電晶體 115，可以降低第二保護電路 105 中的洩漏電流。此外，藉由使用這種電特性高的電晶體 440 及電晶體 450，能夠提供高性能且高可靠性的驅動電路。

藉由採用上述結構，能夠提供一種抑制在製造製程中 ESD 導致的半導體元件的損壞的驅動電路及該驅動電路的製造方法。另外，能夠提供一種設置有洩漏電流小的保護電路的驅動電路及該驅動電路的製造方法。

以上，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

實施方式 3

在本實施方式中，參照圖 10A 至圖 10C 對由具有與

實施方式 2 所示的電晶體不同的形狀的電晶體構成的驅動電路的製造方法進行說明。作為例子，對同時製造圖 10A 至圖 10C 所示的電晶體 460 及電晶體 470 的方法進行說明。在此，電晶體 460 對應於上述實施方式所示的電晶體 440，即形成第一保護電路 104 的電晶體 114，電晶體 470 對應於電晶體 450，即用作半導體元件 101 的電晶體 111。另外，雖然在本實施方式中也直接未圖示，但是上述實施方式所示的形成第二保護電路 105 的電晶體 115 也可以利用與電晶體 460 相同的方法來形成。此外，當如圖 3A 和圖 3B 所示那樣將驅動電路部和顯示部形成在同一基板上時，顯示部的電晶體也可以利用與此相同的方法來製造。

如圖 10C 所示，電晶體 460 在設置有絕緣膜 420 的具有絕緣表面的基板 400 上包括：具有通道形成區 409、源極區 404a 及汲極區 404b 的氧化物半導體膜 403；電極層 424a；電極層 424b；源極電極層 405a；汲極電極層 405b；閘極絕緣膜 402；以及閘極電極層 401。另外，電晶體 470 在設置有絕緣膜 420 的具有絕緣表面的基板 400 上包括：具有通道形成區 419、源極區 414a 及汲極區 414b 的氧化物半導體膜 413；電極層 424c；電極層 424d；源極電極層 415a；汲極電極層 415b；佈線層 415c；閘極絕緣膜 412；以及閘極電極層 411。

就是說，電晶體 460 與電晶體 440 的不同之處在於：源極區 404a 隔著電極層 424a 與源極電極層 405a 連接，

汲極區 404b 隔著電極層 424b 與汲極電極層 405b 連接。另外，電晶體 470 與電晶體 450 的不同之處在於：源極區 414a 隔著電極層 424c 與源極電極層 415a 連接，汲極區 414b 隔著電極層 424d 與汲極電極層 415b 連接。

以下，參照圖 10A 至圖 10C 對電晶體 460 及電晶體 470 的製造製程進行說明。

首先，與圖 8D 或圖 9B 所示的狀態同樣，在基板 400 上形成：絕緣膜 420；氧化物半導體膜 403（具有源極區 404a、汲極區 404b 及通道形成區 409）；氧化物半導體膜 413（具有源極區 414a、汲極區 414b 及通道形成區 419）；閘極絕緣膜 402；閘極絕緣膜 412；閘極電極層 401 及閘極電極層 411；以及包含金屬元素的膜 424（參照圖 10A）。上述結構的詳細內容可以參照實施方式 2 的記載。

接著，藉由光微影製程在包含金屬元素的膜 424 上形成光阻掩罩，利用濕蝕刻選擇性的去除該包含金屬元素的膜 424 的一部分，以與源極區 404a 接觸的方式形成電極層 424a，以與汲極區 404b 接觸的方式形成電極層 424b，以與源極區 414a 接觸的方式形成電極層 424c，以與汲極區 414b 接觸的方式形成電極層 424d（參照圖 10B）。在此，該濕蝕刻的詳細內容可以參照有關圖 8E 的記載。

在此，電極層 424a 及電極層 424b 以不與閘極電極層 401 及閘極絕緣膜 402 接觸的方式形成，電極層 424c 及電極層 424d 以不與閘極電極層 411 及閘極絕緣膜 412 接

觸的方式形成。

接著，以覆蓋電晶體 460 及電晶體 470 的方式形成絕緣膜 425 及絕緣膜 426（參照圖 10C）。絕緣膜 425 及絕緣膜 426 的詳細內容可以參照上述實施方式。

另外，在形成電極層 424a 至電極層 424d 之後，例如在形成絕緣膜 425 之後，如圖 8D 所示，可以將閘極絕緣膜 402、閘極電極層 401、閘極絕緣膜 412、閘極電極層 411 及電極層 424a 至電極層 424d 用作掩模，將摻雜劑 421 藉由包含金屬元素的膜 424 選擇性地引入到氧化物半導體膜 403 及氧化物半導體膜 413 中。摻雜劑 421 的引入的詳細內容可以參照有關圖 8D 的記載。由此，可以使源極區 404a 中的不與電極層 424a 重疊的區域、汲極區 404b 中的不與電極層 424b 重疊的區域、源極區 414a 中的不與電極層 424c 重疊的區域、汲極區 414b 中的不與電極層 424d 重疊的區域成為更低電阻，所以能夠實現電晶體 460 及電晶體 470 的導通特性（例如，導通電流及場效應遷移率）的提高。

最後，在絕緣膜 425 及絕緣膜 426 中形成到達閘極電極層 401、閘極電極層 411 及電極層 424a 至電極層 424d 的開口，在絕緣膜 425 及絕緣膜 426 上，藉由該開口，以與電極層 424a 及閘極電極層 401 接觸的方式形成源極電極層 405a，以與電極層 424b 接觸的方式形成汲極電極層 405b，以與電極層 424c 接觸的方式形成源極電極層 415a，以與電極層 424d 接觸的方式形成汲極電極層

415b，以與閘極電極層 411 接觸的方式形成佈線層 415c（參照圖 10C）。在此，用於源極電極層 405a、汲極電極層 405b、源極電極層 415a、汲極電極層 415b 和佈線層 415c 的導電膜、該導電膜的形成方法以及該導電膜的蝕刻方法可以參照上述實施方式。

藉由上述步驟，可以同時形成電晶體 460 和電晶體 470，該電晶體 460 包括：具有通道形成區 409、源極區 404a 及汲極區 404b 的氧化物半導體膜 403；電極層 424a；電極層 424b；源極電極層 405a；汲極電極層 405b；閘極絕緣膜 402；以及閘極電極層 401，電晶體 470 包括：具有通道形成區 419、源極區 414a 及汲極區 414b 的氧化物半導體膜 413；電極層 424c；電極層 424d；源極電極層 415a；汲極電極層 415b；佈線層 415c；閘極絕緣膜 412；以及閘極電極層 411。

如此，源極區 404a 隔著電極層 424a 與源極電極層 405a 連接，汲極區 404b 隔著電極層 424b 與汲極電極層 405b 連接，源極區 414a 隔著電極層 424c 與源極電極層 415a 連接，汲極區 414b 隔著電極層 424d 與汲極電極層 415b 連接，從而可以降低各連接部分之間的接觸電阻。

當製造源極電極層 405a、汲極電極層 405b、源極電極層 415a、汲極電極層 415b 及佈線層 415c 時，即使 ESD 等高浪湧電壓施加到電晶體 111（電晶體 470），如上述實施方式所示，由電晶體 114（電晶體 460）構成的第一保護電路 104 或由電晶體 115（電晶體 460）構成的

第二保護電路 105 成為放電路徑，由此也可以防止浪湧電流流過電晶體 111。因為此時，源極區 404a 隔著電極層 424a 與源極電極層 405a 連接，汲極區 404b 隔著電極層 424b 與汲極電極層 405b 連接，連接部分之間的接觸電阻得到降低，所以即使第一保護電路 104 的電晶體 114 或第二保護電路 105 的電晶體 115 成為電晶體 111 的浪湧電流的放電路徑，也可以降低電晶體 114 及電晶體 115 被損壞的危險性。

藉由將這種電晶體 460 用於第一保護電路 104 的電晶體 114，可以降低第一保護電路 104 中的洩漏電流。另外，藉由將這種電晶體 460 用於第二保護電路 105 的電晶體 115，可以降低第二保護電路 105 中的洩漏電流。此外，藉由使用這種電特性高的電晶體 460 及電晶體 470，能夠提供高性能且高可靠性的驅動電路。

另外，參照圖 11A 至圖 11E 說明製造由與圖 10A 至圖 10C 所示的電晶體 460 及電晶體 470 不同的電晶體 480 及電晶體 490 構成的驅動電路的方法。在此，電晶體 480 對應於上述實施方式所示的電晶體 440，即形成第一保護電路 104 的電晶體 114，電晶體 490 對應於電晶體 450，即用作半導體元件 101 的電晶體 111。另外，雖然在本實施方式中也直接未圖示，但是上述實施方式所示的形成第二保護電路 105 的電晶體 115 也可以利用與電晶體 480 相同的方法來形成。此外，當如圖 3A 和圖 3B 所示那樣將驅動電路部和顯示部形成在同一基板上時，顯示部的電晶

體也可以利用與此相同的方法來製造。

如圖 11E 所示，電晶體 480 在設置有絕緣膜 420 的具有絕緣表面的基板 400 上包括：具有通道形成區 409、源極區 404a、汲極區 404b、低濃度雜質區 434a 及低濃度雜質區 434b 的氧化物半導體膜 403；源極電極層 405a；汲極電極層 405b；閘極絕緣膜 402；閘極電極層 401；以及側壁絕緣膜 429a。另外，電晶體 490 在設置有絕緣膜 420 的具有絕緣表面的基板 400 上包括：具有通道形成區 419、源極區 414a、汲極區 414b、低濃度雜質區 444a 及低濃度雜質區 444b 的氧化物半導體膜 413；源極電極層 415a；汲極電極層 415b；佈線層 415c；閘極絕緣膜 412；閘極電極層 411；以及側壁絕緣膜 429b。

就是說，電晶體 480 與電晶體 440 的不同之處在於：閘極電極層 401 的側面設置有側壁絕緣膜 429a，在氧化物半導體膜 403 的與側壁絕緣膜 429a 重疊的區域中，以夾在源極區 404a 與通道形成區 409 的方式設置有低濃度雜質區 434a，以夾在汲極區 404b 與通道形成區 409 的方式設置有低濃度雜質區 434b。另外，電晶體 490 與電晶體 450 的不同之處在於：閘極電極層 411 的側面設置有側壁絕緣膜 429b，在氧化物半導體膜 413 的與側壁絕緣膜 429b 重疊的區域中，以夾在源極區 414a 與通道形成區 419 的方式設置有低濃度雜質區 444a，以夾在汲極區 414b 與通道形成區 419 的方式設置有低濃度雜質區 444b。

以下，參照圖 11A 至圖 11E 對電晶體 480 及電晶體 490 的製造製程進行說明。

首先，與圖 8B 所示的狀態同樣，在基板 400 上形成：絕緣膜 420、氧化物半導體膜 403、氧化物半導體膜 413、閘極絕緣膜 402、閘極絕緣膜 412、閘極電極層 401 及閘極電極層 411。上述結構的詳細內容可以參照實施方式 2 的記載。

接著，以覆蓋氧化物半導體膜 403、氧化物半導體膜 413、閘極絕緣膜 402、閘極絕緣膜 412、閘極電極層 401 及閘極電極層 411 的方式形成絕緣膜 429，將閘極絕緣膜 402、閘極電極層 401、閘極絕緣膜 412 及閘極電極層 411 用作掩模，將摻雜劑 423 藉由絕緣膜 429 選擇性地引入到氧化物半導體膜 403 及氧化物半導體膜 413 中（參照圖 11A）。由此，氧化物半導體膜 403 中的與閘極電極層 401 重疊的區域中形成通道形成區 409，在通道長度方向上夾著該通道形成區的區域中形成其電阻低於該通道形成區 409 的低濃度雜質區 434a 及低濃度雜質區 434b。同樣地，在氧化物半導體膜 413 中形成通道形成區 419 和其電阻低於該通道形成區 419 的電阻的低濃度雜質區 444a 及低濃度雜質區 444b。

在此，對絕緣膜 429 沒有特別的限制，但是例如可以使用使 TEOS（Tetraethyl-Ortho-Silicate：四乙氧基矽烷）或矽烷等與氧或一氧化二氮等起反應來形成的臺階覆蓋性好的氧化矽。絕緣膜 429 可以藉由熱 CVD、電漿

CVD、常壓 CVD、偏壓 ECRCVD、濺射方法等形成。此外，也可以使用藉由低溫氧化（LTO：Low Temperature Oxidation）法形成的氧化矽。

另外，可以利用與圖 8D 所示的摻雜劑 421 的引入相同的方法進行摻雜劑 423 的引入。注意，因為低濃度雜質區 434a、低濃度雜質區 434b、低濃度雜質區 444a 及低濃度雜質區 444b 的雜質濃度低於在後面的製程中形成的源極區 404a、汲極區 404b、源極區 414a 及汲極區 414b 的雜質濃度，所以摻雜劑 423 的劑量較佳小於在後面的製程中引入的摻雜劑 421 的劑量。

接著，對絕緣膜 429 進行各向異性蝕刻，以與閘極電極層 401 的側面接觸的方式且以自對準的方式形成側壁絕緣膜 429a，以與閘極電極層 411 的側面接觸的方式且以自對準的方式形成側壁絕緣膜 429b（參照圖 11B）。在此，例如可以利用 RIE（Reactive Ion Etching：反應離子蝕刻）法進行絕緣膜 429 的蝕刻。

接著，與圖 8C 同樣，在氧化物半導體膜 403、氧化物半導體膜 413、閘極絕緣膜 402、閘極絕緣膜 412、閘極電極層 401 及閘極電極層 411 上，以與氧化物半導體膜 403 及氧化物半導體膜 413 的一部分接觸的方式，邊加熱基板 400 邊形成包含金屬元素的膜 424（參照圖 11C）。由此，金屬元素從包含金屬元素的膜 424 引入到氧化物半導體膜 403 及氧化物半導體膜 413 中。

因此，在低濃度雜質區 434a 中的不與側壁絕緣膜

429a 重疊的區域中形成源極區 404a，在低濃度雜質區 434b 中的不與側壁絕緣膜 429a 重疊的區域中形成汲極區 404b。另外，在低濃度雜質區 444a 中的不與側壁絕緣膜 429b 重疊的區域中形成源極區 414a，在低濃度雜質區 444b 中的不與側壁絕緣膜 429b 重疊的區域中形成汲極區 414b。在此，源極區 404a、汲極區 404b、源極區 414a 及汲極區 414b 的電阻低於低濃度雜質區 434a、低濃度雜質區 434b、低濃度雜質區 444a 及低濃度雜質區 444b 的電阻。

在此，可以利用與圖 8D 所示的方法相同的方法形成包含金屬元素的膜 424。另外，如圖 9A 及圖 9B 所示，也可以在形成包含金屬元素的膜 424 之後進行加熱處理。

接著，也可以將閘極絕緣膜 402、閘極電極層 401、側壁絕緣膜 429a、閘極絕緣膜 412、閘極電極層 411 及側壁絕緣膜 429b 用作掩模，將摻雜劑 421 藉由包含金屬元素的膜 424 選擇性地引入到氧化物半導體膜 403 及氧化物半導體膜 413 中，由此實現源極區 404a、汲極區 404b、源極區 414a 及汲極區 414b 的進一步的低電阻化（參照圖 11D）。

在此，可以利用與圖 8D 所示的摻雜劑 421 的引入相同的方法進行摻雜劑 421 的引入。

以下，與圖 8E 及圖 8F 所示的方法相同地，利用濕蝕刻去除包含金屬元素的膜 424，以覆蓋電晶體 480 及電晶體 490 的方式形成絕緣膜 425 及絕緣膜 426，以與源極區

404a 及閘極電極層 401 接觸的方式形成源極電極層 405a，以與汲極區 404b 接觸的方式形成汲極電極層 405b，以與源極區 414a 接觸的方式形成源極電極層 415a，以與汲極區 414b 接觸的方式形成汲極電極層 415b，以與閘極電極層 411 接觸的方式形成佈線層 415c（參照圖 11E）。上述結構的詳細內容可以參照有關圖 8E 及圖 8F 的記載。

藉由上述步驟，可以同時形成電晶體 480 和電晶體 490，該電晶體 480 包括：具有通道形成區 409、源極區 404a、汲極區 404b、低濃度雜質區 434a 及低濃度雜質區 434b 的氧化物半導體膜 403；源極電極層 405a；汲極電極層 405b；閘極絕緣膜 402；閘極電極層 401；以及側壁絕緣膜 429a，電晶體 490 包括：具有通道形成區 419、源極區 414a、汲極區 414b、低濃度雜質區 444a 及低濃度雜質區 444b 的氧化物半導體膜 413；源極電極層 415a；汲極電極層 415b；佈線層 415c；閘極絕緣膜 412；閘極電極層 411；以及側壁絕緣膜 429b。

如此，在電晶體 480 中的氧化物半導體膜 403 中，以夾有通道形成區 409 的方式設置低濃度雜質區 434a 及低濃度雜質區 434b，並且以還夾有它們的方式設置源極區 404a 及汲極區 404b，可以緩和施加到通道形成區的電場，從而可以抑制短通道效應。對於電晶體 490 也與此相同。

當製造源極電極層 405a、汲極電極層 405b、源極電

極層 415a、汲極電極層 415b 及佈線層 415c 時，即使 ESD 等高浪湧電壓施加到電晶體 111（電晶體 490），如上述實施方式所示，由電晶體 114（電晶體 480）構成的第一保護電路 104 或由電晶體 115（電晶體 480）構成的第二保護電路 105 成爲放電路徑，由此也可以防止浪湧電流流過電晶體 111。

藉由將這種電晶體 480 用於第一保護電路 104 的電晶體 114，可以降低第一保護電路 104 中的洩漏電流。另外，藉由將這種電晶體 480 用於第二保護電路 105 的電晶體 115，可以降低第二保護電路 105 中的洩漏電流。此外，藉由使用這種電特性高的電晶體 480 及電晶體 490，能夠提供高性能且高可靠性的驅動電路。

另外，參照圖 15A 至圖 15E 說明製造由與圖 11A 至圖 11E 所示的電晶體 480 及電晶體 490 不同的電晶體 481 及電晶體 491 構成的驅動電路的方法。在此，電晶體 481 對應於上述實施方式所示的電晶體 440，即形成第一保護電路 104 的電晶體 114，電晶體 491 對應於電晶體 450，即用作半導體元件 101 的電晶體 111。

如圖 15E 所示，電晶體 481 在設置有絕緣膜 420 的具有絕緣表面的基板 400 上包括：具有通道形成區 409、源極區 404a 及汲極區 404b 的氧化物半導體膜 403；源極電極層 405a；汲極電極層 405b；閘極絕緣膜 402；閘極電極層 401；以及側壁絕緣膜 431a。另外，電晶體 491 在設置有絕緣膜 420 的具有絕緣表面的基板 400 上包括：具有

通道形成區 419、源極區 414a 及汲極區 414b 的氧化物半導體膜 413；源極電極層 415a；汲極電極層 415b；佈線層 415c；閘極絕緣膜 412；以及閘極電極層 411；以及側壁絕緣膜 431b。

就是說，電晶體 481 與電晶體 480 的不同之處在於：形成有厚度為 1 至 10nm 左右的薄的側壁絕緣膜 431a，實際上沒有形成低濃度雜質區。另外，電晶體 491 與電晶體 490 的不同之處在於：形成有厚度為 1 至 10nm 左右的薄的側壁絕緣膜 431b，實際上沒有形成低濃度雜質區。

以下，參照圖 15A 至圖 15E 對電晶體 481 及電晶體 491 的製造製程進行說明。

首先，與圖 8B 所示的狀態同樣，在基板 400 上形成絕緣膜 420、氧化物半導體膜 403、氧化物半導體膜 413、閘極絕緣膜 402、閘極絕緣膜 412、閘極電極層 401 及閘極電極層 411。上述結構的詳細內容可以參照實施方式 2 的記載。

接著，以覆蓋氧化物半導體膜 403、氧化物半導體膜 413、閘極絕緣膜 402、閘極絕緣膜 412、閘極電極層 401 及閘極電極層 411 的方式形成厚度薄的絕緣膜 431，將閘極絕緣膜 402、閘極電極層 401、閘極絕緣膜 412 及閘極電極層 411 用作掩模，將摻雜劑 423 藉由絕緣膜 431 選擇性地引入到氧化物半導體膜 403 及氧化物半導體膜 413 中（參照圖 15A）。由此，氧化物半導體膜 403 中的與閘極電極層 401 重疊的區域中形成通道形成區 409，在通道長

度方向上夾著該通道形成區的區域中形成其電阻低於該通道形成區 409 的低濃度雜質區 434a 及低濃度雜質區 434b。同樣地，在氧化物半導體膜 413 中形成通道形成區 419 和其電阻低於該通道形成區 419 的電阻的低濃度雜質區 444a 及低濃度雜質區 444b。

在此，將絕緣膜 431 的厚度較佳為設定為 1nm 至 10nm，更佳地設定為 3nm 至 5nm。另外，絕緣膜 431 可以使用與圖 11A 所示的絕緣膜 429 相同的材料及方法形成。此外，可以利用與圖 11A 所示的摻雜劑 423 的引入相同的方法進行摻雜劑 423 的引入。

接著，對絕緣膜 431 進行各向異性蝕刻，以與閘極電極層 401 的側面接觸的方式且以自對準的方式形成側壁絕緣膜 431a，以與閘極電極層 411 的側面接觸的方式且以自對準的方式形成側壁絕緣膜 431b（參照圖 15B）。

如此，藉由設置厚度薄的側壁絕緣膜 431a，可以防止在電晶體 481 中閘極與源極或汲極中的任一個短路。另外，藉由設置厚度薄的側壁絕緣膜 431b，可以防止在電晶體 491 中閘極與源極或汲極中的任一個短路。

在此，可以使用與圖 11B 所示的絕緣膜 429 的蝕刻相同的方法進行絕緣膜 431 的蝕刻。

接著，與圖 8C 同樣，在氧化物半導體膜 403、氧化物半導體膜 413、閘極絕緣膜 402、閘極絕緣膜 412、閘極電極層 401 及閘極電極層 411 上，以氧化物半導體膜 403 及氧化物半導體膜 413 的一部分接觸的方式，邊加熱

基板 400 邊形成包含金屬元素的膜 424（參照圖 15C）。由此，金屬元素從包含金屬元素的膜 424 引入到氧化物半導體膜 403 及氧化物半導體膜 413 中。

由此，金屬元素引入到低濃度雜質區 434a、低濃度雜質區 434b、低濃度雜質區 444a 及低濃度雜質區 444b 中而降低它們的電阻。在此，在圖 11C 所示的製程中，在側壁絕緣膜與氧化物半導體膜重疊的部分中金屬元素不被引入，維持低濃度雜質區，但是在圖 15C 所示的製程中，因為側壁絕緣膜 431a 及側壁絕緣膜 431b 的厚度充分小，所以金屬元素引入到低濃度雜質區 434a、低濃度雜質區 434b、低濃度雜質區 444a 及低濃度雜質區 444b 整體中。因此，低濃度雜質區 434a 成為源極區 404a，低濃度雜質區 434b 成為汲極區 404b，低濃度雜質區 444a 成為源極區 414a，低濃度雜質區 444b 成為汲極區 414b，電晶體 481 及電晶體 491 成為單汲極結構。

在此，可以利用與圖 8D 所示的方法相同的方法形成包含金屬元素的膜 424。另外，如圖 9A 及圖 9B 所示，也可以在形成包含金屬元素的膜 424 之後進行加熱處理。

接著，也可以將閘極絕緣膜 402、閘極電極層 401、閘極絕緣膜 412 及閘極電極層 411 用作掩模，將摻雜劑 421 藉由包含金屬元素的膜 424 選擇性地引入到氧化物半導體膜 403 及氧化物半導體膜 413 中，由此實現源極區 404a、汲極區 404b、源極區 414a 及汲極區 414b 的進一步的低電阻化（參照圖 15D）。當然，摻雜劑 421 也引入到

源極區 404a、汲極區 404b、源極區 414a 及汲極區 414b 整體中，電晶體 481 及電晶體 491 成為單汲極結構。

在此，可以利用與圖 11D 所示的摻雜劑 421 的引入相同的方法進行摻雜劑 421 的引入。

以下，與圖 8E 及圖 8F 所示的方法相同地，利用濕蝕刻去除包含金屬元素的膜 424，以覆蓋電晶體 481 及電晶體 491 的方式形成絕緣膜 425 及絕緣膜 426，以與源極區 404a 及閘極電極層 401 接觸的方式形成源極電極層 405a，以與汲極區 404b 接觸的方式形成汲極電極層 405b，以與源極區 414a 接觸的方式形成源極電極層 415a，以與汲極區 414b 接觸的方式形成汲極電極層 415b，以與閘極電極層 411 接觸的方式形成佈線層 415c（參照圖 15E）。上述結構的詳細內容可以參照有關圖 8E 及圖 8F 的記載。

藉由上述步驟，可以同時形成電晶體 481 和電晶體 491，該電晶體 481 包括：具有通道形成區 409、源極區 404a 及汲極區 404b 的氧化物半導體膜 403；源極電極層 405a；汲極電極層 405b；閘極絕緣膜 402；閘極電極層 401；以及側壁絕緣膜 431a，電晶體 491 包括：具有通道形成區 419、源極區 414a 及汲極區 414b 的氧化物半導體膜 413；源極電極層 415a；汲極電極層 415b；佈線層 415c；閘極絕緣膜 412；閘極電極層 411；以及側壁絕緣膜 431b。

另外，雖然在圖 15A 至圖 15E 所示的電晶體 481 及

電晶體 491 的製造製程中，在形成閘極絕緣膜 402 及閘極絕緣膜 412 之後形成側壁絕緣膜 431a 及側壁絕緣膜 431b，但是不侷限於此。既可以同時進行蝕刻來形成側壁絕緣膜 431a 及側壁絕緣膜 431b、閘極絕緣膜 402 及閘極絕緣膜 412，又可以將所形成的側壁絕緣膜 431a 及側壁絕緣膜 431b 用作掩模，進行蝕刻來形成閘極絕緣膜 402 及閘極絕緣膜 412。當如此製造電晶體 481 及電晶體 491 時，如圖 16 所示，以與閘極絕緣膜 402 上接觸的方式形成側壁絕緣膜 431a，以與閘極絕緣膜 412 上接觸的方式形成側壁絕緣膜 431b。

藉由採用上述結構，能夠提供一種抑制在製造製程中 ESD 導致的半導體元件的損壞的驅動電路及該驅動電路的製造方法。另外，能夠提供一種設置有洩漏電流小的保護電路的驅動電路及該驅動電路的製造方法。

以上，本實施方式所示的結構、方法等既可以與本實施方式所示的結構組合而使用，又可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 4

可以藉由使用上述實施方式所示的電晶體及使用該電晶體的驅動電路來製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，當藉由將包括電晶體的驅動電路的一部分或全部與像素部一起形成在與該像素部相同的基板上來形成系統化面板（system-on-panel）時，也可以在形

成用於該驅動電路的電晶體的同時形成顯示部的電晶體。

在圖 12A 中，以圍繞設置在第一基板 4001 上的像素部 4002 的方式設置密封材料 4005，並且，使用第二基板 4006 進行密封。在圖 12A 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的掃描線驅動電路 4004、信號線驅動電路 4003。此外，供給到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 的各種信號及電位從 FPC (Flexible printed circuit) 4018a、4018b 供給。

在圖 12B 和圖 12C 中，以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002、掃描線驅動電路 4004 由第一基板 4001、密封材料 4005 以及第二基板 4006 與顯示元件一起密封。在圖 12B 和圖 12C 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的信號線驅動電路 4003。在圖 12B 和圖 12C 中，供給到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 的各種信號及電位從 FPC 4018 供給。

此外，圖 12B 和圖 12C 示出另行形成信號線驅動電路 4003 並且將該信號線驅動電路 4003 安裝到第一基板

4001 的實例，但是不侷限於該結構。既可以另行形成掃描線驅動電路並進行安裝，又可以另行僅形成信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

注意，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG（Chip On Glass，玻璃上晶片）方法、引線接合方法或者 TAB（Tape Automated Bonding，卷帶式自動接合）方法等。圖 12A 是藉由 COG 方法安裝信號線驅動電路 4003、掃描線驅動電路 4004 的例子，圖 12B 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，而圖 12C 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，顯示裝置包括密封有顯示元件的面板和在該面板中安裝有包括控制器的 IC 等的模組。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源（包括照明設備）。另外，顯示裝置還包括：安裝有連接器諸如 FPC、TAB 膠帶或 TCP 的模組；在 TAB 膠帶或 TCP 的端部上設置有印刷線路板的模組；藉由 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

此外，設置在第一基板上的像素部包括多個電晶體，並且，與上述實施方式所示的驅動電路同樣，可以應用在上述實施方式中的任一個中示出一個例子的電晶體。

作為設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示

元件)。發光元件將由電流或電壓控制亮度的元件包括在其範疇內，明確而言，包括無機 EL (Electro Luminescence，電致發光) 元件、有機 EL 元件等。此外，也可以應用電子墨水等由於電作用而改變對比度的顯示媒體。

參照圖 12A 至圖 13B 說明顯示裝置的一個方式。圖 13A 和圖 13B 相當於沿著圖 12B 的 M-N 線的剖面圖。

如圖 12A 至圖 13B 所示，顯示裝置包括連接端子電極 4015 及端子電極 4016，並且，連接端子電極 4015 及端子電極 4016 藉由各向異性導電膜 4019 電連接到 FPC 4018 所包括的端子。

連接端子電極 4015 由與第一電極層 4030 相同的導電膜形成，並且，端子電極 4016 由與電晶體 4010、4011 的源極電極層及汲極電極層相同的導電膜形成。

此外，設置在第一基板 4001 上的像素部 4002、掃描線驅動電路 4004 包括多個電晶體，並且，在圖 13A 至圖 13B 中例示像素部 4002 所包括的電晶體 4010、掃描線驅動電路 4004 所包括的電晶體 4011。在圖 13A 中，在電晶體 4010、4011 上設置有絕緣膜 4020，並且，在圖 13B 中還設置有絕緣膜 4021。在此，絕緣膜 4020 相當於圖 8A 至圖 11E 所示的絕緣膜 425，絕緣膜 4021 相當於圖 8A 至圖 11E 所示的絕緣膜 426。另外，絕緣膜 4023 是用作基底膜的絕緣膜。

作為電晶體 4010、電晶體 4011，可以應用上述實施

方式中的任一個所示的用作半導體元件的電晶體。在本實施方式中，示出應用具有與實施方式 2 所示的電晶體 450 同樣的結構的電晶體的例子。

如上述實施方式所示，作為電晶體 4010 及電晶體 4011，可以使用包括以在通道長度方向上夾著通道形成區的方式包括低電阻區域的氧化物半導體膜的電晶體。因此，電晶體 4010 及電晶體 4011 的導通特性（例如，導通電流及場效應遷移率）高，能夠進行高速工作和高速回應。並且，也能夠實現微型化。

如上述實施方式所示，在有關本實施方式的顯示裝置的驅動電路中，設置有抑制在製造製程中 ESD 導致的半導體元件的損壞且洩漏電流小的保護電路。由此，能夠提供一種可靠性很高的驅動電路。

因此，作為圖 12A 至圖 13B 所示的本實施方式的顯示裝置，能夠提供一種高性能且高可靠性的顯示裝置。

設置在像素部 4002 中的電晶體 4010 電連接到顯示元件，構成顯示面板。只要可以進行顯示就對顯示元件沒有特別的限制，而可以使用各種各樣的顯示元件。

圖 13A 示出作為顯示元件使用液晶元件的液晶顯示裝置的例子。在圖 13A 中，作為顯示元件的液晶元件 4013 包括第一電極層 4030、第二電極層 4031 以及液晶層 4008。注意，以夾持液晶層 4008 的方式設置有用作配向膜的絕緣膜 4032、4033。第二電極層 4031 設置在第二基板 4006 一側，並且，第一電極層 4030 和第二電極層

4031 夾著液晶層 4008 而層疊。

此外，元件符號 4035 表示藉由對絕緣膜選擇性地進行蝕刻而獲得的柱狀間隔物，並且它是為控制液晶層 4008 的厚度（單元間隙）而設置的。另外，還可以使用球狀間隔物。

當作為顯示元件使用液晶元件時，可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶、鐵電液晶、反鐵電液晶等。上述液晶材料（液晶組成物）根據條件而呈現膽固醇相、近晶相、立方相、手征向列相（chiral nematic phase）、均質相等。

另外，還可以將不使用配向膜的呈現藍相的液晶組成物用於液晶層 4008。藍相是液晶相的一種，是指當使膽固醇相液晶的溫度上升時即將從膽固醇相轉變到均質相之前出現的相。可以使用混合液晶和手性試劑的液晶組成物來呈現藍相。另外，為了擴大呈現藍相的溫度範圍，可以對呈現藍相的液晶組成物添加光聚合性單體及光聚合引發劑，並且進行高分子穩定化處理，形成液晶層。由於呈現藍相的液晶組成物的回應速度短，因為其具有光學各向同性，所以不需要配向處理且視角依賴性小。另外，由於不需要設置配向膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，並可以降低製造製程中的液晶顯示裝置的故障、破損。從而，可以提高液晶顯示裝置的生產率。使用氧化物半導體膜的電晶體有由於靜電的影響而該電晶體的電特性明顯波動而偏離設計範圍的擔憂。由

此，將呈現藍相的液晶組成物用於具有使用氧化物半導體膜的電晶體的液晶顯示裝置是更為高效的。

此外，液晶材料的固有電阻為 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上，較佳為 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上，更佳地為 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。注意，本說明書中的固有電阻的值為以 20°C 測量的值。

考慮到配置在像素部中的電晶體的洩漏電流等而以能夠在指定期間中保持電荷的方式設定設置在液晶顯示裝置中的儲存電容器的大小。根據電晶體的截止電流等設定儲存電容器的大小即可。藉由使用本說明書所公開的具有氧化物半導體膜的電晶體，設置具有各像素中的液晶電容的三分之一以下，較佳為五分之一以下的電容的大小的儲存電容器，就足夠了。

本說明書所公開的使用氧化物半導體膜的電晶體可以降低截止狀態下的電流值（截止電流值）。因此，可以延長影像信號等的電信號的保持時間，並且，還可以延長電源導通狀態下的寫入間隔。因此，可以降低更新工作的頻率，所以可以得到抑制耗電量的效果。

此外，本說明書所公開的使用氧化物半導體膜的電晶體可以得到較高的電場效應遷移率，所以可以進行高速驅動。例如，藉由將這種能夠進行高速驅動的電晶體用於液晶顯示裝置，可以在同一基板上形成像素部的開關電晶體和用於驅動電路部的驅動電晶體。也就是說，因為不需要作為驅動電路另行使用利用矽晶片等形成的半導體裝置，所以可以縮減半導體裝置的部件數。另外，在像素部中也

藉由使用能夠進行高速驅動的電晶體，能夠提供高品質的影像。由此，可以作為半導體裝置實現高可靠性化。

液晶顯示裝置可以採用 TN (Twisted Nematic, 扭曲向列) 模式、IPS (In-Plane-Switching, 平面內轉換) 模式、FFS (Fringe Field Switching, 邊緣電場轉換) 模式、ASM (Axially Symmetric aligned Micro-cell, 軸對稱排列微單元) 模式、OCB (Optical Compensated Birefringence, 光學補償彎曲) 模式、FLC (Ferroelectric Liquid Crystal, 鐵電性液晶) 模式、以及 AFLC (AntiFerroelectric Liquid Crystal, 反鐵電性液晶) 模式等。

此外，也可以使用常黑型液晶顯示裝置，例如採用垂直配向 (VA) 模式的透過型液晶顯示裝置。作為垂直配向模式，例如可以使用 MVA (Multi-Domain Vertical Alignment: 多象限垂直配向) 模式、PVA (Patterned Vertical Alignment: 垂直配向構型) 模式、ASV (Advanced Super View: 高級超視覺) 模式等。另外，本發明也可以用於 VA 型液晶顯示裝置。VA 型液晶顯示裝置是控制液晶顯示面板的液晶分子的排列的一種方式。VA 型液晶顯示裝置是在不被施加電壓時液晶分子朝向垂直於面板的方向的方式。此外，也可以使用將像素 (pixel) 分成幾個區域 (子像素)，並且使分子分別倒向不同方向的稱為多疇化或者多域設計的方法。

此外，在顯示裝置中，適當地設置黑矩陣 (遮光

層)、偏振構件、相位差構件、抗反射構件等的光學構件(光學基板)等。例如,也可以使用利用偏振基板以及相位差基板的圓偏振。此外,作為光源,也可以使用背光、側光燈等。

此外,作為像素部中的顯示方式,可以採用逐行掃描方式或隔行掃描方式等。此外,當進行彩色顯示時在像素中受到控制的顏色因素不侷限於 RGB (R 顯示紅色, G 顯示綠色, B 顯示藍色)的三種顏色。例如,也可以採用 RGBW (W 顯示白色)、或者對 RGB 追加黃色(yellow)、青色(cyan)、洋紅色(magenta)等中的一種顏色以上的顏色。注意,也可以按每個顏色因素的點使其顯示區域的大小不同。但是,所公開的發明不侷限於彩色顯示的顯示裝置,而也可以應用於單色顯示的顯示裝置。

此外,作為顯示裝置所包括的顯示元件,可以應用利用電致發光的發光元件。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物被區別,一般地,前者被稱為有機 EL 元件,而後者被稱為無機 EL 元件。

在有機 EL 元件中,藉由對發光元件施加電壓,電子及電洞分別從一對電極注入到包括具有發光性的有機化合物的層,以流過電流。並且,這些載子(電子及電洞)重新結合,因此發光性有機化合物形成激發狀態,當從該激發狀態回到基態時發光。由於這種機制,這種發光元件被稱為電流激發型發光元件。

無機 EL 元件根據其元件結構而分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件具有發光層，其中發光材料的粒子分散在黏合劑中，並且其發光機制是利用施體能階和受體能階的施體-受體重新結合型發光。薄膜型無機 EL 元件具有一種結構，其中，發光層夾在介電層之間，並且該夾著發光層的介電層由電極夾住，其發光機制是利用金屬離子的內殼層電子躍遷的定域型發光。注意，這裏作為發光元件使用有機 EL 元件進行說明。

為了取出發光，使發光元件的一對電極中的至少一個具有透光性即可。並且，在基板上形成電晶體及發光元件，作為發光元件，有從與基板相反一側的表面取出發光的頂部發射；從基板一側的表面取出發光的底部發射；從基板一側及與基板相反一側的表面取出發光的雙面發射結構的發光元件，可以應用上述任一種發射結構的發光元件。

圖 13B 示出作為顯示元件使用發光元件的發光裝置的例子。作為顯示元件的發光元件 4513 電連接到設置在像素部 4002 中的電晶體 4010。注意，發光元件 4513 的結構是由第一電極層 4030、電致發光層 4511、第二電極層 4031 構成的疊層結構，但是，不侷限於該結構。根據從發光元件 4513 取出的光的方向等，可以適當地改變發光元件 4513 的結構。

分隔壁 4510 使用有機絕緣材料或者無機絕緣材料形

成。尤其是，使用感光樹脂材料，在第一電極層 4030 上形成開口部，並且較佳將該開口部的側壁形成爲具有連續曲率的傾斜面。

電致發光層 4511 可以使用一個層構成，也可以使用多個層的疊層構成。

爲了防止氧、氫、水分、二氧化碳等侵入發光元件 4513 中，而也可以在第二電極層 4031 及分隔壁 4510 上形成保護膜。作爲保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。此外，在由第一基板 4001、第二基板 4006 以及密封材料 4005 密封的空間中設置有填充材料 4514 並被密封。如此，爲了不暴露於外氣，而較佳爲使用氣密性高且脫氣少的保護薄膜（黏合薄膜、紫外線固化樹脂薄膜等）、覆蓋材料進行封裝（封入）。

作爲填充材料 4514，除了氮或氫等惰性氣體以外，還可以使用紫外線固化樹脂、熱固性樹脂，並且，可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）或者 EVA（乙烯-醋酸乙烯酯）。例如，作爲填充材料而使用氮，即可。

另外，如果需要，則可以在發光元件的射出表面上適當地設置諸如偏光板、圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 板， $\lambda/2$ 板）、濾色片等的光學薄膜。此外，也可以在偏光板、圓偏光板上設置防反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反

射光而可以降低眩光的處理。

此外，作為顯示裝置，也可以提供驅動電子墨水的電子紙。電子紙也稱為電泳顯示裝置（電泳顯示器），並且，具有如下優點：與紙同樣的易讀性；其耗電量比其他顯示裝置的耗電量低；形狀薄且輕。

作為電泳顯示裝置，有各種各樣的形式，但是它是多個包括具有正電荷的第一粒子和具有負電荷的第二粒子的微膠囊分散在溶劑或溶質中，並且，藉由對微膠囊施加電場，使微膠囊中的粒子彼此移動到相對方向，以只顯示集合在一方側的粒子的顏色的裝置。注意，第一粒子或者第二粒子包括染料，並且，當沒有電場時不移動。此外，第一粒子的顏色和第二粒子的顏色不同（包括無色）。

如此，電泳顯示裝置是利用介電常數高的物質移動到高電場區域，即所謂的介電泳效應（dielectrophoretic effect）的顯示器。

分散有上述微囊的溶劑被稱為電子墨水，並且該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用濾色片、具有色素的粒子來進行彩色顯示。

此外，作為微囊中的第一粒子及第二粒子，使用選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、磁泳材料中的一種材料或這些的材料的複合材料即可。

此外，作為電子紙，還可以應用使用旋轉球顯示方式

的顯示裝置。旋轉球顯示方式是如下方法，即將分別塗爲白色和黑色的球形粒子配置在用於顯示元件的電極層的第一電極層與第二電極層之間，使第一電極層與第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

注意，在圖 12A 至圖 13B 中，作爲第一基板 4001、第二基板 4006，除了玻璃基板以外，還可以使用具有撓性的基板。例如，可以使用具有透光性的塑膠基板等。作爲塑膠基板，可以使用 FRP（Fiberglass-Reinforced Plastics；纖維增強塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。另外，如果不需要透光性，可以使用鋁和不鏽鋼等的金屬基板（金屬薄膜）。例如，也可以使用具有由 PVF 薄膜或聚酯薄膜夾住鋁箔的結構的薄片。

顯示裝置藉由透過來自光源或顯示元件的光來進行顯示。因此，設置在透過光的像素部中的基板、絕緣膜、導電膜等的薄膜全都對可見光的波長區域的光具有透光性。

關於對顯示元件施加電壓的第一電極層及第二電極層（也稱爲像素電極層、共用電極層、反電極層等），根據取出光的方向、設置電極層的地方以及電極層的圖案結構而選擇其透光性、反射性，即可。

作爲第一電極層 4030、第二電極層 4031，可以使用包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（以下，表示爲 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫、石

墨烯等具有透光性的導電材料。

此外，第一電極層 4030、第二電極層 4031 可以使用鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等的金屬、其合金或者其金屬氮化物中的一種或多種來形成。

此外，第一電極層 4030、第二電極層 4031 可以使用包含導電高分子（也稱為導電聚合體）的導電組成物來形成。作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由苯胺、吡咯及噻吩中的兩種以上構成的共聚物或其衍生物等。

如上所述，藉由應用上述實施方式所示的電晶體及使用該電晶體的驅動電路，能夠提供一種具有各種功能的顯示裝置。

實施方式 5

可以將本說明書所公開的驅動電路應用於多種電子裝置（包括遊戲機）的顯示裝置。作為電子裝置，例如可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的監視器、數位相機、數位攝像機等影像拍攝裝置、數位相框、行動電話機（也稱為手機、行動電話裝置）、可攜式遊戲機、移動資訊終端、音頻再生裝置、彈子機等大型遊

戲機等。以下，對包括具備上述實施方式所說明的驅動電路的顯示裝置的電子裝置的例子進行說明。

圖 14A 示出膝上型個人電腦，由主體 3001、外殼 3002、顯示部 3003 以及鍵盤 3004 等構成。藉由將上述實施方式中的任一個所示的驅動電路應用於顯示部 3003，能夠提供高性能且高可靠性的膝上型個人電腦。

圖 14B 示出可攜式資訊終端（PDA），在主體 3021 中設置有顯示部 3023、外部介面 3025 以及操作按鈕 3024 等。另外，還具備操作可攜式資訊終端的觸控筆 3022。藉由將上述實施方式中的任一個所示的驅動電路應用於顯示部 3023，能夠提供高性能且高可靠性的可攜式資訊終端（PDA）。

圖 14C 示出電子書閱讀器的一個例子。例如，電子書閱讀器由兩個外殼，即外殼 2701 及外殼 2703 構成。外殼 2701 及外殼 2703 由軸部 2711 形成為一體，且可以以該軸部 2711 為軸進行開閉工作。藉由採用這種結構，可以進行如紙的書籍那樣的工作。

外殼 2701 組裝有顯示部 2705，而外殼 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如在右邊的顯示部（圖 14C 中的顯示部 2705）中可以顯示文章，而在左邊的顯示部（圖 14C 中的顯示部 2707）中可以顯示影像。藉由將上述實施方式中的任一個所示的驅動電路應用

於顯示部 2705 和顯示部 2707，能夠提供高性能且高可靠性的電子書閱讀器。當作爲顯示部 2705 使用半透過型或反射型液晶顯示裝置時，由於可以預料到在較明亮的狀態下也被使用，因此可以設置太陽能電池而進行利用太陽能電池的發電及利用電池的充電。另外，當作爲電池使用鋰離子電池時，有能夠實現小型化等的優點。

此外，在圖 14C 中示出外殼 2701 具備操作部等的例子。例如，在外殼 2701 中具備電源開關 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。注意，在與外殼的顯示部相同的平面上可以設置鍵盤、指向裝置等。另外，也可以採用在外殼的背面或側面具備外部連接端子（耳機端子、USB 端子等）、儲存介質插入部等的結構。再者，電子書閱讀器也可以具有電子詞典的功能。

此外，電子書閱讀器也可以採用能夠以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書閱讀器伺服器購買所希望的書籍資料等，並且下載的結構。

圖 14D 示出行動電話，由外殼 2800 及外殼 2801 的兩個外殼構成。外殼 2801 具備顯示面板 2802、揚聲器 2803、麥克風 2804、指向裝置 2806、影像拍攝用透鏡 2807、外部連接端子 2808 等。此外，外殼 2800 具備對行動電話進行充電的太陽能電池單元 2810、外部儲存槽 2811 等。另外，在外殼 2801 內組裝有天線。藉由將上述實施方式中的任一個所示的驅動電路應用於顯示面板

2802，能夠提供高性能且高可靠性的行動電話。

另外，顯示面板 2802 具備觸摸屏，圖 14D 使用虛線示出作為影像而被顯示出來的多個操作鍵 2805。另外，還安裝有用來將由太陽能電池單元 2810 輸出的電壓升壓到各電路所需的電壓的升壓電路。

顯示面板 2802 根據使用方式適當地改變顯示的方向。另外，由於在與顯示面板 2802 同一面上設置影像拍攝用透鏡 2807，所以能夠實現可視電話。揚聲器 2803 及麥克風 2804 不侷限於音頻通話，還可以進行可視通話、錄音、再生等。再者，滑動外殼 2800 和外殼 2801 而可以處於如圖 14D 那樣的展開狀態和重疊狀態，所以能夠實現適於攜帶的小型化。

外部連接端子 2808 可以與 AC 適配器及各種電纜如 USB 電纜等連接，而可以進行充電及與個人電腦等的資料通訊。另外，藉由將儲存介質插入外部儲存槽 2811 中，可以對應於更大量資料的保存及移動。

另外，也可以是除了上述功能以外還具有紅外線通信功能、電視接收功能等的行動電話。

圖 14E 示出數位攝像機，其由主體 3051、顯示部 3057、取景器 3053、操作開關 3054、顯示部 3055 以及電池 3056 等構成。藉由將上述實施方式中的任一個所示的驅動電路應用於顯示部 3057 及顯示部 3055，能夠提供高性能且高可靠性的數位攝像機。

圖 14F 示出電視機的一例。在電視機中，外殼 9601

組裝有顯示部 9603。利用顯示部 9603 可以顯示影像。此外，在此示出利用支架 9605 支撐外殼 9601 的結構。藉由將上述實施方式中的任一個所示的驅動電路應用於顯示部 9603，能夠提供高性能且高可靠性的電視機。

可以藉由利用外殼 9601 所具備的操作開關或另行提供的遙控器進行電視機的操作。或者，也可以採用在遙控器中設置顯示部的結構，該顯示部顯示從該遙控器輸出的資訊。

另外，電視機採用具備接收機、數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，從而也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

【符號說明】

10：脈衝輸出電路

11：佈線

12：佈線

13：佈線

14：佈線

15：佈線

16：佈線

- 17：佈線
- 21：輸入端子
- 22：輸入端子
- 23：輸入端子
- 24：輸入端子
- 25：輸入端子
- 26：輸出端子
- 27：輸出端子
- 31：電晶體
- 32：電晶體
- 33：電晶體
- 34：電晶體
- 35：電晶體
- 36：電晶體
- 37：電晶體
- 38：電晶體
- 39：電晶體
- 40：電晶體
- 41：電晶體
- 51：電源線
- 53：電源線
- 61：期間
- 62：期間
- 101：半導體元件

- 102：佈線
- 103：佈線
- 104：第一保護電路
- 105：第二保護電路
- 111：電晶體
- 114：電晶體
- 115：電晶體
- 400：基板
- 401：閘極電極層
- 402：閘極絕緣膜
- 403：氧化物半導體膜
- 409：通道形成區
- 411：閘極電極層
- 412：閘極絕緣膜
- 413：氧化物半導體膜
- 419：通道形成區
- 420：絕緣膜
- 421：摻雜劑
- 422：閘極絕緣膜
- 423：摻雜劑
- 424：包含金屬元素的膜
- 425：絕緣膜
- 426：絕緣膜
- 429：絕緣膜

431：絕緣膜

440：電晶體

450：電晶體

460：電晶體

470：電晶體

480：電晶體

481：電晶體

490：電晶體

491：電晶體

104a：第一保護電路

104b：第一保護電路

104c：第一保護電路

104d：第一保護電路

104e：第一保護電路

104f：第一保護電路

104g：第一保護電路

104h：第一保護電路

105a：第二保護電路

105b：第二保護電路

105c：第二保護電路

105d：第二保護電路

105e：第二保護電路

105f：第二保護電路

105g：第二保護電路

105h：第二保護電路
114a：電晶體
114b：電晶體
115a：電晶體
115b：電晶體
2701：外殼
2703：外殼
2705：顯示部
2707：顯示部
2711：軸部
2721：電源
2723：操作鍵
2725：揚聲器
2800：外殼
2801：外殼
2802：顯示面板
2803：揚聲器
2804：麥克風
2805：操作鍵
2806：指向裝置
2807：影像拍攝用透鏡
2808：外部連接端子
2810：太陽能電池單元
2811：外部儲存槽

- 3001：主體
- 3002：外殼
- 3003：顯示部
- 3004：鍵盤
- 3021：主體
- 3022：觸控筆
- 3023：顯示部
- 3024：操作按鈕
- 3025：外部介面
- 3051：主體
- 3053：取景器
- 3054：操作開關
- 3055：顯示部
- 3056：電池
- 3057：顯示部
- 4001：基板
- 4002：像素部
- 4003：信號線驅動電路
- 4004：掃描先驅動電路
- 4005：密封材料
- 4006：基板
- 4008：液晶層
- 4010：電晶體
- 4011：電晶體

4013：液晶元件
4015：連接端子電極
4016：端子電極
4018：FPC
4019：各向異性導電膜
4020：絕緣膜
4021：絕緣膜
4023：絕緣膜
4030：電極層
4031：電極層
4032：絕緣膜
404a：源極區
404b：汲極區
405a：源極電極層
405b：汲極電極層
414a：源極區
414b：汲極區
415a：源極電極層
415b：汲極電極層
415c：佈線層
424a：電極層
424b：電極層
424c：電極層
424d：電極層

429a：側壁絕緣膜
 429b：側壁絕緣膜
 431a：側壁絕緣膜
 431b：側壁絕緣膜
 434a：低濃度雜質區
 434b：低濃度雜質區
 444a：低濃度雜質區
 444b：低濃度雜質區
 4510：隔壁
 4511：電致發光層
 4513：發光元件
 4514：填充材料
 5300：基板
 5301：像素部
 5302：掃描先驅動電路
 5303：掃描線驅動電路
 5304：信號線驅動電路
 5305：時序控制電路
 5601：移位暫存器
 5602：開關電路
 5603：薄膜電晶體
 5604：佈線
 5605：佈線
 9601：外殼

9603：顯示部

9605：支架

申請專利範圍

1. 一種顯示裝置，包括：

在基板之上於像素部中的第一電晶體；

在該基板之上並且與該第一電晶體電連接的驅動電路；

與該驅動電路電連接的保護電路，該保護電路包括第二電晶體，其中，該第一電晶體和該第二電晶體各自包括在該基板之上的氧化物半導體層、在該氧化物半導體層之上的閘極絕緣膜和在該閘極絕緣膜之上的閘極電極，該氧化物半導體層包括源極區、汲極區和在該源極區與該汲極區之間的通道形成區；

與該第一電晶體之該源極區和該汲極區的其中一者電連接的像素電極；以及

覆蓋至少該第一電晶體之該閘極電極之側面的絕緣膜，該絕緣膜包括氧化鋁，其中，該絕緣膜與該第一電晶體之該閘極絕緣膜的側面和該第一電晶體之該氧化物半導體層的頂面相接觸，

其中，該源極區和該汲極區具有比該通道形成區之電阻更低的電阻，並且

其中，該第二電晶體的該閘極電極與該第二電晶體的該源極區和該汲極區的其中一者電連接。

2. 一種顯示裝置，包括：

在基板之上於像素部中的第一電晶體；

在該基板之上的電源線；

與該電源線電連接的保護電路，該保護電路包括第二電晶體，其中，該第一電晶體和該第二電晶體各自包括在該基板之上的氧化物半導體層、在該氧化物半導體層之上的閘極絕緣膜和在該閘極絕緣膜之上的閘極電極，該氧化物半導體層包括源極區、汲極區和在該源極區與該汲極區之間的通道形成區；

與該第一電晶體之該源極區和該汲極區的其中一者電連接的像素電極；以及

覆蓋至少該第一電晶體之該閘極電極之側面的絕緣膜，該絕緣膜包括氧化鋁，其中，該絕緣膜與該第一電晶體之該閘極絕緣膜的側面和該第一電晶體之該氧化物半導體層的頂面相接觸，

其中，該源極區和該汲極區具有比該通道形成區之電阻更低的電阻，並且

其中，該第二電晶體的該閘極電極與該第二電晶體的該源極區和該汲極區的其中一者電連接。

3. 根據申請專利範圍第 1 或 2 項的顯示裝置，其中，該源極區和該汲極區係摻雜有金屬元素。

4. 根據申請專利範圍第 1 或 2 項的顯示裝置，其中，該源極區和該汲極區係摻雜有雜質。

5. 根據申請專利範圍第 1 或 2 項的顯示裝置，其中，該氧化物半導體層係形成於具有低於或等於 1 nm 之平均面粗糙度的絕緣膜上。

6. 根據申請專利範圍第 1 或 2 項的顯示裝置，其

中，該氧化物半導體層具有結晶性。

7. 一種半導體裝置，包括：

在基板之上的氧化物半導體層；

在該氧化物半導體層之上的閘極絕緣膜；

在該閘極絕緣膜之上具有該閘極絕緣膜介於其間的閘極電極，該氧化物半導體層包括源極區、汲極區和在該源極區與該汲極區之間的通道形成區；以及

覆蓋至少該閘極電極之側面的絕緣膜，該絕緣膜包括氧化鋁，

其中，該絕緣膜與該閘極絕緣膜的側面和該氧化物半導體層的頂面相接觸，並且

其中，該源極區和該汲極區具有比該通道形成區之電阻更低的電阻。

8. 根據申請專利範圍第 7 項的半導體裝置，其中，該源極區和該汲極區係摻雜有金屬元素。

9. 根據申請專利範圍第 7 項的半導體裝置，其中，該源極區和該汲極區係摻雜有雜質。

10. 根據申請專利範圍第 7 項的半導體裝置，其中，該氧化物半導體層係形成於具有低於或等於 1 nm 之平均面粗糙度的絕緣膜上。

11. 根據申請專利範圍第 7 項的半導體裝置，其中，該氧化物半導體層具有結晶性。

圖式

圖 1

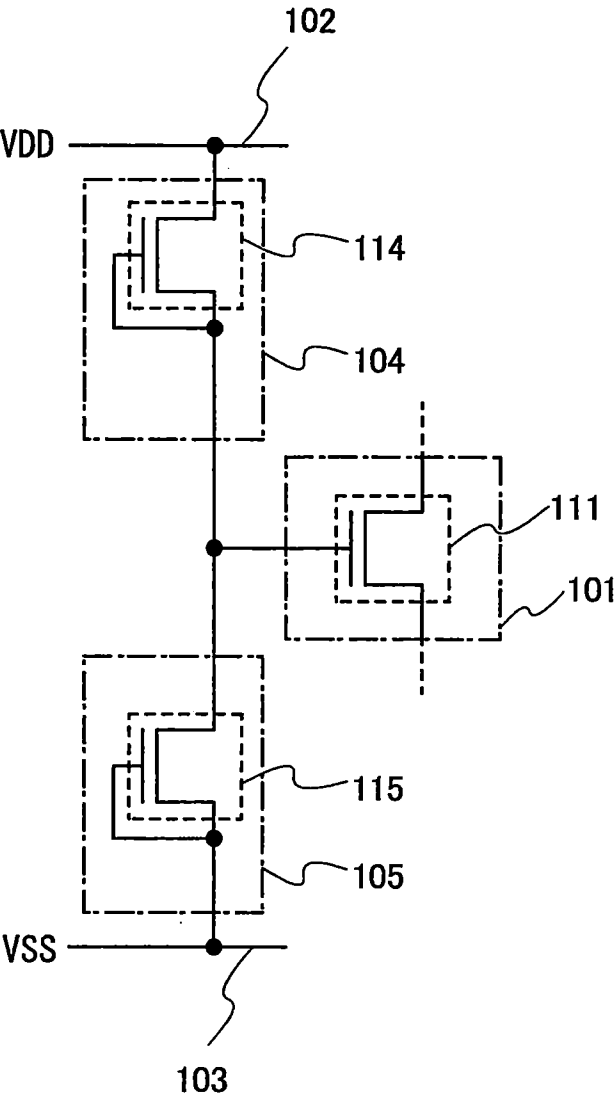


圖 2

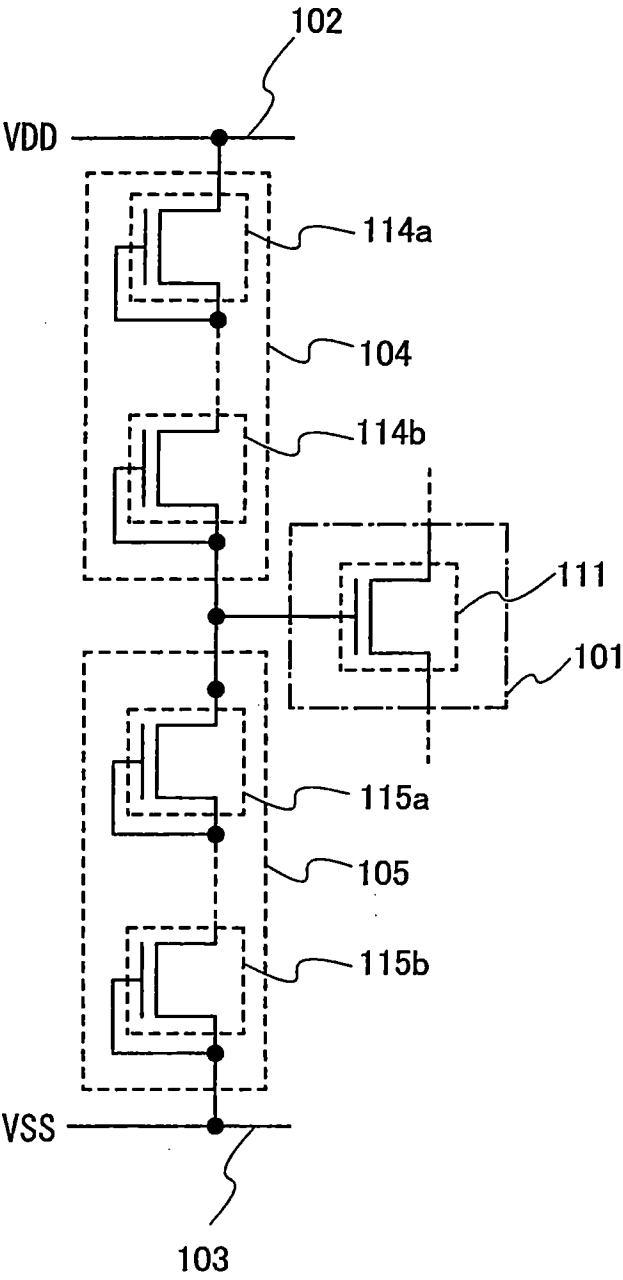


圖 3A

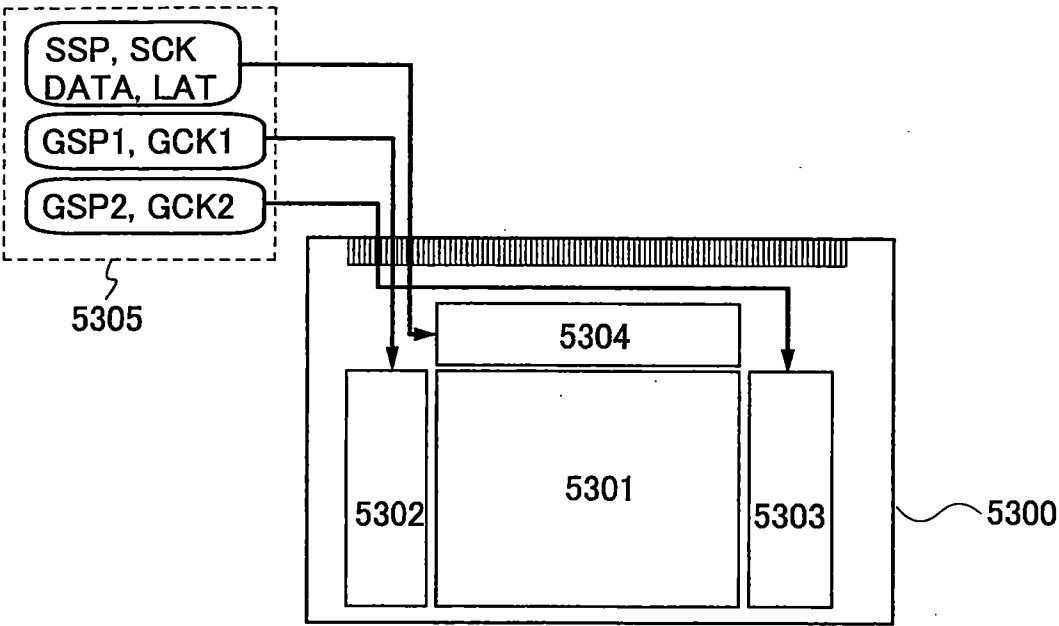


圖 3B

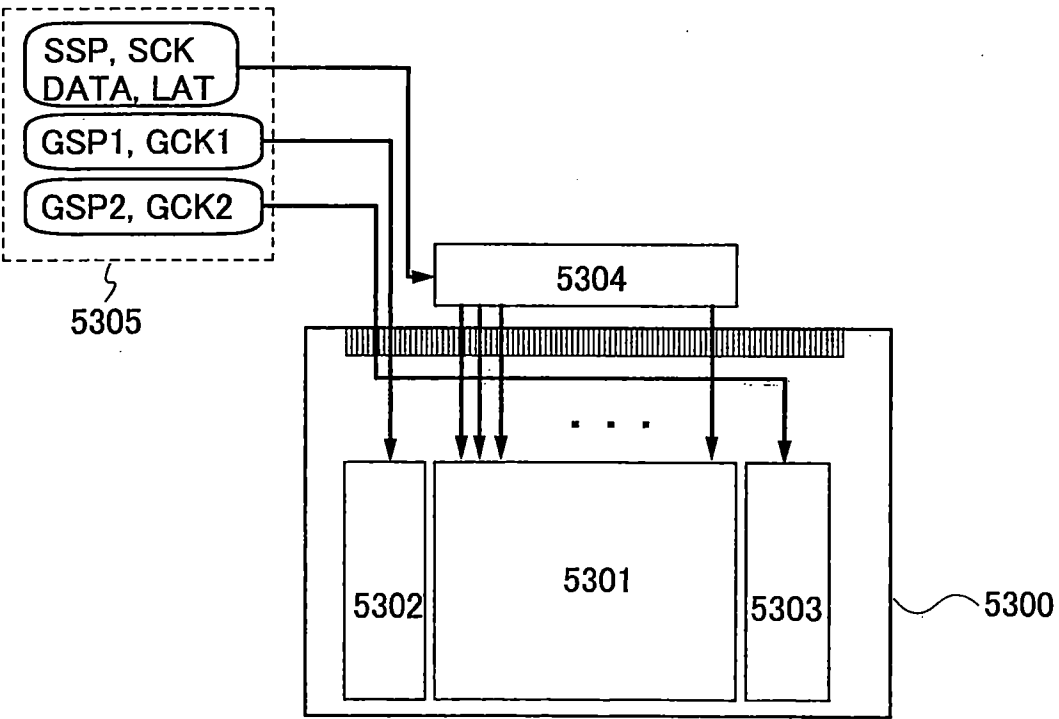


圖 4A

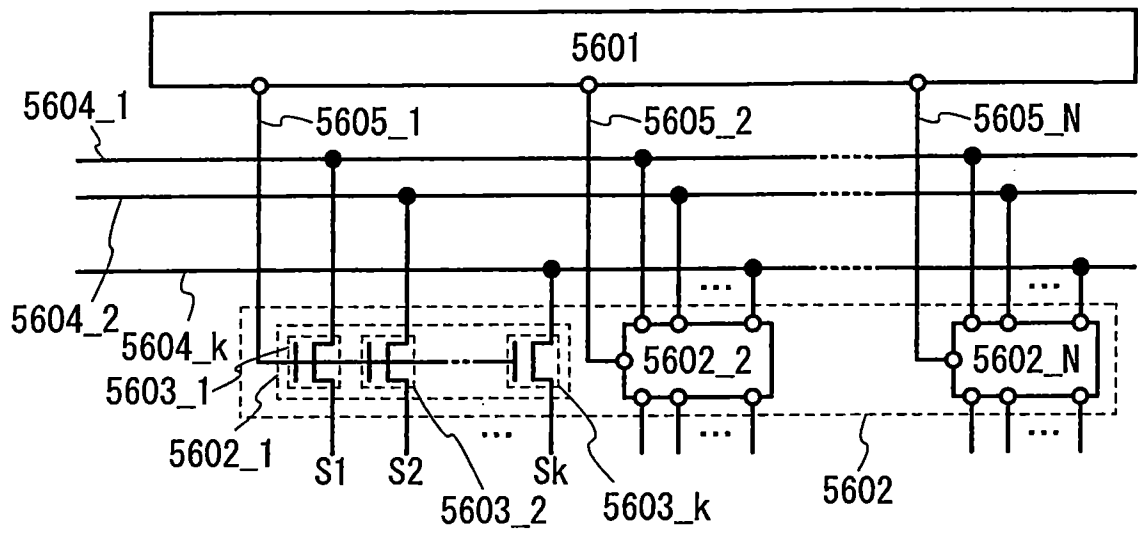


圖 4B

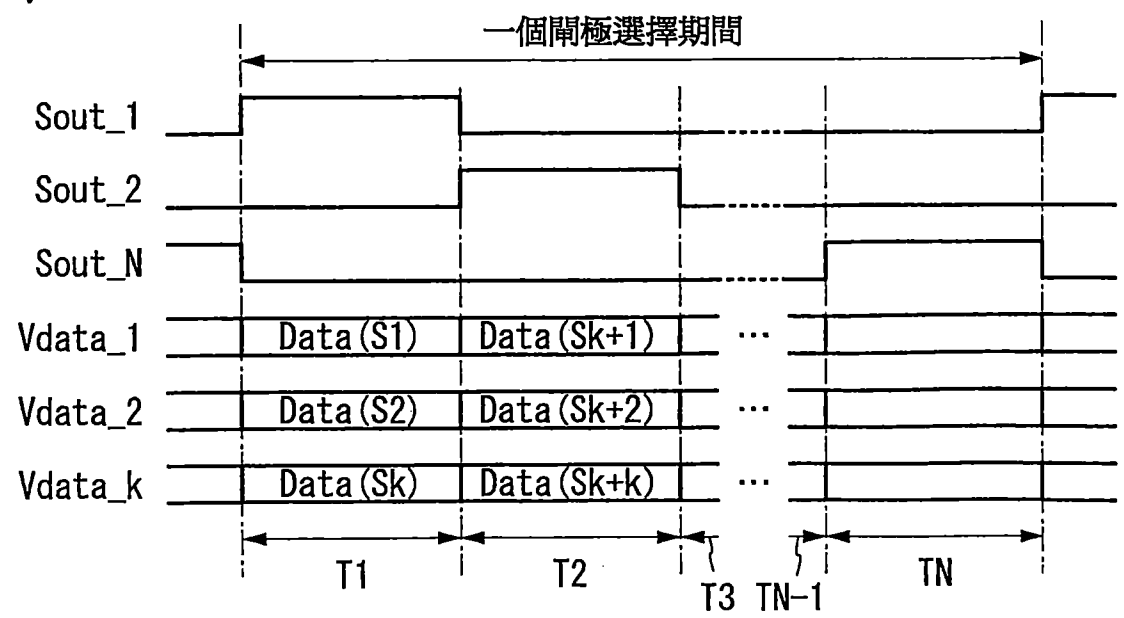


圖 5A

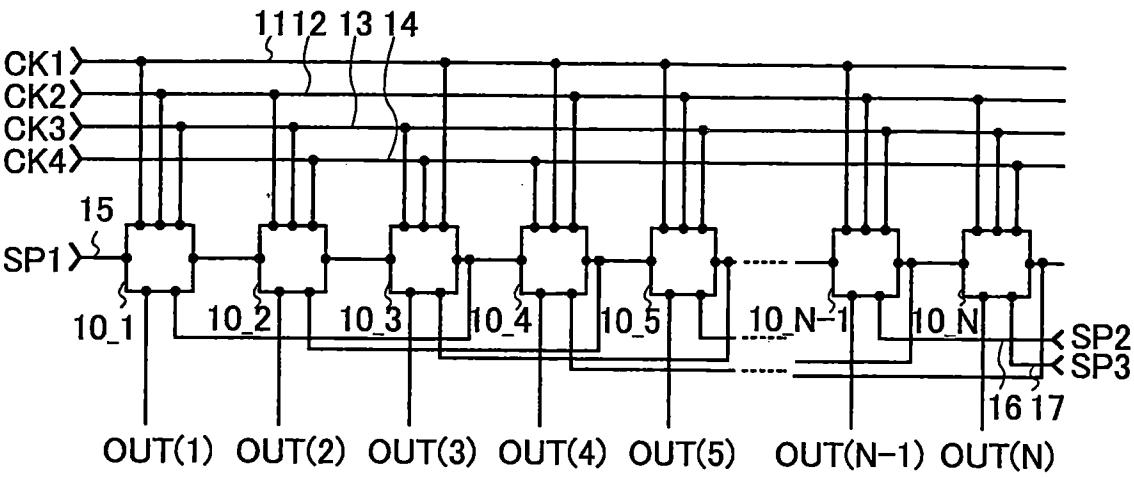


圖 5B

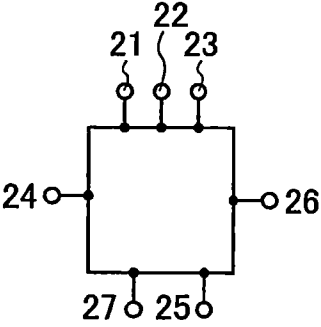


圖6

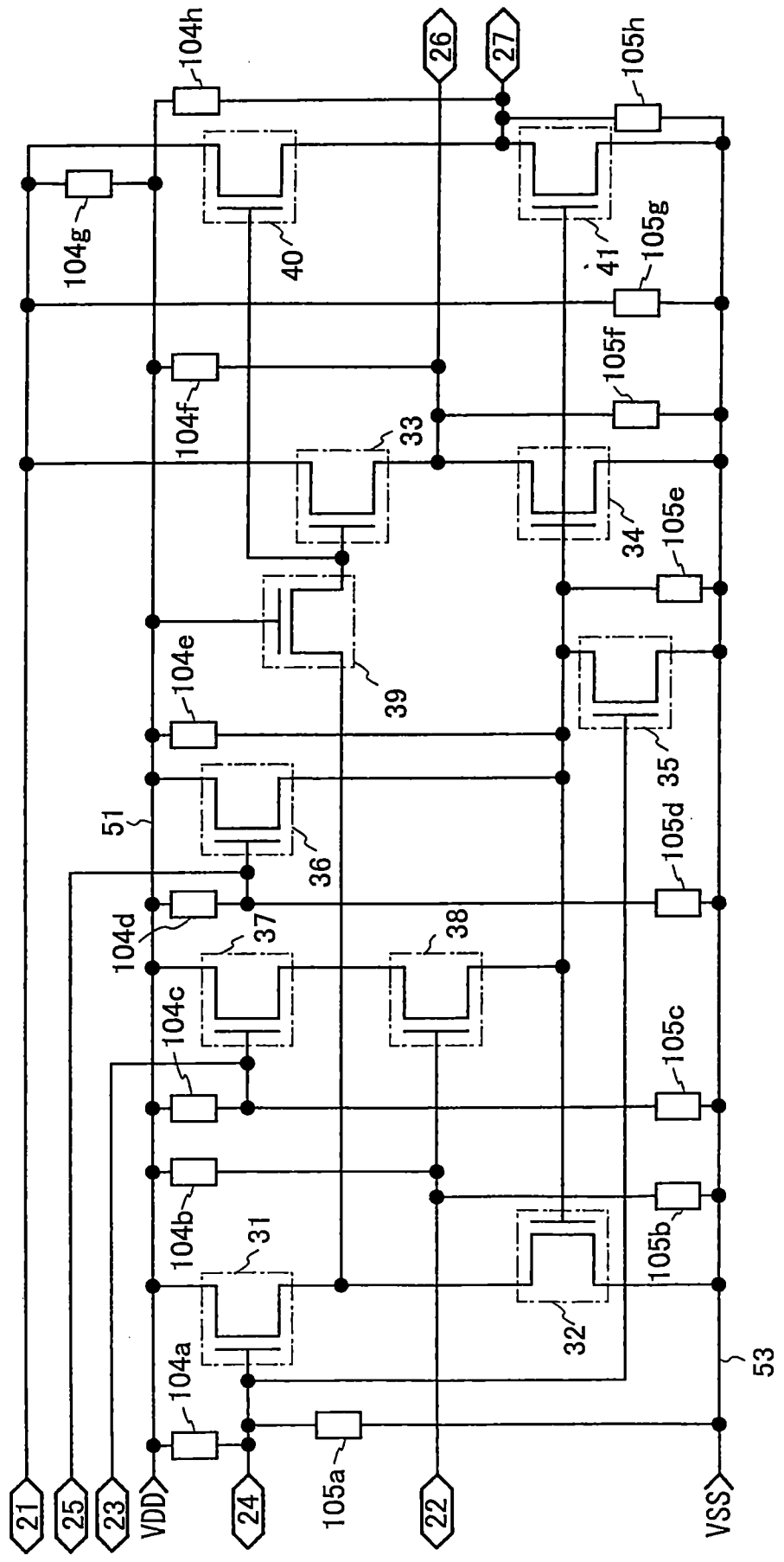
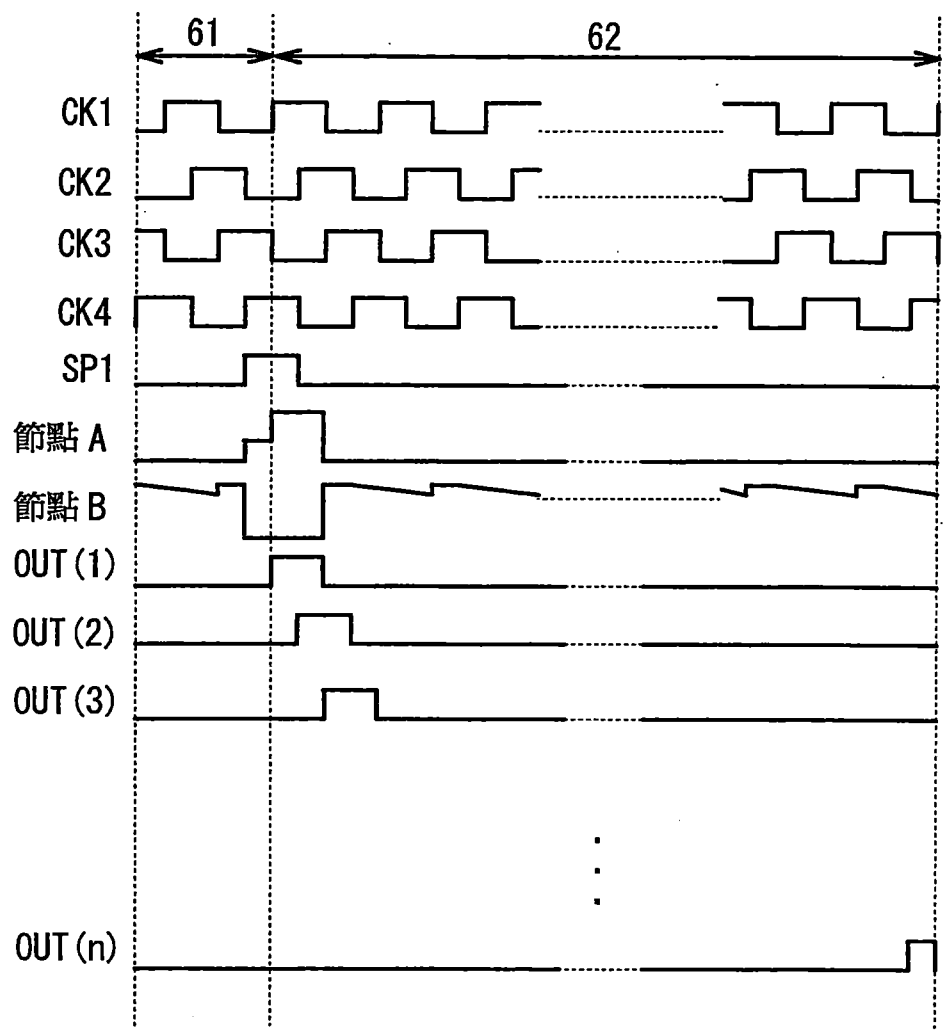


圖 7



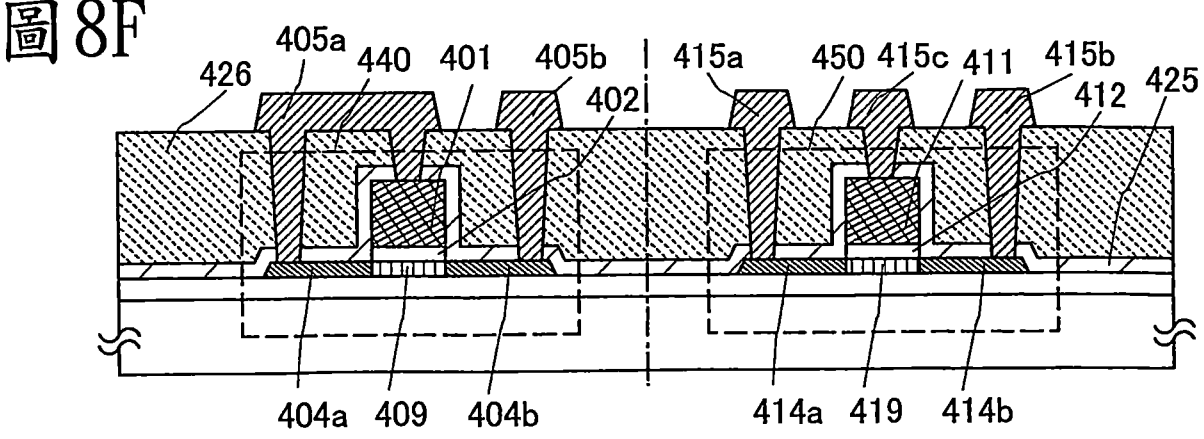
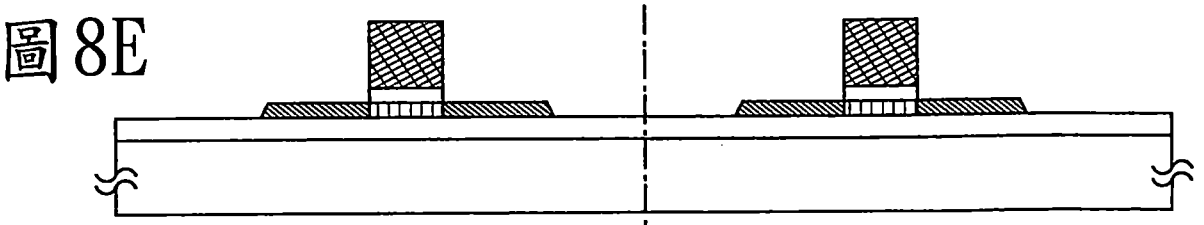
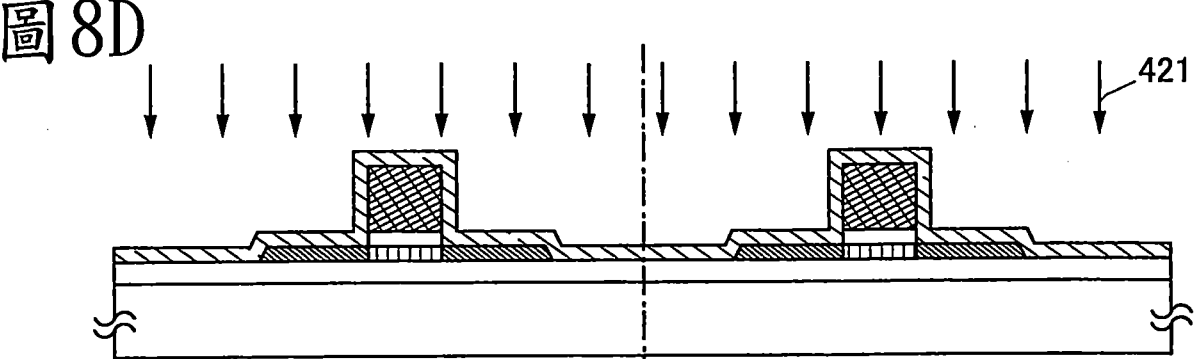
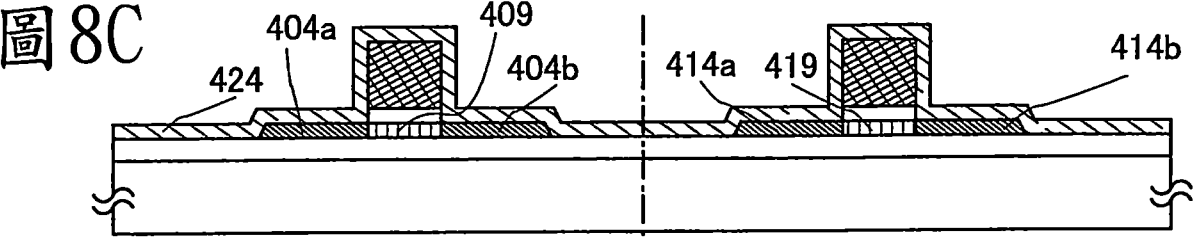
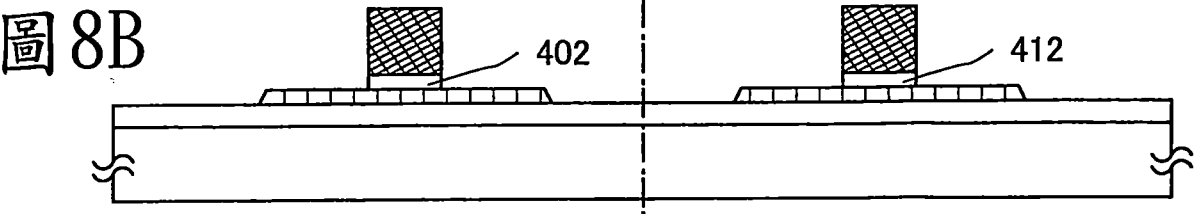
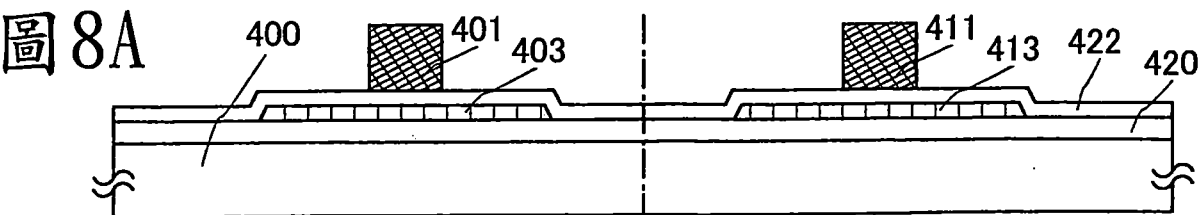


圖 9A

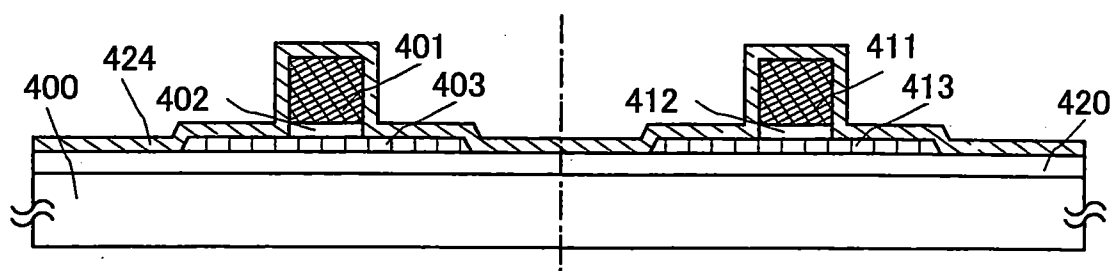


圖 9B

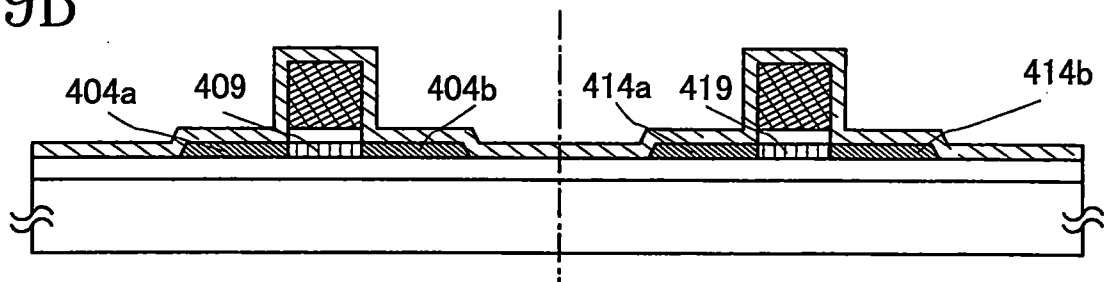


圖 9C

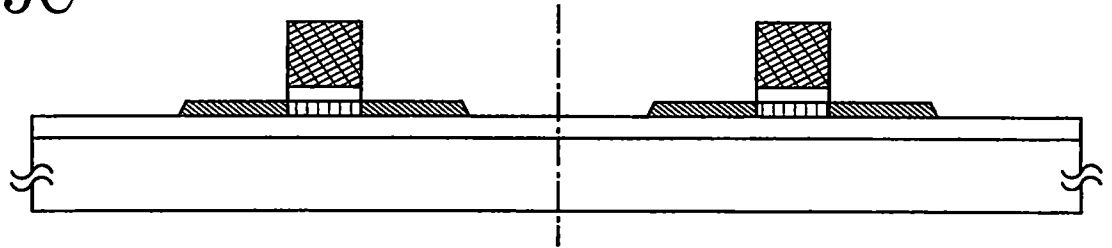


圖 9D

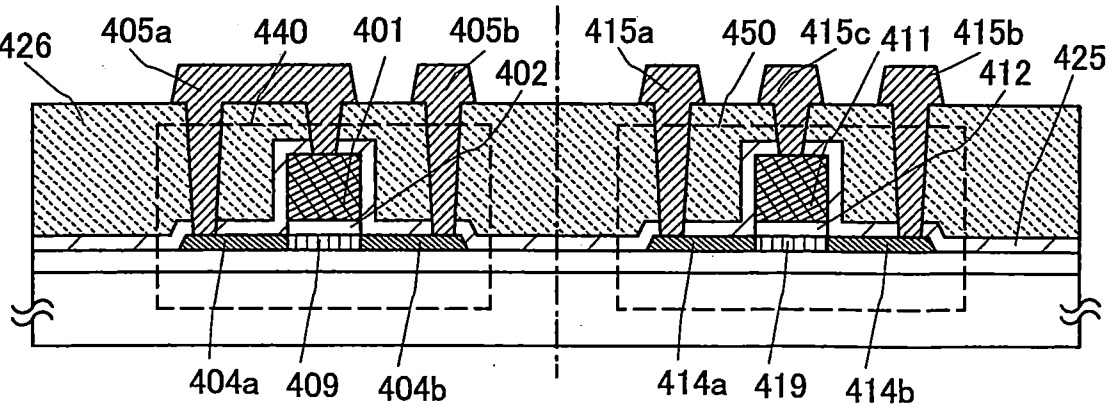


圖 10A

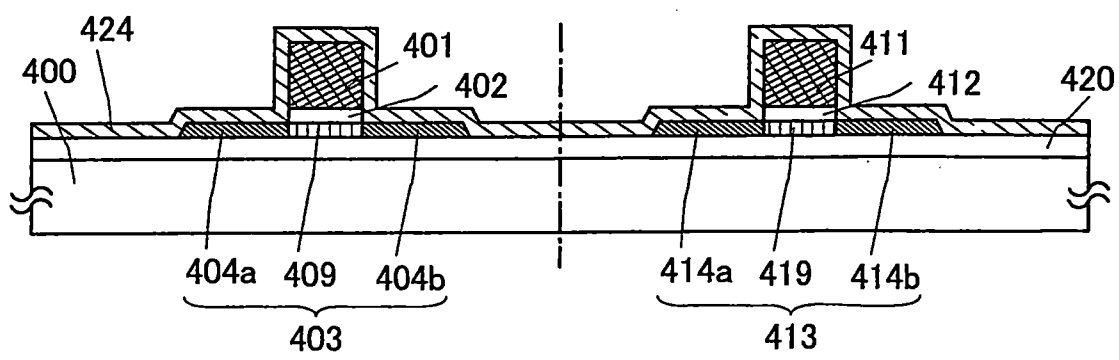


圖 10B

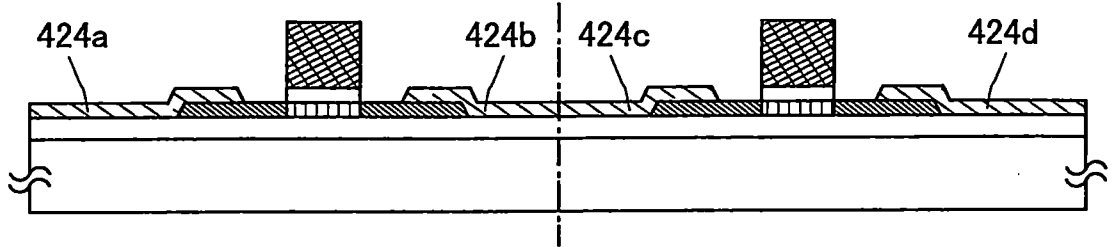


圖 10C

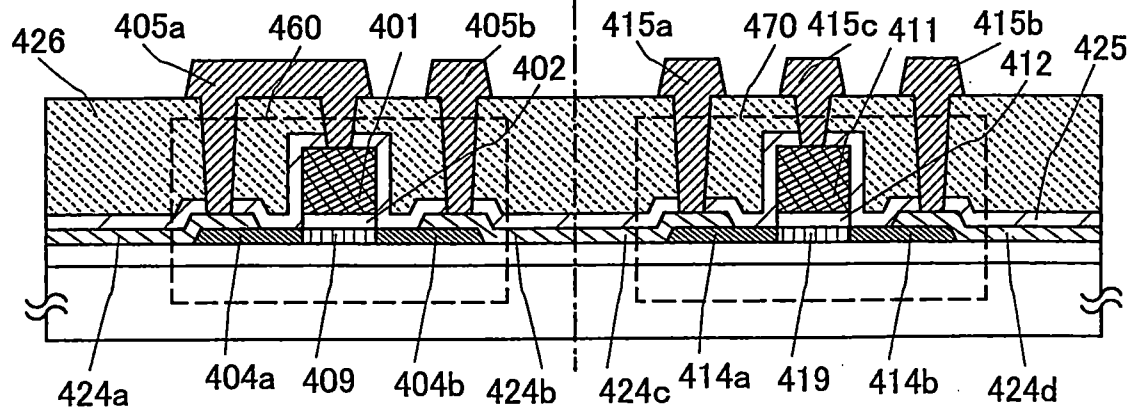


圖 11A

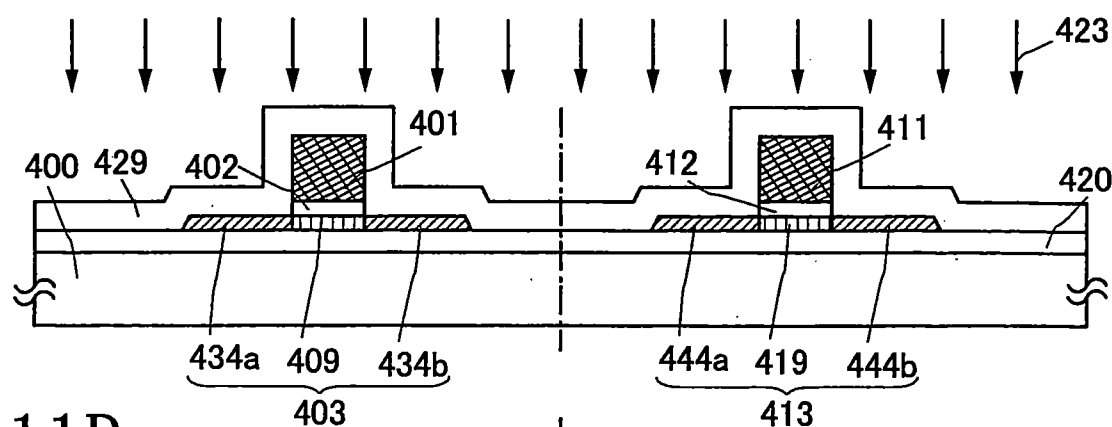


圖 11B

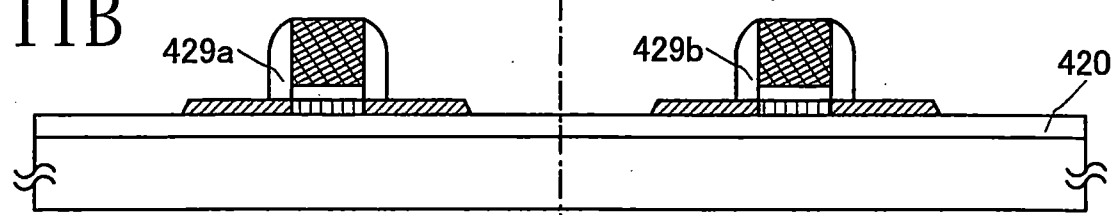


圖 11C

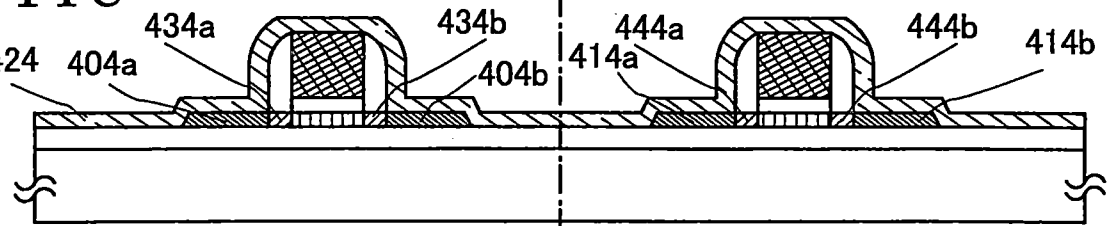


圖 11D

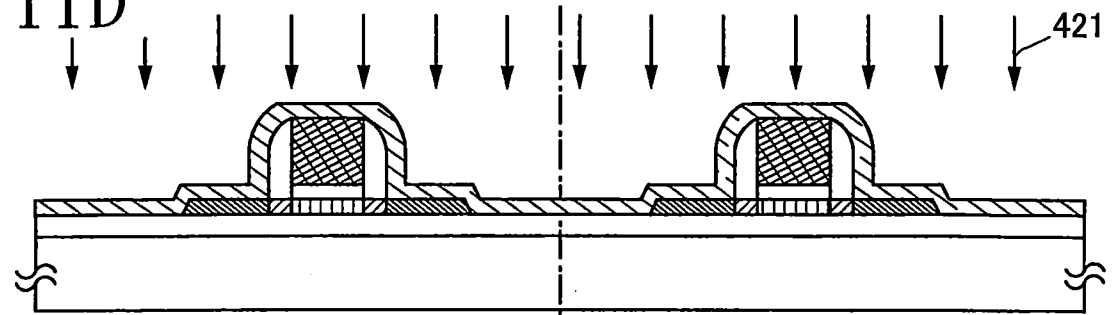


圖 11E

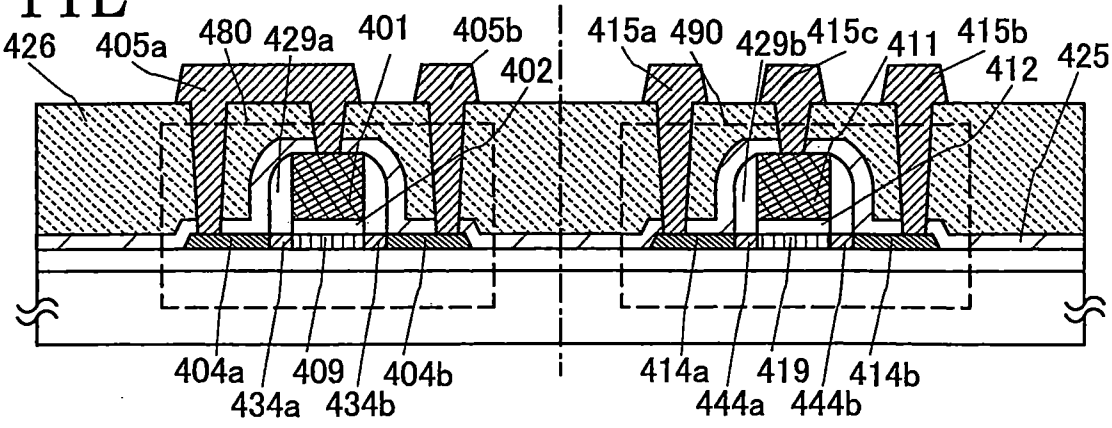


圖 12A

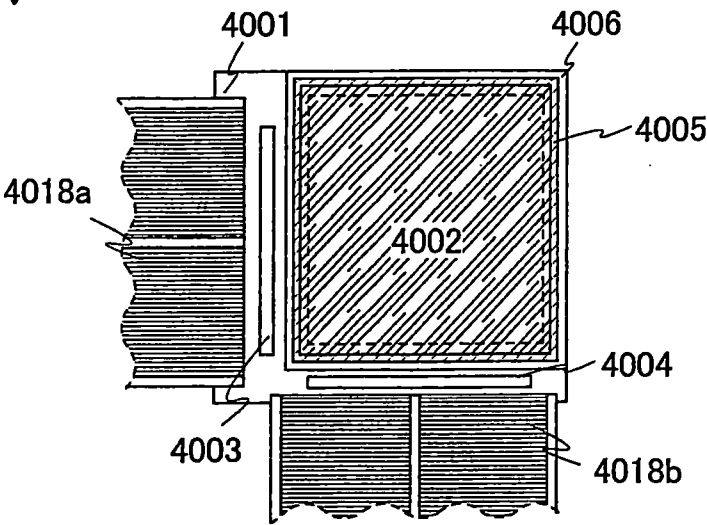


圖 12B

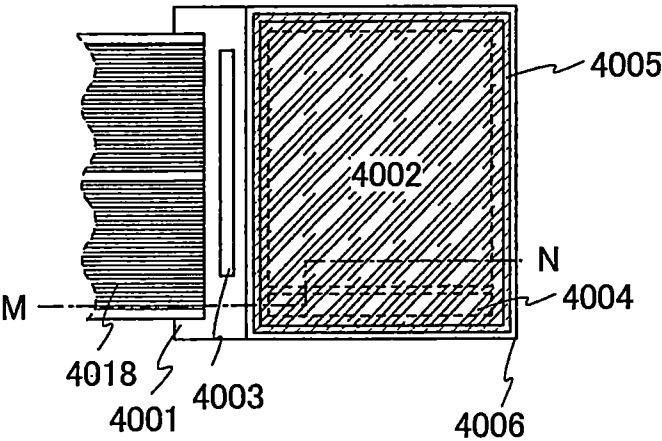


圖 12C

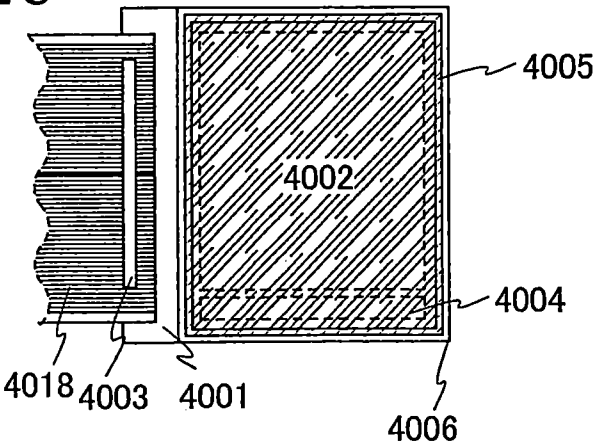


圖13A

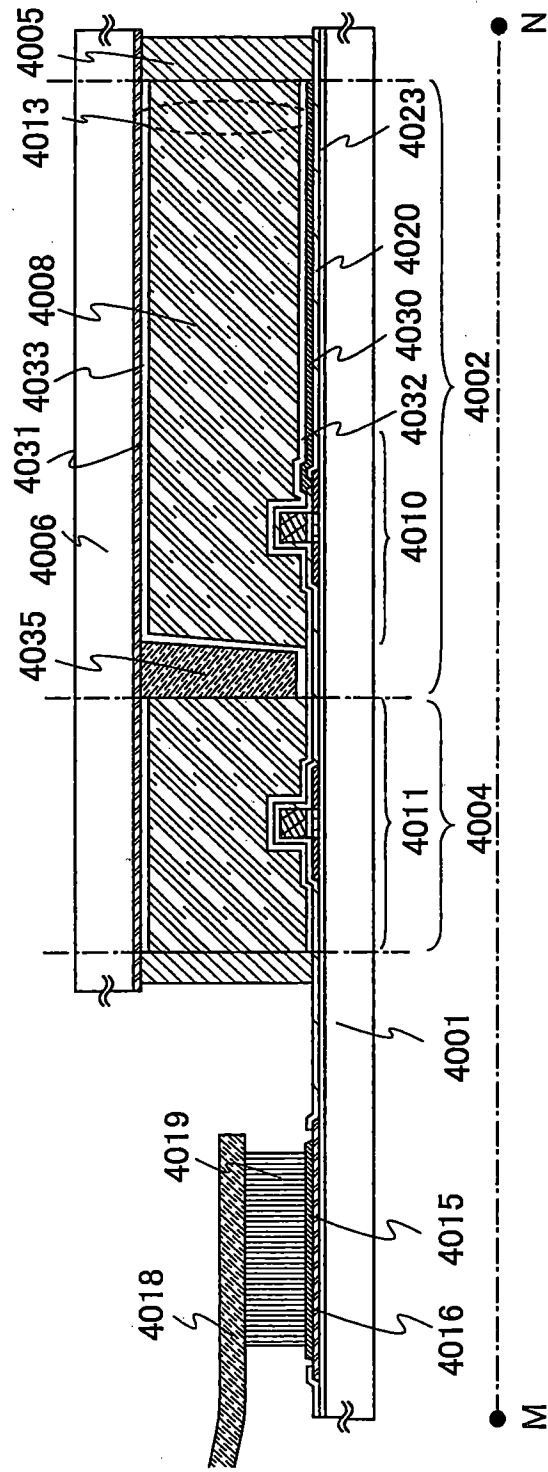


圖13B

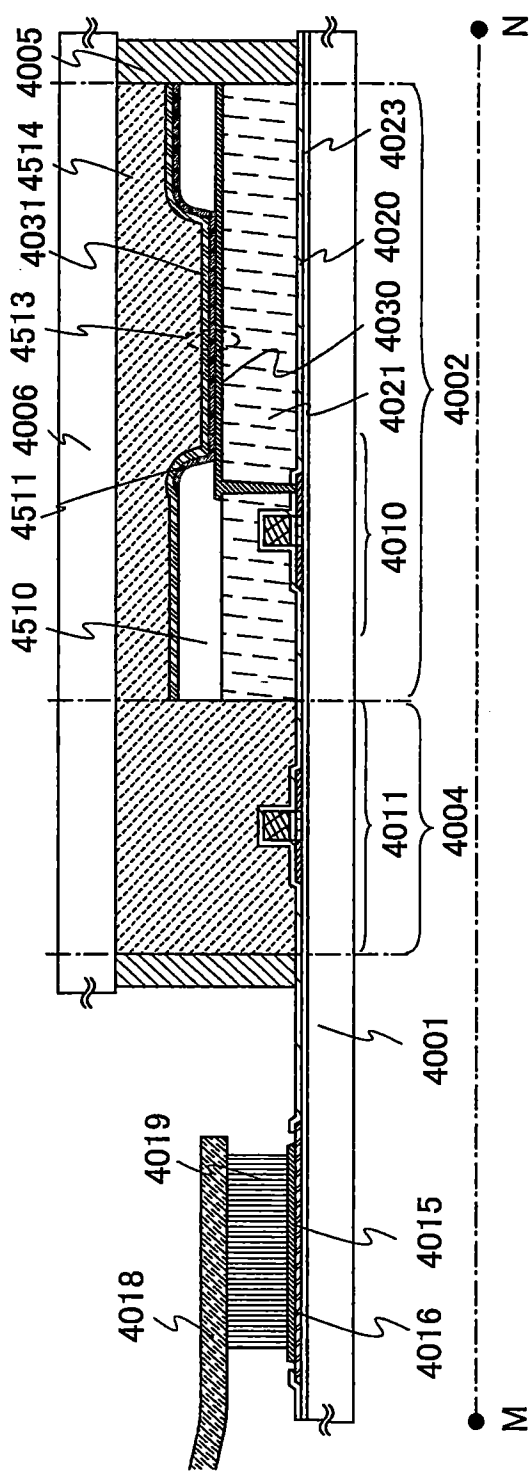


圖 14A

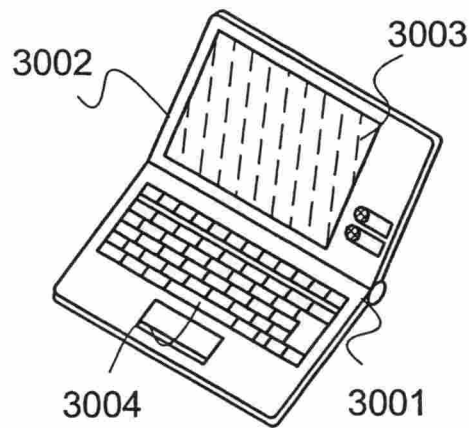


圖 14B

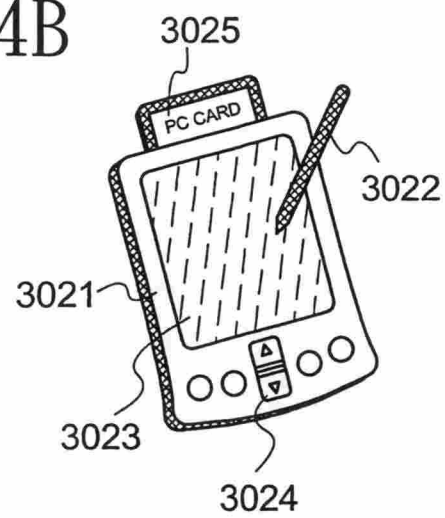


圖 14C

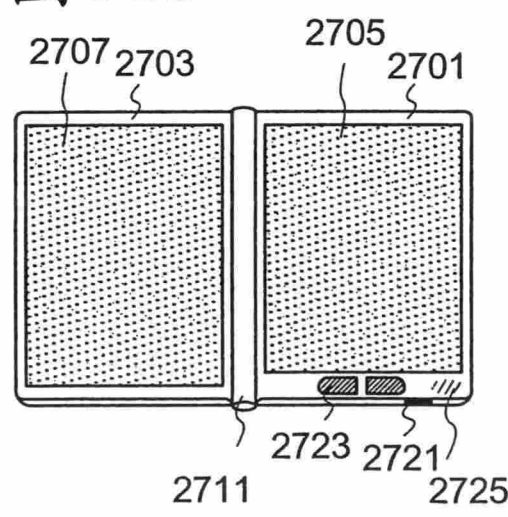


圖 14D

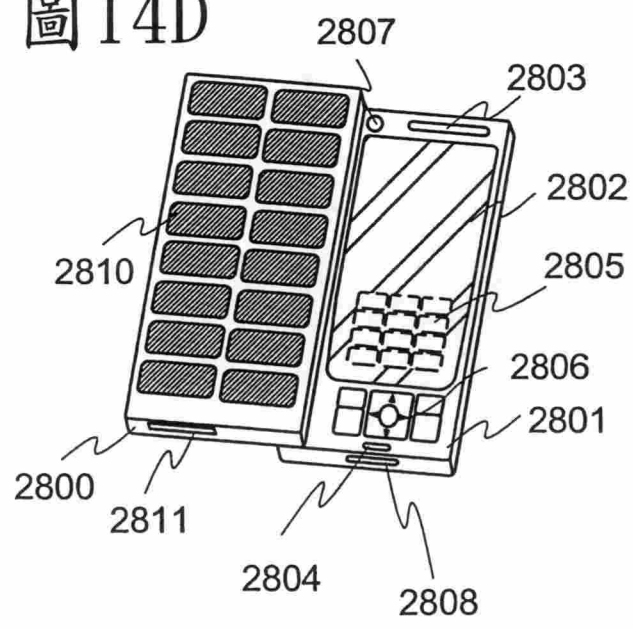


圖 14E

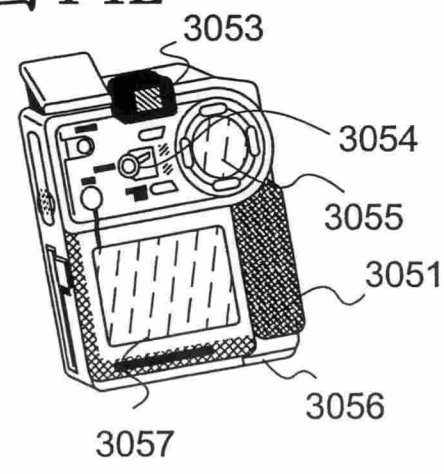


圖 14F

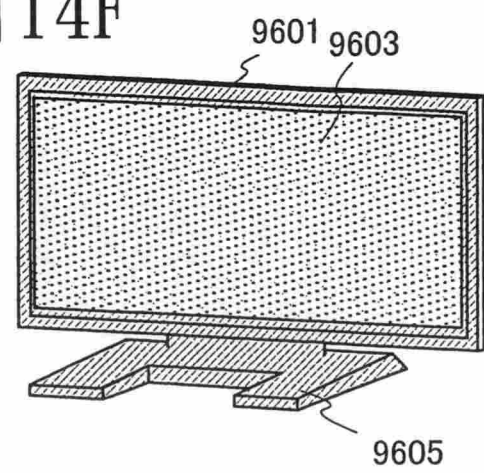


圖 15A

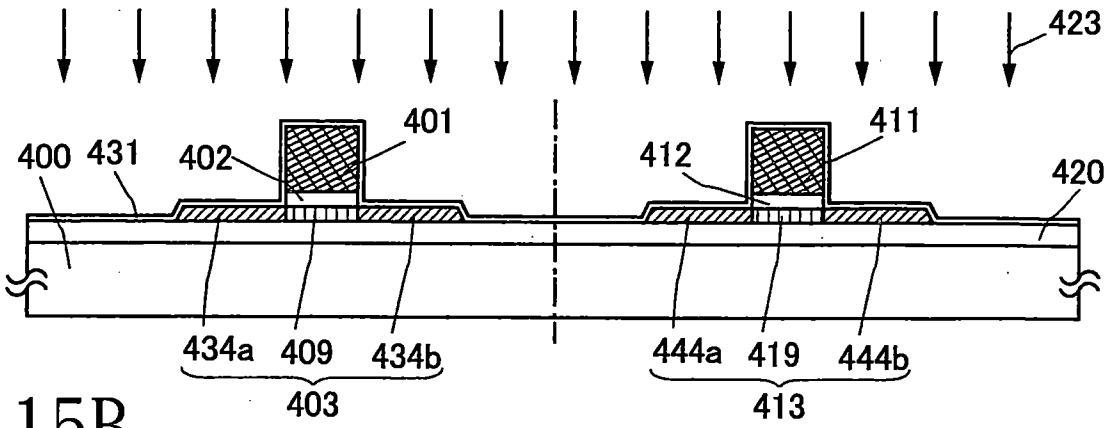


圖 15B

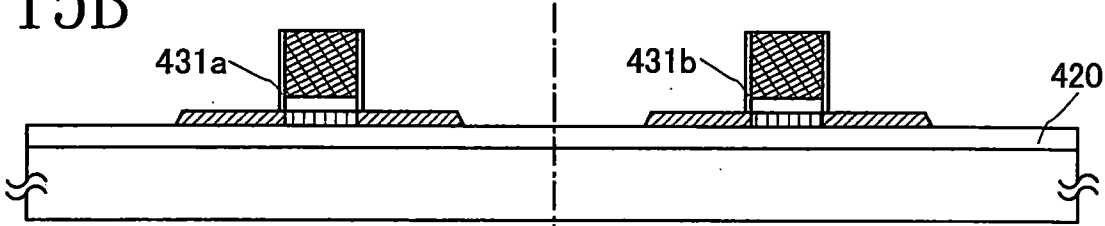


圖 15C

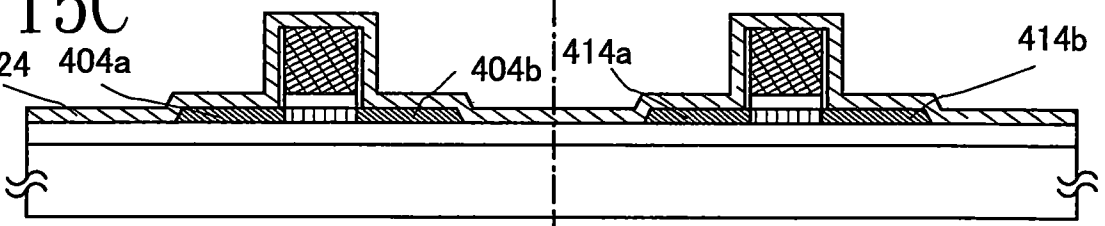


圖 15D

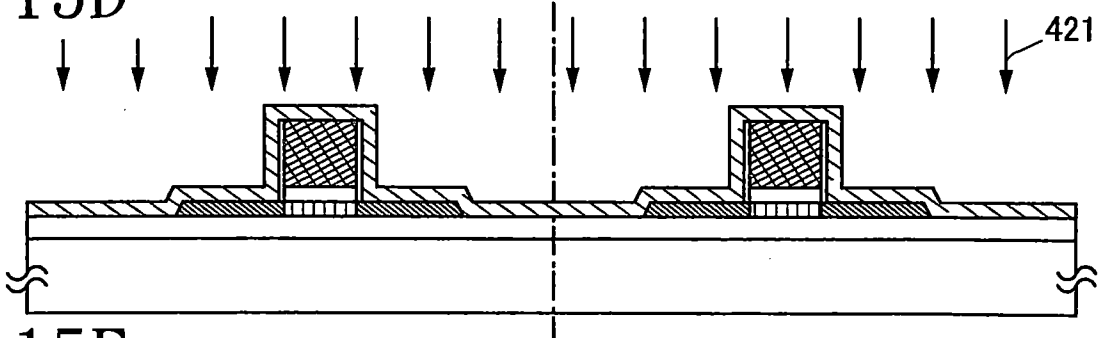


圖 15E

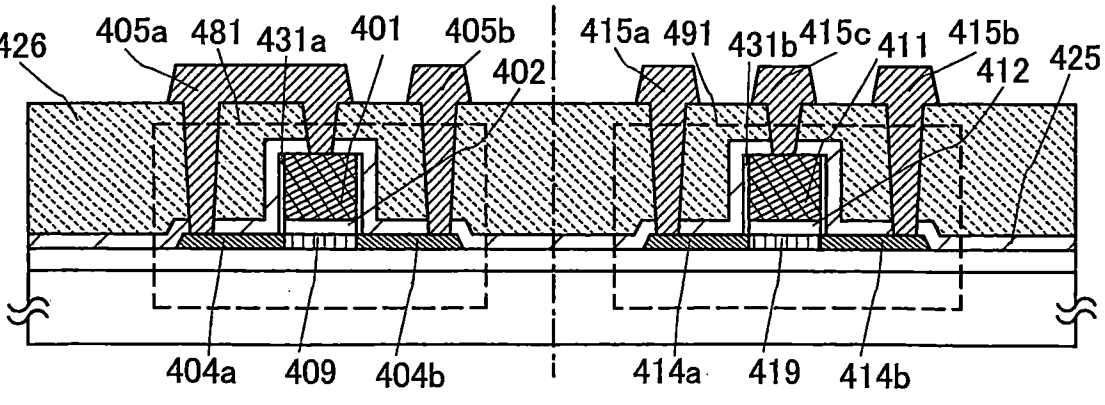


圖16

