

(12) 发明专利

(10) 授权公告号 CN 1766672 B

(45) 授权公告日 2012.04.18

(21) 申请号 200510092312.0

US 2003/0013969 A1, 2003.01.16, 全文.

(22) 申请日 2005.08.26

US 2004/0174203 A1, 2004.09.09, 全文.

(30) 优先权数据

US 5490512 A, 1996.02.13, 全文.

10/978,012 2004.10.29 US

US 4539564 A, 1985.09.03, 全文.

(73) 专利权人 通用电气公司

WO 03/011749 A2, 2003.02.13, 全文.

地址 美国纽约州

审查员 余莹洁

(72) 发明人 罗伯特·G·伍德尼基

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 黄小临 王志森

(51) Int. Cl.

G01S 7/52(2006.01)

G01S 15/89(2006.01)

(56) 对比文件

US 5982709 A, 1999.11.09, 全文.

US 6736779 B1, 2004.05.18, 全文.

CN 1527414 A, 2004.09.08, 全文.

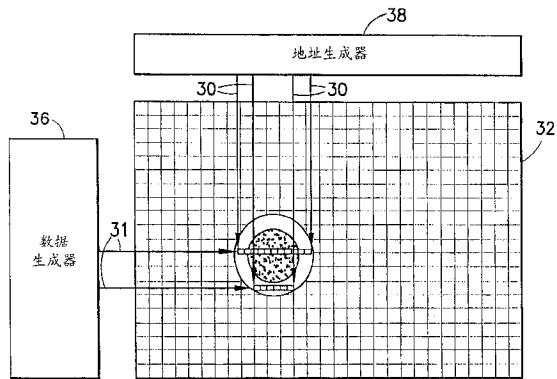
权利要求书 2 页 说明书 19 页 附图 23 页

(54) 发明名称

控制马赛克式传感器阵列扫描的方法与装置

(57) 摘要

一种扫描体系结构，使之可能只更新马赛克式换能器阵列中那些在视图间变化的超声传感器子元件(32)。开关矩阵的配置是完全可以编程的。开关矩阵包含：接入开关(20)，用来将子元件连接到总线；以及矩阵开关(26)，用来将子元件连接到子元件。每个子元件具有与其相关的单位开关单元(50)以及寻址与控制逻辑(92, 94, 96)，每个单位开关单元包含至少一个接入开关，至少一个矩阵开关。可选地，每个单位开关单元还包含锁存器(54)，用来存储待编程的开关的未来开关状态。开关自身具有用来存储其当前开关状态的存储器。



1. 一种用于控制传感器阵列扫描的设备,包含  
沿基本平行的线排列的多个传感器 (32) ;  
多条总线 (24) ;

第一组多个开关 (20),用来选择性地以电气方式将传感器连接到总线,其中所述第一组多个开关中的每个开关为可以记忆表示其当前开关状态的数据的类型,每个传感器在所述第一组多个开关中至少有相应开关与其相关;

第二组多个开关 (26),用来选择性地以电气方式将传感器相互连接,其中所述第二组多个开关中的每个开关为可以记忆表示其当前开关状态的数据的类型,每个传感器在所述第二组多个开关中至少有相应开关与其相关;

数据生成器电路 (36),用来生成表示待编程的所述第一与第二组多个开关的开关状态的状态数据;

地址生成器电路 (38),用来生成标识所述待编程的第一与第二组多个开关中的开关的地址数据;

多个控制逻辑电路 (96),用来响应于收到所述开关状态数据,输出开关状态控制数据至所述待编程的第一与第二组多个开关中的开关,每个传感器都有相应的控制逻辑电路与其相关,所述开关状态控制数据控制所述开关的状态并且从所述开关状态数据导出,并且每个传感器都有相应的控制逻辑电路与其相关。

2. 如权利要求 1 所述的设备,还包含:视图生成器 (44),用来对所述地址与数据生成器电路进行编程,以按照给定视图的要求来配置第一与第二组多个开关。

3. 如权利要求 1 所述的设备,还包含:多个锁存器 (54),用来在第一时间段期间存储所述来自所述数据生成器电路的开关状态数据,然后在所述第一时间段之后的第二时间段期间将所述开关状态数据写入所述控制逻辑电路。

4. 如权利要求 1 所述的设备,其中在一个周期内标识的开关表示第一感兴趣区域,而在随后的周期内标识的开关表示第二感兴趣区域,但是所述第二感兴趣区域相对于所述第一感兴趣区域移位。

5. 如权利要求 1 所述的设备,其中在预定时间段期间在所述第一与第二组多个开关中的第一套开关中记忆的开关状态控制数据表示发射孔径图案,而在所述预定时间段期间在所述第一与第二组多个开关中的第二套开关中记忆的开关状态控制数据表示接收孔径图案。

6. 如权利要求 1 所述的设备,还包含:多条地址 / 数据总线 (48),用来承载所述地址数据与所述开关状态数据;以及多个多路复用器 (46),位于所述数据与地址生成器电路和所述地址 / 数据总线之间,并且在第一多路复用器状态下,所述多路复用器将所述地址生成器电路连接到所述地址 / 数据总线,并且在第二多路复用器状态下,所述多路复用器将所述数据生成器电路连接到所述地址 / 数据总线。

7. 如权利要求 1 所述的设备,还包含:多条数据总线 (31),用来以电气方式将所述数据生成器电路连接到所述控制逻辑电路;以及多条列选择线 (30),用来以电气方式将所述地址生成器电路连接到所述控制逻辑电路;所述多条数据总线基本平行于所述传感器行,所述列选择线垂直于所述数据总线。

8. 如权利要求 1 所述的设备,还包含:多条地址 / 数据总线,用来承载分别来自所述地

址与数据生成器电路的所述地址数据与所述开关状态数据；以及多个锁存器(54)，位于所述数据与地址生成器电路和所述地址/数据总线之间，每条地址/数据总线一个锁存器。

9. 如权利要求1所述的设备，其中所述数据生成器电路与地址生成器电路分别提供在所述多个传感器的两侧，并且与所述传感器行相关的所述第一与第二组多个开关的开关被分为左与右部分，所述左部分的开关由一侧的所述地址与数据生成器电路控制，并且所述右部分的开关由另一侧的所述地址与数据生成器电路控制。

10. 如权利要求1所述的设备，其中每个控制逻辑电路都包含相应的多个逻辑门，响应于全局选通信号，该多个逻辑门输出所述开关状态控制数据。

## 控制马赛克式传感器阵列扫描的方法与装置

[0001] 根据美国陆军授予的美国政府合同 DAMD17-02-1-0181, 美国政府对本发明具有一定权利。

[0002] 本发明为于 2003 年 3 月 6 日提交的美国专利申请 10/248968 以及美国专利申请 10/383990 的部分继续申请, 并要求其优先权。

### 技术领域

[0003] 一般地, 本发明涉及可配置 (例如光学的、热力的、压力的、超声波的) 传感器阵列。具体地, 本发明涉及用于控制与配置可配置传感器阵列的数字扫描体系结构。

### 背景技术

[0004] 现有的超声成像系统包含超声换能器阵列, 其用来发送超声波束, 然后接收来自研究对象的反射波束。这样的扫描包含一系列测量, 其中发送聚焦超声波, 在一短时间间隔之后, 系统切换到接收图案, 接收反射的超声波, 将其聚束、处理从而显示。一般地, 在每次测量中, 将发送与接收聚焦于同一方向, 以获取来自沿声学波束或扫描线的一系列点的数据。当接收反射超声波时, 将接收器沿扫描线连续重新聚焦。

[0005] 对于超声成像, 该阵列一般具有多个换能器, 其在一或多行中排列, 并且在发射中用独立的电压驱动。通过选择所施加电压的时间延迟 (或者相位) 以及幅度, 可以控制给定行中的各个换能器以产生超声波, 这些超声波组合起来形成合成超声波, 该合成超声波沿优选向量方向穿行并且沿波束聚焦于选定区域内。

[0006] 当在接收图案下采用换能器探头接收反射声时, 适用相同的原理。合成在接收换能器上生成的电压, 从而总信号表示从对象中单个聚焦区域反射的超声波。与发射图案相同, 该对超声能量的聚焦接收通过以下达到: 对来自每个接收换能器的信号给予独立的时间延迟 (和 / 或相移) 以及增益。随返回 信号的深度增加来调整时间延迟, 以在接收时提供动态聚焦。

[0007] 所形成的图像的品质或者解晰度部分为分别构成换能器阵列的发射与接收孔径的换能器的数量的函数。相应地, 为了达到较高的图像品质, 对于二维与三维成像应用两者, 都希望有大量的换能器。超声换能器一般位于手持换能器探头内, 该探头通过软电缆连接到处理换能器信号、并生成超声图像的电子单元。换能器探头可以承载超声发射电路与超声接收电路两者。

[0008] 可配置超声阵列是这样的设备: 其允许将子元件组动态连接在一起, 从而使结果元件的形状匹配波前的形状。这可以使性能提高和 / 或减少通道量。利用开关网络可以实现可配置性。

[0009] 近来人们利用半导体工艺来制造称为显微机械加工超声换能器 (MUT) 类型的超声换能器, 其可以是电容式 (MUT) 或者是压电式 (pMUT)。MUT 为微小振动膜状设备, 其具有将所接收的超声信号的声音震动转换为经调制的电容值。对于发射, 调制电容电荷, 以震动该设备的振动膜, 由此发射声波。MUT 的一项优点在于可以利用半导体制造工艺来制造, 例

如在加热“显微机械加工”名下的微制造工艺。一般将来自此类显微机械加工工艺的系统称为“显微机械加工机电系统”(MEMS)。

[0010] cMUT一般为六边型结构,其上有薄膜延伸通过。通过所施加的偏压,保持该薄膜靠近衬底表面。通过向已经施加了偏压的cMUT施加震荡信号,可以使薄膜震动,由此允许其发射声能。类似地,当声波入射薄膜时,结果的震动可以被检测为cMUT上的电压变化。cMUT单元是用来描述这些六边型“鼓状”结构中单个结构的名词。cMUT单元可以是非常小的结构。典型的单元尺寸为六边型两水平边距离25-50微米。从许多方面说,单元尺寸取决于所设计的声学响应。可能无法制造仍然在所希望的频率响应与灵敏度方面性能良好的较大单元。

[0011] 不幸的是,难于生产允许对这些小单元进行分别控制的电子器件。虽然就作为整体的阵列的声学性能而言,小单元尺寸非常好并且会有高灵活性,但是控制限于较大的结构。将多个单元编组在一起并且将其电气连接使我们能够生成较大的子元件,这就可以具有分别控制,同时保持所希望的声学响应。因此,子元件为不能被重新配置的电气连接的单元组。对于本说明书来讲,子元件为最小的、独立控制的声学单元。通过利用开关网络将子元件连接在一起,可以形成环或元件。通过改变开关网络的状态,可以重新配置元件。然而,子元件包含不能通过切换断开连接的连接在一起的单元,因此不能被重新配置。如果阵列由PZT或者某些其他常用的或将来的换能器技术构成,则以下分析同样有效。

[0012] 在美国专利中请10/383990中,描述了利用硅基超声换能器子元件的可重新配置性。在该专利申请中,还描述了一种可重新配置性形式,为马赛克式环形阵列。马赛克式环形阵列的概念涉及:通过利用可重新配置的电子开关网络将子元件编组在一起,来建立环形元件。目标是减少聚束通道的数目,同时保持图像品质并且改进切片厚度。为了减少系统通道,马赛克式环形阵列利用以下事实:对于未经导向(unsteered)波束,底层二维换能器阵列表面上的延迟轮廓为圆形。换言之,等延迟曲线为围绕波束中心的环形。延迟的圆形对称使人们自然将具有相同延迟的那些子元件编组,由此得到环形阵列。可以利用可重新配置性,使波束沿较大的底层二维换能器阵列递进,以形成扫描或图像。也可以利用可重新配置性,通过向近场中较小的有效孔径分配更多的通道,改进对于多发射应用的性能。存在可证明重新配置性有用的许多其他应用。

[0013] 在马赛克式环形换能器阵列或者其他马赛克式换能器阵列中,可以使用分布式开关矩阵,将大量的超声换能器子元件连接在一起。子元件构成较大的元件,用于超声信号的发射与接收。每次获得新数据行或者“视图”时,元件的配置以及因此的子元件的配置都会改变。每次配置改变时,都必须更新开关矩阵中所有开关的状态(开或关),以建立构成元件与子元件的新状态的、所需要的互连。

[0014] 需要有一种数字扫描体系结构,用来控制与配置分布式开关矩阵,该体系结构具有以下功能:(1)对开关单元阵列的高效编程,从而满足定时与功率限制;(2)能够将孔径图案沿矩阵轴从视图向视图进行转换;(3)能够在时间限制内从视图向视图配置阵列用于任意图案;(4)能够在发射与接收操作之间迅速改变孔径配置;(5)在考虑到功率与定时限制的情况下,高效扩展该体系结构至大型板块式阵列,同时保持灵活性,并且将配置的复杂度最小化。

## 发明内容

[0015] 本发明针对传感器可重新配置阵列，其中扫描体系结构使之可能只更新那些在视图间变化的传感器。该传感器可能是光学的、热力的或压力传感器或者超声换能器。此处公开的实施方式利用电容式显微机械加工超声换能器 (cMUT) 二维阵列作为底层网格，从该底层网格构造较大的元件。然而，本发明不限于 cMUT 结构，同样适用于其中现有的或者将来的换能器技术。

[0016] 本发明的一个方面为一种用于控制传感器阵列扫描的设备，包含：沿基本平行的线排列的多个传感器；多条总线；第一组多个开关，用来选择性地以电气方式将传感器连接到总线，其中所述第一组多个开关中的每个开关为可以记忆表示其当前开关状态的数据的类型，每个传感器在所述第一组多个开关中至少有相应开关与其相关；第二组多个开关，用来选择性地以电气方式将传感器相互连接，其中所述第二组多个开关中的每个开关为可以记忆表示其当前开关状态的数据的类型，每个传感器在所述第二组多个开关中至少有相应开关与其相关；数据生成器电路，用来生成表示待编程的所述第一与第二组多个开关的开关状态的状态数据；地址生成器电路，用来生成标识所述待编程的第一与第二组多个开关中的开关的地址数据；多个控制逻辑电路，用来响应于收到所述开关状态数据，输出开关状态控制数据至所述待编程的第一与第二组多个开关中的开关，每个传感器都有相应的控制逻辑电路与其相关，所述开关状态控制数据控制所述开关的状态并且从所述开关状态数据导出，并且每个传感器都有相应的控制逻辑电路与其相关。

[0017] 本发明的另一个方面为一种用于控制传感器阵列扫描的设备，包含：沿基本平行的线排列的多个传感器；多条总线；多个单位开关单元，每个单位开关单元都与相应传感器的相关并且包含：(a) 第一开关，用来将相关传感器连接到总线，(b) 第二开关，用来将相关传感器连接到邻近传感器，以及 (c) 控制逻辑电路，用来响应于收到表示第一与第二开关的希望状态的开关状态数据，输出开关状态控制数据至第一与第二开关，所述开关状态控制数据控制第一与第二开关的状态并且从所述开关状态数据导出，并且第一与第二开关中的每一个都为可以记忆表示其当前开关状态的数据的类型；数据生成器电路，用来生成用于选定的第一与第二开关的开关状态数据；以及地址生成器电路，用来生成标识选定了第一与第二开关中的哪一个编程的地址数据。

[0018] 本发明的另一个方面为一种用于控制传感器阵列扫描的设备，包含：沿基本平行的线排列的多个传感器；多条总线；第一组多个开关，用来选择性 地以电气方式将传感器连接到总线，其中所述第一组多个开关中的每个开关为可以记忆表示其当前开关状态的数据的类型，每个传感器在所述第一组多个开关中至少有相应开关与其相关；第二组多个开关，用来选择性地以电气方式将传感器相互连接，其中所述第二组多个开关中的每个开关为可以记忆表示其当前开关状态的数据的类型，每个传感器在所述第二组多个开关中至少有相应开关与其相关；数据生成器电路，用来生成表示待编程的所述第一与第二组多个开关的开关状态的状态数据；多个锁存器，用来存储所述来自数据生成器电路的开关状态数据；用来连接沿 X 方向的相应锁存器组以形成相应的 X 方向移位寄存器的部件；X 控制部件，用来控制选定锁存器中 X 方向上开关状态数据的移位；用来连接沿 Y 方向的相应锁存器组以形成相应的 Y 方向移位寄存器的部件；Y 控制部件，用来控制开关状态数据进入所述锁存器组的开始点以及控制选定锁存器中 Y 方向上开关状态数据的移位。

[0019] 本发明的另一个方面为一种可重新配置的传感器阵列，包含：在二维区域上铺排的多个传感器；多条总线；多个开关，用来将选定传感器相互连接或者将选定传感器连接到相应的总线，其中每个开关都包含相应的开关状态存储器，该开关状态存储器存储表示开关当前状态的开关状态控制数据；多个锁存器，用来存储表示开关未来状态的开关状态数据；以及控制逻辑，用来用从输出于锁存器的开关状态数据导出的、新的开关状态控制数据覆盖开关的开关状态存储器中的开关状态控制数据。

[0020] 本发明的另一个方面为一种重新配置传感器阵列的方法，该传感器阵列包含：在二维区域上铺排的多个传感器；多条总线；以及多个开关，用来将选定传感器相互连接或者将选定传感器连接到相应的总线，其中每个开关都包含相应的开关状态存储器，该开关状态存储器存储表示开关当前状态的开关状态控制数据；所述方法包含：(a) 生成第一组地址数据，该地址数据标识所述多个传感器中的、待编程以获得第一孔径的第一组选定的传感器；(b) 生成第一组开关状态数据，该数据表示获得第一孔径所需的第一组选定的传感器的未来开关状态；(c) 在第一时间段期间锁存第一组开关状态数据；(d) 在所述第一时间段之后的第二时间段期间，用从第一组开关状态数据导出的第一组开关控制状态数据编程第一组选定的传感器；(e) 生成第二组地址数据，该地址数据标识所述多个传感器中的、待编程以获得第二孔径的第二组选定的传感器；(f) 生成第二组开关状态数据，该数据表示获得第二孔径所需的第二组选定的传感器的进一步的开关状态；(g) 在所述第二时间段之后的第三时间段期间，锁存第二组开关状态数据；以及 (h) 在所述第三时间段之后的第四时间段期间，用从第二组开关状态数据导出的第二组开关控制状态数据编程第二组选定的传感器。

[0021] 本发明的其他方面在以下公开。

## 附图说明

[0022] 图 1 为显示典型 cMUT 单元的剖面图；

[0023] 图 2 为显示从其顶部与底部电子元件分别连接在一起而没有中间开关的七个六边形 MUT 单元形成的“菊花”子元件的图，该图取自美国专利申请 10/383990；

[0024] 图 3 为显示美国专利申请 10/383990 中公开的、一段包含四个环形元件的马赛克式阵列的图，其中每个元件包含配置得每个元件具有近似相等面积的菊花”子元件的镶嵌状格局铺装；

[0025] 图 4 为显示允许 cMUT 阵列特定行中特定子元件连接到多条系统通道总线中任一条总线的体系结构的图；

[0026] 图 5 为显示在图 4 所示的体系结构中、在与特定声学子元件相关的电子元件中至公共连接点的连接的图；

[0027] 图 6 为显示集成一起的 cMUT 与应用专用集成电路 (ASIC) 阵列的剖面图；

[0028] 图 7 为显示连接到 ASIC 开关矩阵的 cMUT 设备衬底的剖面图；

[0029] 图 8 为显示相关电子元件单元之上的 cMUT 子元件的六边形阵列的顶部视图；

[0030] 图 9 为显示相关电子元件单元的矩形阵列之上的 cMUT 子元件的六边形阵列的顶部视图；

[0031] 图 10 为显示马赛克式环形阵列中 X 方向上环图案转换的图；

- [0032] 图 11 为显示对于图 10 所示的环图案给定转换的、未使用的声学子元件的图；
- [0033] 图 12 为显示根据本发明一种实施方式的、多路复用的地址 / 数据型扫描体系结构的图；
- [0034] 图 13 为显示根据本发明另一种实施方式的、列寻址型扫描体系结构的图；
- [0035] 图 14 为显示根据本发明另一种实施方式的、多方向移位寄存器型扫描体 系结构的图；
- [0036] 图 15 为显示根据本发明另一种实施方式的、混合型扫描体系结构的图；
- [0037] 图 16 为图 12 所示的多路复用的地址 / 数据型扫描体系结构的功能图；
- [0038] 图 17 为图 13 所示的列寻址型扫描体系结构的功能图；
- [0039] 图 18 与 19 为显示多路复用的地址 / 数据型扫描体系结构的各个替换实施方式的图；
- [0040] 图 20 与 21 为显示马赛克式环形阵列的六边形寻址的各个替换实施方式的图；
- [0041] 图 22 至 24 为显示显示根据本发明相应实施方式的、在每个单位开关单元中插入的锁存器的图；
- [0042] 图 25 为图 22 的锁存器的高级方框图，显示了其输入与输出信号；
- [0043] 图 26 为显示根据本发明一种实施方式的、具有多路复用的地址 / 数据总线以及未来开关状态存储器的单位开关单元的图；
- [0044] 图 27 为显示图 26 所示的单位开关单元的替换实施方式的图，其中将读取的数据插入锁存器；
- [0045] 图 28 为显示根据本发明另一种实施方式的、具有列寻址以及未来开关状态存储器的单位开关单元的图；
- [0046] 图 29 与 30 为显示具有列寻址而没有未来开关状态存储器的单位开关单元的替换实施方式的图；
- [0047] 图 31 为显示具有多路复用的地址 / 数据总线而没有未来开关状态存储器的单位开关单元的图；
- [0048] 图 32 为显示具有 X 方向上双向移位功能的单位开关单元的图；
- [0049] 图 33 为显示具有 X 与 Y 方向上双向移位功能的单位开关单元的图；
- [0050] 图 34 为显示在美国专利申请 10/248968 中公开的高压开关电路的图；
- [0051] 图 35 至 37 为显示块地址控制器的各个实施方式的图；
- [0052] 图 38 为显示多个感兴趣区域移位控制器的概念的图；
- [0053] 图 39 为显示可存储用于多个孔径的开关设置的数据的个别单元的图；
- [0054] 现在参照附图，其中不同附图中类似的元件具有相同的标号。

## 具体实施方式

- [0055] 本发明针对数字扫描体系结构，用来控制与配置分布式开关矩阵。为说明的目的，将参照电容式显微机械加工超声换能器 (cMUT) 描述可重新配置阵列。然而，应该理解：此处公开的本发明的各个方面不限于其用于采用 cMUT 的探头，而是也可以用于采用 pMUT 的探头、甚至切割压电阵列，其中每个切割子元件通过互连部件连接到底层开关层。本发明的相同方面也可以用于光学的、热力的或压力传感器的可重新配置阵列。

[0056] 参照图 1,以剖面图显示普通 cMUT 换能器单元 2。此类 cMUT 换能器单元阵列一般制造在衬底 4 上,例如多掺杂硅(因此为半导体)晶片。对于每个 cMUT 换能器单元,在衬底 4 上,悬置有薄隔膜或振动膜 8,其由氮化硅构成。振动膜 8 在其周边由绝缘支座 6 支撑,其可能由氧化硅或氮化硅构成。振动膜 8 与衬底 4 之间的空腔 14 填充空气或气体或者部分或全部真空。一般地,如果工艺允许,将 cMUT 彻底抽成真空。导电材料(例如铝合金或其他适当导电材料)膜或层在振动膜 8 上形成电极 12,另一导电材料膜或层在衬底 4 上形成电极 10。可替换地,可以通过半导体衬底 4 的适当掺杂,形成底部电极。

[0057] 由空腔 14 隔开的两个电极 10 与 12 形成电容。当冲击声信号使振动膜 8 震动时,可以使用相关电子元件(在图 1 中未显示)检测电容变化,由此将声信号转换为电信号。相反,施加到一个电极的 AC 信号将调制该电极上的电荷,其进而引起电极之间电容的调制,而后者将使振动膜移动,并且由此发射声信号。

[0058] 各个单元可以具有圆形、矩形、六边型或者其他外围形状。六边型提供换能器子元件 cMUT 单元的紧密封装。cMUT 单元可以具有不同的尺寸,使得换能器子元件具有不同单元尺寸的合成特性,从而给予换能器宽带特性。

[0059] 不幸的是,难于生产允许对这些小单元进行个别控制的电子器件。虽然就作为整体的阵列的声学性能而言,小单元尺寸非常好并且会有高灵活性,但是控制限于较大的结构。将多个单元编组在一起并且将其电气连接使人能够生成较大的子元件,这就可以具有个别控制,同时保持所希望的声学响应。通过利用开关网络将子元件连接在一起,可以形成环或元件(element)。通过改变开关网络的状态,可以重新配置元件。然而,不能重新配置单个的子元件以形成不同的子元件。

[0060] 在显微机械加工工艺中,可以将 MUT 单元连接在一起(即没有中间的开关),以形成子元件。以下将使用名词“声学子元件”来描述这样的聚集。通过将微电子开关置入硅层内或者在位于直接与换能器阵列相邻处的、不同的衬底上,借助这些微电子开关,将这些声学子元件互连,以形成较大的元件。该构造基于可以低成本高产量进行的半导体工艺。

[0061] 此处,名词“声学子元件”指单个单元或者不能被重新配置的、电气连接的单元组,即子元件为最小的、独立受控的声学单元。名词“子元件”指声学子元件及其相关集成电子元件。通过利用开关网络将子元件连接在一起,形成“元件”。通过改变开关网络的状态,可以重新配置元件。如下详细所述,包含于开关网络的至少某些开关为“相关集成电子元件”的一部分。

[0062] 为了说明,图 2 显示由多达七个六边形 cMUT 单元 2 构成的“菊花”换能器子元件 16:中央单元由六个单元的环包围,环中的每个单元中央单元与环中相邻单元的相应边相接。每个 cMUT 单元 2 的顶部电极 12 通过不能以开关方式截止连接的连接电气耦合在一起。在六边形阵列的情况下,六个导体从顶部电极 12 向外发散,并且分别连接到邻近 cMUT 单元的顶部电极(除外围单元情况之外,其连接到三个而非六个其他单元)。类似的,每个 cMUT 单元 2 的底部电极 10 通过不能以开关方式截止连接的连接电气耦合在一起,从而形成大七倍的电容换能器子元件 16。

[0063] 可以排列图 2 中所见类型的子元件,以在半导体(例如硅)衬底上形成二维阵列。可以利用开关网络重新配置这些子元件以形成元件,例如环形环。在美国专利申请 10/383990 中,描述了利用硅基超声换能器子元件的可重新配置性。在该专利申请中,还描

述了一种可重新配置性形式,为马赛克式环形阵列。马赛克式环形阵列的概念涉及:通过利用可重新配置电子开关网络将子元件编组在一起,来建立环形元件。目标是减少聚束通道的数目,同时保持图像品质并且改进切片厚度。为了减少系统通道,马赛克式环形阵列利用以下事实:对于未经导向的波束,底层二维换能器阵列表面上的延迟轮廓为圆形。换言之,等延迟曲线为围绕波束中心的环形。延迟的圆形对称使人们自然将具有相同延迟的那些子元件编组,由此得到环形阵列的概念。可以利用可重新配置性,使波束沿较大的底层二维换能器阵列递进,以形成扫描或图像。

[0064] 可以利用许多方式来利用 MUT 单元以及声学子元件形成换能器阵列。图 3 显示镶嵌状格局铺装声学子元件以形成马赛克式阵列的一个例子。在图 3 所示的实施方式中,配置四个近似环形的元件(分别参见标号 18A-D),从而每个元件具有近似相等的面积,其中每个环形元件包含“菊花”声学子元件(每个子元件有连接在一起的七个 MUT 单元)的镶嵌状格局铺装。在每种情况下,镶嵌状格局铺装可以由多个子元件类型构成。阵列图案不一定为镶嵌状格局铺装,但是可以具有没有声学子元件的区域。例如,可能存在通路,以使声学子元件或者单元的顶部电极连接低于阵列。

[0065] 可以改变本发明的配置,以优化各种声学参数,例如波束宽度、旁瓣水平或者景深。可替换地,可以将声学子元件编组,以形成用于发射操作的一个孔径,并且立即切换到用于接收部分的另一孔径。虽然图 3 显示近似环形元件的各个部分,但是可以实现其他配置,例如,非连续环、八角环或者弧。图案的选择取决于应用需求。

[0066] 大多数孔径包含连续的编组子元件,其互连在一起以形成单个的较大元件,例如图 3 所示的环形元件。在这种情况下,不需要将每个子元件直接连接到其相应的总线。只要连接给定组内限定数目的子元件、然后将剩余的子元件相互连接,就足够了。通过这种方式,发射信号从系统沿总线传播,并且沿有限数目的接入点进入元件。从此,通过局部连接,该信号在该元件内传播。

[0067] 在图 4 中显示了该体系结构。此处接入开关 20 用来将给定声学子元件 32 连接到总线 24 的行总线。该体系结构可直接用于马赛克式环形阵列。在这样的设备中,可以利用本体系结构形成多个环,其中利用一或多个接入开关将每个环连接到单个系统通道,每个开关连接到总线,总线进而连接到系统通道。如图 4 所示,接入开关交错以减少对于给定数目的总线所需的数目。

[0068] 如图 4 所示,利用包含多个开关 30 的交叉点开关矩阵,将行总线 24 连接到系统通道总线 28。也可以使用稀疏交叉点开关矩阵,其中需要较少的多路复用开关 30。这样的体系结构在空间利用上效率更高,但是需要仔细选择开关配置,以确保所有总线都正确连接。也可能在阵列内放置垂直与水平走向的总线两者。

[0069] 接入开关与行总线的数目取决于尺寸限制与应用。为了说明一种示范性、非限定性实现,图 4 显示对于每个声学子元件 32 有单个接入开关 20,假定对于矩阵的每个行有四条行总线 24a-24d。第二种类型的开关为矩阵开关 26,其用来将一个子元件(参看图 5)的连接点 22 连接到邻近子元件的连接点。这就使声学子元件能够通过与邻近声学子元件相关的集成电子元件连接到系统通道。这还意味着即使声学子元件没有通过接入开关直接连接,也可以将其连接到系统通道。虽然图 4 显示每个声学子元件 32 有三个矩阵开关 26,但是也可能少于三个,以节省面积,或者允许具有较低电阻并因此具有较大面积的开关。另

外,可以使用矩阵开关来路由绕过给定阵列的已知坏子元件。最后,虽然显示了六边形子元件,但是也可能有矩形子元件,并且这可能会需要更少的开关。

[0070] 参照图 5,在与声学子元件 32 相关的电子元件中,将每个子元件连接到共同连接点 22。在每个子元件中,该共同连接点 22 电气连接八个组件。共同连接点 22 将声学子元件或换能器 32 通过连接 58 连接到该子元件的接入开关 20,连接到与该子元件相关的三个矩阵开关 26,以及通过连接 60 连接到与三个邻近子元件相关的三个矩阵开关。通过矩阵开关 26 的信号连接到邻近子元件的共同连接点。

[0071] 图 4 显示开关网络如何为特定子元件工作。这只是一个示范形排列。包含四条行总线 24a 至 24d 的总线 24,沿着声学子元件 32 的行。图 4 只显示了该行中的三个子元件,但是应该理解:没有显示该行中的其他子元件。在行末端,通过形成交叉点开关矩阵的多路复用开关 30,总线 24 的行总线多路转接到系统通道总线 28 的系统通道总线行。如图 4 所示,通过导通适当的多路复用开关 30 并且截止将特定行总线连接到其他系统通道总线的多路复用开关,每行总线 24a-24d 可以连接到总线 28 的任一行系统通道总线。这些多路复用电子元件可以离一侧一定距离,由此不受尺寸限制。图 4 显示完全填充的交叉点开关。但是,在不需要具有允许每条总线行连接到每个系统通道的开关的情况下,可以利用稀疏交叉点开关,其中只有小部分系统通道可以连接到给定的总线,在这种情况下,只存在某些图 4 中所示的开关 30。

[0072] 接入开关 20 如此命名,是因为其给予子元件对于总线的直接访问。在图 4 所示示范性实施方式中,对于每个子元件有六个其他开关连接。这些连接采用矩阵开关 26 的形式。矩阵开关允许子元件连接到邻近子元件。虽然在该六边形图案中对于每个子元件有六个到邻近子元件的连接,但是只有三个开关驻留在每个子元件中,其他三个连接由邻近子元件中的开关控制。由此,在每个子元件中总共有四个开关以及相关数字逻辑。这只是一个示范性实现。总线数目、接入开关的数目、以及矩阵开关的数目与拓扑结构可以是不同的,但是一般概念仍然有效。

[0073] 给定了特定几何结构,可配置阵列将声学子元件映射到系统通道。设计 该映射以改进系统性能。通过开关网络进行该映射,在理想情况下,该开关网络直接置于在其上构造 cMUT 单元的衬底内,但是也可以在邻近换能器衬底集成的不同衬底内。因为 cMUT 阵列直接在硅衬底顶部之上构造,所以可以将开关电子元件融入该衬底内。对于 PZT 或者更一般的实现,可以简单地在分离的硅衬底内制造该开关网络,并且将其附加到 PZT 阵列上。

[0074] 在图 6 中显示集成一起的 cMUT 与 ASIC 阵列横断面视图,以说明如何从 ASIC 到 cMUT 进行连接。如图所示,使用单个通路 56 来将每个 cMUT 子元件 32 连接到其对应的 CMOS 元件(或者“单元”)50。可以在声学衬背层 62 中嵌入通路 56,其将信号电极的衬垫 65 连接到在开关 ASIC 上形成的、相应的导电衬垫 66。

[0075] 也可能在分离的衬底(例如晶片)上构造 cMUT,并且分别将其连接到 ASIC 开关矩阵,如图 7 所示。此处,例如,焊料凸点 64 以及导电衬垫 65、66 用来将各个 cMUT 子元件 32 连接到其对应的开关电子元件 50。也可以使用其他封装技术,例如各向异性导电膜(ACF)或者灵活互连。

[0076] 对于最优填充密度,进行以下工作是有用的:将声学子元件 32 及相关电子元件单元 50 铺排在六边形网格上,如图 8 所示,其显示 ASIC 开关矩阵的顶部视图。此处,CMOS 开

关单元 50 按列放置,其中每隔一列偏移半个单元高度。当正确选择了单元尺寸时,这就会产生所示的衬垫或通路 56 的完美六边形网格。然后,通路 56 在另一金属层上接触六边形衬垫(图 6 中 65),该金属层形成至上面换能器层的连接基础,该换能器层也建立在六边形网格上。图 9 中显示了一种更直接的 ASIC 实现。此处,CMOS 开关单元 50 放置在矩形网格上,而其上的声学子元件 32 仍然在六边形网格上。如图所示,CMOS 单元衬垫或通路 56 仍然正确地排列,以产生连接,使得 CMOS 开关单元 50 完美匹配六边形声学子元件 32。不论哪种情况,六边形网格图案使之可能实现图 3 所示的马赛克式环形阵列波束图案。

[0077] 在一般操作中,利用与图 3 所示类似的初始孔径图案,对可重新配置阵列进行编程。该图案允许聚束器在阵列前面形成波束。在成像过程中,通过阵列扫描宽度  $W_{aperture}$  的孔径,如图 10 所示。通过这种方式,在阵列之前的空间中扫过波束,并且利用经过聚束的回波建立连续的图像行。可重新配置阵列的目的在于:能够以电子方式对任意复杂的阵列图案进行图 10 所示的成像操作。先前的超声扫描器能够进行电子扫描,但是由于不能对传感器子元件 在仰角方向 (elevation direction) 上进行细致的分布以及固定的几何形状,而在孔径复杂度方面受到限制。

[0078] 如图 10 所示的完全可以重新配置的阵列对于实现提出了许多不小的困难。传感器阵列被进一步分为成千上万个传感器子元件。通过将连接的传感器子元件编组为有限数目的系统发射 / 接收以及聚束通道,来构建波束方向图 (beam pattern)。当用来实现马赛克式环形阵列概念时,可重新配置阵列来形成以电子方式跨越阵列转换的多个环。在转换的每个新步阶,将整个环图案重新编程到阵列中,以生成新配置。还可以提供以下功能:在发射与接收之间、以及在接收过程中在多个间隔上更新环图案,从而减少所形成的波束的失真,由此提高图像品质。

[0079] 在典型系统中,使用 128 或更多个聚束通道。当前的超声系统使用多路复用体系结构,其可以将 128 个系统通道路由至固定数目的换能器元件。通过合理地设计这些多路复用器网络,就可能以有限数量的电子元件建立标准扫描图案。然而,在大部分情况下,由于网络的限制,扫描图案固定,并且不能被重新设置。完全可以重新配置的阵列就不受这些限制的影响;然而,其需要一种非常密集的开关矩阵来实现它。

[0080] 在可重新配置马赛克式换能器阵列(例如,马赛克式环形阵列),每次获取新数据行或者“视图”时,都要改变元件以及因此的子元件的配置。每次改变配置时,必须更新开关矩阵中所有开关的(导通或关断)状态,从而建立所需要的互连,该互连建立了声学元件与子元件的新状态。

[0081] 图 10 示意性地显示了该问题。在该例子中,超声换能器为矩形,包含在矩形网格上分布的子元件。在优选实施方式中,该网格为六边形,但是矩形网格有利于说明。另外,显示包含五个同心环的发射孔径图案。利用矩阵中的声学子元件,通过使互连声学子元件的开关导通或关断,建立这些环的每一个。因此,在给定图案可以用来发射或接收超声信号之前,首先必须通过对阵列中每个开关相应的导通 / 关断状态进行编程,在开关矩阵中建立该给定图案。为了说明该操作的复杂程度,请考虑每个开关单元可以包含四个开关,并且标称孔径包含  $100 \times 100$  个声学子元件。这等于在每个发射 / 接收操作之前,必须要配置 40,000 个开关。显然,对于可能用于乳腺 X 线照相术应用的、较大的铺排阵列来说,这个问题变得严重。

[0082] 在操作阵列时,必须沿阵列轴转换孔径,如图 10 所示。该转换用来获取 不同的视图,以构造图像中的行。可以沿 x 轴(如图所示)或者沿 y 轴发生转换。

[0083] 图 11 显示大型阵列中大量未利用的声学子元件的问题。为了从所示的视图转换到下一视图(未显示),只需要重新配置环中的某些声学子元件。具体地说,根据正在使用的图案的类型,不一定需要改变那些位于段  $W_e$  与  $W_f$  内的声学子元件。另外,也不必改变段  $W_a$ 、 $W_b$ 、 $W_c$  与  $W_d$  内的声学子元件。一般地说,在转换过程中,图案先导与结束沿上的声学子元件将会变化,而图案内部的声学子元件( $W_e$  与  $W_f$ )以及主要在图案外部的声学子元件( $W_a$ 、 $W_b$ 、 $W_c$  与  $W_d$ )不一定会变化。从这个例子可以看出,在其最大环为直径 100 个声学子元件、而整个阵列为 200 个声学子元件的阵列中,在视图之间有很大数目的子元件不需要变化。对于大型铺排阵列来说,未使用子元件的数目将显著变大。因此,重新配置阵列使得只有必须变化的子元件才受影响的部件应该会提高视图更新时间。

[0084] 在某些情况下,对于发射与接收操作,必须利用不同的孔径图案。这就要求或者能够极其迅速地配置阵列,或者可以将阵列的发射与接收状态一起编程到给定视图的阵列中。后一种技术较优越,因为其允许通过改变单个全局信号的状态来同时变化阵列中所有子元件。

[0085] 在某些情况下,对于跨越阵列可转换也可不转换的、连续的发射与接收操作,必须利用不同的孔径图案。这是例如在分阶段阵列操作过程中的情况,其中孔径矩心(aperture centroid)不转换,但是通过在视图之间改变环结构来旋转波束角。

[0086] 对于非常大的铺排阵列,例如用于乳腺 X 线照相术应用的,以下是重要的:阵列的编程时间不受矩阵大小的限制。例如,给定孔径宽度与阵列宽度(图 10 中的  $X_n$ ),以下是不利的:当以单个子元件增量的方式转换孔径图案时,必须对阵列中的所有子元件重新编程。另外,在某些情况下,以下应该是可能的:在阵列中不同位置上建立并交织(按照时间)分离的子孔径图案。对于大型阵列,如果在视图之间必须对每个子元件重新编程,则该功能难于建立。

[0087] 以下将公开本发明的几种实施方式。可以单独或者联合使用这些实施方式,以解决高效扫描马赛克式环形阵列的问题。

[0088] 1) 多路复用的地址 / 数据扫描体系结构

[0089] 在图 12 中示意性地显示了一种实施方式,具有多路复用的地址 / 数据扫描体系结构。根据该体系结构,将声学子元件 32 按行(或列)编组,其中给定行(或列)上的所有子元件共享相应的数字地址 / 数据总线 48,在图 12 中只显示了其中的两条。每条总线 48 包含地址线与数据线。在给定行(或列)内,每个子元件在总线上具有唯一的地址。地址 / 数据生成器 34 包含在芯片上(或者在芯片外),并且为每一行在共享的数据线将数据传送给阵列。

[0090] 利用该结构,就可能只更新那些对于给定视图需要更新的子元件。另外,因为每个行(或列)独立地操作,所以就可能同时更新具有大幅度变化 x(或 y)坐标的子元件。该特征将(例如)允许两个同时的孔径位于换能器阵列的对角内。另外,可以使这些多个发射 / 接收区域独立地并且同时沿不同方向地移动。

[0091] 这种多路复用的地址 / 数据扫描体系结构解决了以下问题:必须只更新在视图之间变化的子元件。其还提供了视图之间任意不同的环图案的灵活性。

[0092] 该体系结构的一种简单变化利用每行上分离的地址与数据总线。其需要两倍的数字总线,但是可以两倍的数据速率操作。

[0093] 2) 列寻址的扫描体系结构

[0094] 在图 13 中示意性地显示了一种实施方式,具有列寻址的扫描体系结构。该体系结构是多路复用的地址 / 数据扫描体系结构的有用变体。该列寻址的扫描体系结构类似的操作,只是开关状态数据由数据生成器 36 生成,而地址由分离的地址生成器 38 生成,如图所示。这些地址以相对于数据正交的方向提供,即地址通过垂直地址线 30 提供,而数据通过水平数据线 31 提供。可以利用移位寄存器生成地址,该移位寄存器载入感兴趣区域 (ROI) 位图案,将该位图案移位,以移动接收在行线上输入的数据的列的块。第二移位寄存器将在 ROI 限制内以循环方式移位,从而依次选择列进行寻址。通过这种方式,利用两个移位寄存器,而不是在每行中利用移位寄存器,可以进行 x 方向的扫描,从而节省了可观的功率。该列寻址的扫描体系结构还减少了所需地址线的数目,并且简化了地址电路,如下所述。

[0095] 利用该列寻址的扫描体系结构,不能独立地更新列;然而,只需要更新那些包含在最大环宽度内的子元件。因此,该列寻址的扫描体系结构提供了一种扫描拓扑结构的、虽较不灵活但是需要不太复杂的阵列电子元件的、有用的折中方式。情况可能是这样的:(例如)在具有非常小的声学子元件高密度阵列中没有多少用于阵列中的电子元件的空间。

[0096] 3) 多方向移位寄存器扫描体系结构

[0097] 在图 14 中示意性地显示了一种实施方式,具有多方向移位寄存器扫描体系结构。该体系结构是现有扫描体系结构的有用变体。在这种情况下,数据起先由数据生成器 36 一次一位地载入阵列,并且随后进行移位,以生成连续视图。通过利用阵列外的、生成移位开关状态数据的控制信号的控制块 40 与 42,进行沿阵列轴(此处 x 与 y)的移位。

[0098] 该多方向移位寄存器扫描体系结构需要与先前讨论的体系结构类似的数字电路来实现,但是具有以下额外的优势:对于每个视图,不需要对阵列重新编程。以单个的移位操作进行转换,而不是通过将子元件重新编程为下一视图状态。在视图之间的转换速度以及功率需要方面,这些特征产生了显著的益处,但是灵活性方面有些损失。

[0099] 利用该多方向移位寄存器扫描体系结构,仍然可能建立视图之间的任意不同的阵列图案。然而,因为数据生成于矩阵的左手侧并且必须移位通过行上所有单元以达到中间,所以任意图案的编程时间随发射孔径与矩阵左手侧的距离线性增长。因此,该体系结构对于不使用大型阵列的低功率应用是有用的。另外,可以由该类型的较小阵列的组构成利用复杂封装技术的大型阵列。

[0100] 4) 混合扫描体系结构

[0101] 在图 15 中示意性地显示了一种实施方式,具有混合扫描体系结构。该体系结构将所有上述实施方式组合到单个灵活结构中。在这种情况下,利用多路复用的地址 / 数据方法,由地址 / 数据生成器 34 将数据载入阵列。然而,一旦数据被编程到阵列中,就可以分别利用控制块 40 与 42 沿阵列轴(此处 x 与 y)移位数据。因此,该结构可以用于低功率模式,其中设置图案并且沿 x 或 y 方向一次移位一个子元件。该结构还可以用于更灵活的模式,其中在视图之间需要建立任意的图案,例如在分阶段阵列中。

[0102] 不论哪种情况,该混合结构的优点在于:编程任意图案不需要移位通过整个阵列。可以编程感兴趣区域,并且以独立于阵列中所有其他区域的方式进行转换。这允许应用中

的低功率操作,其中在视图之间图案移位单个步阶。

[0103] 该混合结构的另一重要优点在于:能够有效地“修复”具有非活跃元件的移位寄存器行。这可以通过以下达到:将初始孔径图案编程到阵列中。在这之后,每次发生移位,利用多路复用的地址 / 数据总线 48,更新不可操作的、以及从不可操作单元获得输入的那些移位寄存器单元。因为这些不可操作单元的数目相对较小,所以“修复”操作只会占据更新整个阵列的小部分时间,并且需要非常少的功率。

[0104] 在该混合体系结构的一种有用变体中,x 控制块 40 可以用来控制数据进入阵列中移位寄存器的开始点。在这种情况下,不使用行地址线,而仍然在整个阵列上铺设行数据线。数据线用来旁路那些在传统移位寄存器结构中一般必须使用的移位寄存器元素。这种结构放弃了唯一地确定待编程的单元的灵活性,但是需要较少电路实现。

[0105] 上述的每种扫描体系结构实际上都由两部分构成:部分类似的开关单元(对于马赛克式换能器阵列中的每个声学子元件 32 有一个开关单元)阵列,以及在该阵列外面集成的扫描电路。对于上述的某些体系结构,在以下部分将描述这些电路的细节与操作。

[0106] A) 扫描电路体系结构

[0107] 1) 多路复用的地址 / 数据型扫描体系结构

[0108] 图 16 显示多路复用的地址 / 数据总线型扫描体系结构,用来将数字数据编程到单位开关单元 50 中。每个单元列 50 具有唯一的地址,如图所示,( $A_0, A_1, \dots, A_7$ )。在该例子中,只显示了八列;然而,该设备可能包含成百上千的列。每个单元行 50 共享多路复用的地址 / 数据总线 48。另外,每行具有专用的地址 / 数据生成器 34,该地址 / 数据生成器 34 通过相应的多路复用器 46 对相应的总线 48 进行编程。通过这种方式,并行地编程所有的行。

[0109] 每行的地址 / 数据生成器 34 可以位于阵列之外的芯片上。它们也可以位于现场可编程门阵列(FPGA)、数字应用专用集成电路(ASIC)或者中央处理单元(CPU)或者这些组合的片外(off-chip)。编程操作由视图生成器 44 控制,其接收来自超声成像系统的、请求特定的下一状态阵列配置的输入。然后,视图生成器 44 对地址 / 数据生成器 34 编程,以按照给定视图的需要配置阵列。该视图生成器还可以实现为 FPGA、数字 ASIC、CPU 或者这些组合,并且可以包含 SRAM、DRAM、ROM、EPROM、EEPROM、MRAM 或者其他用于配置数据本地存储的存储器存储技术。在操作过程中还可以按照需要,根据校准数据、孔径扫描信息、来自操作人员的输入、以及缺省校准数据,利用算法计算配置数据。

[0110] 地址与数据生成器 34 能够以随机访问存储器(RAM)或者其他存储器存储技术实现,用作查找表。给定了视图序列中的视图号,可以读出每个 RAM 的相应块,其中 RAM 的内容包含一系列成对的 n 比特数,其中第一个数为行中单元的地址,第二个数为待写入该单元的开关状态数据。还可以利用算法进行该操作,其中当更新单元时临时确定给定单元的数据。

[0111] 在图 16 所示的例子中,在 3 比特总线 48 上将数据写入八个单元 50(在行中有 16 个单元的情况下,使用 4 比特总线,等等)。写序列中的第一个字为数据要去的列的 4 比特地址。下一个字包含 4 个比特,其中每个比特确定给定开关单元 50 中一个开关的未来状态。地址由地址生成器输出到多路复用器 46 的一个输入端,其中开关状态数据由数据生成器输出到多路复用器 46 的另一个输入端,而多路复用器的状态根据在线 52 上向多路复用

器输入了 ADDRESS( 地址 ) 还是 DATA( 数据 ) 多路复用器状态控制信号来确定。

[0112] 仍然参照图 16, 数据写入可以从左向右依次进行, 从 0 列开始, 或者从 7 列开始从右向左进行。数据写入也可以是任意独立的, 依照最适合于待编程的数据而定。例如, 行 1 可以编程单元 A0 与 A5, 同时行 2 编程单元 A3 与 A4。该特征对于迅速设置任意图案是有用的。

[0113] 虽然地址总线可以大于所示的 3 比特, 但是对于该方案, 块寻址也是可能的。或者通过沿列集成的外部地址生成器 ( 如图 35 所示 ), 或者通过将数据按块增量写入在阵列内部集成的块地址生成器 ( 如图 36 所示 ), 对于 3 比特寻址, 逐次选择单元体。例如, 在用于乳腺 X 线照相术的大型矩阵阵列中, 可以按照需要 5 或 6 个地址线的 32 或者 64 区段进行块寻址, 而整个阵列可以具有多达 40 个这样的块。

[0114] 在替换实施方式中, 可以将数字总线分解为列体, 其中每个体由 MOSFET 开关分离, 如图 37 所示。配置地址电路, 从而当在阵列内从左至右移动寻址时选择连续的体。这种技术减少了对于大部分寻址周期的线驱动器上的电容性负载量, 因此与原来的体系结构相比节省了电能。

### [0115] 2) 列寻址的扫描体系结构

[0116] 图 17 显示列寻址的扫描体系结构, 用来将数字数据编程到单位开关单元 50 中。该方案与多路复用的寻址类似, 即数据生成器 36 位于设备的每行上。然而, 在这种情况下, 所有行共享单个的地址生成器 38, 如图所示。由地址生成器 38 建立感兴趣区域, 从而只选择包含必须要更新的单元的列。从包含要更新的单元的第一列开始, 至包含要更新的单元的最后一列结束, 从左到右以增量方式进行寻址。

[0117] 该方案具有阵列内复杂度较小的优势, 但是没有编程所带来的完全灵活性的益处。这是因为缺省地改变视图需要更新孔径环图案内所有单元。因此, 例如, 如果只需要更新行 4 上的单元, 则同时会更新所有行内的所有单元, 从而要求更高的功率来执行。另外, 如果需要更新阵列对角内的单元, 则必须扫描通过整个阵列。一项小的改进是: 利用多个独立的兴趣区域 (ROI) 移位控制器 ( 即扫描器 ), 以允许处理同一大型阵列中独立的、距离较远的孔径。利用 X 控制器的两个分离的、独立的移位寄存器, 可以建立该多个 ROI, 或者利用两个分离的解码器 ( 地址写入其中以选择导通那条信号线 ), 也可以建立这些多个 ROI。

[0118] 图 38 显示多个兴趣区域 (ROI) 移位控制器的概念。此处, 数据被实际同时写入阵列中不同部分中的、两个完全独立的孔径。这种技术允许利用单个阵列建立多个扫描波束。利用两个 ( 或更多个 ) 独立的 ROI 控制器 ( 只显示了两个 ), 控制两个 ( 或更多个 ) 独立的孔径。ROI 移位控制器设置 X 与 Y 方向上孔径的范围, 并且控制到由这些孔径指定的单元的独立的数据传输。

### [0119] 3) 多路复用的地址 / 数据扫描体系结构的替换实施方式

[0120] 图 18 显示多路复用的地址 / 数据总线型扫描体系结构的替换形式, 用来将数字数据编程到单位开关单元 50 中。该方案与原始方案的不同之处在于: 没有为每行提供唯一的地址与数据生成器。相反, 这些地址与数据生成器被替换为单个的地址与数据生成器 34, 其与一系列锁存器 54 结合, 以便在扫描寻址操作中存储数据。在一种实施方式中, 该生成器是片外的, 而锁存器为片上的。这大大减少了片上信号的路由, 但是不利之处在于由于行数据的串行更新而造成的较低的扫描速率。

[0121] 为了更新单位开关单元 50，首先读出行地址。该行地址用来选择给定行上的锁存器，然后将单位开关单元的列地址写入该锁存器。然后该地址用来选择单位开关单元进行数据写入。类似地，从数据生成器中读出数据，并且将该数据首先通过锁存器 54 传送，然后进入所寻址的单位开关单元。为了更新大量的单位开关单元，可以在每一步设置多个锁存器，并且将这些锁存器用来同时更新相应的单元。

[0122] 图 18 显示该方案如何只利用单个的地址 / 数据生成器 34，图 19 显示如何利用多个地址 / 数据生成器。在后一种情况下，与原来的多路复用寻址的实施方式相比，所使用的生成器的数目要少很多。然而，更新时间要比图 18 的方案快。例如，在具有 100 行、10 个生成器的系统中，图 19 的方案使用的生成器比图 16 所示的方案少 10 倍，但是比图 18 所示的方案更新快 10 倍。

[0123] 该实施方式的这两种形式都具有以下额外优点：在实现中，需要更少的逻辑集成到矩阵旁边；但是需要更长的时间才能实现视图配置。对于其中孔径图案相对较小（square）（圆形）并且构成总体阵列区域的一小部分的大型阵列，在功率以及逻辑阵列要求方面，该方案具有显著优势。

[0124] 4) 六边形阵列路由

[0125] 在六边形子元件阵列的情况下，容易实现上述的体系结构。图 20 与 21 显示两种可替换实施方式，用于此类单位开关单元 50 六边形阵列中总线 48 的路由。图 20 所示的实施方式需要更多的总线 48，但是允许所有单位开关单元 50 相同，这对 ASIC 布线是有益的。图 21 所示的实施方式需要一半多的总线，但是要交替单元类型，因此实现起来更复杂。

[0126] 5) 多扫描体系结构

[0127] 虽然上述所有体系结构都显示列或行扫描电路在阵列的一侧，但是为了相同的操作在阵列的两侧都提供扫描电路（在图中未显示）也是有益的。例如以行为基础进行该工作：将行分为左与右部分，在阵列中间有分隔。该结构的优点在于：其减少了对线驱动器的要求，该线驱动器驱动行上的数字线。这种结构还使配置写入速率翻倍，因为可以同时更新阵列的两半。

[0128] 通过将阵列分为顶部与底部，该技术还可以用于列地址线。在这种情况下，减少了驱动器需要，并且也可以独立、同时地更新该阵列的顶部与底部。

[0129] 根据上述的体系结构的替换实施方式，地址与数据总线可以是分离的，这会减少写入时间，但是以更多面积用于路由为代价。

[0130] 根据另一替换实施方式，每行可以包含两个分离的多路复用的地址 / 数据总线，其中第一总线寻址 32 个或更多个单元的偶数块，第二总线寻址 32 个或更多个单元的奇数块。该方案还将写入时间增加至两倍。

[0131] 6) Y 方向上的转换

[0132] 通过以下方式之一，可以进行 Y 方向上子孔径图案的转换：(1) 根据算法，通过转换数据生成器 RAM 中的图案或数据生成器算法；(2) 当使用单个生成器模型时，通过改变要向其写入的 y 锁存器的开始地址；(3) 通过利用 x 与 y 两个方向上的地址 / 数据生成器；以及 (4) 通过利用移位寄存器模型，其中 Y 控制器用来在 Y 方向上移位数据。

[0133] B) 阵列单元体系结构

[0134] 根据本发明的各种实施方式，马赛克式换能器阵列中的每个单位开关单元包含模

拟开关以及用来对开关状态编程的相关逻辑。如美国专利申请 10/248968 “Integrated High-Voltage Switching Circuit for Ultrasound Transducer Array” 所公开的，该开关体系结构使得开关自身具有存储器。为此，以下描述的某些体系结构不需要数字存储器单元。以锁存器的形式添加数字存储器是有用的，因为其实现了对于在连续的发射与接收操作之间快速转变孔径图案的要求。虽然美国专利申请 10/248968 中讨论的开关体系结构利用高压 DMOS 晶体管，但是此处讨论的扫描体系结构完全可以使用替换的开关设备，包含（但不限于）低压 CMOS 或 MOS 开关以及基于高压 MEMS 的开关。虽然不是所有这些替换开关都包含其自身的内部存储器，但是可以在其控制电路中添加另外的锁存器，以使之可能实现此处讨论的体系结构。

[0135] 1) 状态存储器锁存器

[0136] 对于每个子元件具有一个接入开关、三个矩阵开关的马赛克式换能器阵列，需要四个锁存器来保持开关的未来状态。这些锁存器应该能够写入以及读取，从而可以测试它们。

[0137] 图 22 至 25 显示对于该体系结构的、在每个锁存器内包含的逻辑的替换实施方式。每个锁存器都输出两个开关状态控制信号 N 与 P，至开关控制电路（未显示），该开关控制电路导通或关断相应的开关，例如在美国专利申请 10/248968 中讨论的开关。例如，控制信号 P 电平的预定变化将使开关导通，而控制信号 N 电平的预定变化将使开关关断。

[0138] 图 22 显示静态锁存器 88，包含两个交叉耦合的反相器 70 与 72，以及分别用于读取与写入功能的附加的反相器 74 与 76。对该锁存器的编程通过以下完成：置写入线 W 有效，使数据存储在交叉耦合对中顶部反相器 70 的输入电容上。通过置读取线 R 有效，在 DATA 数据线上读回数据，使三态输出反相器 74 驱动 DATA 数据线的状态以反映锁存器的状态。锁存器的输出出现在 N 与 P 线上，并且馈送到以下将详细描述的开关控制电路。图 23 显示一种利用动态锁存器的替换实施方式。在这种情况下，当置写入线 W 有效时，将数据存储在反相器 78 的输入电容上，由此导通通路 MOSFET 84。反相器 78 的输出由反相器 82 反相。通过置读取线 R 有效，导通通路 MOSFET 84，在 DATA 数据线上读回数据。这种类型的锁存器比图 22 的电路小，但是由于漏电流，其保持数据的时间有限。图 24 显示在锁存器的一个输出直接路由至 AND 门 86 的条件下如何节省额外的反相器，这是该设计下的大部分体系结构的情况。图 25 为锁存器 88 的高级方框图，显示了其输入与输出信号。不论哪种情况，使用传送门电路，而不是通路 (pass) MOSFET，但是对通路 MOSFET 与反相器利用不同的电源电压可以节省额外的 PMOS 设备。

[0139] 应该理解：诸如 DRAM 等替换设备甚或其他技术可以用来实现此处使用的存储器的功能，不需要对此进行讨论。

[0140] 在一种示范性实施方式中，输出 N 与 P 可以被分别送往以下参照图 34 描述的、来自上述美国专利 10/248968 的开关电路。

[0141] 2) 具有未来状态存储器的多路复用的地址 / 数据开关单元

[0142] 除上述锁存器之外，每个开关单元还包含图 26 所示的寻址与控制逻辑。该控制逻辑包含多个 AND 门 96，其输出开关状态控制信号（在权利要求中被称为“开关状态控制数据”）GN0-GN3，以及 GP0-GP3，用来控制具有一个接入开关与三个矩阵开关的单位开关单元中的四个模拟开关（未显示）的门电路。例如输出 GN0 与 GP0 可以控制接入开关的开关状

态,而输出 GN1 与 GP1 可以控制三个矩阵开关的第一个的开关状态,等等。

[0143] 图 26 还显示数字控制线(即状态选通,地址选通,写入 \ 读,以及数据选通),以及多路复用的地址 / 数据总线 48。如图所示,总线 48 由左至右跨越阵列列,从而该行(未显示)上所有其他开关单元也共享该总线。

[0144] 通过向数据总线施加地址,地址周期开始。通过解码器块 92 在单元中接收地址。该块包含零至四个反相器。每个解码器块实现给定单元特定列的、唯一的二进制地址。例如,列 0 中所有单元的解码器不包含反相器;列 1 解码器只包含一个反相器;列 2 一个反相器;列 3 两个反相器;等等。解码器 92 的输出由 AND 门 94 读取。当置地址选通有效时,AND 门输出存储在锁存器 L5 中。一旦锁存器 L5 的输出为高,则选择该单元进行随后的写入操作。注意:如果需要,该方案使之可能进行广播写入。对于更新使每个矩阵开关都导通的环内的子元件,该特征尤其有用。

[0145] 通过置写入 \ 为低,开始写入周期。然后将数据施加到数据总线,并且数据出现在未来状态锁存器(L0、L1、L2、L3)的输入上。当置数据选通有效时,对锁存器进行编程。注意:这些锁存器不会立即影响单元中开关的状态。这是一种重要的特征,因为其使之可能在两个不同的阵列配置之间快速变换,在发射与接收之间会发生这种情况。

[0146] 通过置状态选通有效,对开关状态编程。该线使 AND 门 96 的输出能够至 GN0-GN3 与 GP0-GP3,这些开关状态控制信号输出至模拟开关控制门电路(以后参照图 34 详细描述)。因为开关自身包含存储器,所以就可能对当前开关状态与下一开关状态两者进行编程。这要求两个写入操作。一旦完成了第一个写入操作,就置状态选通有效,从而将锁存器状态传送给开关。然后,使用对于同一单元的另一个写入周期,以对于开关锁存器 L0 至 L3 设置未来开关状态。以后,通过置状态选通有效——这会将来自未来状态锁存器的数据传送给开关存储器——进行发射与接收之间的快速配置。为了启动用来测试单元的读取操作,进行地址周期。之后进行读取周期,其要求置写入 \ 读线为高。

[0147] 图 27 显示用来为低压开关的电路提供接口,其中不需要输出 GN0-GN3。

[0148] 3) 具有未来状态存储器的、列寻址的开关单元

[0149] 图 28 显示用来实现列寻址的扫描体系结构的单位开关单元的电路。在这种情况下,寻址电路被替换为单个选择线 30,其由地址生成器(图 13 中的 38)置有效。该选择线为给定列中所有单元所共有。单元的操作类似于多路复用的单元,只是不再需要地址周期。从图 28 可以看出,与多路复用的单元相比,该单元节省了某些电路;然而,如上所述,该单元不如其灵活。

[0150] 4) 没有未来状态存储器的、列寻址的开关单元

[0151] 图 29 显示用来实现具有列寻址的单位开关单元的电路,其没有融入未来状态存储器。这种单元是所有可能单元中最紧凑的;但是其也是最不灵活的。如上所述,在因为具有非常小的声学子元件由此在每个单位单元中没有足够区域用于更复杂逻辑的换能器中,该单元非常有优势。图 30 显示该方案的优选实施方式,其使用相应的 MOSFET 98 与相应的电阻器 100,以替换每个两输入 AND 门,因此其比图 29 的电路更紧凑。

[0152] 5) 没有未来状态存储器的、多路复用的地址 / 数据开关单元

[0153] 图 31 显示用来实现具有多路复用的地址 / 数据线 48 的单位开关单元的电路,其没有融入未来状态存储器。与先前的单元类型一样,该单元要求需要更少的空间。在寻址

能力方面,其更灵活;但是,其没有保持在阵列图案之间迅速切换的功能。

[0154] 6) 具有移位寄存器功能的单元

[0155] 目前为止所述的具有内置锁存器的所有单元都没有明确地显示移位寄存器功能。然而,只要少许改进,就可以添加该功能。通过再次察看图 22,可以理解这一点。通过在输出 N 与另一邻近单元的 DATA 输入之间添加 FET 开关,可以建立两比特移位寄存器。根据锁存器的类型,可能需要某些内部改进,以建立主 / 从操作,从而实现移位寄存器功能。通过向每个单元添加开关以及必要的控制线以使能移位,该改进可以用来建立非常长的移位寄存器。添加这些开关不会去除可编程性,该性能为目前为止讨论过的单元所固有。相反,其建立了混合单元,其具有可用的两种体系结构的最好的特征。

[0156] 图 32 显示六个此类单元的阵列,其中每个单元具有双向水平数字移位功能。其工作如下:拿顶部左侧移位寄存器单元 88 来说,输出 N 可以通过右侧移位开关 801 传递至右侧移位寄存器。当开关 801 导通时,这会产生至右侧的移位。类似地,通过导通左侧移位开关 800,可以进行至左侧的移位。最后,对于直接将数据编程到给定寄存器 88 中,利用数据控制线 804,可以导通寄存器编程单元 802。这使数据总线 803 上的外部输入编程数据被传送到寄存器单元的数据输入端。

[0157] 图 33 显示同一阵列,其被修改以能够具有双向水平与垂直数字移位功能。其工作如下:拿底部左侧移位寄存器单元 88 来说,输出 N 可以通过右侧移位开关 801 传递至右侧移位寄存器。当开关 801 导通时,这会产生至右侧的移位。类似地,通过导通左侧移位开关 800,可以进行至左侧的移位。类似地,利用移位开关 803 与 802,可以分别进行上下移位。最后,对于直接将数据编程到给定寄存器 88 中,利用数据控制线 806,可以导通寄存器编程开关 804。这使数据总线 805 上的外部输入编程数据被传送到寄存器单元的数据输入端。

[0158] 图 32 与 33 所示的阵列的其他开关表示逻辑区域与控制复杂度的渐次增加,但是在许多应用中,低功率操作以及减少了编程时间的附加特性将使该成本具有合理性。

[0159] 有时,能够沿扫描线改变孔径以建立多个发射或接收焦点是有利的。一般地,在成像期间,每次需要形成新孔径时,对于这些不同的孔径的开关配置必须被编程到阵列中,来自外部来源的编程数据具有以下缺点:在多个写入周期之间,由于驱动片外寄生电容而功耗增加;由于从片外来源的写入速度的限制,而造成操作速度降低;以及最重要的是,在接收成像期间,数字噪声增加。当对深入体内的多个焦点区域进行成像时,后一种情况尤其严重,因为施加了最大接收信号增益,以放大从该深度的返回的非常弱的回波。数字数据传送可能会在电源线以及地线上生成噪声波动,其直接耦合到接收放大器,并且会淹没实际的信号。

[0160] 图 39 显示了对该问题的解决方案。如图所示,可能提供个别单元,其能够存储数据,用来切换对于多个孔径的设置。使用一系列移位寄存器(此处仅在每个单元中只显示了三个)来存储多个发射或接收孔径开关配置设置。例如,如图 39 所示,可以使用三个移位寄存器来存储对于三个接收焦点区域的三种孔径开关设置。在初始阵列编程周期期间,将对这些寄存器编程。在操作过程中,按照需要,对于每个孔径,将数据连续向外移位至开关控制电路。这种体系结构的优点在于数据使在芯片内部移位的,其中寄生电容大大降低,因此减少了功耗与噪声。另外,低寄生电容允许以高得多的速度进行数据传送。最后,因为数据已经在每个单元内,所以通过单元 1 与单元 2 并行操作,可以将数据并行地向外移位。

这一过程可以按照阵列中单元行的数目提高编程速度,其可以比将数据从片外来源带入快100或更多倍。

[0161] 根据所使用的制造工艺,也可能增加寄存器位数目超过此处所显示的数目。实际上,在集成一起的 DRAM 工艺中,可能在阵列内本地存储对于所有操作方面的、所有所需的孔径设置。如上所述,这会在功率减低、速度增加、以及噪声减少方面具有很大优势,但是要以利用片上更多的面积为代价。另外,在支持集成一起的 EEPROM 的工艺中,可能将数据一次编程到探头中,然后就再也不需要对其再次编程。

[0162] 此处讨论的本发明的各种实施方式提供了以下的一或多种优点 :1) 在视图之间快速配置任意孔径图案 ;2) 高效编程开关单元,以最小化时间与功率需求 (例如,通过只配置那些在视图之间需要改变的开关 ) ;3) 在视图之间能够沿矩阵轴迅速转换孔径图案,同时使用最小功率 ;4) 能够在发射与接收操作之间迅速改变孔径配置 ;5) 能够具有同时沿不同方向移动的多个发射 / 接收区域 ;6) 将发射与接收开关配置两者编程到阵列中 ;7) 定义可以沿一或两个阵列轴移位的兴趣区域 ;8) 考虑到 :i) 功率限制 ;ii) 定时限制 ;iii) 保持灵活性 ;以及 iv) 最小化配置的复杂度,高效扩展体系结构至大型铺排阵列 ;9) 对于半导体缺陷的健壮性 ;以及 10) 开关矩阵的完全可编程的配置。

[0163] 此处公开的一般扫描体体系结构可用于超声成像系统,该系统包含声学元件阵列以及分布式开关矩阵,该开关矩阵用来互连子元件阵列以形成较大的声学元件,并且该扫描体体系结构也可用于其他类型的系统,该系统包含传感器元件阵列,借助分布式开关矩阵,可以互连这些传感器元件以形成较大的传感器元件。

[0164] 分布式开关矩阵的接入与矩阵开关可以属于图 34 所示的类型。晶体管  $M_{D1}$  与  $M_{D2}$  为 DMOS FET,其背对背连接 (源极节点连接在一起) 以允许双极操作的。由于寄生体二极管 (parasitic body diode) (如原理图所示),该连接是必须的,否则该寄生体二极管将在超声发射脉冲的正或负相位期间提供设备从漏极到源极的导通路径。每当  $M_{D1}$  与  $M_{D2}$  都导通时,电流流经开关终端  $S_1$  与  $S_2$ 。为了导通开关,这些设备的门极电压必须比其源极电压大一阈值电压。在该阈值电压之上,开关导通电阻与门极电压变化相反。因为源极电压将接近漏极电压 (对于低导通电阻与低电流),所以源极电压将跟随超声发射脉冲电压。为了使门极 - 源极电压保持恒定,门极电压也必须跟随发射脉冲电压。通过以下可以达到这一点 : 将门极、源极与开关控制电路隔离,并且参照源极在门极上提供固定的电势。在图 34 所示的实施方式中,使用动态电平移动器 (level shifter)。该电平移动器操作如下 :

[0165] 晶体管  $M_4$  为高压 PMOS 晶体管,能够耐受其漏极与源极端之间的最大处理 (process maximum) (例如 100V)。如图所示,向晶体管  $M_4$  的源极施加偏压全局开关门极偏压  $V_{g0}$  (标称 5V)。为了导通开关,晶体管  $M_4$  的门极电压  $V_p$  从高 (5V) 变化为低 (0V),使全局偏压  $V_{g0}$  通过晶体管  $M_4$  施加到 FET  $M_{D1}$  与  $M_{D2}$  的共享门极端。当 DMOS 开关门极电压漂移大于  $V_{g0}$  时,二极管  $D_1$  用来防止晶体管  $M_4$  导通。一旦开关门极电压达到了  $V_{g0}$ ,FET  $M_{D1}$  与  $M_{D2}$  的寄生门极电容就保持该电压。为此,一旦门极电压稳定后,可以截止晶体管  $M_4$  以节约电能。在晶体管  $M_4$  漏极处的漏电流最终会耗散开关门极处的偏压,但是如果需要可以周期性地重新编程该电压。开关导通状态实际存储在开关门极电容上这一事实意味着开关具有其自身的存储器,这是有用的,因为不需要为此目的提供额外的状态触发器。

[0166] 当处于导通状态时,可以使用门极箝压器 NMOS 晶体管  $M_1$  关断开关。这通 过以下

实现：利用由晶体管  $M_2$ 、 $M_3$ 、 $M_5$ 、以及  $M_6$  构成的电平移动器，向晶体管  $M_1$  的门极施加导通电压。当该晶体管导通时，其迫使开关门极电压等于开关源极电压，这就将开关  $M_{D1}$  与  $M_{D2}$  移动到其截止状态。在上述的导通操作之后，使这些电压相等的动作实际上会耗散在门极电容上遗留的电荷。一旦去除了电荷，晶体管  $M_1$  就没有必要继续导通。这意味着在开关稳定之后，就可以截止该设备的控制电平移动器电路，这就可以节省电能。再一次地，可以长时期存储该截止状态，并且如果需要可以重新编程。

[0167] 图 34 所示的电路具有以下优点：(1) 低功率，因此不需静态电流耗散来保持设备为导通或截止状态；只有在从一种状态迁移到下一状态期间，才会耗散电能；(2) 状态存储器，因为开关状态实际上存储在开关门极电容上；(3) 可级联的开关，因为在导通状态下没有静态偏压电流与电压降；以及 (4) 可编程导通电阻，因为可以个别控制  $V_{g0}$ 。

[0168] 虽然已经参照优选实施方式描述了本发明，但是本领域技术人员应该理解：在不脱离本发明范围的前提下，可以进行各种修改，并且可以将各元件替换为其对等物。另外，在不脱离本发明的实际范围的前提下，可以对本发明的原理进行许多改进以适应特定情况。因此，本发明不限于作为所设想的实现本发明的最佳模式而公开的特定实施方式，而是本发发明包含落入所附权利要求范围内的所有实施方式。

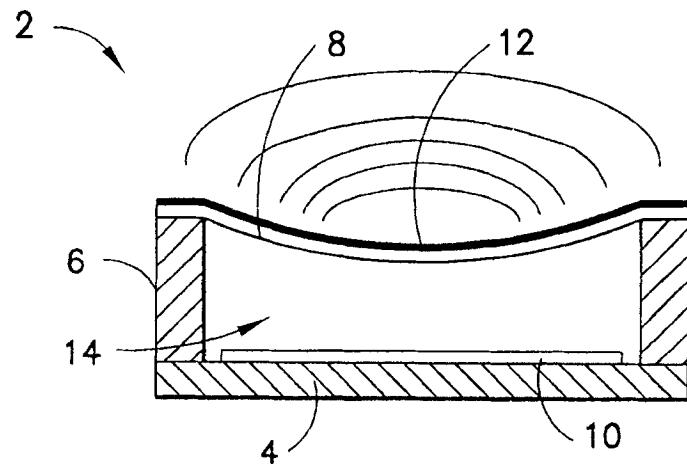


图 1

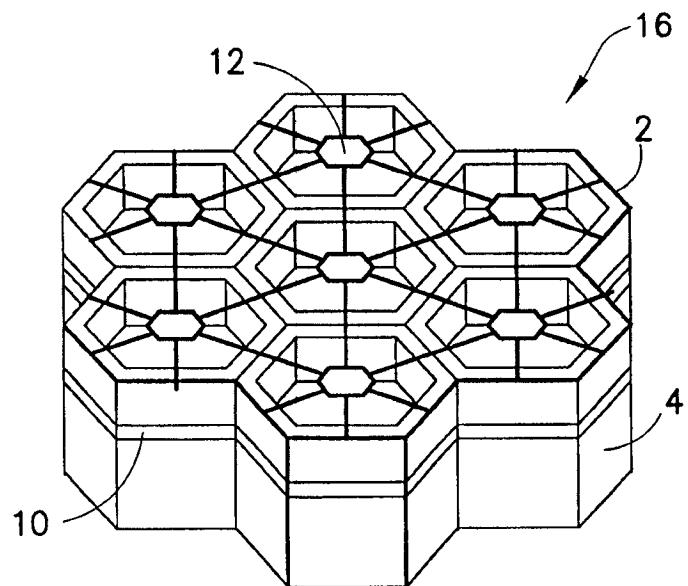


图 2

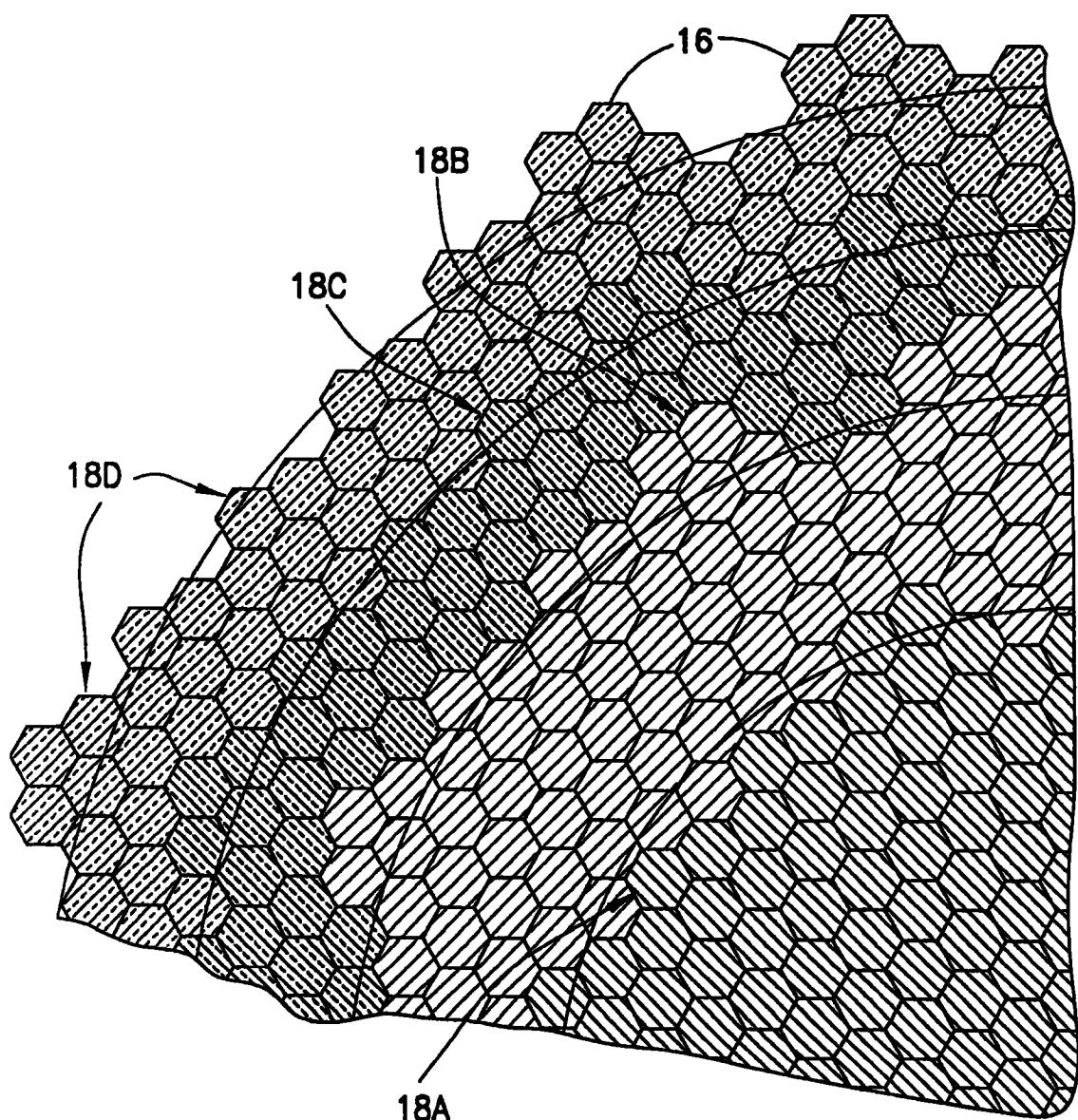


图 3

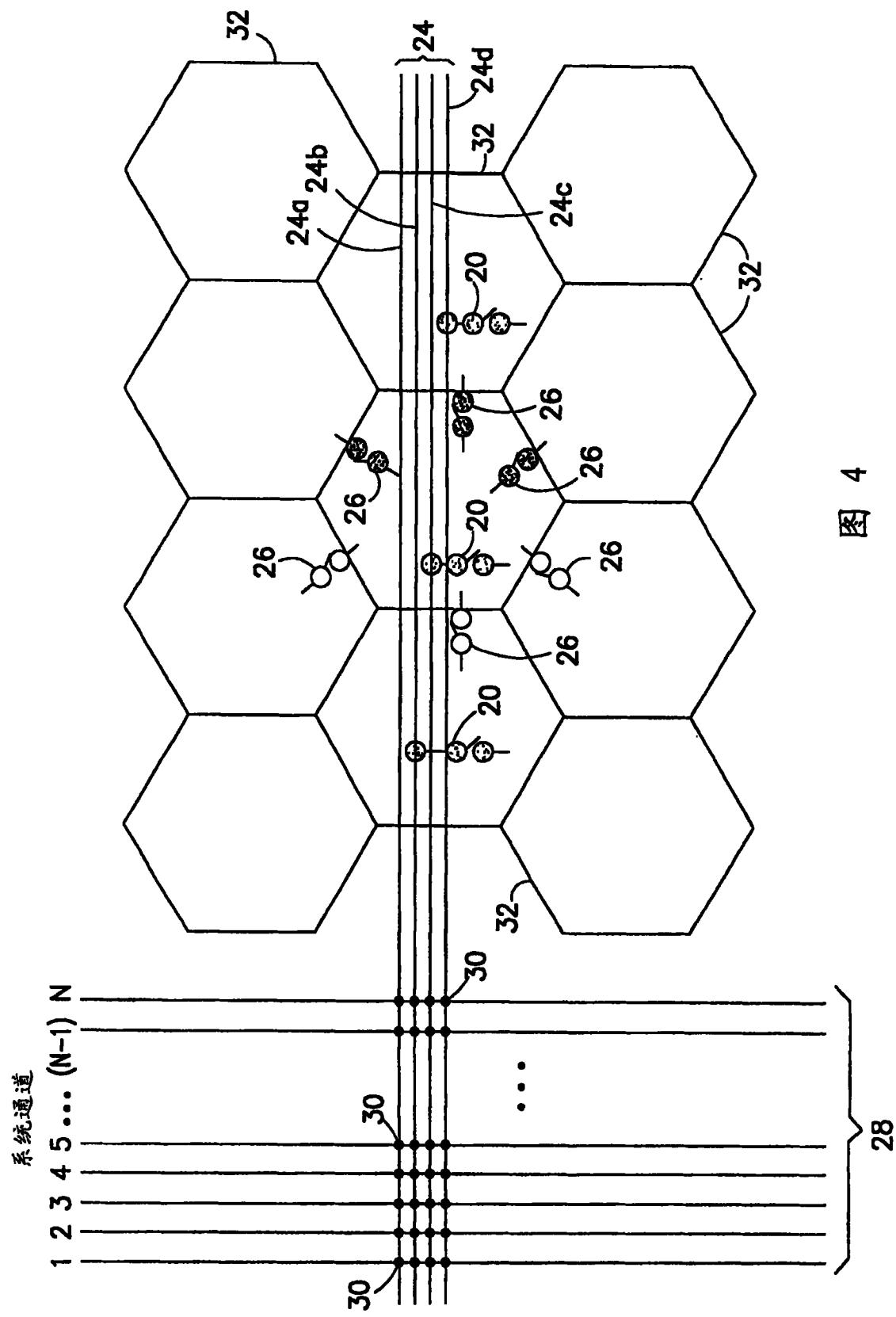


图 4

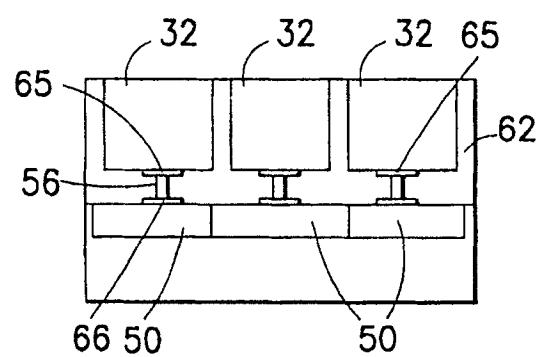
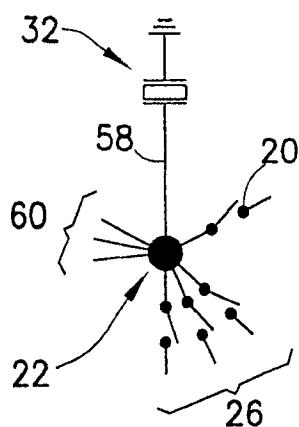


图 6

图 5

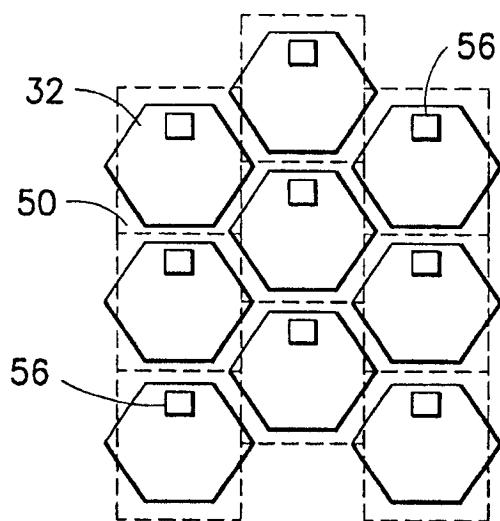
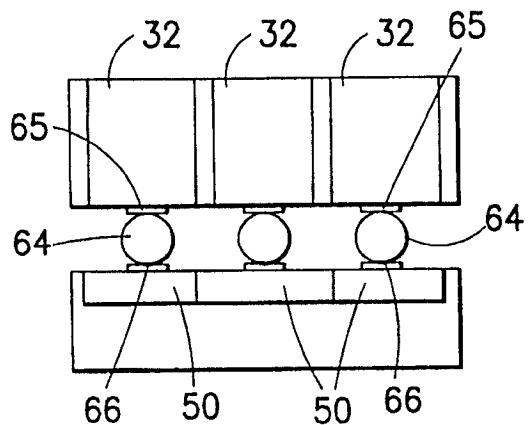


图 7

图 8

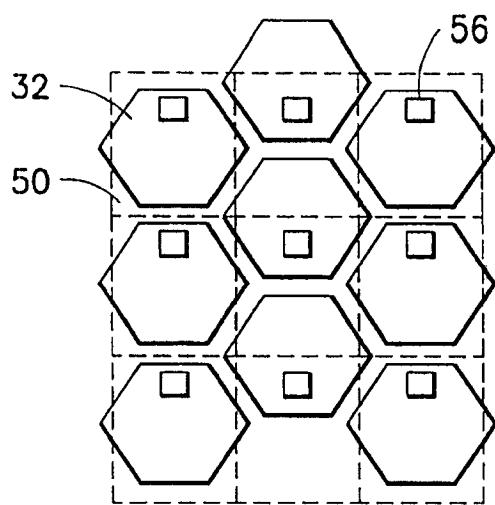


图 9

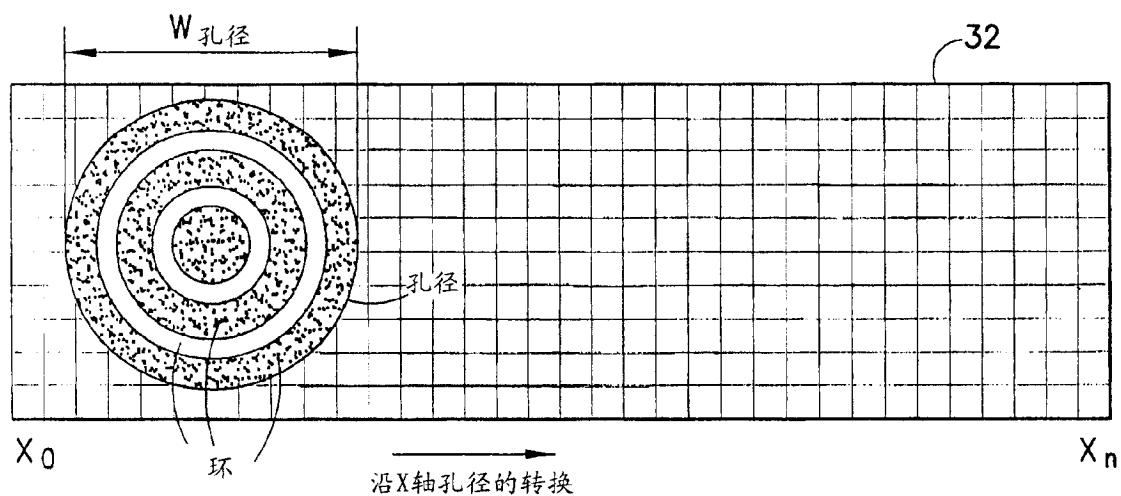


图 10

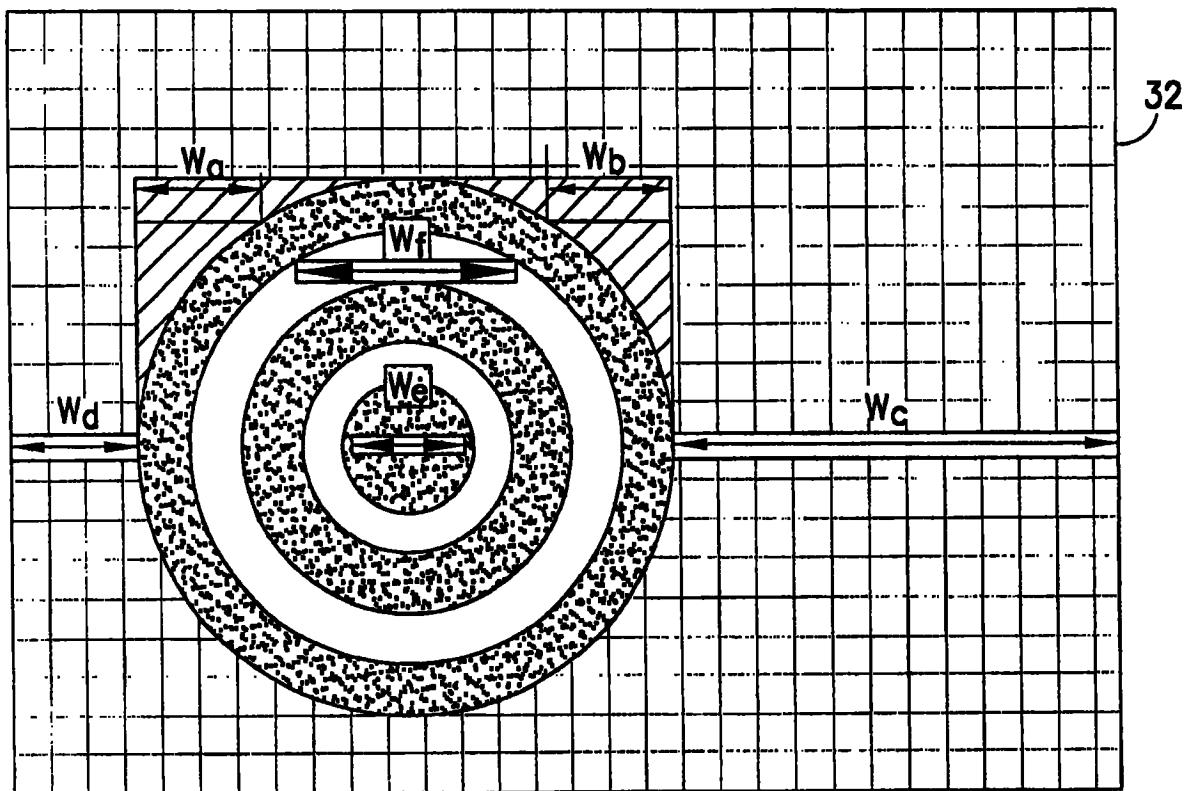


图 11

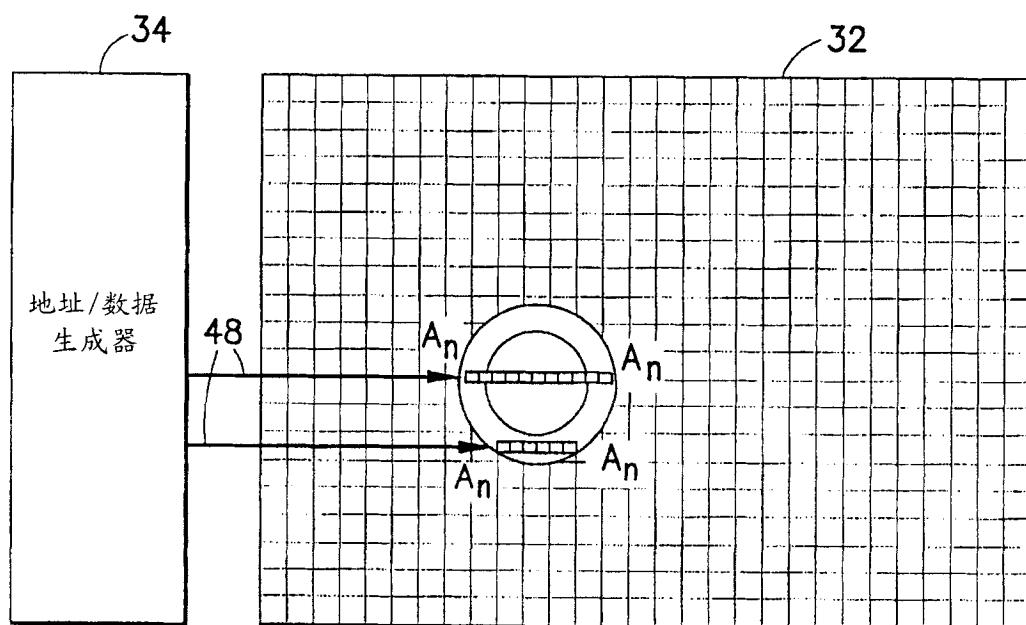


图 12

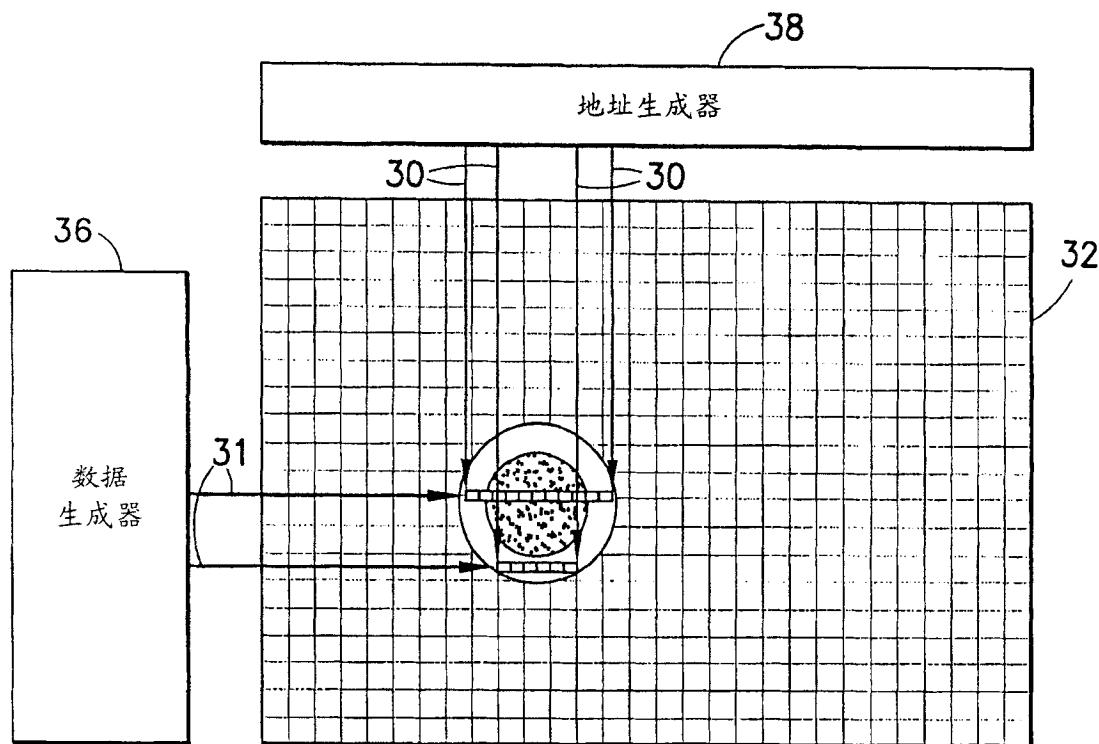


图 13

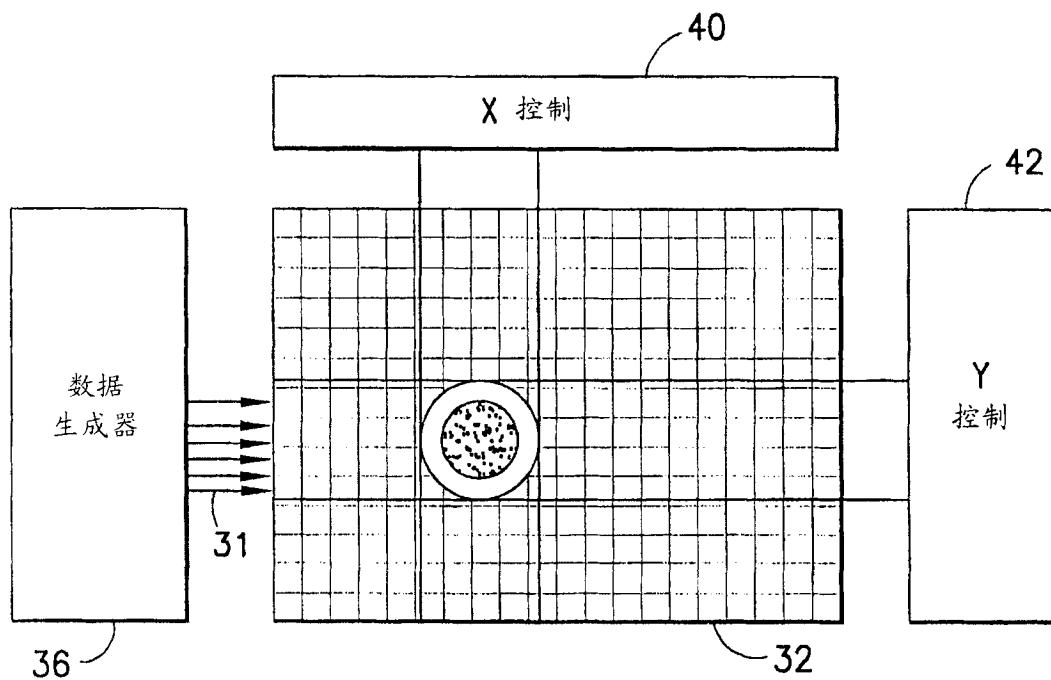


图 14

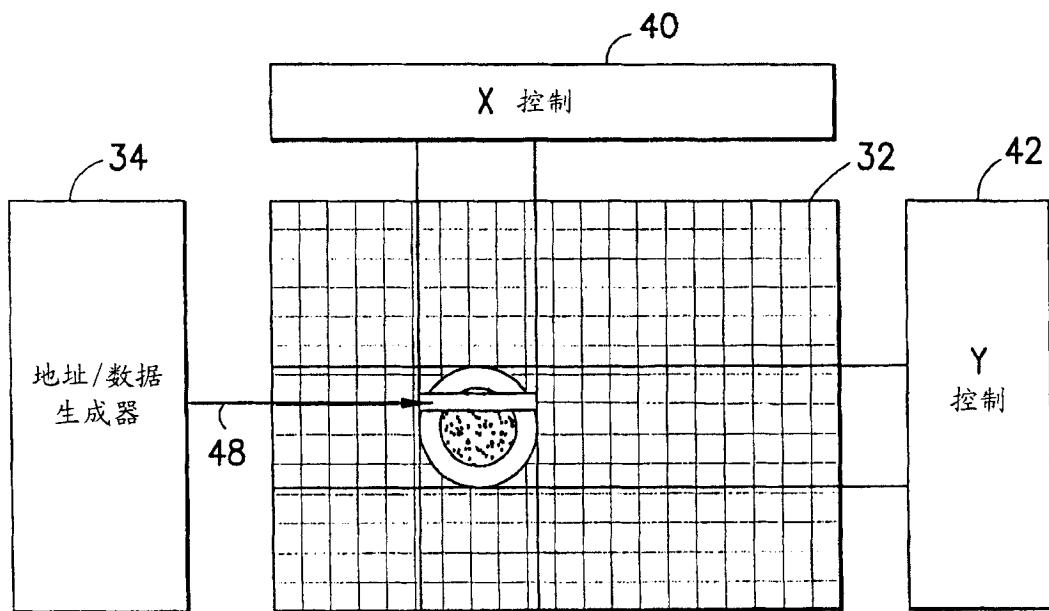


图 15

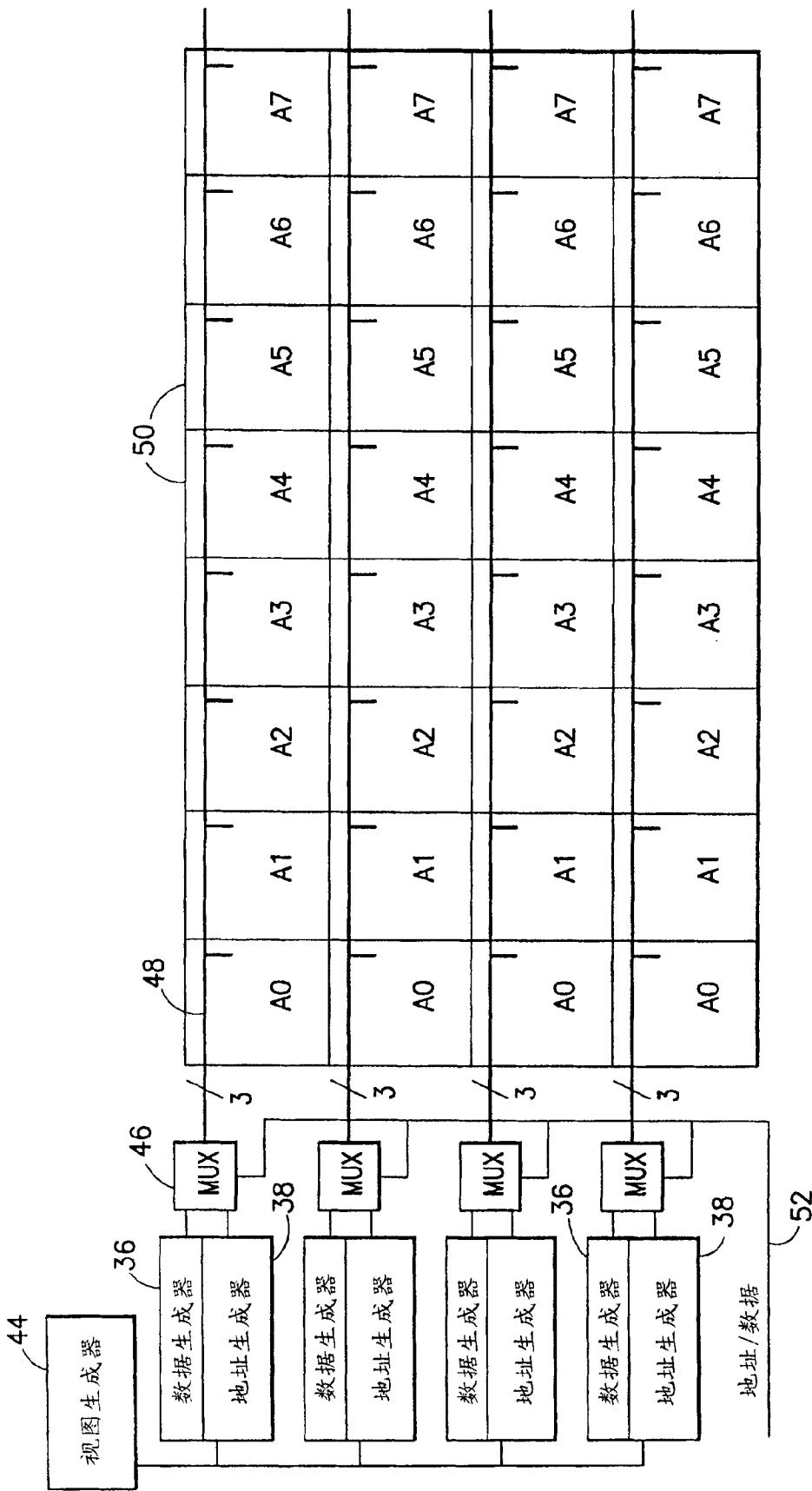


图 16

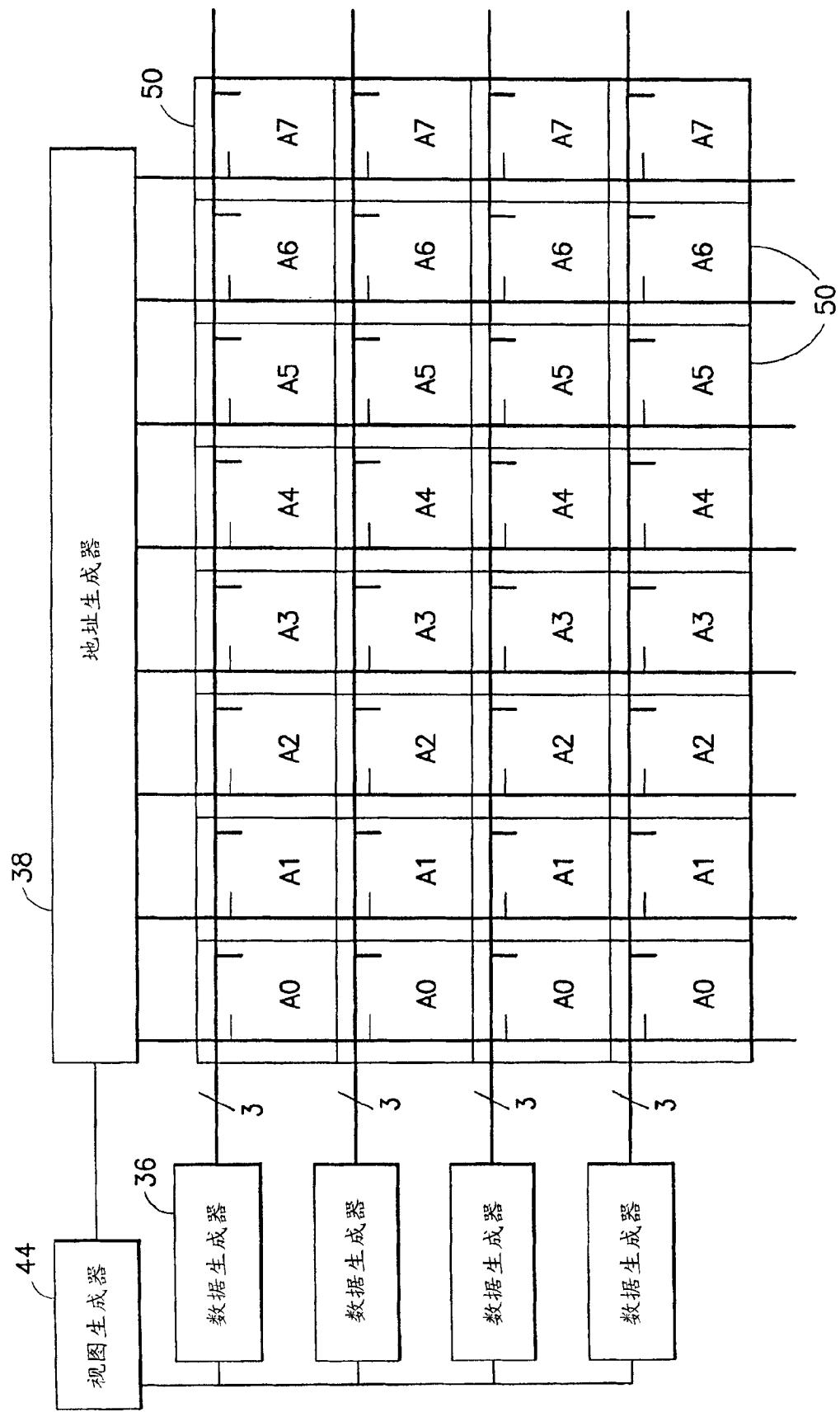


图 17

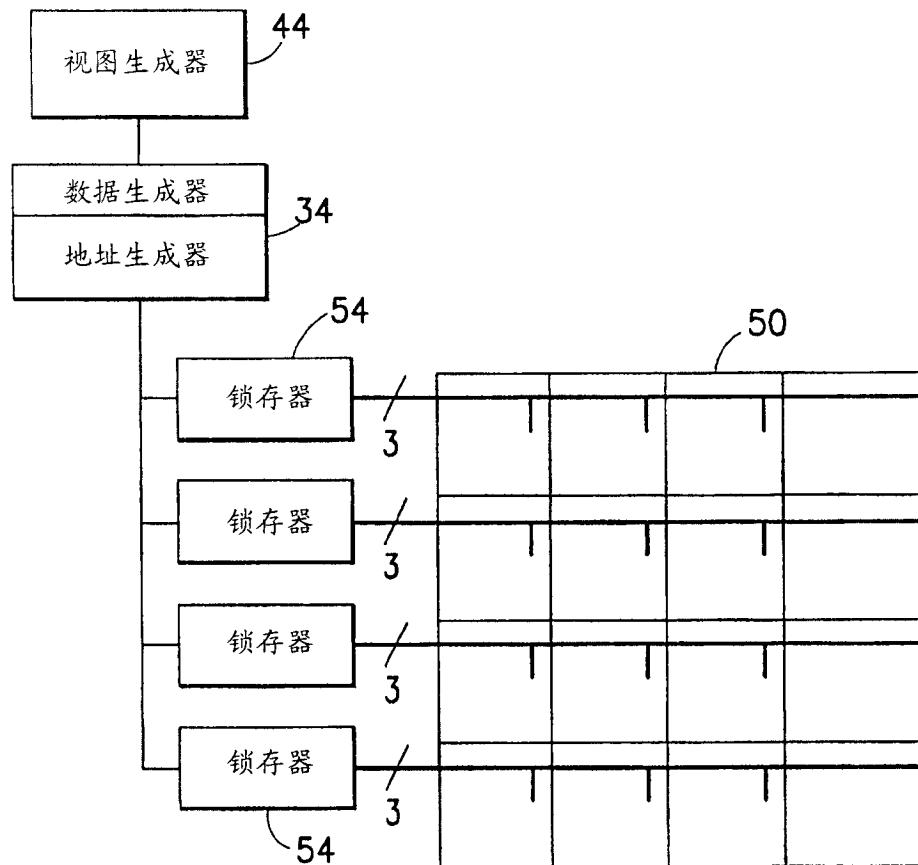


图 18

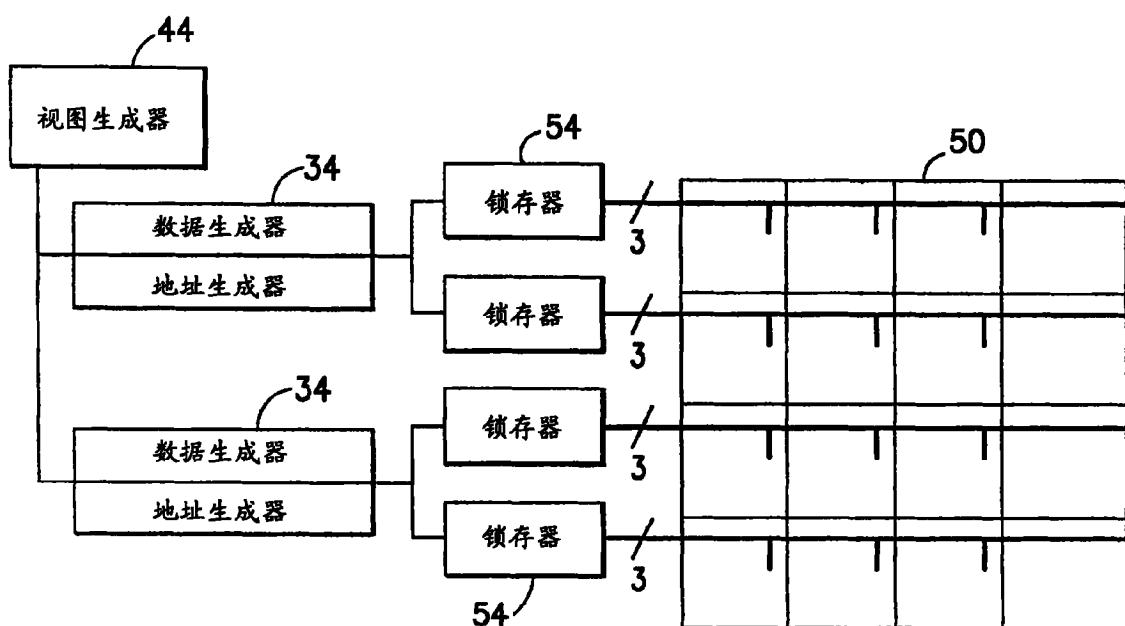
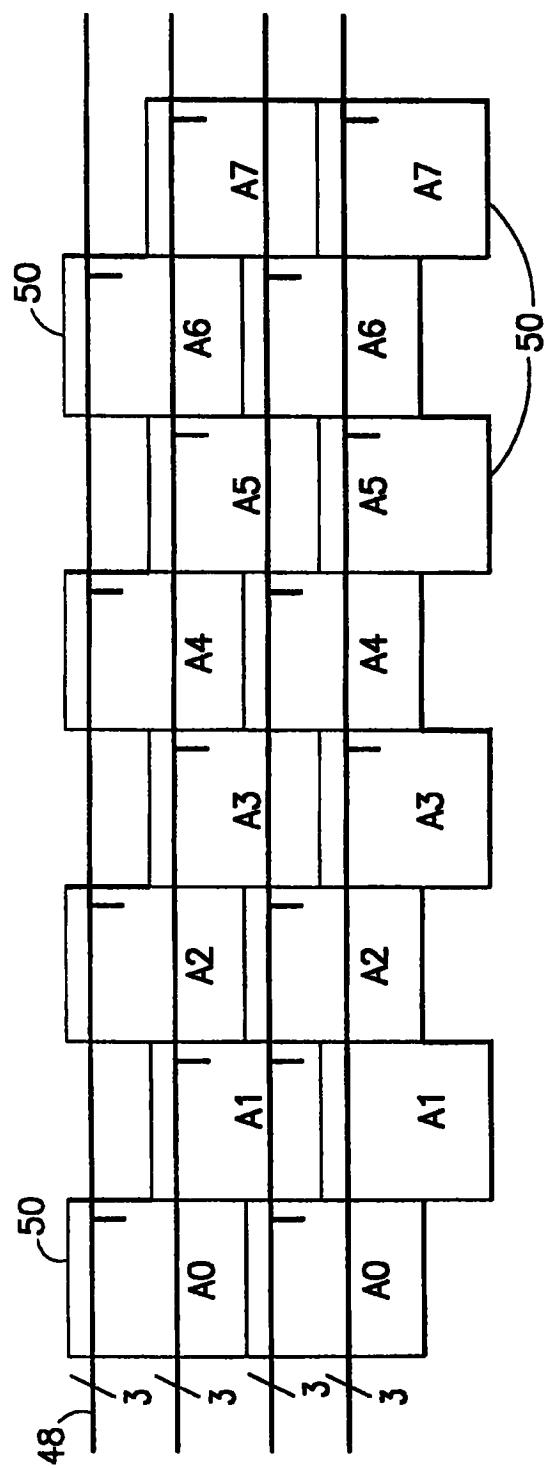


图 19



20  
四

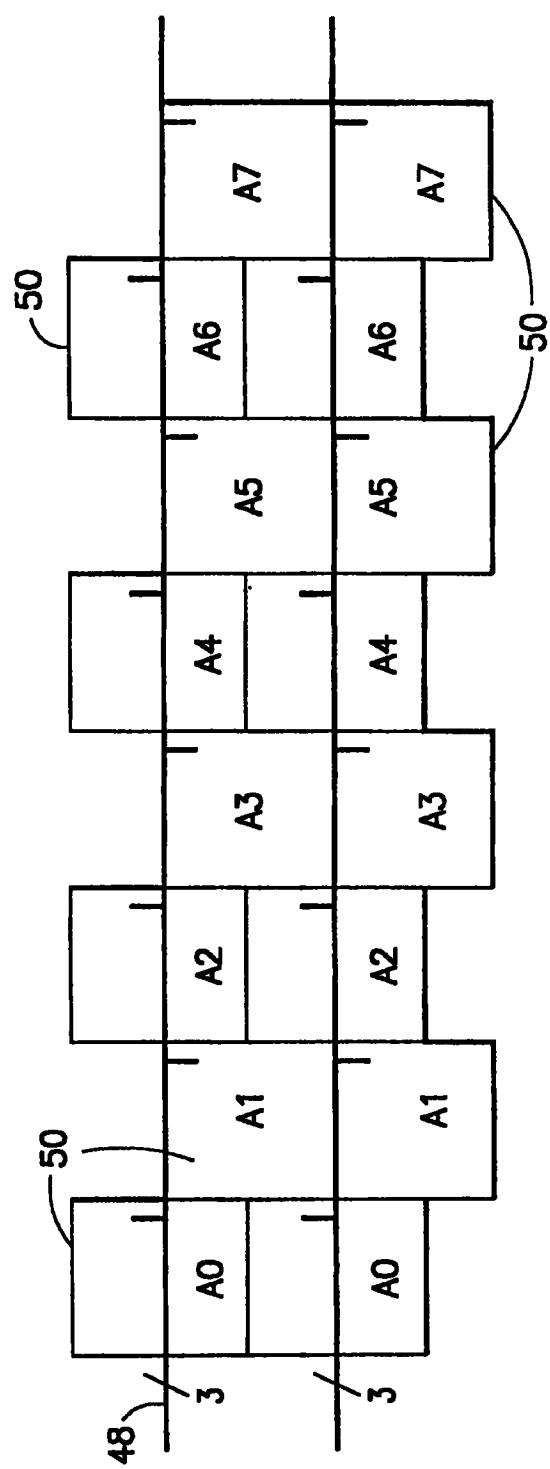


图 21

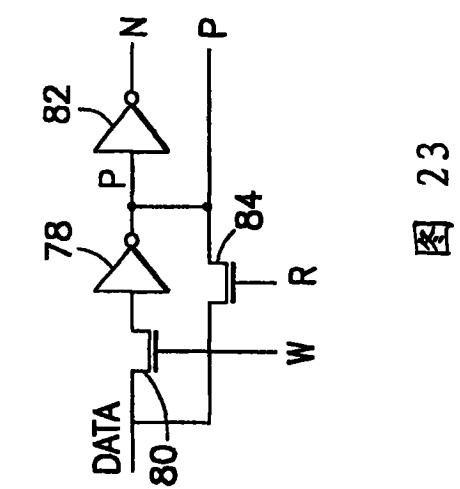


图 23

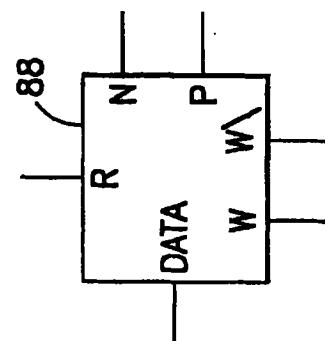


图 24

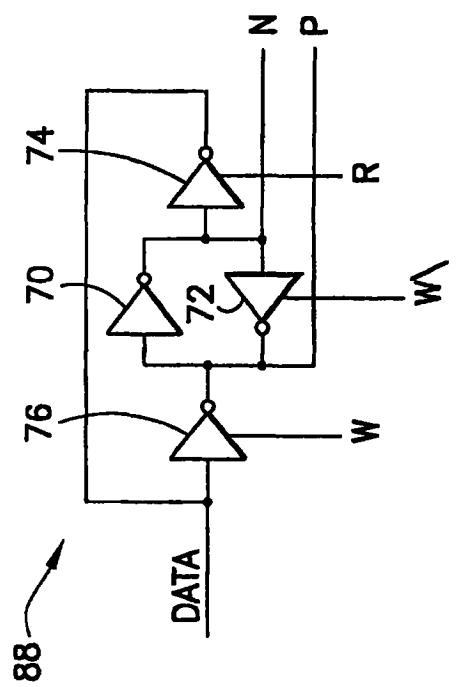


图 22

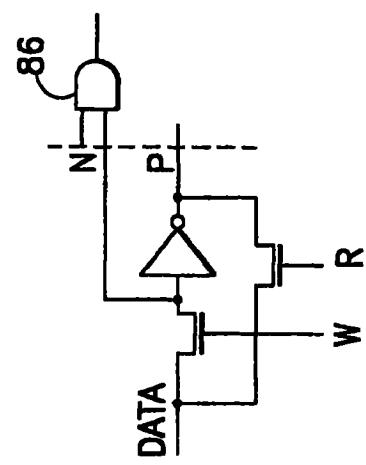


图 23

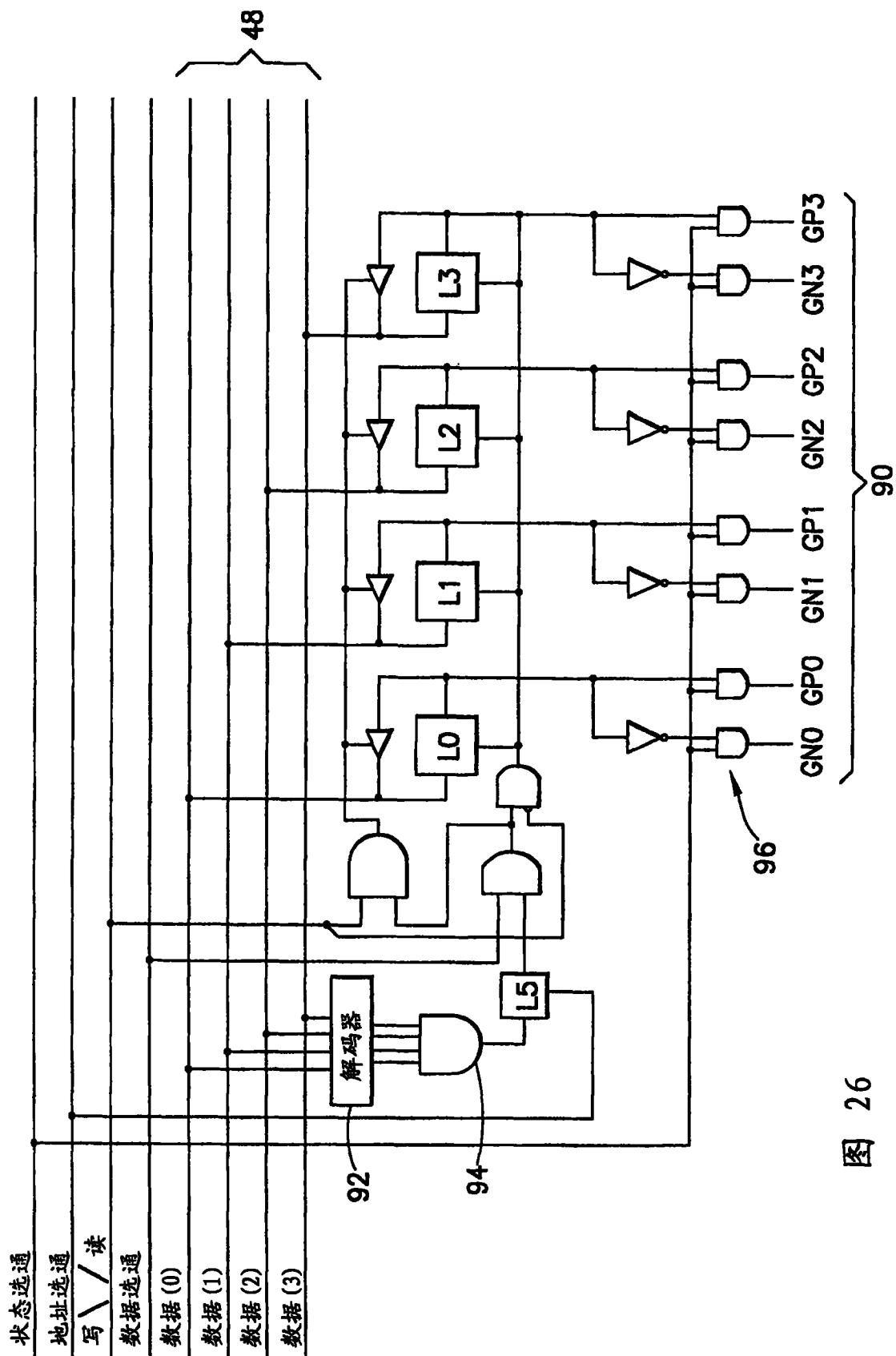


图 26

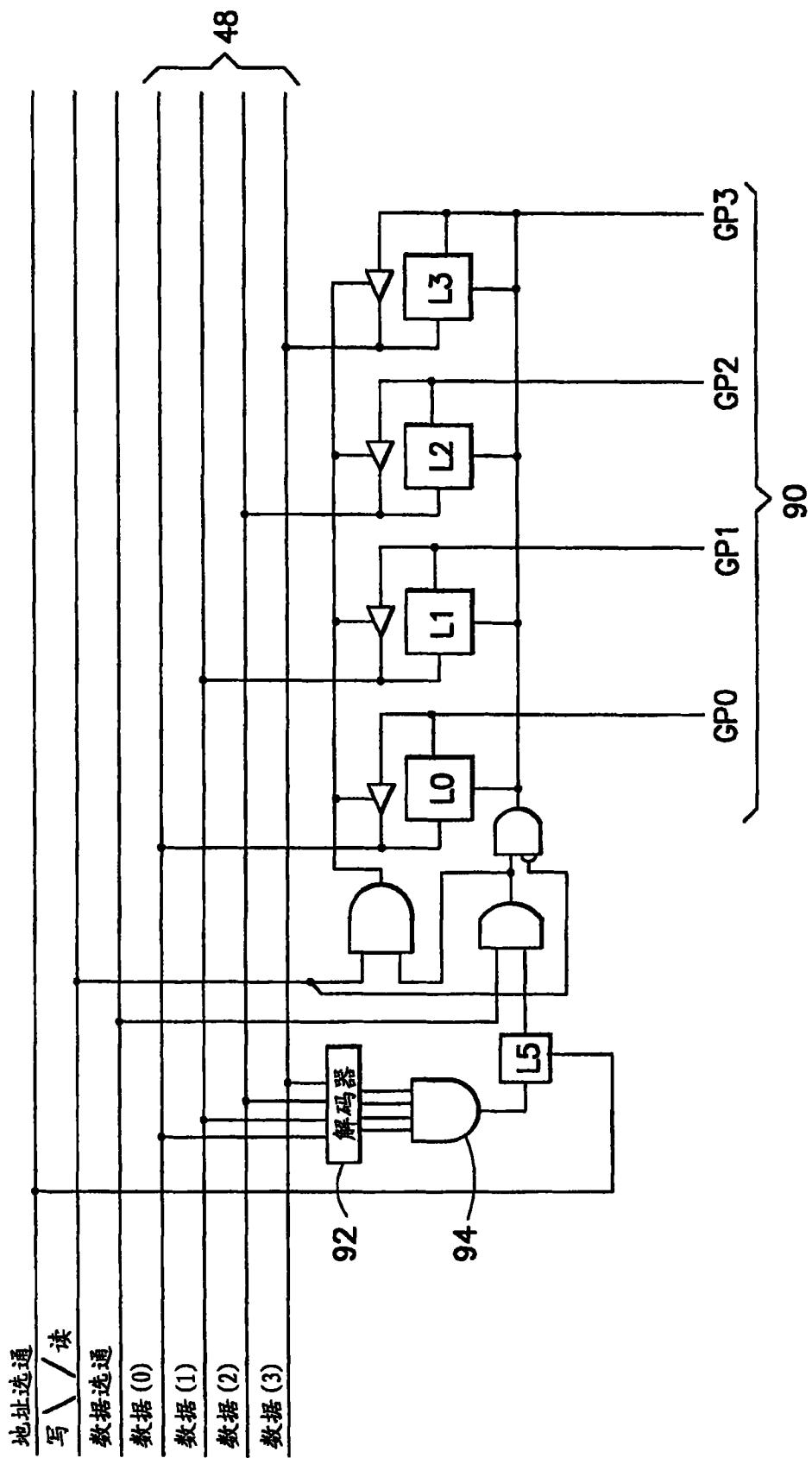


图 27

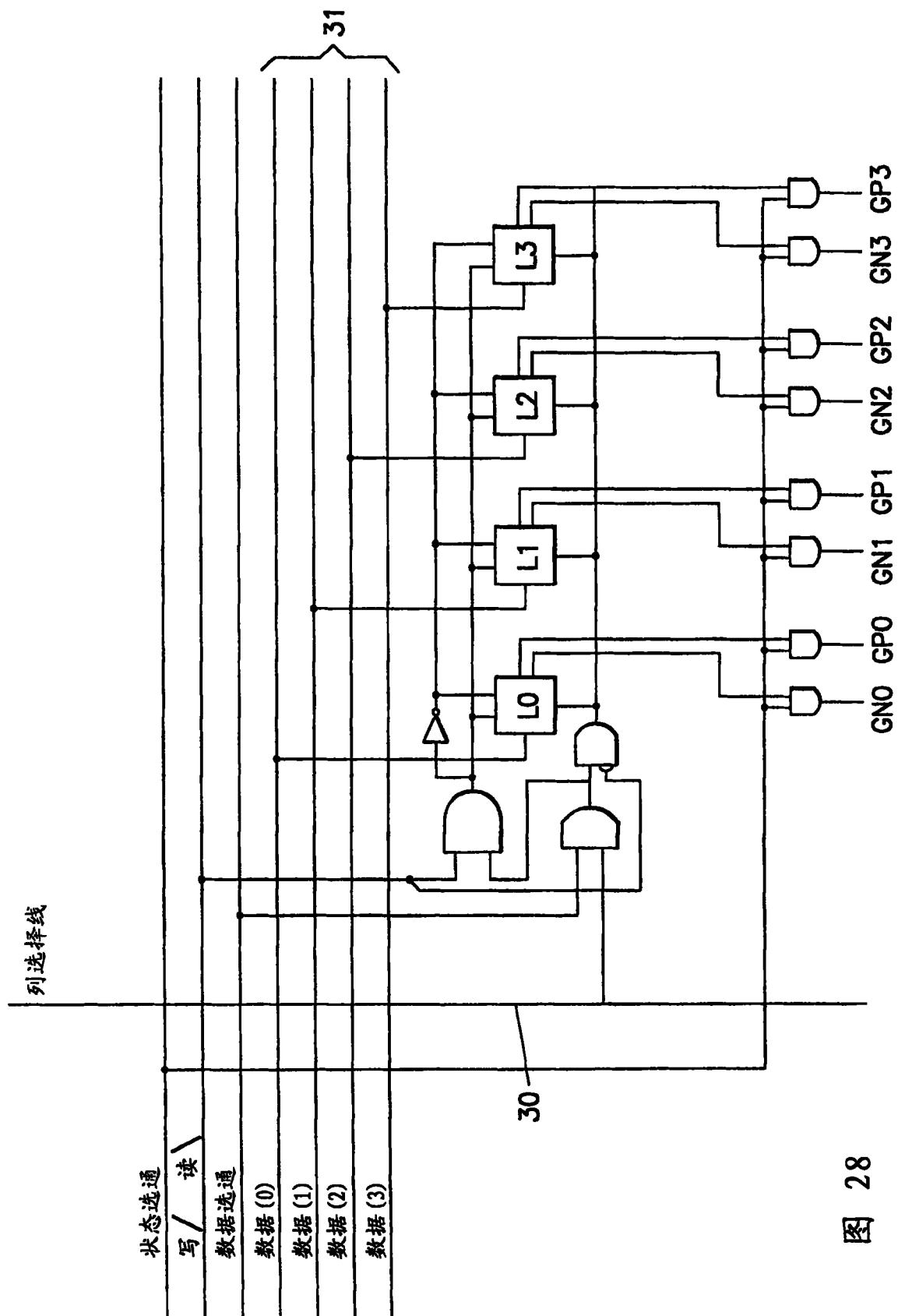


图 28

图 30

列选择线

31

图 29

列选择线

30

状态选通

31

状态选通

30

数据 (0)

31

数据 (0)

数据 (1)

31

数据 (1)

数据 (2)

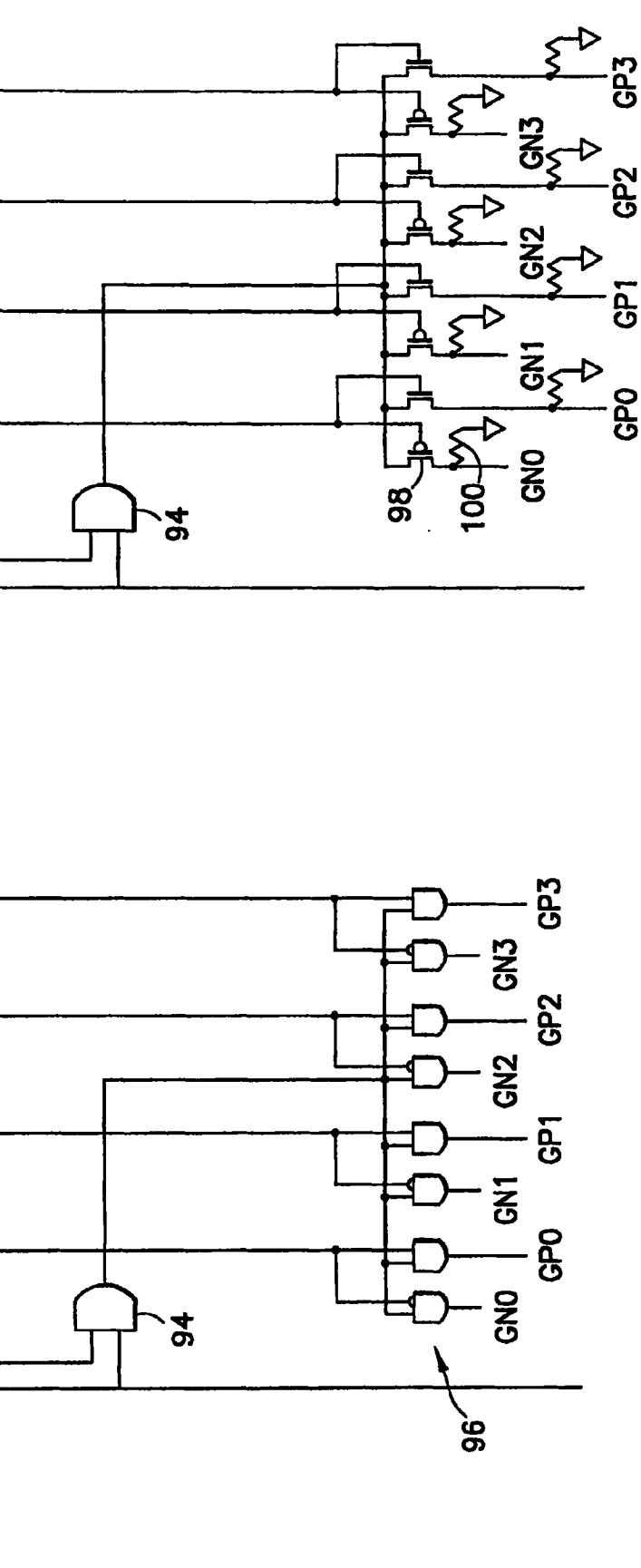
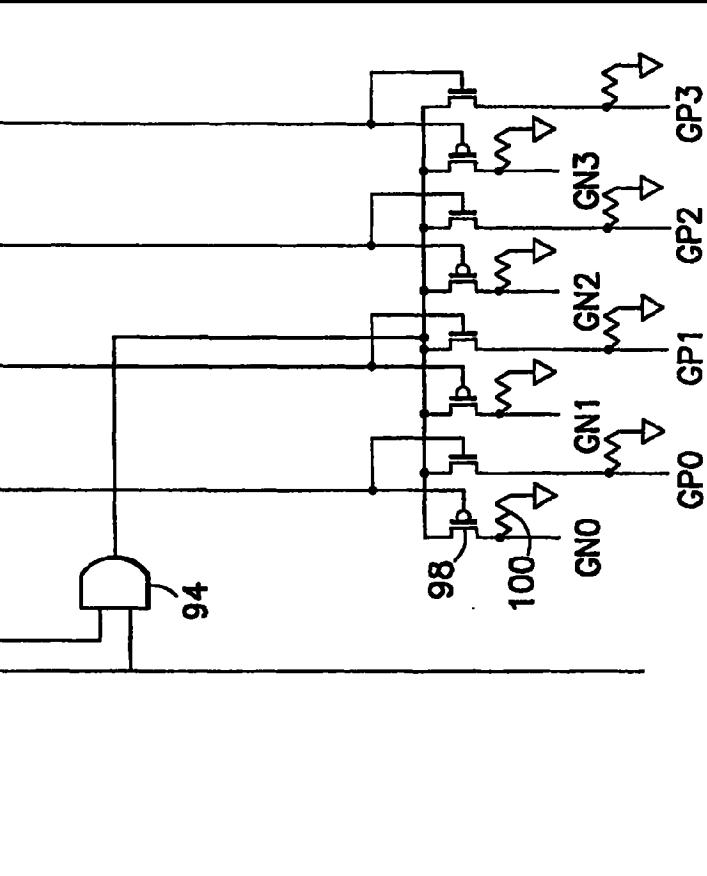
31

数据 (2)

数据 (3)

30

数据 (3)



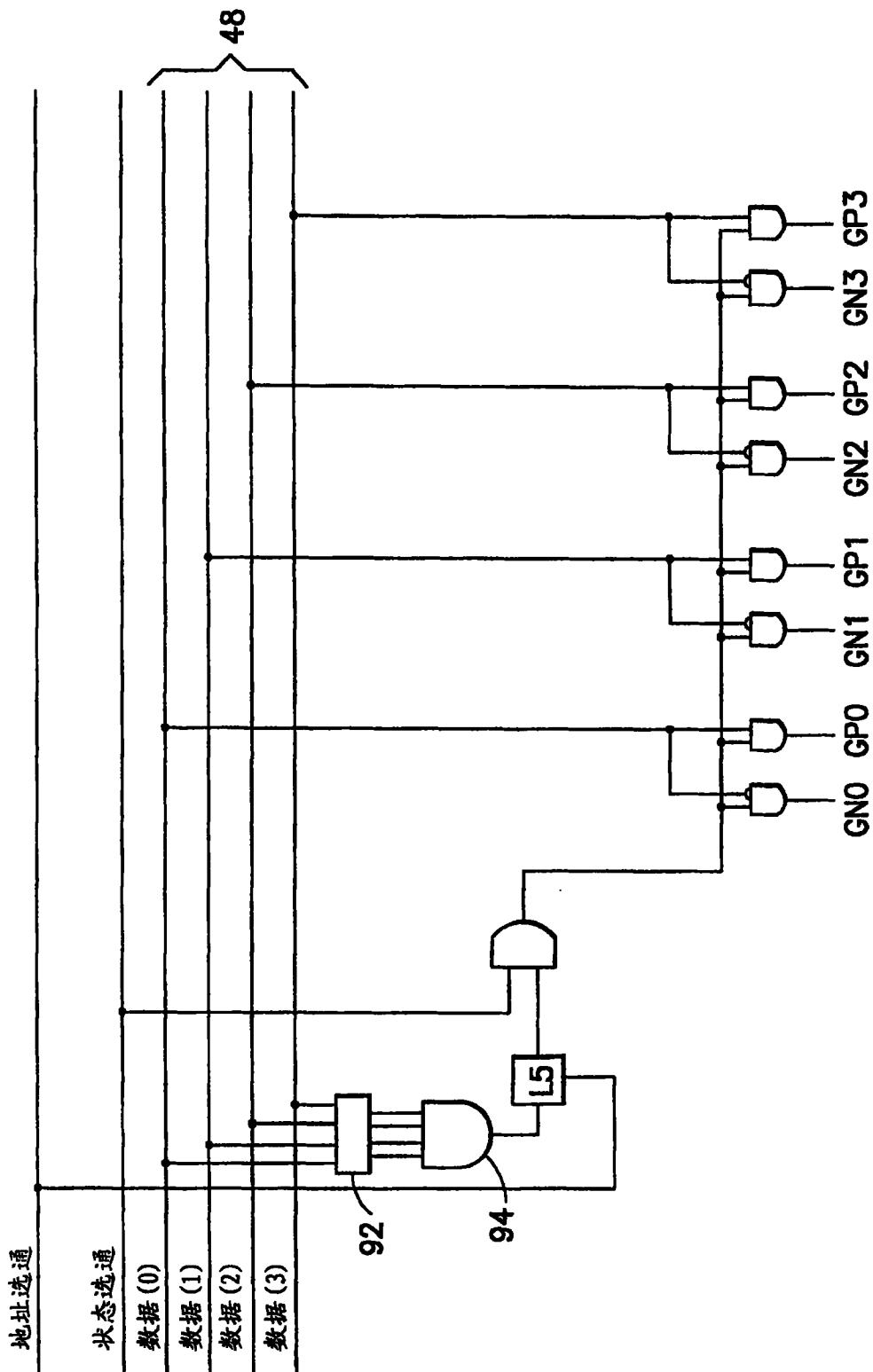


图 31

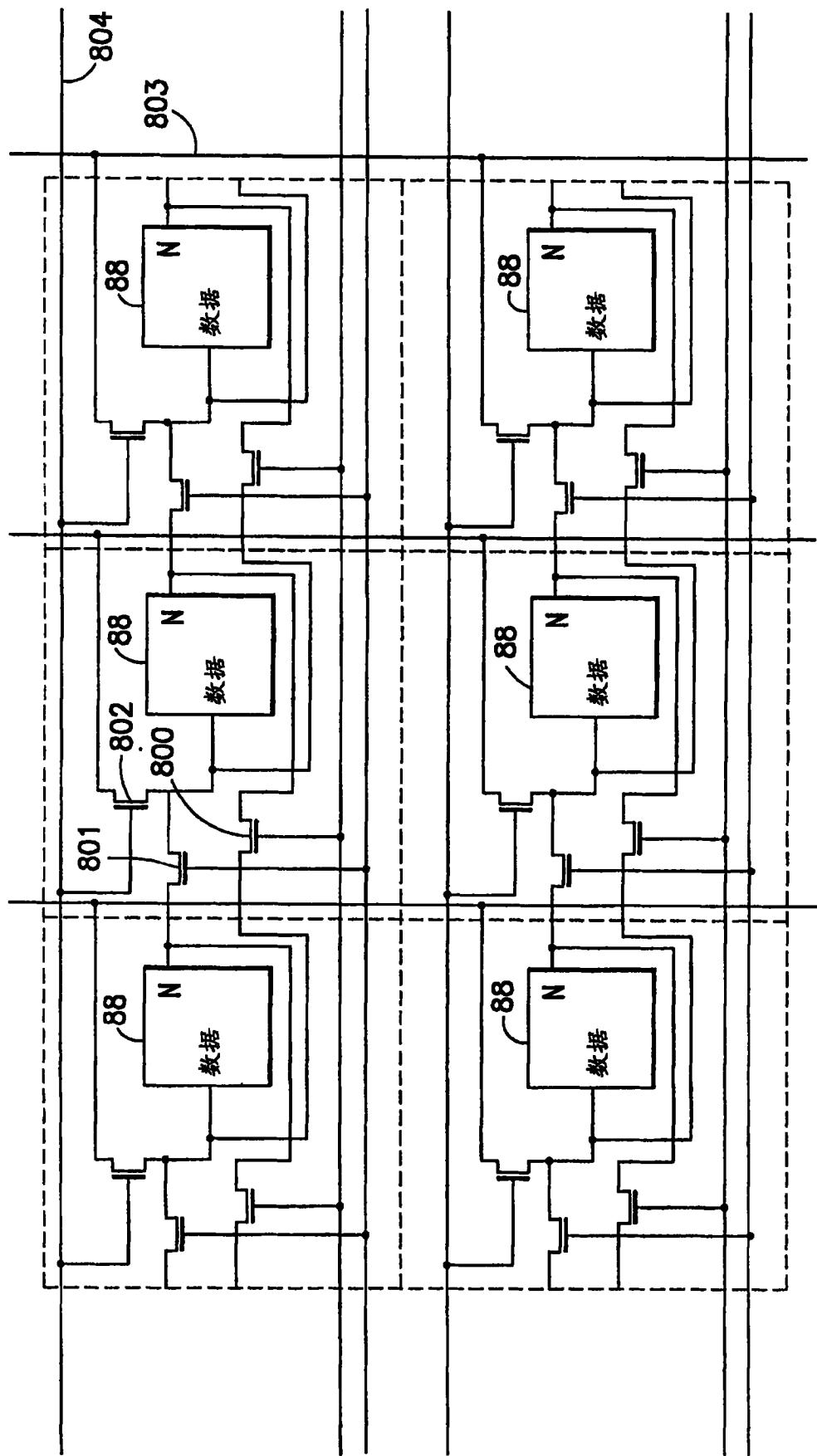


图 32

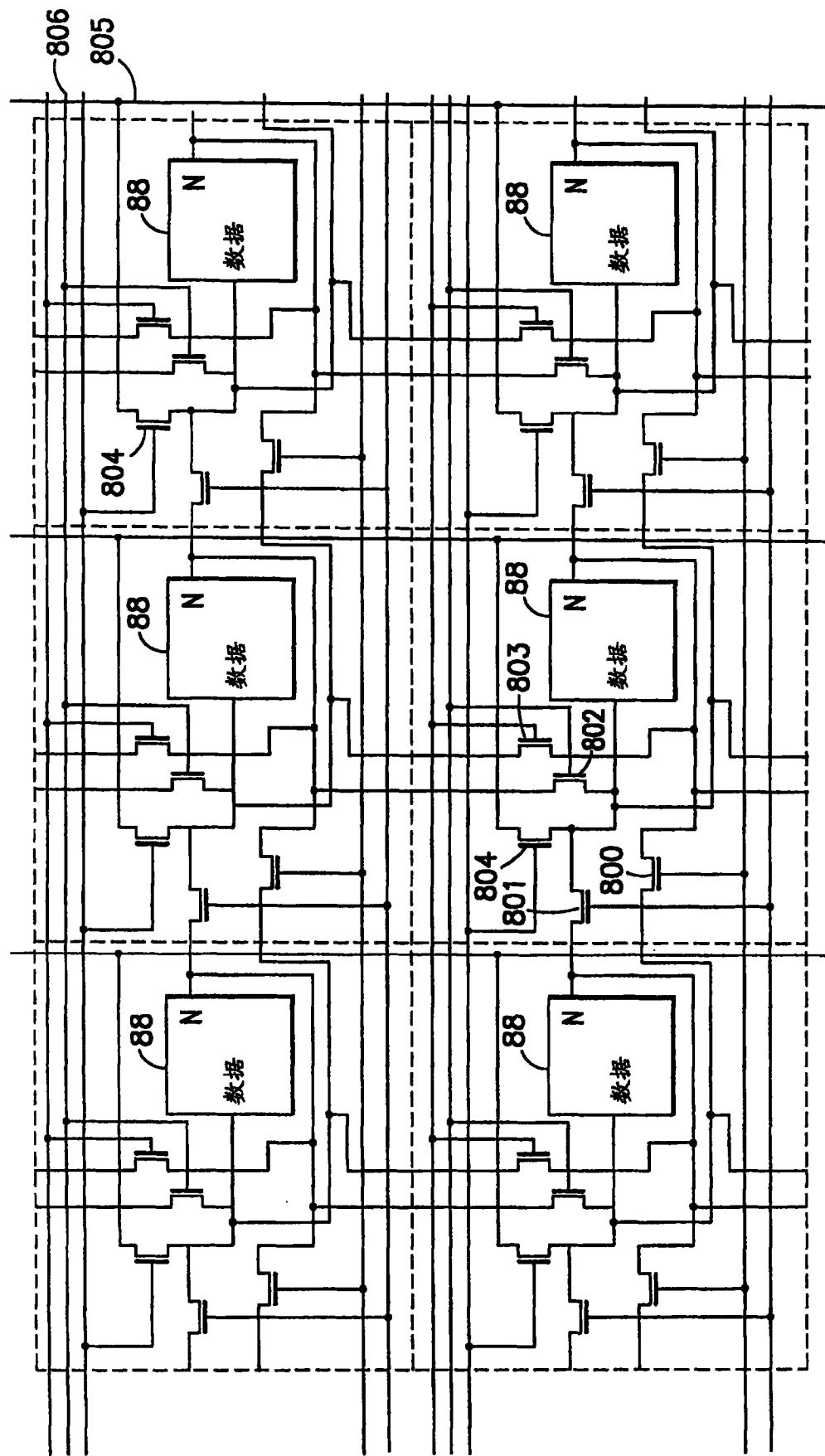


图 33

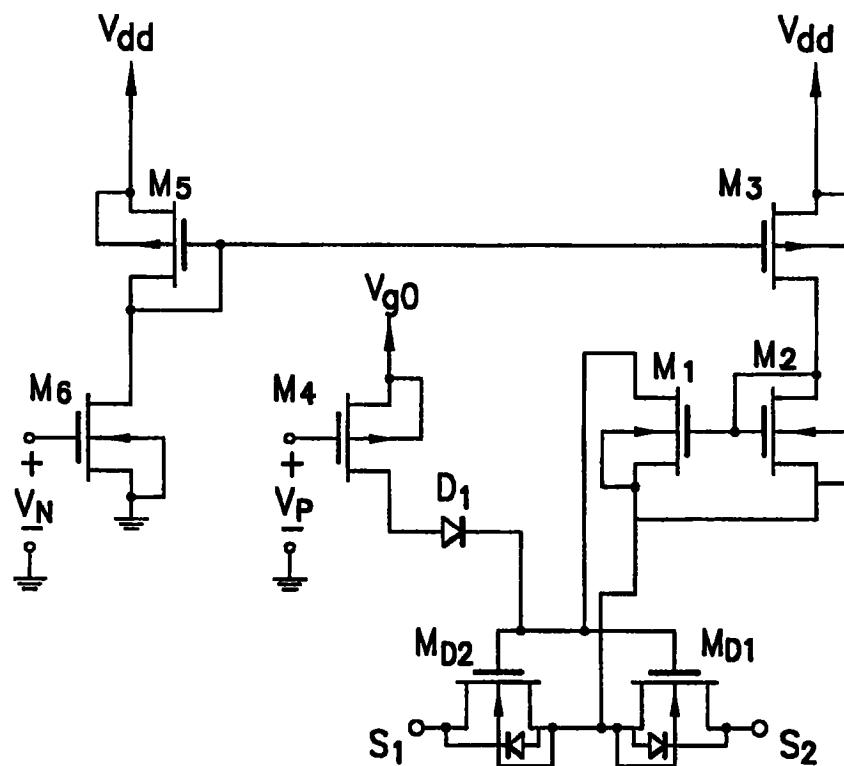


图 34

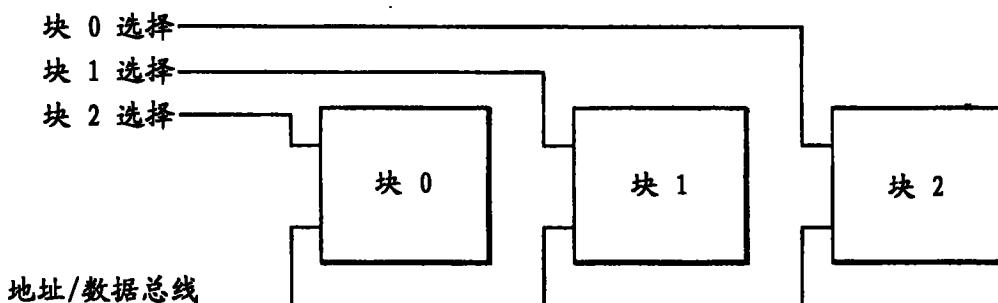


图 35

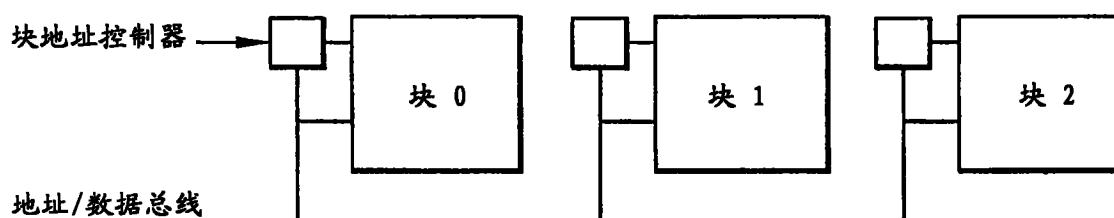


图 36

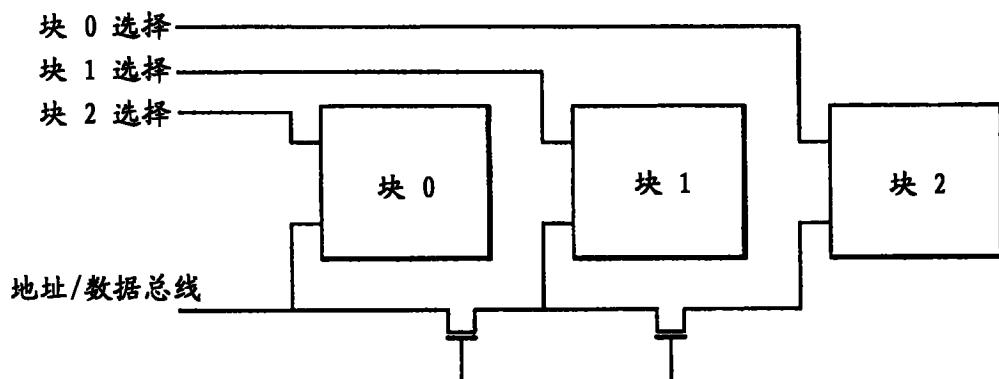


图 37

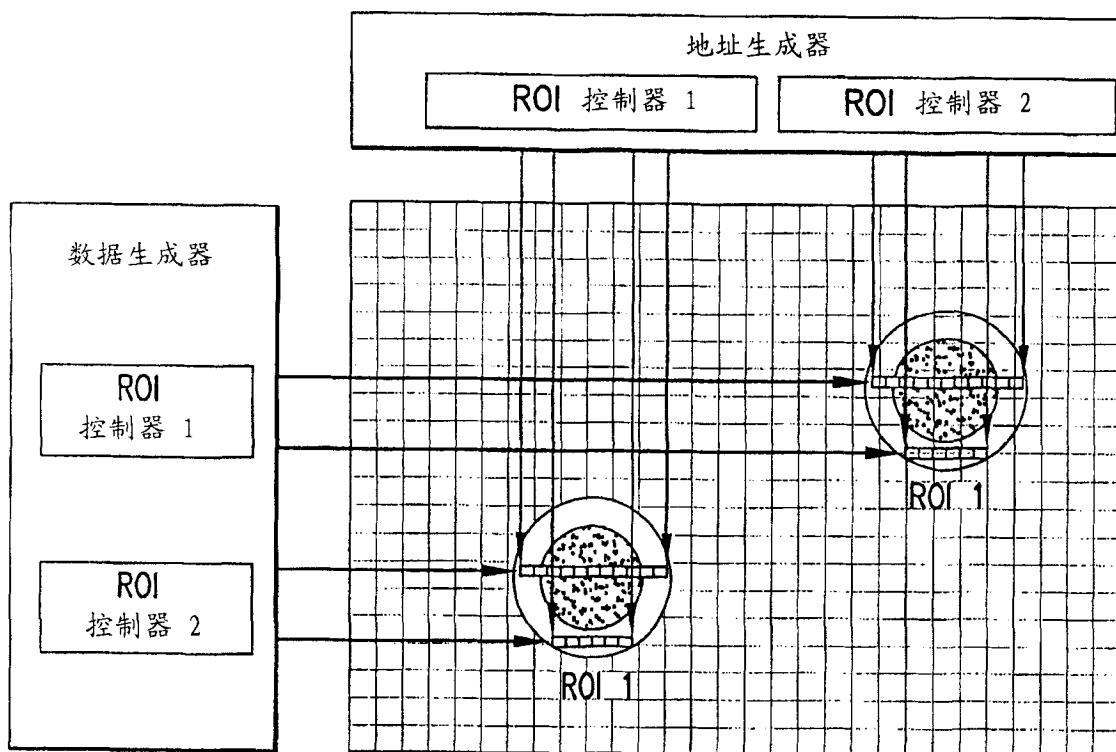


图 38

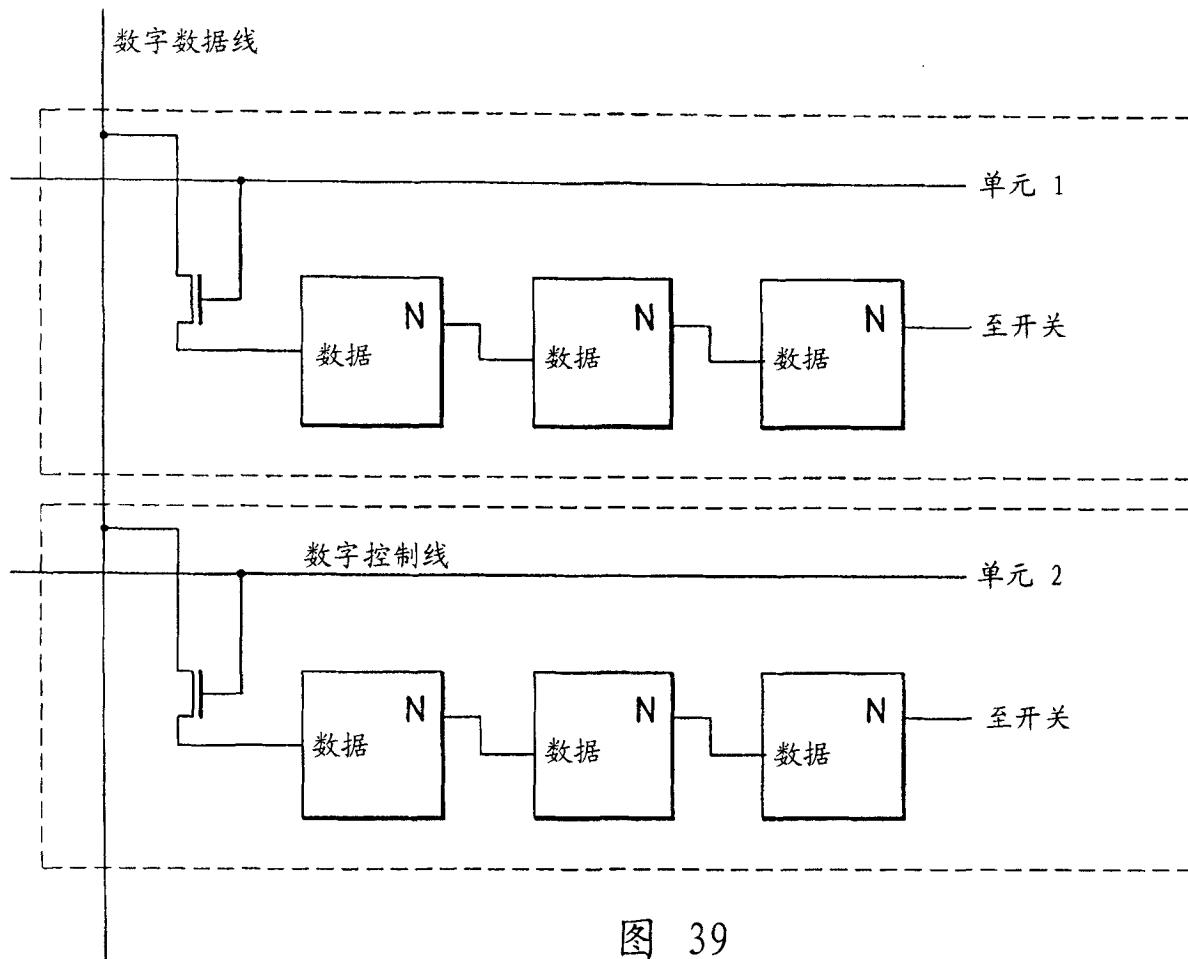


图 39