

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 23 年 3 月 3 日 (2011.3.3)

【公表番号】特表 2010-504594 (P2010-504594A)
 【公表日】平成 22 年 2 月 12 日 (2010.2.12)
 【年通号数】公開・登録公報 2010-006
 【出願番号】特願 2009-529420 (P2009-529420)
 【国際特許分類】

G 0 6 F 9/38 (2006.01)

【F I】

G 0 6 F 9/38 3 1 0 J

G 0 6 F 9/38 3 7 0 A

【手続補正書】

【提出日】平成 23 年 1 月 14 日 (2011.1.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

命令を記憶した機械読み取り可能媒体であって、前記命令は、機械により実行されると、前記機械に

第 1 のバック化オペランドの各データ要素を、第 2 のバック化オペランドの各データ要素と比較する段階と、

前記比較の第 1 の結果を記憶する段階を含む方法を実行させる媒体。

【請求項 2】

前記第 1 のオペランドの有効データ要素のみを、前記第 2 のオペランドの有効データ要素のみと比較する、請求項 1 に記載の機械読み取り可能媒体。

【請求項 3】

前記第 1 の結果は前記データ要素のいずれかが等しいかどうかを示す、請求項 1 に記載の機械読み取り可能媒体。

【請求項 4】

前記第 1 の結果は前記第 1 のオペランドに示された一範囲のデータ要素が、前記第 2 のオペランドに示された一範囲のデータ要素と等しいかどうかを示す、請求項 1 に記載の機械読み取り可能媒体。

【請求項 5】

前記第 1 の結果は前記第 1 のオペランドの各データ要素が、前記第 2 のオペランドの各データ要素と等しいかどうかを示す、請求項 1 に記載の機械読み取り可能媒体。

【請求項 6】

前記第 1 の結果は前記第 1 のオペランドのデータ要素の一部の順序が、前記第 2 のオペランドのデータ要素の一部の順序と等しいかどうかを示す、請求項 1 に記載の機械読み取り可能媒体。

【請求項 7】

前記第 1 の結果の一部をネゲートする、請求項 1 に記載の機械読み取り可能媒体。

【請求項 8】

前記第 1 の結果は、マスク値またはインデックス値のいずれかにより表される、請求項 1 に記載の機械読み取り可能媒体。

【請求項 9】

第 1 のオペランドの有効データ要素のみを、第 2 のオペランドの有効データ要素のみと比較する比較ロジックと、

前記比較ロジックを制御する第 1 の制御信号とを有する装置。

【請求項 10】

前記第 1 と第 2 のオペランドのデータ要素の有効性を明示的に示す、請求項 9 に記載の装置。

【請求項 11】

前記第 1 と第 2 のオペランドのデータ要素の有効性を黙示的に示す、請求項 9 に記載の装置。

【請求項 12】

前記第 1 の制御信号は、前記比較ロジックが符号付きまたは符号無しの値を比較するかどうかを示す符号制御信号を含む、請求項 9 に記載の装置。

【請求項 13】

前記第 1 の制御信号は、どれかが等しい、範囲が等しい、それぞれ等しい、不連続サブストリング、及び順序が等しいよりなるリストから選択した集約機能を前記比較ロジックが実行するかどうかを示す集約機能信号を含む、請求項 12 に記載の装置。

【請求項 14】

前記第 1 の制御信号は、ネゲート信号を含み、前記比較ロジックに前記比較の結果の少なくとも一部をネゲートさせる、請求項 13 に記載の装置。

【請求項 15】

前記第 1 の制御信号は、前記比較ロジックが前記比較の結果の M S B または L S B のインデックスを生成するかどうかを示すインデックス信号を含む、請求項 14 に記載の装置。

【請求項 16】

前記第 1 の制御信号は、前記比較ロジックが前記比較の結果としてゼロ延長マスクまたは拡張マスクを生成するかどうかを示すマスク信号を含む、請求項 15 に記載の装置。

【請求項 17】

前記第 1 の制御信号は、複数のビットを記憶する制御フィールドである、請求項 16 に記載の装置。

【請求項 18】

単一命令複数データ (S I M D) 比較命令を記憶する第 1 のメモリと、
前記 S I M D 比較命令を実行して、前記 S I M D 比較命令で示された第 1 と第 2 のオペランドのデータ要素を比較するプロセッサを有する、システム。

【請求項 19】

前記第 1 のオペランドを、第 1 のレジスタのアドレスにより前記命令内に示す、請求項 18 に記載のシステム。

【請求項 20】

前記第 2 のオペランドを、メモリアドレスまたは第 2 のレジスタにより前記命令内に示す、請求項 19 に記載のシステム。

【請求項 21】

前記命令は前記プロセッサに対する制御信号を示すイミディエイトフィールドを含む、請求項 20 に記載のシステム。

【請求項 22】

イミディエイトフィールドは、前記オペランドが符号付きバイト、符号無しバイト、符号付きワード、または符号無しワードを含むかどうかを示す、請求項 21 に記載のシステム。

【請求項 23】

前記イミディエイトフィールドは集約機能を前記プロセッサが実行することを示す、請求項 22 に記載のシステム。

【請求項 24】

前記イミディエイトフィールドは、マスクまたはインデックスを前記命令の実行に応じて生成するかどうかを示す、請求項 23 に記載のシステム。

【請求項 25】

前記命令は、前記第 1 及び第 2 のオペランドの明示的に有効なデータ要素のみを比較させる、請求項 18 に記載のシステム。

【請求項 26】

前記命令は、前記第 1 及び第 2 のオペランドの黙示的に有効なデータ要素のみを比較させる、請求項 18 に記載のシステム。

【請求項 27】

第 1 のテキストストリングに対応する第 1 のバック化オペランドを記憶する第 1 の記憶領域と、

第 2 のテキストストリングに対応する第 2 のバック化オペランドを記憶する第 2 の記憶領域と、

前記第 1 のバック化オペランドのすべての有効データ要素を、前記第 2 のバック化オペランドのすべての有効データ要素と比較する比較ロジックと、

前記比較ロジックが実行した前記比較の結果アレイを記憶する第 3 の記憶領域とを有するプロセッサ。

【請求項 28】

前記比較ロジックは値の 2 次元のアレイを生成し、前記アレイのエントリは前記第 1 のバック化オペランドの有効なデータ要素と前記第 2 のバック化オペランドの有効なデータ要素との間の比較に対応する、請求項 27 に記載のプロセッサ。

【請求項 29】

前記比較ロジックは、前記値の 2 次元のアレイに、いずれかが等しい、範囲が等しい、各々が等しい、非連続的サブストリング、及び順序が等しいよりなる集約機能の 1 つを実行する、請求項 28 に記載のプロセッサ。

【請求項 30】

前記結果アレイは、マスク値またはインデックス値のいずれかにより表される、請求項 29 に記載のプロセッサ。

【請求項 31】

SIMD 比較命令をデコードするデコーダと、

整数レジスタと浮動小数点レジスタとを含むレジスタファイルと、

第 1 のバック化オペランドを格納する第 1 のソースレジスタと第 2 のバック化オペランドを格納する第 2 のソースレジスタとを有する前記レジスタファイル中の前記レジスタをリネームするレジスタリネーミングと、

前記デコーダからのマイクロ演算を保持するキューと、

前記ソースレジスタ中の依存したオペランドの準備状況に基づき、前記オペランドの実行をスケジューリングするスケジューラと、

前記第 1 のバック化オペランドのデータ要素を前記第 2 のバック化オペランドの対応するデータ要素と比較する、前記レジスタファイルに結合した実行ユニットと、

前記演算ユニットの比較結果を記憶するデスティネーションレジスタとを有するプロセッサ。

【請求項 32】

前記実行ユニットは第 1 のオペランドの有効なデータ要素のみを、前記第 2 のオペランドの有効なデータ要素のみと比較し、前記実行ユニットは第 1 の制御信号により制御される、請求項 31 に記載のプロセッサ。

【請求項 33】

前記第 1 と第 2 のオペランドのデータ要素の有効性を明示的に示す、請求項 32 に記載のプロセッサ。

【請求項 34】

前記第 1 と第 2 のオペランドのデータ要素の有効性を黙示的に示す、請求項 32 に記載

の装置。

【請求項 3 5】

前記第 1 の制御信号は、前記実行ユニットが符号付きの値または符号無しの値を比較するかどうかを示す符号制御信号を含む、請求項 3 2 に記載のプロセッサ。

【請求項 3 6】

前記第 1 の制御信号は、どれかが等しい、範囲が等しい、それぞれ等しい、不連続サブストリング、及び順序が等しいよりなるリストから選択した集約機能を前記実行ユニットが実行するかどうかを示す集約機能信号を含む、請求項 3 2 に記載のプロセッサ。

【請求項 3 7】

前記第 1 の制御信号は、前記実行ユニットに前記比較結果の少なくとも一部をネゲートさせるネゲート信号を含む、請求項 3 2 に記載のプロセッサ。

【請求項 3 8】

前記第 1 の制御信号は、前記実行ユニットが前記比較結果の M S B または L S B のインデックスを生成するかどうかを示すインデックス信号を含む、請求項 3 2 に記載のプロセッサ。

【請求項 3 9】

前記第 1 の制御信号は、前記比較ロジックが前記比較結果としてゼロ延長マスクまたは拡張マスクを生成するかどうかを示すマスク信号を含む、請求項 3 2 に記載のプロセッサ。

。

【請求項 4 0】

前記実行ユニットは、整数演算と浮動小数点演算とを実行するロジックを有する、請求項 3 1 に記載のプロセッサ。

【請求項 4 1】

前記スケジューラは、高速スケジューラ、低速 / 汎用浮動点スケジューラ、単純浮動小数点スケジューラのうち 1 つ以上を有する、請求項 3 1 に記載のプロセッサ。

【請求項 4 2】

S I M D 比較命令をデコードするデコーダと、

整数レジスタと浮動小数点レジスタとを含む複数のレジスタを格納したレジスタファイルと、

第 1 のバック化オペランドを格納する第 1 のソースレジスタと第 2 のバック化オペランドを格納する第 2 のソースレジスタとを有する前記レジスタファイル中の前記レジスタをリネームするレジスタリネーミングと、

前記デコーダからのマイクロ命令を格納するキューと、

前記ソースレジスタ中の依存したオペランドの準備状況に基づき、前記オペランドの実行をスケジューリングするスケジューラと、

前記第 1 のバック化オペランドのデータ要素を前記第 2 のバック化オペランドの対応するデータ要素と比較する、前記レジスタファイルに結合した実行ユニットであって、前記第 1 と第 2 のバック化オペランドのデータ要素は 8 ビット、16 ビット、または 32 ビットである、実行ユニットと、

前記第 1 と第 2 のバック化オペランドの対応するデータ要素が等しいと、前記実行ユニットが判断すると、すべてが 1 である結果配列を格納するデスティネーションレジスタとを有する、プロセッサ。

【請求項 4 3】

前記実行ユニットは、前記値の 2 次元のアレイに、いずれかが等しい、範囲が等しい、各々が等しい、非連続的サブストリング、及び順序が等しいよりなる集約機能の 1 つを実行する、請求項 4 2 に記載のプロセッサ。

【請求項 4 4】

前記実行ユニットは値の 2 次元のアレイを生成し、前記アレイのエントリは前記第 1 のバック化オペランドの有効なデータ要素と前記第 2 のバック化オペランドの有効なデータ要素との間の比較に対応する、請求項 4 2 に記載のプロセッサ。