(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2017 年 6 月 1 日 (01.06.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/088229 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01) *G02F 1/13* (2006.01)

(21) 国际申请号: PCT/CN2015/098768

(22) 国际申请日: 2015 年 12 月 24 日 (24.12.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510843476.6 2015 年 11 月 26 日 (26.11.2015) CN

(71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号丁珂, Guangdong 518132 (CN)。

(72) 发明人: 黄笑宇 (HUANG, Xiaoyu); 中国广东省深圳市光明新区塘明大道 9-2 号丁珂, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: DISPLAY PANEL AND ARRAY GATE ELECTRODE DRIVING CIRCUIT

(54) 发明名称 : 显示面板与阵列栅极驱动电路

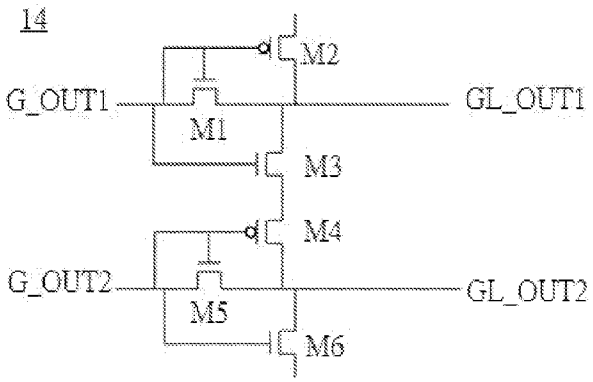


图 2

(57) Abstract: A display panel (1), having a display region (10), a fan out area (11) and an array gate electrode driving circuit, the array gate electrode driving circuit comprising a multi-level precharge module (14), being used to respectively connect output ends (G_OUT1、G_OUT2) of two adjacent gate electrodes in the array gate electrode driving circuit of the fan out area (11) to the adjacent two gate line outputs (GL_OUT1、GL_OUT2) corresponding to the display region (10). Each level of the precharge module (14) comprises a first thin film transistor (M1), a second thin film transistor (M2), a third thin film transistor (M3), a fourth thin film transistor (M4), a fifth thin film transistor (M5) and a sixth thin film transistor (M6).

(57) 摘要: 一种显示面板（1），具有一显示区（10）与一扇出区（11），与一阵列栅极驱动电路，该阵列栅极驱动电路包括多级预充电模块（14），用于在该扇出区（11）将该阵列栅极驱动电路中相邻两栅极的输出端（G_OUT1、G_OUT2）分别连接于该显示区（10）对应的相邻两栅极线输出（GL_OUT1、GL_OUT2），每一级该预充电模块 14 包括一第一薄膜晶体管（M1）、一第二薄膜晶体管（M2）、一第三薄膜晶体管（M3）、一第四薄膜晶体管（M4）、一第五薄膜晶体管（M5）以及一第六薄膜晶体管（M6）。

WO 2017/088229 A1

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

说明书

发明名称: 显示面板与阵列栅极驱动电路

技术领域

[1] 本案涉及一种显示面板与阵列栅极驱动电路，特别是用于薄膜晶体管液晶显示器（Thin Film Transistor Liquid Crystal Display, TFT-LCD）的显示面板与阵列栅极驱动电路。

背景技术

[2] 传统的TFT-LCD显示面板使用GOA（Gate On Array，栅级驱动芯片集成于阵列基板）的基本架构如图1所示，显示面板1中包含显示区10、扇出区11、源极薄膜上芯片(Source-Chip On Film, S-COF)12、印刷电路板(Printed Circuit Board, PCB)13，阵列栅极驱动电路会被设置于显示区与扇出区之间。

[3] 传统液晶面板的栅极驱动(gate driver)扫描薄膜晶体管(TFT)的栅极，透过数据线给像素电极充电。液晶在像素电场的作用下发生旋转而旋光以进行显示。而长的充电时间导致长的液晶响应时间，让像素电极间的互扰(crosstalk)现象加重。

[4] 因此，需要提出新的显示面板与阵列栅极驱动电路，提高像素充电速度。

对发明的公开

技术问题

[5] 本发明在传统阵列栅极驱动电路中栅极侧的扇出区(Fan Out Area)增加额外逻辑单元，以实现相邻行的栅极线之间进行预充电(Precharge)，以提高高像素充电速度。

问题的解决方案

技术解决方案

[6] 本发明的一实施例提出一种显示面板，具有一显示区与一扇出区，与一阵列栅极驱动(Gate On Array, GOA)电路，包括多级预充电模块，用于在所述扇出区将所述阵列栅极驱动电路中相邻两栅极的输出端分别连接于所述显示区对应的相邻两栅极线输出，每一级所述预充电模块包括一第一薄膜晶体管，所述第一薄

膜晶体管的一源极与栅极连接于位于所述栅极的一第一输出端，一漏极连接于一第一栅极线输出；一第二薄膜晶体管，所述第二薄膜晶体管的一栅极连接于位于所述栅极的所述第一输出端，一漏极连接于上一级的所述预充电模块；一第三薄膜晶体管，所述第三薄膜晶体管的一栅极连接于位于所述栅极的所述第一输出端，一漏极连接于所述第一栅极线输出；一第四薄膜晶体管，所述第四薄膜晶体管的一漏级连接于于所述第三薄膜晶体管的一源极；一栅极连接于位于所述栅极的一第二输出端，一源极连接于一第二栅极线输出；一第五薄膜晶体管，所述第五薄膜晶体管的一栅极连接于位于所述栅极的所述第二输出端，一源极连接于所述第二输出端，一漏极连接于所述第二栅极线输出；以及一第六薄膜晶体管，所述第六薄膜晶体管的一栅极连接于位于所述栅极的所述第二输出端，一漏极连接于所述第二栅极线输出，一源极连接于下一级的所述预充电模块。

[7] 较佳地，当所述第一栅极输出端为高电压准位，所述第二栅极输出端为低电压准位时，所述第一薄膜晶体管、所述第三薄膜晶体管，与所述第四薄膜晶体管是被导通的，所述第二薄膜晶体管、所述第五薄膜晶体管，与所述第六薄膜晶体管是被关断的，且所述第一栅极线输出与所述第二栅极线输出都是高电压准位。

[8] 较佳地，当所述第一栅极输出端为低电压准位，所述第二栅极输出端为高电压准位时，所述第一薄膜晶体管、所述第三薄膜晶体管，与所述第四薄膜晶体管是被关断的，所述第二薄膜晶体管、所述第五薄膜晶体管，与所述第六薄膜晶体管是被导通的，且所述第一栅极线输出是低电压准位，所述第二栅极线输出是高电压准位。

[9] 较佳地，当所述第一栅极输出端与所述第二栅极输出端都为低电压准位时，所述第一薄膜晶体管、所述第三薄膜晶体管、所述第五薄膜晶体管，与所述第六薄膜晶体管是被关断的，所述第二薄膜晶体管与所述第四薄膜晶体管是被导通的，且所述第一栅极线输出与所述第二栅极线输出都是低电压准位。

发明的有益效果

有益效果

[10] 本发明在阵列栅极驱动电路架构中实现预充电，加快充电速度，缩短液晶响应时间，减少像素电极间的互扰(crosstalk)现象。

对附图的简要说明

附图说明

[11] 图1是传统栅极驱动面板的架构示意图；

[12] 图2是依据本发明一实施例的预充电模块电路图；以及

[13] 图3是本发明所述实施例中的预充电模块中栅极线讯号波形图。

实施该发明的最佳实施例

本发明的最佳实施方式

[14] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。

[15] 如图1的显示面板架构，本发明的一实施例揭露了一显示面板1，具有一显示区10与一扇出区11，与一阵列栅极驱动(Gate On Array, GOA)电路(无图标)，阵列栅极驱动电路被设置于显示区10与扇出区11，包括多级预充电模块14(无图示)，图2中有预充电模块14的电路图，用于在所述扇出区11将所述阵列栅极驱动电路中相邻两栅极的输出端分别连接于所述显示区10对应的相邻两栅极线输出。请参照图2，图2是依据本发明一实施例的预充电模块14的电路图，如图2所示，每一级所述预充电模块14包括一第一薄膜晶体管M1，所述第一薄膜晶体管M1的一源极与栅极连接于位于所述栅极的一第一输出端G_OUT1，一漏极连接于一第一栅极线输出GL_OUT1；一第二薄膜晶体管M2，所述第二薄膜晶体管M2的一栅极连接于位于所述栅极的所述第一输出端G_OUT1，一漏极连接于上一级的所述预充电模块(无图标)；一第三薄膜晶体管M3，所述第三薄膜晶体管M3的一栅极连接于位于所述栅极的所述第一输出端G_OUT1，一漏极连接于所述第一栅极线输出GL_OUT1；一第四薄膜晶体管M4，所述第四薄膜晶体管M4的一漏级连接于于所述第三薄膜晶体管M3的一源极；一栅极连接于位于所述栅极的一第二输出端G_OUT2，一源极连接于一第二栅极线输出GL_OUT2；一第五薄膜晶体管M5

，所述第五薄膜晶体管M5的一栅极连接于位于所述栅极的所述第二输出端G_OUT2，一源极连接于所述第二输出端G_OUT2，一漏极连接于所述第二栅极线输出GL_OUT2；以及一第六薄膜晶体管M6，所述第六薄膜晶体管M6的一栅极连接于位于所述栅极的所述第二输出端G_OUT2，一漏极连接于所述第二栅极线输出GL_OUT2，一源极连接于下一级的所述预充电模块(无图标)。

[16] 其中，当所述第一栅极输出端G_OUT1为高电压准位VH，所述第二栅极输出端G_OUT2为低电压准位VL时，所述第一薄膜晶体管M1、所述第三薄膜晶体管M3，与所述第四薄膜晶体管M4是被导通的，所述第二薄膜晶体管M2、所述第五薄膜晶体管M5，与所述第六薄膜晶体管M6是被关断的，且所述第一栅极线输出GL_OUT1与所述第二栅极线输出GL_OUT2都是高电压准位VH。当所述第一栅极输出端G_OUT1为低电压准位VL，所述第二栅极输出端G_OUT2为高电压准位VH时，所述第一薄膜晶体管M1、所述第三薄膜晶体管M3，与所述第四薄膜晶体管M4是被关断的，所述第二薄膜晶体管M2、所述第五薄膜晶体管M5，与所述第六薄膜晶体管M6是被导通的，且所述第一栅极线输出GL_OUT1是低电压准位VL，所述第二栅极线输出GL_OUT2是高电压准位VH。当所述第一栅极输出端G_OUT1与所述第二栅极输出端G_OUT2都为低电压准位VL时，所述第一薄膜晶体管M1、所述第三薄膜晶体管M3、所述第五薄膜晶体管M5，与所述第六薄膜晶体管M6是被关断的，所述第二薄膜晶体管M2与所述第四薄膜晶体管M4是被导通的，且所述第一栅极线输出GL_OUT1与所述第二栅极线输出GL_OUT2都是低电压准位VL。

[17] 请参照图3，图3是本发明所述实施例中的预充电模块14中栅极线讯号波形图。如图3所示，分别是所述第一栅极线输出GL_OUT1与第二栅极线输出GL_OUT2的波形。如图3所示，在GL_OUT1与GL_OUT2的充电波形会部分重迭，也就是说第二栅极线会在第一栅极线充电完成前开始充电，让充电效率提高，让本发明在阵列栅极驱动电路架构中实现预充电，加快充电速度，缩短液晶响应时间，减少像素电极间的互扰(crosstalk)现象。

[18] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可

作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1] 一种显示面板，具有一显示区与一扇出区，与一阵列栅极驱动(Gate On Array, GOA)电路，所述显示面板包括：

多级预充电模块，用于在所述扇出区将所述阵列栅极驱动电路中相邻两栅极的输出端分别连接于所述显示区对应的相邻两栅极线输出，每一级所述预充电模块包括：

一第一薄膜晶体管，所述第一薄膜晶体管的一源极与栅极连接于位于所述栅极的一第一输出端，一漏极连接于一第一栅极线输出；

一第二薄膜晶体管，所述第二薄膜晶体管的一栅极连接于位于所述栅极的所述第一输出端，一漏极连接于上一级的所述预充电模块；

一第三薄膜晶体管，所述第三薄膜晶体管的一栅极连接于位于所述栅极的所述第一输出端，一漏极连接于所述第一栅极线输出；

一第四薄膜晶体管，所述第四薄膜晶体管的一漏级连接于于所述第三薄膜晶体管的一源极；一栅极连接于位于所述栅极的一第二输出端，一源极连接于一第二栅极线输出；

一第五薄膜晶体管，所述第五薄膜晶体管的一栅极连接于位于所述栅极的所述第二输出端，一源极连接于所述第二输出端，一漏极连接于所述第二栅极线输出；以及

一第六薄膜晶体管，所述第六薄膜晶体管的一栅极连接于位于所述栅极的所述第二输出端，一漏极连接于所述第二栅极线输出，一源极连接于下一级的所述预充电模块；

其中，所述第一栅极输出端与所述第二栅极输出端的充电波形是部分重迭的。

[权利要求 2] 一种显示面板，具有一显示区与一扇出区，与一阵列栅极驱动(Gate On Array, GOA)电路，所述显示面板包括：

多级预充电模块，用于在所述扇出区将所述阵列栅极驱动电路中

相邻两栅极的输出端分别连接于所述显示区对应的相邻两栅极线输出，每一级所述预充电模块包括：

一第一薄膜晶体管，所述第一薄膜晶体管的一源极与栅极连接于位于所述栅极的一第一输出端，一漏极连接于一第一栅极线输出；

一第二薄膜晶体管，所述第二薄膜晶体管的一栅极连接于位于所述栅极的所述第一输出端，一漏极连接于上一级的所述预充电模块；

一第三薄膜晶体管，所述第三薄膜晶体管的一栅极连接于位于所述栅极的所述第一输出端，一漏极连接于所述第一栅极线输出；

一第四薄膜晶体管，所述第四薄膜晶体管的一漏级连接于于所述第三薄膜晶体管的一源极；一栅极连接于位于所述栅极的一第二输出端，一源极连接于一第二栅极线输出；

一第五薄膜晶体管，所述第五薄膜晶体管的一栅极连接于位于所述栅极的所述第二输出端，一源极连接于所述第二输出端，一漏极连接于所述第二栅极线输出；以及

一第六薄膜晶体管，所述第六薄膜晶体管的一栅极连接于位于所述栅极的所述第二输出端，一漏极连接于所述第二栅极线输出，一源极连接于下一级的所述预充电模块。

[权利要求 3] 如权利要求2所述的显示面板，其中，当所述第一栅极输出端为高电压准位，所述第二栅极输出端为低电压准位时，所述第一薄膜晶体管、所述第三薄膜晶体管，与所述第四薄膜晶体管是被导通的，所述第二薄膜晶体管、所述第五薄膜晶体管，与所述第六薄膜晶体管是被关断的，且所述第一栅极线输出与所述第二栅极线输出都是高电压准位。

[权利要求 4] 如权利要求2所述的显示面板，其中，当所述第一栅极输出端为低电压准位，所述第二栅极输出端为高电压准位时，所述第一薄膜晶体管、所述第三薄膜晶体管，与所述第四薄膜晶体管是被关断

的，所述第二薄膜晶体管、所述第五薄膜晶体管，与所述第六薄膜晶体管是被导通的，且所述第一栅极线输出是低电压准位，所述第二栅极线输出是高电压准位。

[权利要求 5] 如权利要求2所述的显示面板，其中，当所述第一栅极输出端与所述第二栅极输出端都为低电压准位时，所述第一薄膜晶体管、所述第三薄膜晶体管、所述第五薄膜晶体管，与所述第六薄膜晶体管是被关断的，所述第二薄膜晶体管与所述第四薄膜晶体管是被导通的，且所述第一栅极线输出与所述第二栅极线输出都是低电压准位。

[权利要求 6] 一种阵列栅极驱动电路，用于一显示设备中，所述显示设备具有一显示区与一扇出区，所述阵列栅极驱动电路包括：

多级预充电模块，用于在所述扇出区将GOA电路中相邻两栅极的输出端分别连接于所述显示区对应的相邻两栅极线输出，每一级所述预充电模块包括：

一第一薄膜晶体管，所述第一薄膜晶体管的一源极与栅极连接于位于所述栅极的一第一输出端，一漏极连接于一第一栅极线输出；

一第二薄膜晶体管，所述第二薄膜晶体管的一栅极连接于位于所述栅极的所述第一输出端，一漏极连接于上一级的所述预充电模块；

一第三薄膜晶体管，所述第三薄膜晶体管的一栅极连接于位于所述栅极的所述第一输出端，一漏极连接于所述第一栅极线输出；

一第四薄膜晶体管，所述第四薄膜晶体管的一漏级连接于于所述第三薄膜晶体管的一源极；一栅极连接于位于所述栅极的一第二输出端，一源极连接于一第二栅极线输出；

一第五薄膜晶体管，所述第五薄膜晶体管的一栅极连接于位于所述栅极的所述第二输出端，一源极连接于所述第二输出端，一漏极连接于所述第二栅极线输出；以及

一第六薄膜晶体管，所述第六薄膜晶体管的一栅极连接于位于所述栅极的所述第二输出端，一漏极连接于所述第二栅极线输出，一源极连接于下一级的所述预充电模块。

[权利要求 7] 如权利要求6所述的阵列栅极驱动电路，其中，当所述第一栅极输出端为高电压准位，所述第二栅极输出端为低电压准位时，所述第一薄膜晶体管、所述第三薄膜晶体管，与所述第四薄膜晶体管是被导通的，所述第二薄膜晶体管、所述第五薄膜晶体管，与所述第六薄膜晶体管是被关断的，且所述第一栅极线输出与所述第二栅极线输出都是高电压准位。

[权利要求 8] 如权利要求6所述的阵列栅极驱动电路，其中，当所述第一栅极输出端为低电压准位，所述第二栅极输出端为高电压准位时，所述第一薄膜晶体管、所述第三薄膜晶体管，与所述第四薄膜晶体管是被关断的，所述第二薄膜晶体管、所述第五薄膜晶体管，与所述第六薄膜晶体管是被导通的，且所述第一栅极线输出是低电压准位，所述第二栅极线输出是高电压准位。

[权利要求 9] 如权利要求6所述的阵列栅极驱动电路，其中，当所述第一栅极输出端与所述第二栅极输出端都为低电压准位时，所述第一薄膜晶体管、所述第三薄膜晶体管、所述第五薄膜晶体管，与所述第六薄膜晶体管是被关断的，所述第二薄膜晶体管与所述第四薄膜晶体管是被导通的，且所述第一栅极线输出与所述第二栅极线输出都是低电压准位。

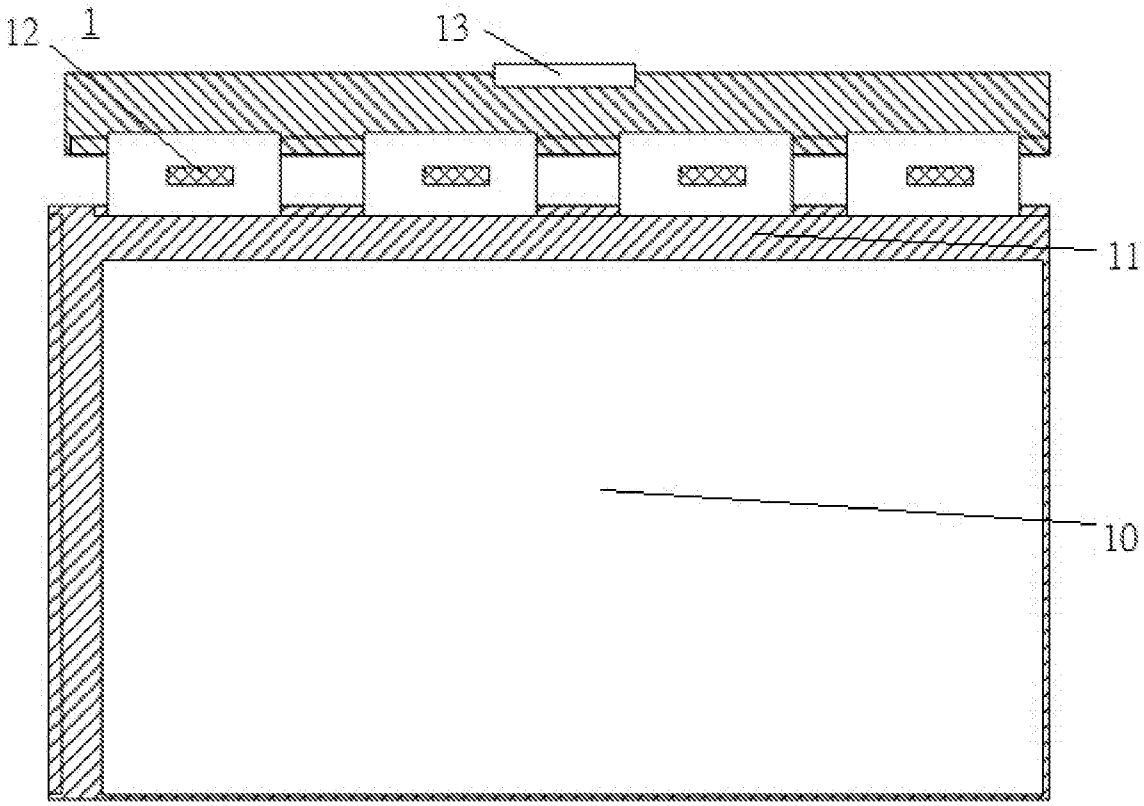


图 1

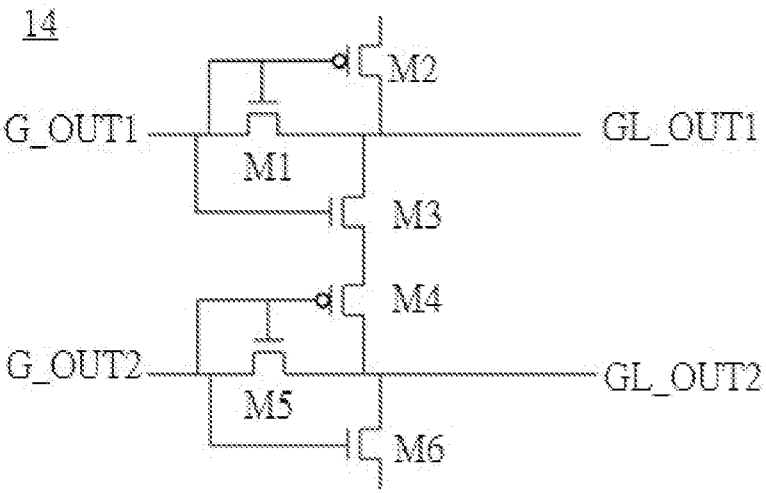


图 2

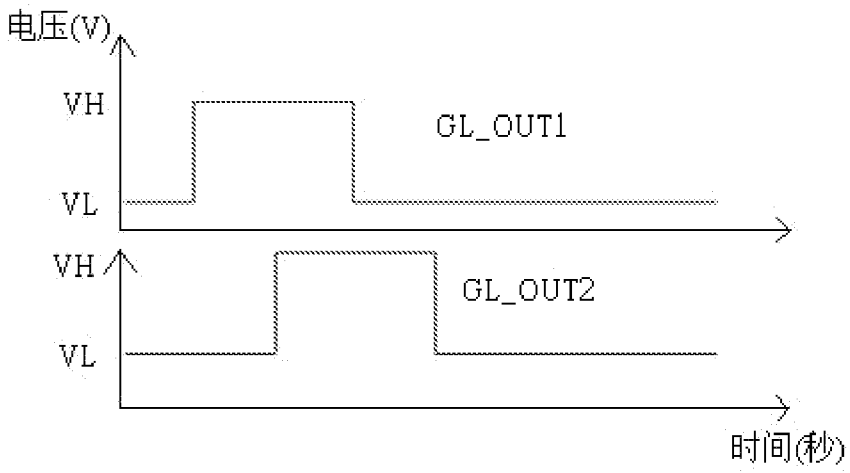


图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/098768

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G02F 1/13 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G02F; H04N

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN, SIPOABS, DWPI, CNKI: fan, fan-out area, speed, efficiency, time, gate, grid, wave form, transistor, multistage, line, interwind, fan in, fan out, charg+, scan+, driv+ overlap+, crosstalk

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4317115 A (HITACHI LTD.), 23 February 1982 (23.02.1982), description, column 7, line 1 to column 9, line 42, and figures 11-13	1-9
A	CN 1705972 A (ROYAL DUTCH PHILIPS ELECTRONICS LTD.), 07 December 2005 (07.12.2005), the whole document	1-9
A	US 2004155839 A1 (LG ELECTRONICS INC.), 12 August 2004 (12.08.2004), the whole document	1-9

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 August 2016 (16.08.2016)	**31 August 2016 (31.08.2016)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **LUO, Yun** Telephone No.: (86-10) **62085874**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/098768

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 4317115 A	23 February 1982	JP S5576393 A	09 June 1980
CN 1705972 A	07 December 2005	AU 2003264789 A1	04 May 2004
		TW 200410186 A	16 June 2004
		KR 20050075754 A	21 July 2005
		US 2006043371 A1	02 March 2006
		JP 2006503327 A	26 January 2006
		US 7812793 B2	12 October 2010
		GB 0224277 D0	27 November 2002
		EP 1556850 A1	27 July 2005
		WO 2004036536 A1	29 April 2004
US 2004155839 A1	12 August 2004	KR 20040100642 A	02 December 2004
		KR 100527421 B	09 November 2005
		KR 100531790 B	29 November 2005
		KR 20040068757 A	02 August 2004
		KR 20050009580 A	25 January 2005
		KR 100504788 B	29 July 2005

国际检索报告

国际申请号
PCT/CN2015/098768

A. 主题的分类

G09G 3/36(2006.01)i; G02F 1/13(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G02F; H04N

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS,VEN,SIPOABS,DWPI,CNKI:扇，扇出，扇出区，充电，速度，效率，时间，扫描，闸极，栅极，波形，重叠，重迭，晶体管，多级，线，串扰，互绕，fan in, fan out, charg+, scan+, driv+ overlap+, crosstalk

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 4317115 A (HITACHI LTD) 1982年 2月 23日 (1982-02-23) 说明书第7栏第1行至第9栏第42行，图11-13	1-9
A	CN 1705972 A (皇家飞利浦电子股份有限公司) 2005年 12月 7日 (2005-12-07) 全文	1-9
A	US 2004155839 A1 (LG ELECTRONICS INC) 2004年 8月 12日 (2004-08-12) 全文	1-9

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2016年 8月 16日	2016年 8月 31日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 罗赟 电话号码 (86-10)62085874

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/098768

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	4317115	A	1982年 2月 23日	JP	S5576393	A	1980年 6月 9日
CN	1705972	A	2005年 12月 7日	AU	2003264789	A1	2004年 5月 4日
				TW	200410186	A	2004年 6月 16日
				KR	20050075754	A	2005年 7月 21日
				US	2006043371	A1	2006年 3月 2日
				JP	2006503327	A	2006年 1月 26日
				US	7812793	B2	2010年 10月 12日
				GB	0224277	D0	2002年 11月 27日
				EP	1556850	A1	2005年 7月 27日
				WO	2004036536	A1	2004年 4月 29日
US	2004155839	A1	2004年 8月 12日	KR	20040100642	A	2004年 12月 2日
				KR	100527421	B	2005年 11月 9日
				KR	100531790	B	2005年 11月 29日
				KR	20040068757	A	2004年 8月 2日
				KR	20050009580	A	2005年 1月 25日
				KR	100504788	B	2005年 7月 29日