

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5271671号  
(P5271671)

(45) 発行日 平成25年8月21日(2013.8.21)

(24) 登録日 平成25年5月17日(2013.5.17)

(51) Int.Cl.	F 1
B 8 1 B 3/00 (2006.01)	B 8 1 B 3/00
B 8 1 C 1/00 (2006.01)	B 8 1 C 1/00
H 0 1 L 21/336 (2006.01)	H 0 1 L 29/78 6 1 2 Z
H 0 1 L 29/786 (2006.01)	

請求項の数 3 (全 27 頁)

(21) 出願番号	特願2008-284983 (P2008-284983)
(22) 出願日	平成20年11月6日 (2008.11.6)
(65) 公開番号	特開2009-131951 (P2009-131951A)
(43) 公開日	平成21年6月18日 (2009.6.18)
審査請求日	平成23年10月12日 (2011.10.12)
(31) 優先権主張番号	特願2007-289224 (P2007-289224)
(32) 優先日	平成19年11月7日 (2007.11.7)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	土屋 薫 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(72) 発明者	溝口 隆文 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 八木 敏太

最終頁に続く

(54) 【発明の名称】微小電気機械式装置

(57) 【特許請求の範囲】

## 【請求項 1】

微小構造体を有する微小電気機械式装置であつて、

前記微小構造体は、絶縁表面上に設けられた下部電極層と、該下部電極層上に設けられた充填材料層と、該充填材料層上に設けられた前記下部電極層と対向する上部電極層と、該上部電極層上に設けられた構造層と、を有し、

前記構造層は、前記下部電極層に向かう方向又は前記下部電極層から遠ざかる方向に可動する構造を有し、

前記充填材料層は、該充填材料層の表面に達する空孔が設けられた絶縁性材料を有することを特徴とする微小電気機械式装置。

10

## 【請求項 2】

請求項 1において、

前記充填材料層はブロックコポリマーにより形成されていることを特徴とする微小電気機械式装置。

## 【請求項 3】

請求項 1又は請求項 2において、

前記充填材料層の空隙率は 20 % 以上 80 % 以下であることを特徴とする微小電気機械式装置。

## 【発明の詳細な説明】

20

**【技術分野】****【0001】**

本発明は、微小電気機械式装置に関する。また、該微小電気機械式装置の作製方法に関する。

**【背景技術】****【0002】**

近年、MEMS (Micro Electro Mechanical System) の研究が盛んに進められている。MEMS は、微小電気機械システムの略称であり、単にマイクロマシンと呼ばれることがある。マイクロマシンとは、一般的には、半導体微細加工技術を用いて作製した「立体構造を有し、可動する微小構造体」と「半導体素子を有する電子回路」とを集積した微細デバイスを指す。上記の微小構造体は半導体素子とは異なり、可動部を有することが一般的である。

10

**【0003】**

上記の微小構造体は構造層と中空部とを有し、構造層は可動部を有する。構造層の可動部が動作するため、上記の微小構造体には機械的な強度が必要とされる。特許文献1には、機械的な強度の高い微小構造体の一例として、金属を用いて熱結晶化又はレーザ結晶化された多結晶シリコンを含む層を有し、当該層の下方又は上方に空間を有するマイクロマシンが開示されている。

20

**【特許文献1】特開2007-1004号公報****【発明の開示】****【発明が解決しようとする課題】****【0004】**

従来の微小構造体は、可動部の動作領域を確保するために、中空部を有する。中空部の形成は、まず中空部となる箇所に犠牲層を形成し、構造層等を形成後にこの犠牲層をエッティング等により除去することで行う。例えば、構造層の可動部が基板表面と垂直な方向に動作する微小構造体では、微小構造体の下部を形成し、この微小構造体の下部上に犠牲層を形成し、この犠牲層上に微小構造体の上部を形成し、微小構造体の上部形成後に犠牲層をエッティング等により除去する。このようにして、中空部を有する微小構造体を形成している。

30

**【0005】**

しかし、上記のように犠牲層を用いて中空部を形成すると、作製工程中に微小構造体の上部電極と微小構造体の下部電極とが強く接触等することで破損し、又は破壊されやすくなるといった問題がある。また、上部電極と下部電極との間にスティッキングを生じることで、正常な動作ができなくなるといった問題があった。ここで、スティッキングとは、微小構造体の可動部の動作によって、上部電極と下部電極とが強く接触して離れることができない状態となる現象をいう。

**【0006】**

更には、犠牲層を用いて中空部を形成する場合には、犠牲層が完全にエッティングされず、エッティング残りが生じることも問題となっていた。

40

**【0007】**

または、作製された微小構造体の上部が動作することで、微小構造体が破損し、又は破壊されることがある。これは中空部の高さが高い場合又は構造層の韌性が十分でない場合に特に顕著である。

**【0008】**

更には、中空部を設けることで、その中空部を有する構造体が反り等により変形してしまい、所望の構造が得られないという問題がある。

**【課題を解決するための手段】****【0009】**

本発明は、相対する一対の電極が空間により隔離され、可動する構造体に少なくとも一方の電極が設けられている微小構造体において、該空間に絶縁材料が充填された構成を有

50

する微小構造体である。該絶縁材料は、可動部が動作する際に該絶縁材料により形成された充填材料層が変形できるよう空孔を有する材料を用いる。好ましくは、形成後に所定の処理（熱、薬液処理等）を行うことにより、軟化又は硬化する材料を用いる。

【0010】

本発明の一は、微小構造体を有する微小電気機械式装置であつて、前記微小構造体は、絶縁表面上に設けられた下部電極層と、該下部電極層上に設けられた充填材料層と、該充填材料層上に設けられた前記下部電極層と対向する上部電極層と、該上部電極層上に設けられた構造層と、を有し、前記構造層は、前記下部電極層に向かう方向又は前記下部電極層から遠ざかる方向に可動する構造を有し、好ましくは、前記充填材料層は該充填材料層の表面に達する多くの空間が設けられた絶縁性材料を有することを特徴とする微小電気機械式装置である。

10

【0011】

上記構成の本発明において、充填材料層の空隙率は概ね20%以上80%以下とするとい。これは、充填材料層の空隙率がこの範囲より高い場合又は低い場合には、充填材料層自体の形成又は充填材料層が有する空孔の形成が困難なためである。

【0012】

上記構成の本発明において、充填材料層はブロックコポリマーにより形成することができる。ブロックコポリマーを用いることで分子量分布の狭いポリマーを得やすく、組成比の制御も比較的容易なため好ましい。ブロックコポリマーにより充填材料層を形成する場合には、充填材料層を構成する一方の材料が占める体積を20%以上80%以下にすることで空隙率を概ね20%以上80%以下にすことができ、充填材料層自体の形成又は充填材料層が有する空孔の形成を良好に行うことができるためである。好ましくは空隙率を20%以上60%以下とする。空隙率を20%以上60%以下とすることで、充填材料層はシリンダー構造、ジャイロイド構造又はラメラ構造となる。空隙率を20%以上60%以下とすると、シリンダー構造又はジャイロイド構造の場合であつても空孔の占める体積が充填材料層の材料の占める体積よりも小さく、充填材料層が密になるため、十分な機械的強度を確保することができる。更に好ましくは、空隙率を20%以上35%以下とする。空隙率を20%以上35%以下とすると、充填材料層においてこれを構成する材料の占める体積が大きくなり、十分な空孔をも有するシリンダー構造となるためである。

20

【0013】

30

本発明の一は、絶縁表面上に下部電極層を形成し、前記下部電極層上に第1の充填材料層を形成し、前記第1の充填材料層上に上部電極層を形成し、前記上部電極層上に構造層を形成し、好ましくは加熱処理を行い、前記第1の充填材料層を構成する材料のいずれかをエッティングにより除去することで、多孔質の第2の充填材料層を形成することを特徴とする微小電気機械式装置の作製方法である。

【0014】

40

本発明の一は、絶縁表面上に下部電極層を形成し、前記下部電極層上にブロックコポリマーからなる膜を全面に形成し、前記ブロックコポリマーからなる膜上に金属マスクを選択的に形成し、前記金属マスクを用いて前記ブロックコポリマーからなる膜をエッティングして第1の充填材料層を形成し、前記第1の充填材料層上に上部電極層を形成し、前記上部電極層上に構造層を形成し、好ましくは加熱処理を行い、前記第1の充填材料層を構成する材料のいずれかをエッティングにより除去することで、多孔質の第2の充填材料層を形成することを特徴とする微小電気機械式装置の作製方法である。

【0015】

上記構成の本発明の作製方法においても、第2の充填材料層の空隙率は20%以上80%以下とするとよく、20%以上60%以下とすることが好ましい。更には、20%以上35%以下とすることがより好ましい。

【発明の効果】

【0016】

本発明を適用することにより、微小構造体の上部が動作することによる微小構造体の破

50

損及び破壊を防止することができる。従って、中空部の高さが大きい場合又は構造層の韌性が十分に確保できない場合であっても、微小構造体を作製することができる。

【0017】

本発明を適用した微小構造体では、微小構造体のスティッキングが生じないため、反復して動作が可能な微小構造体を作製することができる。

【0018】

また、作製工程において犠牲層を形成する必要がないため、犠牲層の残存に起因する歩留まりの低下を防止することができ、歩留まりよく微小構造体を作製することができる。

【発明を実施するための最良の形態】

【0019】

実施の形態について、図面を参照して以下に説明する。ただし、本発明は以下の説明に限定されるものではない。趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、本発明は以下に示す実施の形態の記載内容のみに限定して解釈されるものではない。

【0020】

(実施の形態1)

本発明の微小構造体及び微小構造体の作製方法について、図面を参照して説明する。

【0021】

図1は、本発明の微小構造体の断面図及び上面図の一例を示す。図1の微小構造体では、基板100上に下部電極層101が設けられ、下部電極層101上には充填材料層102が設けられている。充填材料層102上には上部電極層103が設けられ、上部電極層103上には構造層104が設けられている。下部電極層101と上部電極層103との間隔はd(m)である。

【0022】

下部電極層101と上部電極層103との間は充填材料層102により隔離され、容量素子が形成されている。ここで、下部電極層101と上部電極層103の面積が等しくS(m<sup>2</sup>)であるとし、この容量素子の静電容量をC(F)、誘電率を( F / m )とするとき、以下の式(1)が成立する。

【0023】

【数1】

$$C = \frac{\epsilon S}{d} \quad (1)$$

【0024】

ここで、構造層104が押し下げられると、下部電極層101と上部電極層103との間隔dが変化し、静電容量が変化する。このときの静電容量の変化量ΔCは、押し下げられる前の静電容量C<sub>0</sub>及び押し下げられた後の静電容量C<sub>1</sub>を用いると以下の式(2)で表される。

【0025】

【数2】

$$\Delta C = C_1 - C_0 \quad (2)$$

【0026】

すなわち、押し下げられる前の間隔をd<sub>0</sub>とし、押し下げられた後の間隔をd<sub>1</sub>とするとき、ΔCは以下の式(3)で表される。

【0027】

【数3】

$$\Delta C = \frac{\epsilon S}{d_1} - \frac{\epsilon S}{d_0} = \frac{\epsilon S}{d_0 d_1} (d_0 - d_1) \quad (3)$$

【0028】

従って、ΔCを検知することにより、下部電極層101と上部電極層103の間隔dの

10

20

30

40

50

変化量が明らかになる。

【0029】

なお、図2は、従来の微小構造体の一例を示す。図2の微小構造体では、図1の微小構造体において、充填材料層102が設けられている部分が中空部110になっている。なお、図2(A)が断面図、図2(B)が上面図である。

【0030】

次に、図1に示す微小構造体の作製方法の一例について図面を参照して説明する。まず、基板100上に下部電極層101を選択的に形成する(図3(A)を参照)。

【0031】

基板100には特に限定はなく、例えば、半導体基板、ガラス基板、石英基板、プラスチック基板又はステンレス基板等を用いることができるが、絶縁性基板を用いることが好みしい。半導体基板又はステンレス基板を用いる場合には、これらの基板上に絶縁膜を形成し、絶縁性表面とすることが好みしい。

【0032】

下部電極層101は、例えば、導電膜を基板100上に形成し、該導電膜上にフォトリソグラフィー法によりレジストマスクを形成し、該レジストマスクを用いて導電膜の所望の箇所をエッチング等により除去することで、選択的に形成することができる。下部電極層101を形成する材料は特に限定されず、導電性を有する材料により形成すればよい。導電性を有する材料としては、例えば、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅から選ばれた元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成すればよい。または、一導電型の不純物元素が添加されたシリコンでもよいし、インジウム錫酸化物(ITO)等の透明導電膜を用いても良い。なお、形成方法についても特に限定されず、スパッタリング法、CVD法又は液滴吐出法等を用いることができる。液滴吐出法を用いると、エッチングを行うことなく、所望のパターンを形成することができるため、工程数が削減される。なお、下部電極層101は、単層で形成しても良いし、複数の層を積層して形成しても良い。

【0033】

次に、下部電極層101上に充填材料層102を形成する。充填材料層は有機材料により設けられるため、レジストマスクを用いたエッチングによるパターンの形成が困難である。そのため、金属膜をマスクとして用いる場合について以下に説明する。

【0034】

まず、下部電極層101上に有機膜120を形成し、有機膜120上に金属膜121を形成し、金属膜121上にレジストマスク122を選択的に形成する(図3(B)を参照)。有機膜120は、後述の充填材料層102を形成する材料を用いて形成する。形成方法としては、例えばスピンドルコート法等を用いればよい。

【0035】

次に、レジストマスク122を用いて金属膜121をエッチングすることで、金属マスク123を形成する(図3(C)を参照)。金属膜のエッチングは、金属膜を構成する材料に応じて条件を設定すればよい。例えば、金属膜121の材料がタングステンである場合には、塩素ガス雰囲気におけるドライエッチングを用いることができる。レジストマスク122及び有機膜120に対してエッチング選択比がとれる(すなわち、金属膜121に対するエッチングレートが高く、有機膜120及びレジストマスク122に対するエッチングレートが低い)条件を適用することが好みしい。この後、レジストマスク122を除去する。

【0036】

次に、金属マスク123を用いて有機膜120をエッチングすることで、充填材料層102を形成する(図3(D)を参照)。有機膜120のエッチングには、例えば酸素ガスを用いてドライエッチングを行えばよい。その後、金属マスク123を除去する。なお、金属マスク123を除去することなく、微小構造体の上部電極として用いても良い。

【0037】

10

20

30

40

50

なお、以上の説明では、充填材料層 102 の形成に金属マスクを用いたエッティングを適用した例を示したが、本発明は必ずしもこれに限定されない。例えば、有機膜 120 に感光性材料を混合させて露光を行うことで、パターンを形成することもできる。

【0038】

以上説明したように、下部電極層 101 上に充填材料層 102 を選択的に形成することができる（図 3（E）を参照）。充填材料層 102 は、微小構造体の動作に応じて変形するため、この変形に耐えうる材料膜により形成する。該材料膜を形成した後に下部電極層 101 と同様に所望の箇所をエッティング除去等することで、選択的に形成することができる。または、液滴吐出法等により選択的に形成しても良い。

【0039】

本発明の充填材料層 102 を形成する材料としては、変形可能な多孔質材料を用いる。好ましくは、形成後に所定の処理（熱、薬液処理等）を行うことにより、軟化又は硬化する材料を用いる。このような材料として、例えば、ミクロ相分離構造を形成する、ブロックコポリマー又はグラフトコポリマーが挙げられる。

【0040】

ブロックコポリマーとは、複数のホモポリマー鎖がブロックとして結合した直鎖コポリマーをいう。例えば、ジブロックコポリマーが挙げられる。また、トリブロックコポリマーに代表される、3種以上のポリマー鎖が結合したブロックコポリマーを用いてもよい。

【0041】

グラフトコポリマーとは、ポリマーの主鎖に、他のポリマー鎖が側鎖として結合した構造のコポリマーをいう。側鎖として結合するポリマー鎖は、異なる種類のものであってもよい。

【0042】

なお、充填材料層 102 を形成する材料としては、ブロックコポリマーを用いることが好ましい。ブロックコポリマーは、分子量分布の狭いポリマーを得やすく、組成比の制御も比較的容易だからである。充填材料層 102 を形成する材料の組成比を制御することで、充填材料層 102 の単位体積あたりに空孔が占める体積を制御することができる。そのため、単位荷重あたりの充填材料層 102 の変形量を異ならせることができる。以下に、本発明に適用することのできるブロックコポリマーについて説明する。

【0043】

ブロックコポリマーは、ナノメートルスケールのミクロ相分離構造を自発的に形成することが知られている。例えば、A B 型ブロックコポリマーではミクロ相分離により、ブロックコポリマーを構成する高分子の組成比に応じて、球構造、シリンドラー構造、ジャイロイド構造又はラメラ構造といった周期構造を形成する。なお、一方の成分の比率が概ね 20% 以下で球構造（図 4（A）又は（E）を参照）となり、概ね 20% 以上 35% 以下でシリンドラー構造（図 4（B）又は（D）を参照）となり、概ね 35% 以上 40% 以下でジャイロイド構造（図 4（F）又は（G）を参照）となり、概ね 40% 以上でラメラ構造（図 4（C）を参照）となる。なお、球構造では、ウエットエッティングにおいて薬液が達し難く、除去すべき一方の材料の除去が困難なため、シリンドラー構造、ジャイロイド構造又はラメラ構造とすることが好ましい。

【0044】

ブロックコポリマーの作製には、例えばリビング重合法を用いることができる。リビング重合法は、アニオン又はカチオンを生成する重合開始剤により一種のモノマーの重合を開始させ、他のモノマーを逐次的に添加することによって合成し、ブロックコポリマーを作製する方法である。その作製方法について以下に説明する。

【0045】

まず、ブロックコポリマーを構成する材料を溶媒に溶解させる。この溶媒は、ブロックコポリマーを構成する複数種のポリマーのすべてに対して良溶媒であることが好ましい。ここで、良溶媒とは、ブロックコポリマーを構成するポリマーの均一溶液を作製することができる溶媒をいう。ここでは、2種類のポリマーを用いるため、2種類のポリマーの均

10

20

30

40

50

一溶液を作製できればよい。例えば、ブロックコポリマーの約5重量%のトルエン溶液を、スピニコート法等により充填材料層102が形成される領域に塗布する。なお、スピニコート法では、溶液が基板全面に塗布されるが、例えば液滴吐出法を用いることで所望の領域にのみ溶液が塗布されるため、後の工程が簡素化し、更には材料の利用効率が向上するため好ましい。

【0046】

次に、該溶液が塗布された基板に対して加熱処理を行い、ミクロ相分離を誘起する。加熱処理の温度は、ブロックコポリマーを構成する成分のガラス転移点以上であり、且つ相転移温度以下に設定する。

【0047】

なお、ブロックコポリマーには様々な種類があるが、代表的にはスチレン-ブタジエン系A B型又はスチレン-イソブレン系A B型が挙げられる。その他には、PMMA (P o l y m e t h y l m e t h a c r y l a t e) のブロックコポリマー等の、異なる材料により構成されたブロックコポリマーや、スチレン-イソブレン系のブロックコポリマーの末端に修飾基をつけたもの等がある。ブロックコポリマーの高分子セグメントとしては、例えば、ポリスチレン若しくはポリフルオレン等の疎水性の芳香族炭化水素鎖、ポリブタジエン若しくはポリイソブレン等の疎水性の脂肪族不飽和炭化水素鎖、ポリビニルアルコール若しくはポリエチレングリコール等の親水性の脂肪族炭化水素鎖、ポリビニルピリジン若しくはポリスチレンスルホン酸等の親水性の芳香族炭化水素鎖、ポリジメチルシロキサン等の疎水性シロキサン類又はポリフェロセン等の金属錯体等が挙げられる。そして、ブロックコポリマーは、これら高分子セグメントの二種以上が一点以上の結合点において共有結合することによって、線状、分岐状又は環状となっている。

【0048】

上記の材料には、更に溶媒を含んでいても良い。溶媒としては、例えば、ヘキサン、ヘプタン若しくはオクタン等の脂肪族炭化水素、四塩化炭素、クロロホルム若しくはジクロロメタン等のハロゲン化炭化水素、ベンゼン、トルエン若しくはキシレン等の芳香族炭化水素、アセトン若しくはメチルエチルケトン等のケトン類、ジメチルエーテル若しくはジエチルエーテル等のエーテル類、メタノール若しくはエタノール等のアルコール類又は水等が挙げられる。これらの溶媒は、形成する材料の性質又は状態に合わせて選択することができる。

【0049】

本実施の形態においては、充填材料層を形成することができ、ブロックコポリマーを構成する成分の一方をエッティングで選択的に除去することができればよい。また、A B A型やB A B型でも、ブロックコポリマーの組成に応じて、球構造からラメラ構造までの様々な構造を探りうる。なお、上記したように本発明においてはシリンダー構造、ジャイロイド構造又はラメラ構造を探ることが好ましい。

【0050】

なお、本実施の形態において、充填材料層102に適用することのできる材料は、上記材料に限定されず、複数種の物質からなり、一の物質を後の工程でエッティング等により除去することができる材料であればよい。また、エッティング等で除去される物質は必ずしも一の物質でなくともよいが、エッティング等により充填材料層102の少なくとも一の物質が除去されずに残存できることが最低限必要である。また、形成後の工程に耐えうる程度の耐熱性及び耐薬品性を要する。ここで、充填材料層102に除去されずに残存する物質は、弾性変形が可能な物質であることが好ましい。

【0051】

なお、本実施の形態において、上記したように充填材料層はブロックコポリマーにより形成することができる。ブロックコポリマーにより充填材料層を形成する場合には、充填材料層を構成する一方の材料が占める体積を20%以上80%以下にすることで空隙率を概ね20%以上80%以下にすることで空隙率を20%以上60%以下と

10

20

30

40

50

する。空隙率を20%以上60%以下とすることで、充填材料層はシリンダー構造、ジャイロイド構造又はラメラ構造となる。空隙率を20%以上60%以下とすると、シリンダー構造又はジャイロイド構造の場合であっても空孔の占める体積が充填材料層の材料の占める体積よりも小さく、充填材料層が密になるため、十分な機械的強度を確保することができる。更に好ましくは、空隙率を20%以上35%以下とする。空隙率を20%以上35%以下とすると、充填材料層においてこれを構成する材料の占める体積が大きくなり、十分な空孔をも有するシリンダー構造となるためである。

#### 【0052】

次に、充填材料層102上に上部電極層103を形成する(図3(F)を参照)。上部電極(第2の電極)は、下部電極(第1の電極)と対向する位置に形成される。上部電極層103の形成は、下部電極層101と同様の材料を用いて、同様の方法により形成すればよい。即ち、導電膜を全面に形成し、所望の箇所をエッティング除去等することで形成すればよい。

10

#### 【0053】

次に、充填材料層102を覆って、上部電極層103上に構造層104を選択的に形成する(図3(G)を参照)。構造層104の形成は、第1の電極層等と同様に、材料膜を全面に形成し、この材料膜の所望の箇所をエッティング除去して形成すればよい。

#### 【0054】

構造層104の材料としては、ある程度の韌性を有する材料であれば特定の材料に限定されない。例えば、酸化窒化シリコン膜又は窒化シリコン膜等を用いることができる。ここで、酸化窒化シリコン膜又は窒化シリコン膜はCVD法等により形成すればよいが、形成方法についても特に限定されない。

20

#### 【0055】

なお、充填材料層102に含まれる材料の一方をエッティング除去等するため、構造層104に開口部を形成するとよい。更には、上部電極層103にも開口部を形成してもよい。ただし、上部電極層103の形成前にエッティングを行う場合にはこの限りではない。なお、ここで開口部とは、必ずしも一つに限定されず、充填材料層102のあらゆる箇所に微細な開口部を設けておくことが好ましい。以下に、充填材料層102としてブロックコポリマーを用いた場合について説明する。

#### 【0056】

30

ブロックコポリマーの一方の成分の除去には、ドライエッティング又はウェットエッティングを用いることができる。例えば、酸素ガス雰囲気におけるRIE(Reactive Ion Etching)法を用いることができる。ブロックコポリマー中における、除去すべき成分と残存させるべき成分との間のエッティングレートが大きく異なる条件を採用することが好ましい。一般に、ポリマーの分子鎖に含まれる単位分子あたりの炭素分子の含有率が高いほどエッティング耐性が高く、セグメントあたりの酸素分子の含有率が高いほどエッティング耐性が低い。例えば、PS-PMMA(Polystyrene-Poly methyl methacrylate)のブロックコポリマーでは、PS(ポリスチレン)が芳香環を含んでいるため炭素分子の含有率が高い。そのためエッティング耐性が高く、PAAm(Polyacrylamide)は酸素分子の含有率が高いためエッティング耐性が低い。RIE法を用いた場合には、一般には、この2種類の間に4倍近いエッティングレートの差がある。

40

#### 【0057】

なお、上記のエッティングに用いるガスは酸素ガスに限定されず、 $CF_4$ 、 $H_2$ 、 $C_2F_6$ 、 $CHF_3$ 、 $CH_2F_2$ 、 $CF_3Br$ 、 $NF_3$ 、 $Cl_2$ 、 $CCl_4$ 、 $HBr$ 、 $SF_6$ 等を用いてもよい。

#### 【0058】

なお、エッティングレートは、ブロックコポリマーのモノマー単位により決定される。モノマー単位の総原子数をN、モノマー単位の炭素原子数をNc、モノマー単位の酸素原子数をNoと表すと、エッティングレートは、 $N / (Nc - No)$ に比例することが知られて

50

いる。

【0059】

しかし、上記のドライエッティング法では、シリンダー構造等の場合には問題ないが、球構造ではエッティングされない部分が多く存在するおそれがある。そこで、球構造の場合には、ウェットエッティング法を用いるとよい。ウェットエッティング法では、形成したプロックコポリマーの材料に応じて一方の成分をエッティングすることが可能であり、且つ他方の成分に対しては、エッティング耐性の高い条件によりエッティングを行えばよい。しかし、上記の事情を勘案して、より好ましくは、充填材料層にシリンダー構造、ジャイロイド構造又はラメラ構造を用いる。

【0060】

また、除去すべき成分の除去方法は、必ずしもエッティングに限定されない。除去すべき一方の成分を加熱処理等により蒸発又は昇華させる等により除去しても良い。

【0061】

以上説明したように、本発明の微小構造体を形成することができる。本発明の微小構造体は従来の微小構造体とは異なり、中空部に変形が可能な材料が充填されている。そのため、中空部を有する従来の微小構造体よりも機械的強度の高い微小構造体を作製することができる。機械的強度が向上することで、作製工程中又は動作中の不良の発生を防ぐことができるため、歩留まりが向上し、信頼性が向上する。

【0062】

また、本発明の微小構造体は中空部を有さないため、犠牲層を形成する必要がない。従って、犠牲層を形成する工程及び犠牲層を除去する工程が不要であり、作製工程数を減らすことができる。また、従来の微小構造体の作製では、犠牲層のエッティング除去が十分でない場合、残存した犠牲層により歩留まりが低下することがあった。本発明を適用することで、このような残存した犠牲層による歩留まりの低下を防ぐことができ、歩留まりが向上する。

【0063】

また、上部電極層103及び構造層104により微小構造体が歪みゲージを構成している場合には、下部電極層101を形成しなくても良い。また、本発明はセンサのみならず、アクチュエータにも適用することができる。

【0064】

または、構造層104にバイメタルを適用すると、バイメタル効果により駆動するアクチュエータを作製することができる。

【0065】

このような微小構造体を用いることで、力学的センサを作製することができる。この力学的センサにより、例えば圧力センサを作製することができる。また、上記のアクチュエータにより、干渉方式のディスプレイ等を作製することができる。

【0066】

また、上記の説明では、充填材料層の側面がテープ形状でない場合について説明したが、本発明はこれに限定されず、充填材料層の側面はテープ形状であっても良い(図11(A)を参照)。図11(A)に示す微小構造体では、基板100上に下部電極層131が設けられ、下部電極層131上に充填材料層132が設けられている。充填材料層132上には上部電極層133が設けられ、上部電極層133上には構造層134が設けられている。充填材料層132の側面はテープ形状に加工されている。充填材料層132の側面をテープ形状とすることで、この上に形成される構造層等を被覆性よく形成することができる。そのため、微小構造体の下部電極層131及び上部電極層133に電気的に接続される配線の断切れを防ぐことができ、作製工程における歩留まりが向上する。

【0067】

更には、本発明の充填材料層は液滴吐出法によって形成することもできる(図11(B)を参照)。図11(B)に示す微小構造体では、基板100上に下部電極層136が設けられ、下部電極層136上に充填材料層137が設けられている。充填材料層137上

10

20

30

40

50

には上部電極層 138 が設けられ、上部電極層 138 上には構造層 139 が設けられている。液滴吐出法により形成した充填材料層 137 は、曲面状に形成されている。すなわち、充填材料層の表面が曲面となるように形成しても良い。

#### 【 0 0 6 8 】

以上説明したように、本発明は一つの形態に限定されず、様々な構造の微小構造体に適用することが可能である。従来の微小構造体では中空部であった空間に充填材料層を設けることで、機械的強度が高く、信頼性の高い、可動部を有する微小構造体を歩留まりよく作製することができる。

#### 【 0 0 6 9 】

なお、本実施の形態は最も簡略な一例を示したのみであり、微小構造体の機能に応じて 10 様々な形態にすることが可能である。

#### 【 0 0 7 0 】

##### ( 実施の形態 2 )

本実施の形態では、本発明の半導体装置の構成例及びその作製方法について図面を参照して説明する。

#### 【 0 0 7 1 】

本発明の半導体装置は、マイクロマシンの分野に属するものであり、一般に、マイクロメートルからミリメートル単位の大きさを有する。また、ある機械装置の部品として組み込まれるために作製される場合は、組み立て時に扱いやすいよう、半導体装置がメートル単位の大きさを有する場合もある。

20

#### 【 0 0 7 2 】

図 5 に、本発明の半導体装置の一例についてブロック図を示す。本発明の半導体装置 231 は電気回路部 232 及び構造体部 233 を有する。電気回路部 232 は、半導体素子を用いて設けられ、構造体部 233 を制御する制御回路 234、及び外部の制御装置 230 と通信を行うインターフェース 235 を有する。また、構造体部 233 は、微小構造体により設けられたセンサ 236、アクチュエータ 237 及びスイッチ等を有する。構造体部 233 は、センサ、アクチュエータ及びスイッチのいずれか一を有していても良い。

#### 【 0 0 7 3 】

また、電気回路部 232 は、構造体部 233 が得た情報を処理するための中央演算処理装置、及び処理した情報を記憶するメモリ等を有していてもよい。

30

#### 【 0 0 7 4 】

外部の制御装置 230 は、半導体装置 231 を制御する信号を送信し、半導体装置 231 が得た情報を受信し、または半導体装置 231 に駆動電力を供給する等の動作を行う。

#### 【 0 0 7 5 】

なお、本発明は上記の構成例のみに限定されない。つまり、本発明の半導体装置は、微小構造体を制御する電気回路、及び該電気回路により制御される微小構造体を有していればよく、その他の構成は図 5 に限定されない。

#### 【 0 0 7 6 】

次に、上記で説明した本発明の半導体装置を作製するために、同一基板上に微小構造体と、半導体素子とを作製する方法について、図 6 乃至図 8 を参照して説明する。各図面は、上面図と、上面図の O - P における断面図を示す。

40

#### 【 0 0 7 7 】

本発明の微小構造体及び半導体素子は、一の絶縁表面を有する基板（以下、絶縁基板という。）上に形成することができる。ここで絶縁基板としては、ガラス基板、石英基板又はプラスチック基板等が挙げられる。さらに、金属等の導電性基板、又はシリコン等の半導体基板上に絶縁性を有する層を形成した基板でもよい。一のプラスチック基板に微小構造体と半導体素子とを形成することにより、柔軟性が高く、薄型の半導体装置を作製することができる。また、ガラス基板を研磨等により薄くすることによって、薄型の半導体装置を作製することもできる。

#### 【 0 0 7 8 】

50

本発明の半導体装置では、微小構造体が充填材料層を有する。充填材料層は実施の形態1にて説明したようにブロックコポリマーにより形成されることが好ましい。しかし、ブロックコポリマーは薄膜トランジスタの作製工程に耐えうる程度の耐熱性を有していない場合が多いため、本実施の形態では、基板上にまずは薄膜トランジスタを形成し、その後、微小構造体を形成する作製方法について説明する。

#### 【0079】

まず、絶縁基板201上に下地膜202を形成する。下地膜202は、酸化シリコン系材料膜又は窒化シリコン系材料膜等により絶縁膜を単層で、又は積層して形成する。ここでは下地膜202として2層構造の絶縁膜を形成する場合を説明する。なお、特に必要のない場合には下地膜202を設けなくても良い。

10

#### 【0080】

なお、酸化シリコン系材料とは、酸素とシリコンとを主成分とする酸化シリコン、または酸化シリコンが窒素を含有し、且つ酸素の含有量が窒素の含有量よりも多い酸化窒化シリコンをいう。窒化シリコン系材料とは、窒素とシリコンとを主成分とする窒化シリコン、または窒化シリコンが酸素を含有し、窒素の含有量が酸素の含有量よりも多い窒化酸化シリコンをいう。

#### 【0081】

本実施の形態では、下地膜202は2層の積層構造とする。下地膜202の1層目としては、例えば、プラズマCVD法により、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ 及び $\text{H}_2$ を反応ガスとして用いて形成される窒化シリコン系材料膜を10nm以上200nm以下の厚さで、好ましくは50nm以上100nm以下の厚さで形成する。ここでは、膜厚50nmの窒化酸化シリコン膜を形成する。次に、1層目の上に下地膜202の2層目としてプラズマCVD法により、 $\text{SiH}_4$ と $\text{N}_2\text{O}$ を反応ガスとして用いて形成される酸化シリコン系材料膜を50nm以上200nm以下の厚さで、好ましくは100nm以上150nm以下の厚さで形成する。ここでは、膜厚100nmの酸化窒化シリコン膜を形成する。

20

#### 【0082】

次に、下地膜202上に半導体膜を形成し、任意の形状にエッチング等することで、半導体層204を得る(図6(A1)及び(A2)を参照)。半導体層204は、主成分としてシリコンを有する材料から形成することができる。シリコンを有する材料としては、シリコンからなる材料、またはゲルマニウムを0.01~4.5atomic%程度有するシリコンゲルマニウム材料等が挙げられる。

30

#### 【0083】

半導体層204には、結晶状態を有するもの、または非晶質状態を有するものを用いることができる。ここでは、非晶質半導体膜を形成し、該非晶質半導体膜に対して加熱処理を行うことで結晶化される、結晶性半導体膜を形成する。加熱処理には、加熱炉による加熱、レーザ照射若しくはレーザ光の代わりにランプから発する光の照射(以下、ランプアニールという。)又はそれらを組み合わせて用いることができる。

#### 【0084】

レーザ照射を用いる場合には、連続発振型のレーザ光(CWレーザ光)やパルス発振型のレーザ光(パルスレーザ光)を用いることができる。レーザ光としては、Arレーザ、Krレーザ、エキシマレーザ、YAGレーザ、 $\text{Y}_2\text{O}_3$ レーザ、 $\text{YVO}_4$ レーザ、YLFレーザ、 $\text{YAlO}_3$ レーザ、ガラスレーザ、ルビーレーザ、アレキサンンドライトレーザ、Ti:サファイヤレーザ、銅蒸気レーザ若しくは金蒸気レーザのうち一種又は複数種から発振されるレーザ光を用いることができる。このようなレーザ光の基本波、又は第2高調波から第4高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO<sub>4</sub>レーザ(基本波1064nm)の第2高調波(532nm)又は第3高調波(355nm)を用いることができる。このときのレーザ光のエネルギー密度は0.01MW/cm<sup>2</sup>以上100MW/cm<sup>2</sup>以下程度、好ましくは0.1MW/cm<sup>2</sup>以上10MW/cm<sup>2</sup>以下とする。そして、走査速度を10cm/sec以上2000cm/sec以下程度とする。

40

50

## 【0085】

なお、連続発振の基本波のレーザ光と連続発振の高調波のレーザ光とを照射してもよいし、連続発振の基本波のレーザ光とパルス発振の高調波のレーザ光とを照射してもよい。

## 【0086】

また、パルス発振型のレーザ光であって、半導体層がレーザ光によって溶融した後固化するまでの間に、次のパルスのレーザ光を照射できる周波数で発振させたレーザ光を用いることもできる。このような周波数でレーザ光を発振させることで、走査方向に向かって連続的に成長した結晶粒を得ることができる。具体的なレーザ光の発振周波数は10MHz以上とする。これは、通常用いられている数十Hz～数百Hzの周波数帯と比較すると、著しく高いものである。

10

## 【0087】

または、レーザ照射以外の手段により加熱処理を行っても良い。例えば、加熱炉を用いた加熱処理を行うことができる。加熱炉を用いる場合には、非晶質半導体膜に対して400以上550以下で2時間以上20時間以下の加熱を行うとよい。このとき、徐々に高温となるように温度を400以上550以下の範囲で多段階に設定するとよい。多段階で設定する場合、一段階目の温度を400程度とすることで、非晶質半導体膜に含まれる水素等が放出されるため、結晶化の際の膜荒れを低減し、又は膜の消失を防止することができる。さらに、結晶化を助長する金属、例えばニッケルを用いることで比較的低温の加熱で結晶化が可能なため好ましい。結晶化を助長する金属としては、ニッケルのみならず、Fe、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au等の金属を用いることもできる。

20

## 【0088】

更には、加熱炉による加熱処理と、レーザによる加熱処理とを併用して非晶質半導体膜の結晶化を行っても良い。

## 【0089】

なお、結晶化を助長する金属は半導体装置の汚染源となるため、結晶化した後に除去し、又は低減させることができが好ましい。この場合、加熱炉による加熱処理又はレーザ照射による加熱処理で結晶化した後、半導体層上にゲッタリングシンクとなる層を形成して加熱することにより、金属をゲッタリングシンクへ移動させて、金属を除去又は低減させることができる。ゲッタリングシンクとしては、多結晶半導体膜や不純物元素が添加された半導体膜を用いることができる。例えば、半導体膜上にアルゴン等の不活性元素が添加された多結晶半導体膜を形成し、これをゲッタリングシンクとして用いることができる。不活性元素を添加することによって、多結晶半導体膜にひずみを生じさせることができ、ひずみにより効果的に金属を捕獲することができる。また、リン等の元素を添加した半導体膜を形成することによって、金属を捕獲することもできる。

30

## 【0090】

また、半導体層204は、非晶質半導体膜又はこれを結晶化したものに限定されない。例えば、水素イオンのドーピング等により損傷層が形成された半導体基板を絶縁基板201上、又は絶縁基板201上に絶縁膜が形成されたものに貼り合わせ、損傷層から剥離することで形成される単結晶半導体層を用いても良い。なお、ここで、半導体基板が貼り合わせられた面にも絶縁膜が設けられていても良い。このような工程にて形成された半導体層は電気的特性が非常に良好な（例えば、移動度が高い）ため、本発明の微小構造体を用いた高機能な半導体装置を提供することができる。例えば、消費電力が低減される。更には、図5における電気回路部232が占有する面積を小さくすることができる。

40

## 【0091】

次に、半導体層204上にゲート絶縁膜206を形成する（図6（A1）及び（A2）を参照）。ゲート絶縁膜206は、下地膜202と同様、酸化シリコン系材料又は窒化シリコン系材料等を用いて、プラズマCVD法又はスパッタリング法等により形成することができる。本実施の形態では、ゲート絶縁膜206として、プラズマCVD法により110nmの厚さの酸化窒化シリコン膜を形成する。勿論、ゲート絶縁膜206は酸化窒化シリ

50

リコン膜に限定されるものではなく、他のシリコンを含む絶縁膜を単層で、又は積層して形成しても良い。

【0092】

また、ゲート絶縁膜206は高密度プラズマ処理によって形成することもできる。ここで、高密度プラズマ処理とは、プラズマ密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $9 \times 10^{15} \text{ cm}^{-3}$ 以下で、マイクロ波(例えば周波数2.45GHz)等の高周波を用いたプラズマ処理をいう。このような条件でプラズマを発生させると、低電子温度が0.2eV以上2.0eV以下となる。このように低電子温度の高密度プラズマは、活性種の運動エネルギーが低いためプラズマダメージが少なく、欠陥の少ない膜を形成することを可能とする。このように、高密度プラズマ処理により形成された絶縁膜は、当該絶縁膜と絶縁膜に接触する層との間の界面状態が良好になる。そのため、高密度プラズマ処理を用いてゲート絶縁膜206を形成すると、半導体層204との界面状態を良好にすることができる。その結果、半導体素子の電気的特性を向上させることができる。

【0093】

更には、ゲート絶縁膜206のみならず、下地膜202や他の絶縁膜の形成にも、高密度プラズマ処理を用いることが可能である。

【0094】

次に、ゲート絶縁膜206上に半導体素子を構成するゲート電極層207となる導電膜を形成し、エッチング等により所望の形状の導電層を得る(図6(B1)及び(B2)を参照)。ゲート電極層207は、タンゲステン等の導電性を有する金属又は化合物等を用いて、スパッタリング法又はCVD法等により形成することができる。なお、ゲート電極層207を二種以上の導電性の材料を積層することで形成しても良い。また、側面をテープ形状にエッチングしてもよい。なお、ここでは、タンゲステン膜を単層で形成し、これをゲート電極層とする。

【0095】

所望の形状を得るためのパターンの形成は、フォトリソグラフィー法を用いてレジストマスクを形成し、異方性のドライエッチングにより行う。エッチング方法としては、例えばICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。エッチング条件(コイル型の電極に印加される電力量、絶縁基板201側の電極に印加される電力量、絶縁基板201側の電極の温度等)は、被エッチング膜の厚さ等を考慮して決定する。なお、エッチング用ガスとしては、Cl<sub>2</sub>、BCl<sub>3</sub>、SiCl<sub>4</sub>若しくはCCl<sub>4</sub>等の塩素系ガス、CF<sub>4</sub>、SF<sub>6</sub>若しくはNF<sub>3</sub>等のフッ素系ガス又はO<sub>2</sub>ガスを用いることができる。

【0096】

次に、半導体層204の所定の領域に不純物元素を添加して、P型不純物領域211及びN型不純物領域212を形成する(図6(C1)及び(C2)を参照)。これらの不純物領域は、フォトリソグラフィー法によりレジストマスクを形成し、不純物元素を添加することで選択的に形成することができる。不純物元素を添加する方法としては、イオンドープ法又はイオン注入法を適用することができる。N型を付与する不純物元素として、典型的にはリン(P)又は砒素(As)を用い、P型を付与する不純物元素としてはボロン(B)を用いることができる。

【0097】

次に、プラズマCVD法等によって窒化シリコン系材料や酸化シリコン系材料からなる絶縁膜を形成し、当該絶縁膜を垂直方向に異方性エッチングすることで、ゲート電極層207の側面に接する絶縁層(以下、サイドウォール209と記載する)を形成する(図6(C1)及び(C2)を参照)。

【0098】

次に、N型不純物領域212を有する半導体層204に更に不純物元素を添加し、サイドウォール209の下方に設けられたN型不純物領域212よりも不純物濃度が高い、高

10

20

30

40

50

濃度N型不純物領域210を形成する。

【0099】

また、ゲート電極層207を異なる導電性材料により積層し、側面をテープ形状とする場合、必ずしもサイドウォール209を形成しなくてもよい。ゲート電極層207の側面をテープ形状とすると、一度の不純物元素の添加でN型不純物領域212及び高濃度N型不純物領域210を形成することができるからである。

【0100】

なお、以上のように高濃度N型不純物領域210とN型不純物領域212とを形成することで、薄膜トランジスタをLDD(Lightly Doped Drain)構造とすることができる。薄膜トランジスタをLDD構造とすることで短チャネル効果を防止することができる。薄膜トランジスタのサイズが小さいほど短チャネル効果が生じやすいため、薄膜トランジスタのサイズが小さくなるほどLDD構造とすることが好ましい。なお、N型半導体素子のみをLDD構造とすればよい。

10

【0101】

次に、不純物領域を形成した後、不純物元素を活性化するために加熱、又は赤外光若しくはレーザ光の照射を行う。また、活性化と同時にゲート絶縁膜206へのプラズマダメージ又はゲート絶縁膜206と半導体層204との界面へのプラズマダメージを回復することができる。特に、室温～300の雰囲気中において、絶縁基板201の表面又は裏面からエキシマレーザにより不純物元素を活性化させると、効果的に活性化を行うことができる。また、YAGレーザの第2高調波を照射して活性化させてもよい。YAGレーザはメンテナンスが少ないため、レーザ照射手段として好ましい。

20

【0102】

また、酸化窒化シリコン又は酸化シリコン等の絶縁材料からなるパッシベーション膜をゲート電極層207となる導電層及び半導体層204を覆うように形成してもよい。更には、パッシベーション膜を形成後に加熱し、又は赤外光の照射若しくはレーザ光の照射を行って水素化することも可能である。例えば、プラズマCVD法を用いて、酸化窒化シリコン膜を100nmの厚さで形成し、その後、クリーンオーブンを用いて、300～550で1～12時間加熱することで、半導体層204の水素化を行うことができる。例えば、クリーンオーブンを用いて、窒素雰囲気中で410、1時間の加熱を行う。この工程でパッシベーション膜に水素を含ませ、不純物元素の添加によって生じた半導体層204のダングリングボンドを終端することもできる。また、同時に、上記した不純物領域の活性化処理を行うこともできる。

30

【0103】

上記の工程により、薄膜トランジスタである、N型半導体素子213と、P型半導体素子214とが形成される(図6(C1)及び(C2)を参照)。

【0104】

続いて、半導体素子の全体を覆うように層間絶縁層215を形成する(図7(A1)及び(A2)を参照)。層間絶縁層215は、絶縁性を有する無機材料又は有機材料等により形成することができる。無機材料としては、酸化シリコン又は窒化シリコン等を用いることができる。有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ベンゾシクロブテン、シロキサン樹脂又はポリシラザンを用いることができる。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコンと酸素との結合で骨格構造が構成される。置換基として、有機基(例えばアルキル基、芳香族炭化水素)やフルオロ基を用いても良い。有機基はフルオロ基を有していてもよい。ポリシラザンは、シリコンと窒素との結合を有するポリマー材料を出発原料として形成される。

40

【0105】

なお、層間絶縁層215として、無機材料を用いてCVD法等により形成する場合には、形成した後にCMP(Chemical Mechanical Polishing)法等により平坦化することが好ましい。

50

## 【0106】

次に、層間絶縁層215及びゲート絶縁膜206を順次エッティングし、コンタクトホールを形成する。エッティング処理は、ドライエッティング法又はウエットエッティング法により行うことができる。本実施の形態では、ドライエッティング法によりコンタクトホールを形成する。

## 【0107】

次に、層間絶縁層215上及びコンタクトホール216に導電層217を形成し、所望の形状にエッティング等することで、ソース電極及びドレイン電極、更には電気回路を構成する配線を形成する(図7(A1)及び(A2)を参照)。導電層217としては、アルミニウム、チタン、モリブデン、タンゲステン若しくはシリコンの元素からなる膜又はこれらの元素を用いた合金膜を用いることができる。

10

## 【0108】

また、導電層217がレイアウトの制約上、矩形となり、角部を有するパターンの場合には、丸みを帯びた形状となるようにエッティング等を行うことが好ましい。丸みを帯びた形状にエッティングすることによって、作製工程中のゴミの発生を抑え、歩留まりを向上させることができる。これは、ゲート電極層及び半導体層等についても同様である。

## 【0109】

以上の工程により、薄膜トランジスタと、薄膜トランジスタを覆う層間絶縁層215と、薄膜トランジスタに接続される配線となる導電層217と、を形成することができる。

## 【0110】

次に、層間絶縁層215上に微小構造体を作製する。微小構造体の作製方法は、実施の形態1にて説明した工程を適用すればよい。

20

## 【0111】

なお、ここでは導電層217が薄膜トランジスタのソース電極及びドレイン電極、並びに微小構造体の下部電極となる場合について説明する。従って、上記の工程にて微小構造体の下部電極は既に形成されている。しかし、本発明はこれに限定されず、導電層217と微小構造体の下部電極を別々に形成しても良い。

## 【0112】

次に、導電層217により形成された下部電極上に充填材料層218を形成する。充填材料層218の形成は、実施の形態1における充填材料層102と同様の材料及び同様の方法で行えばよい。

30

## 【0113】

次に、所望のパターンに形成された充填材料層218上に上部電極を形成する導電層219を形成し、所望のパターンに形成された導電層219上に構造層220を形成する。導電層219及び構造層220の形成は、実施の形態1における上部電極層103及び構造層104と同様の材料及び同様の方法で行えばよい。

## 【0114】

以上説明したように、本発明の微小構造体とトランジスタとを同一基板上に作製することができる(図8(A1)及び(A2)を参照)。

## 【0115】

なお、導電層217が微小構造体の下部電極ではなく、上部電極を形成していてもよい(図8(B)を参照)。

40

## 【0116】

なお、上記の説明では、トランジスタとして薄膜トランジスタを用いた場合を説明したが、本発明はこれに限定されず、トランジスタはFET(Field Effect Transistor)であってもよい。また、基板としてSOI(Silicon On Insulator)基板を用いても良い(図10を参照)。図10Aは導電層238がFETのソース電極及びドレイン電極、並びに微小構造体の下部電極となる例であり、図10Bは、導電層239がFETのソース電極及びドレイン電極、並びに微小構造体の上部電極となる例である。

50

## 【0117】

なお、本実施の形態ではトランジスタの形成後に、該トランジスタを覆って形成した層間絶縁層上に微小構造体を作製する場合について説明したが、本発明はこれに限定されない。微小構造体が有する充填材料層が、トランジスタの作製工程中における温度により、又は用いる薬液等により、破損又は変質等しないのであれば、トランジスタの各層を形成しつつ、微小構造体の各層を形成することもできる。例えば、トランジスタのゲート電極と微小構造体の下部電極を同一の層のパターニングにより形成し、トランジスタのソース電極及びドレイン電極と微小構造体の上部電極を同一の層のパターニングにより形成することができる。例えば、有機トランジスタを用いることでこれを実現することができる。有機トランジスタとは、ペンタセン等の有機半導体を適用したトランジスタである。以下に、有機薄膜トランジスタ（以下、有機TFTという。）の作製方法の一例について簡単に説明する。

## 【0118】

図9は、トランジスタとしてボトムコンタクト型の有機TFTを用いた場合の上面図及び断面図を示す。ボトムコンタクト型有機TFTでは、ソース電極及びドレイン電極を形成した後に、有機半導体膜を形成する。

## 【0119】

まず、絶縁基板301上に下地膜302を形成し、下地膜302上にゲート電極層307を形成する。下地膜302は下地膜202と同様に、ゲート電極層307はゲート電極層207と同様に形成することができる。

## 【0120】

なお、絶縁基板301は、絶縁基板201と同様のものを用いることができる。しかし、絶縁基板301として好ましくは、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルファン（PES）に代表されるプラスチックや、アクリル等の合成樹脂からなる基板を用いるとよい。このような合成樹脂から成る基板は、可撓性を有し、更には軽量である。

## 【0121】

また、ゲート電極層307はスパッタリング法の他、スクリーン印刷法、ロールコーダー法、液滴吐出法、スピンドル法又は蒸着法等により形成しても良いし、電極材料は金属及び金属化合物の他、導電性高分子等を使用しても良い。

## 【0122】

液滴吐出法は、選択的にパターンを形成することが可能な方法であり、導電膜や絶縁膜等の材料が混入された組成物の液滴を選択的に吐出（噴出も含む。）して導電膜を形成する方法である。液滴吐出法として、代表的にはインクジェット法がある。

## 【0123】

液滴吐出法により導電膜を形成する場合には、溶媒中に導電体を混入させて用いる。溶媒に混入させる導電体として、金、銀、銅、白金、パラジウム、タンゲステン、ニッケル、タンタル、ビスマス、鉛、インジウム、錫、亜鉛、チタン若しくはアルミニウム、これらからなる合金、これらの分散性ナノ粒子又はハロゲン化銀の微粒子を用いることができる。

## 【0124】

スクリーン印刷法等により導電膜を形成する場合には、導電性ペーストを用いる。導電性ペーストとしては、導電性カーボンペースト、導電性銀ペースト、導電性銅ペースト若しくは導電性ニッケルペースト等を用いることができる。導電性ペーストで所定のパターンを形成した後に乾燥させ、約100～200℃で加熱処理を行って平坦化（レベリングともいう。）し、硬化させるとよい。

## 【0125】

なお、ゲート電極層307により、薄膜トランジスタのゲート電極のみならず、微小構造体の下部電極をも形成することができる。

## 【0126】

10

20

30

40

50

ゲート電極層 307 を形成した後にゲート絶縁膜 306 を形成する。ゲート絶縁膜 306 はゲート絶縁膜 206 と同様の材料及び同様の方法によって形成すればよい。ここでは CVD 法を用いるが、スパッタ法、スピンドル法又は蒸着法等で形成しても良い。または、層間絶縁層 215 と同様にシリコサン樹脂又はポリシラザン等を用いても良い。または、ゲート絶縁膜として、ゲート電極を陽極酸化して形成される絶縁膜を用いてもよい。

#### 【0127】

次に、微小構造体の充填材料層 318、上部電極層 319 及び構造層 320 を形成する。充填材料層 318 は、実施の形態 1 における充填材料層 102 と同様の材料及び同様の方法により形成すればよい。上部電極層 319 は、ゲート電極層 307 と同様の材料及び同様の方法により形成すればよい。構造層 320 は、実施の形態 1 における構造層 104 と同様の材料及び同様の方法により形成すればよい。

10

#### 【0128】

次に、ゲート絶縁膜 306 の上に薄膜トランジスタのソース電極及びドレイン電極層 316 を形成する。ソース電極及びドレイン電極層 316 は、ゲート電極層 307 と同様の材料及び同様の方法により形成することができる。なお、ソース電極及びドレイン電極層 316 は、後に形成される有機半導体膜とオーミック接合する必要がある。そのため、有機半導体膜の材料が p 型の導電型を有する場合には、有機半導体膜の材料のイオン化ポテンシャルよりも仕事関数が大きい材料を用いることが好ましく、n 型の導電型を有する場合には、有機半導体膜の材料のイオン化ポテンシャルよりも仕事関数が小さい材料を用いることが好ましい。ここでは、有機半導体膜の材料として p 型のペンタセンを用いるため、仕事関数が比較的高いタンゲステンをソース電極及びドレイン電極層 316 の材料として採用する。しかし、これに限定されない。

20

#### 【0129】

次に、ゲート絶縁膜 306 とソース電極及びドレイン電極層 316 上に有機半導体膜 304 を形成する。上記したように、本実施の形態の有機半導体膜の材料としてはペンタセンを用いる。しかし、有機半導体膜の材料はこれに限定されず、有機分子性結晶又は有機高分子化合物を用いればよい。具体的な有機分子性結晶は、多環芳香族化合物、共役二重結合系化合物、カロテン若しくはマクロ環化合物又はこれらの錯体、フタロシアニン若しくは電荷移動型錯体 (CT 錯体) 等が挙げられる。例えば、アントラセン、テトラセン、ペンタセン、6T (ヘキサチオフェン)、TCNQ (テトラシアノキノジメタン)、TTF (テトラチアフルバレン) : TCNQ (テトラシアノキノジメタン) 錯体、DDPH (ジフェニルピクリルヒドラジル)、色素、タンパク、PTCDA 等のペリレンテトラカルボン酸誘導体、NTCDI 等のナフタレンテトラカルボン酸誘導体等を用いることができる。また、具体的な有機高分子化合物としては、共役系高分子、フタロシアニン金属錯体又はヨウ素錯体等が挙げられる。特に、骨格が共役二重結合から構成される 共役系高分子である、ポリアセチレン、ポリアニリン、ポリピロール、ポリチエニレン、ポリチオフェン誘導体、ポリ (3アルキルチオフェン)、ポリパラフェニレン誘導体又はポリパラフェニレンビニレン誘導体を用いることが好ましい。

30

#### 【0130】

また、有機半導体膜 304 の形成には、膜厚の均一な膜が形成できる方法を用いればよい。具体的な方法としては、蒸着法、スピンドル法、バーコート法、溶液キャスト法又はディッピング法等を用いればよい。ここでは、有機半導体材料であるペンタセンを蒸着法の一種である真空蒸着法によって、ゲート絶縁膜 306 とソース電極及びドレイン電極層 316 の上に有機半導体膜 304 として形成する。有機半導体膜 304 は、マスクを介して形成する等、選択的に形成することが好ましい。

40

#### 【0131】

なお、有機半導体膜を形成する前処理として、有機半導体膜の被形成面に対して紫外光の照射処理又はプラズマ処理を行ってもよい。プラズマ処理等を行うことで、被形成面上の有機物の除去と仕事関数の向上 (電荷の注入をしやすくする) を実現できる。または、有機半導体膜の被形成面に対して密着性若しくは界面状態を良好にする膜、例えば自己組

50

織化单分子膜（S A M）又は配向膜を形成してもよい。

【0132】

そして、有機半導体膜の形成後に絶縁基板301を加熱処理する。加熱処理の温度は、有機半導体膜304が蒸発又は分解する温度よりも低い温度を上限とする。この温度範囲内であって、高い温度により加熱処理することで、有機TFTの特性が良好になる。また、このときの温度は、有機半導体膜の融点以下が好ましい。

【0133】

なお、加熱処理は大気中で行なってもよいが、酸素又は水による有機半導体膜の劣化を考慮して、窒素やアルゴン等の不活性ガス雰囲気中で行なうことが好ましい。更には、減圧下（例えば $1.3 \times 10^{-3}$ Pa～ $6.7 \times 10^{-4}$ Pa）で加熱処理を行うことがより好ましい。

10

【0134】

なお、本発明は上記の説明に限定されず、有機TFTを形成した後に微小構造体を形成しても良いし、微小構造体を形成した後に有機TFTを形成しても良い。

【0135】

以上説明したように、ボトムコンタクト型の有機TFTと微小構造体とを同一基板上に作製することができる（図9（A1）及び（A2）を参照）。

【0136】

なお、本願の有機TFTは、保護膜で覆うことが好ましい。ここで、保護膜としては絶縁性無機膜を用いる。絶縁性無機膜により有機TFTを覆うことで、微小構造体の形成により生じうる、有機半導体膜へのダメージを低減することができ、有機TFTの電気的特性への影響を低減することができる。保護膜322は、少なくとも有機半導体膜304を覆うものとする。

20

【0137】

なお、本発明に適用する有機TFTは、上記説明したボトムコンタクト型に限定されず、トップコンタクト型であってもよい。その作製方法について、図9（B1）及び（B2）を参照して、以下に簡単に説明する。

【0138】

まず、ボトムコンタクトの場合と同様の材料及び同様の方法により、ゲート電極層407を絶縁基板401上に形成し、ゲート電極層407を覆ってゲート絶縁膜406を形成する。なお、絶縁基板401上には下地膜402が形成されている。

30

【0139】

なお、ゲート電極層407により、薄膜トランジスタのゲート電極のみならず、微小構造体の下部電極も形成する。

【0140】

次に、微小構造体の充填材料層418、上部電極層419及び構造層420を形成する。充填材料層418は、実施の形態1における充填材料層102と同様の材料及び同様の方法により形成すればよい。上部電極層419は、ゲート電極層407と同様の材料及び同様の方法により形成すればよい。構造層420は、構造層104と同様の材料及び同様の方法により形成すればよい。

40

【0141】

次に、ゲート絶縁膜406上に有機半導体膜404を形成する。なお、本実施の形態の有機半導体材料としてもペンタセンを用いる。しかし、有機半導体膜材料はこれに限定されず、有機分子性結晶又は有機高分子化合物を用いればよい。具体的な有機分子性結晶は、多環芳香族化合物、共役二重結合系化合物、カロテン若しくはマクロ環化合物又はこれらの錯体、フタロシアニン若しくは電荷移動型錯体（CT錯体）等が挙げられる。例えば、アントラセン、テトラセン、ペンタセン、6T（ヘキサチオフェン）、TCNQ（テトラシアノキノジメタン）、TTF（テトラチアフルバレン）：TCNQ（テトラシアノキノジメタン）錯体、DDPH（ジフェニルピクリルヒドラジル）、色素、タンパク、PTCDA等のペリレンテトラカルボン酸誘導体、NTCDI等のナフタレンテトラカルボン

50

酸誘導体等を用いることができる。また、具体的な有機高分子化合物としては、共役系高分子、フタロシアニン金属錯体又はヨウ素錯体等が挙げられる。特に、骨格が共役二重結合から構成される共役系高分子である、ポリアセチレン、ポリアニリン、ポリピロール、ポリチエニレン、ポリチオフェン誘導体、ポリ(3アルキルチオフェン)、ポリパラフェニレン誘導体又はポリパラフェニレンビニレン誘導体を用いることが好ましい。

【0142】

また、有機半導体膜404の形成には、膜厚の均一な膜が形成できる方法を用いればよい。具体的には、蒸着法、スピンコート法、バーコート法、溶液キャスト法又はディッピング法等を用いればよい。ここでは、有機材料であるペントセンを真空蒸着法によって、ゲート絶縁膜406上に形成する。有機半導体膜404は、マスクを介して形成する等、選択的に形成することが好ましい。

10

【0143】

なお、有機半導体膜を形成する前処理として、有機半導体膜の被形成面に対して紫外光の照射処理又はプラズマ処理を行ってもよい。プラズマ処理等を行うことで、被形成面上の有機物の除去と仕事関数の向上(電荷の注入をしやすくする)を実現できる。または、有機半導体膜の被形成面に対して密着性を向上させる膜若しくは界面状態を良好にする膜、例えば自己組織化単分子(SAM)膜又は配向膜等を形成してもよい。

【0144】

なお、ここでは充填材料層418の形成後に有機半導体膜404を形成しているが、有機半導体膜404の形成後に充填材料層418を形成しても良い。ゲート電極層407の形成後、ソース電極及びドレイン電極層416の形成前に充填材料層418を形成すればよい。しかし、有機半導体膜の電気的特性を良好にするためには充填材料層418の形成後に有機半導体膜404を形成することが好ましい。その場合、上記の紫外光の照射処理又はプラズマ処理は、充填材料層418の形成後、有機半導体膜404の形成前に行なうことが好ましい。

20

【0145】

その後、ソース電極及びドレイン電極層416を形成する。ソース電極及びドレイン電極層416は、ボトムコンタクトの場合と同様の材料及び同様の形成方法によればよい。

【0146】

なお、ソース電極及びドレイン電極層416は、有機半導体膜404とオーミック接合する必要がある。そのため、有機半導体膜の材料がp型の導電型を有する場合には、有機半導体膜の材料のイオン化ポテンシャルよりも仕事関数が大きい材料を用いることが好ましく、n型の導電型を有する場合には、有機半導体膜の材料のイオン化ポテンシャルよりも仕事関数が小さい材料を用いることが好ましい。ここでは、有機半導体膜の材料としてp型のペントセンを用いるため、仕事関数が比較的高いタンゲステンをソース電極及びドレイン電極層416の材料として採用する。

30

【0147】

そして、有機半導体膜の形成後に絶縁基板401を加熱処理する。加熱処理の温度は、有機半導体膜404が蒸発又は分解する温度よりも低い温度を上限とする。この温度範囲内であって、高い温度により加熱処理することで、有機TFTの特性が良好になる。また、このときの温度は、有機半導体膜の融点以下が好ましい。

40

【0148】

なお、加熱処理は大気中で行なってもよいが、酸素又は水による有機半導体膜の劣化を考慮して、窒素やアルゴン等の不活性ガス雰囲気中で行なうことが好ましい。更には、減圧中(例えば $1.3 \times 10^{-3}$ Pa ~  $6.7 \times 10^{-4}$ Pa)で加熱処理を行うことがより好ましい。

【0149】

なお、本発明は上記の説明に限定されず、有機TFTを形成した後に微小構造体を形成しても良いし、微小構造体を形成した後に有機TFTを形成しても良い。

【0150】

50

以上説明したように、トップコンタクト型の有機TFTと微小構造体とを同一基板上に作製することができる(図9(B1)及び(B2)を参照)。

【0151】

なお、本願の有機TFTは、保護膜で覆うことが好ましい。ここで、保護膜としては絶縁性無機膜を用いる。絶縁性無機膜により有機TFTを覆うことで、微小構造体の形成により生じうる、有機半導体膜へのダメージを低減することができ、有機TFTの電気的特性への影響を低減することができる。保護膜422は、少なくとも有機半導体膜404を覆うものとする。

【0152】

なお、上記の説明では、微小構造体の下部電極とゲート電極が同一の層のパターニングにより同一の工程にて形成され、微小構造体の上部電極とソース電極及びドレイン電極が同一の層のパターニングにより同一の工程にて形成される場合を説明したが、本発明はこれに限定されない。例えば、有機TFTを用いる場合であっても、これらを同一の層として同一の工程にて形成しなくても良い。

10

【0153】

また、本発明は、同一基板上に微小構造体と半導体素子を作製することで、組み立てやパッケージが不要な、製造コストのかからない半導体装置を提供することができる。また、製造工程を大幅に削減することができる。

【0154】

以上のように、本発明の微小構造体とトランジスタを同一基板上に形成することができる。また、上記のように、本発明の微小構造体は様々な方法を適用して作製することができる。

20

【0155】

以上のようにして作製した本発明の微小構造体は、圧力センサ又は干渉方式のディスプレイ等に適用することができる。

【0156】

(実施の形態3)

本発明を適用してひずみゲージ(ストレインゲージともいう。)を作製することができる。本実施の形態では、本発明を適用して作製したひずみゲージについて図面を参照して説明する。

30

【0157】

図12は、本発明を適用した微小構造体により作製した、ひずみゲージの模式図を示す。なお、図12(B)は上面図を示し、図12(A)は図12(B)のX-X'における断面図を示す。

【0158】

図12に示す微小構造体は、基板500上に充填材料層501が設けられ、充填材料層501上に導電層502が設けられ、導電層502上に構造層503が設けられている。導電層502は、所定の長さを有するようパターンが形成されている。

【0159】

ここで、ひずみゲージについて説明する。ひずみゲージとは、物体がひずんだときに生ずる抵抗値の変化量を測定し、該変化量から物体のひずみ量を測定することができる測定器をいう。このときの抵抗値の変化量は非常に小さいため、ホイートストンブリッジ回路を用いて電圧に変換することで検出する。

40

【0160】

図13は、本実施の形態にて用いるホイートストンブリッジ回路を示す。図13に示すホイートストンブリッジ回路は、ひずみゲージ510、第1の抵抗素子511、第2の抵抗素子512及び第3の抵抗素子513を有し、一般によく知られたホイートストンブリッジ回路が有する4つの抵抗素子の一をひずみゲージとしたものである。ひずみゲージの初期抵抗値を $r$ 、第1の抵抗素子511の抵抗値を $R_1$ 、第2の抵抗素子512の抵抗値を $R_2$ 、第3の抵抗素子513の抵抗値を $R_3$ とすると、出力電圧 $V_{out}$ と入力電圧 $V$

50

$i_n$  の間には次式(4)の関係式が成り立つ。

【0161】

【数4】

$$V_{out} = \frac{rR_2 - R_1R_3}{(r + R_1)(R_2 + R_3)} V_{in} \quad (4)$$

【0162】

ここで、 $r = R_1 = R_2 = R_3 = R$  とし、ひずみゲージにひずみが導入されて抵抗値が  $R + \Delta R$  に変化したとすると、出力電圧  $V_{out}$  の変化量  $\Delta V_{out}$  は次式(5)にて表される。

10

【0163】

【数5】

$$V_{out} = \frac{\Delta R}{4R + 2\Delta R} V_{in} \quad (5)$$

【0164】

抵抗値  $R$  を十分に大きくとると、 $R \gg \Delta R$  となるため、 $\Delta V_{out}$  は次式(6)にて表される。

【0165】

【数6】

$$\Delta V_{out} = \frac{\Delta R}{4R + 2\Delta R} V_{in} = \frac{V_{in}}{4} \varepsilon K \quad (6)$$

20

【0166】

ここで、 $K$  は実験的に求められるゲージ率であり、一定の値である。ひずみ量  $\varepsilon$  とゲージ率  $K$  の間には、 $K = \varepsilon / R$  の関係が成り立つ。そのため、 $R$  を測定することで、ひずみ量  $\varepsilon$  を求めることができる。本実施の形態にて説明したひずみゲージはマトリクス状に配置されていてもよい。

【0167】

本発明の微小構造体を適用してひずみゲージを作製することで、構造層が破壊されることを防止することができる。そのため、機械的強度が高く且つ信頼性の高い、可動部を有するひずみゲージを提供することができる。また、ひずみゲージの作製工程における歩留まりを向上させることができる。

30

【図面の簡単な説明】

【0168】

【図1】本発明の微小構造体の一例を説明する図。

【図2】従来の微小構造体の一例を説明する図。

【図3】本発明の微小構造体の作製方法の一例を説明する図。

【図4】本発明に適用可能なブロックコポリマーの相を説明する図。

【図5】本発明の微小構造体を有する微小電気機械装置の一例を説明するブロック図。

【図6】本発明の微小構造体を有する微小電気機械装置の作製方法の一例を説明する図。

【図7】本発明の微小構造体を有する微小電気機械装置の作製方法の一例を説明する図。

40

【図8】本発明の微小構造体を有する微小電気機械装置の作製方法の一例を説明する図。

【図9】本発明の微小構造体を有する微小電気機械装置の一例を説明する図。

【図10】本発明の微小構造体を有する微小電気機械装置の一例を説明する図。

【図11】本発明の微小構造体の一例を説明する図。

【図12】本発明の微小構造体を適用したひずみゲージを説明する図。

【図13】本発明の微小構造体を適用したひずみゲージを説明する図。

【符号の説明】

【0169】

100 基板

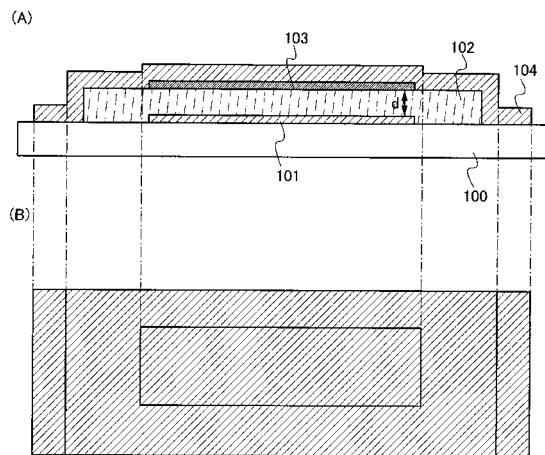
101 下部電極層

50

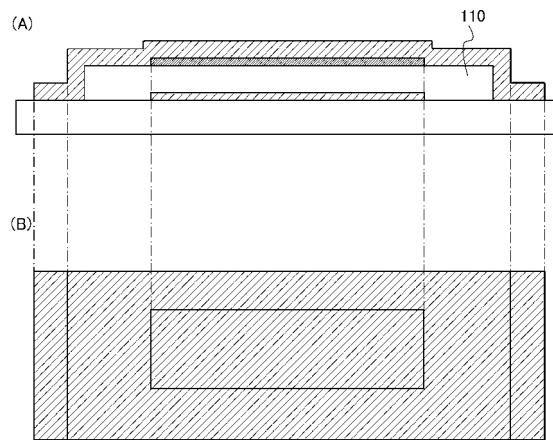
1 0 2	充填材料層	
1 0 3	上部電極層	
1 0 4	構造層	
1 1 0	中空部	
1 2 0	有機膜	
1 2 1	金属膜	
1 2 2	レジストマスク	
1 2 3	金属マスク	
1 3 1	下部電極層	10
1 3 2	充填材料層	
1 3 3	上部電極層	
1 3 4	構造層	
1 3 6	下部電極層	
1 3 7	充填材料層	
1 3 8	上部電極層	
1 3 9	構造層	
2 0 1	絶縁基板	
2 0 2	下地膜	
2 0 4	半導体層	
2 0 6	ゲート絶縁膜	20
2 0 7	ゲート電極層	
2 0 9	サイドウォール	
2 1 0	高濃度N型不純物領域	
2 1 1	P型不純物領域	
2 1 2	N型不純物領域	
2 1 3	N型半導体素子	
2 1 4	P型半導体素子	
2 1 5	層間絶縁層	
2 1 6	コンタクトホール	
2 1 7	導電層	30
2 1 8	充填材料層	
2 1 9	導電層	
2 2 0	構造層	
2 3 0	制御装置	
2 3 1	半導体装置	
2 3 2	電気回路部	
2 3 3	構造体部	
2 3 4	制御回路	
2 3 5	インターフェース	
2 3 6	センサ	40
2 3 7	アクチュエータ	
2 3 8	導電層	
2 3 9	導電層	
3 0 1	絶縁基板	
3 0 2	下地膜	
3 0 4	有機半導体膜	
3 0 6	ゲート絶縁膜	
3 0 7	ゲート電極層	
3 1 6	ドレイン電極層	
3 1 8	充填材料層	50

3 1 9	上部電極層	
3 2 0	構造層	
3 2 2	保護膜	
4 0 1	絶縁基板	
4 0 2	下地膜	
4 0 4	有機半導体膜	
4 0 6	ゲート絶縁膜	
4 0 7	ゲート電極層	
4 1 6	ドレイン電極層	10
4 1 8	充填材料層	
4 1 9	上部電極層	
4 2 0	構造層	
4 2 2	保護膜	
5 0 0	基板	
5 0 1	充填材料層	
5 0 2	導電層	
5 0 3	構造層	
5 1 0	ゲージ	
5 1 1	抵抗素子	
5 1 2	抵抗素子	20
5 1 3	抵抗素子	

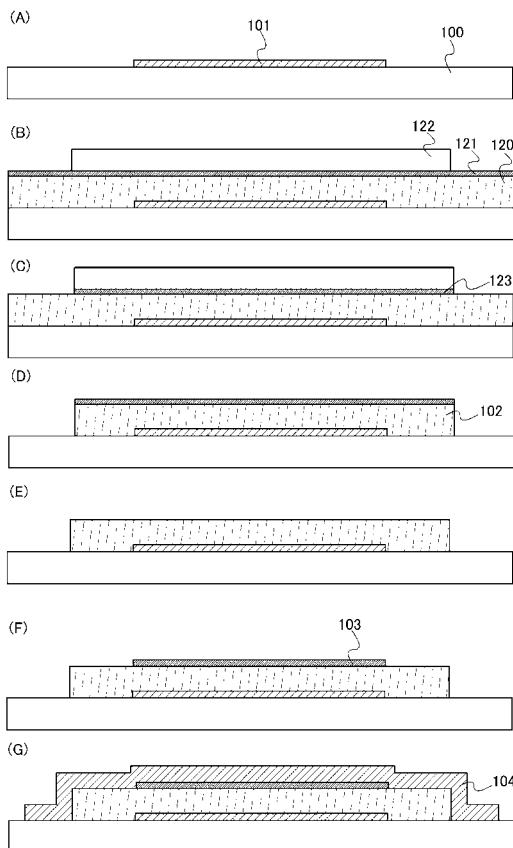
【図1】



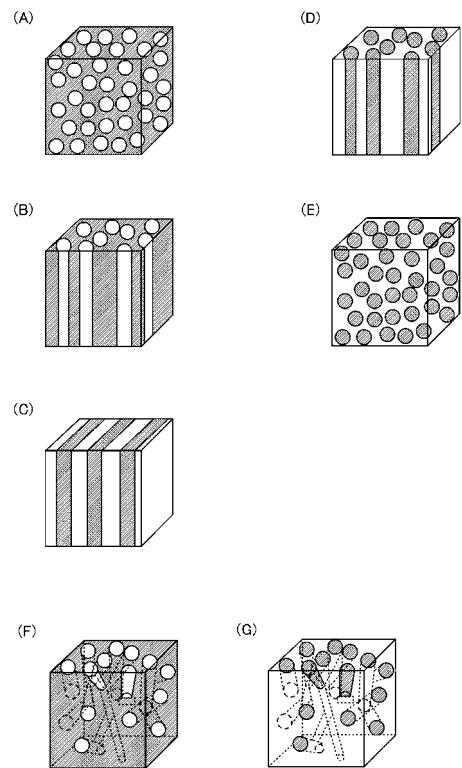
【図2】



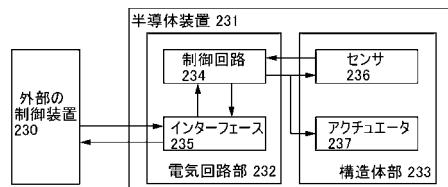
【図3】



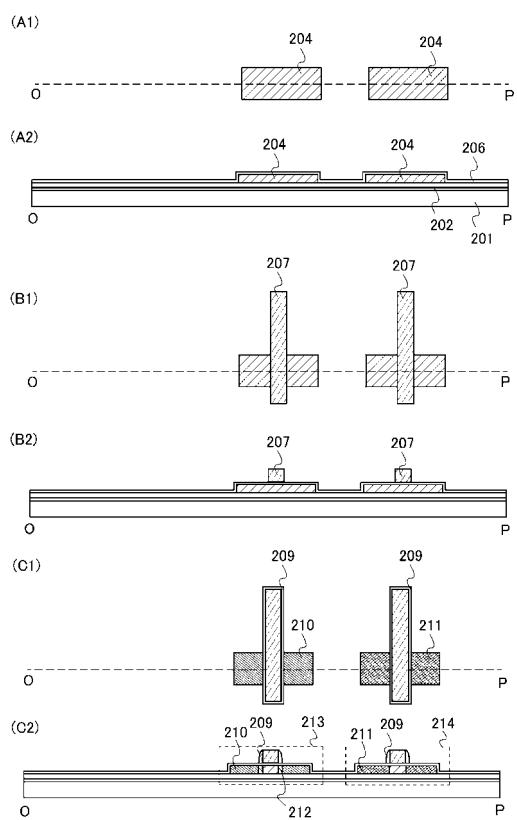
【図4】



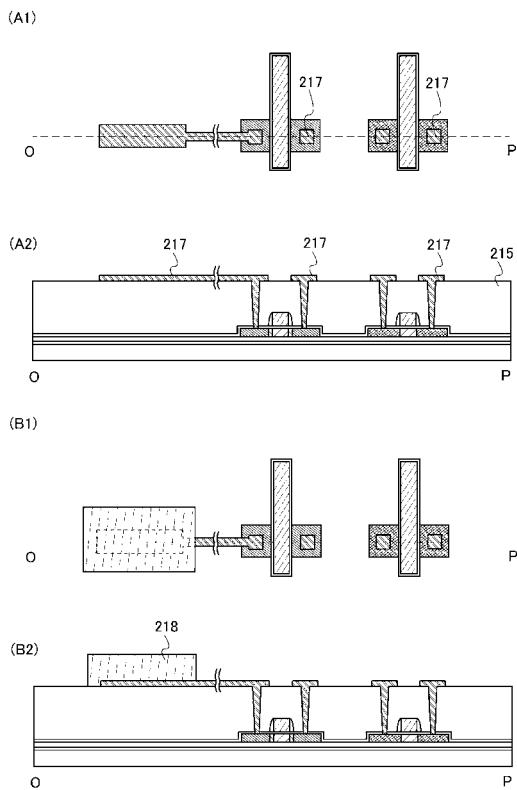
【図5】



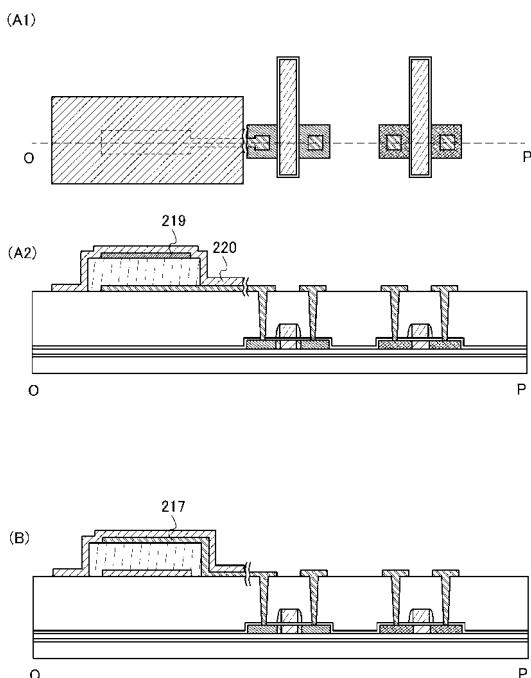
【図6】



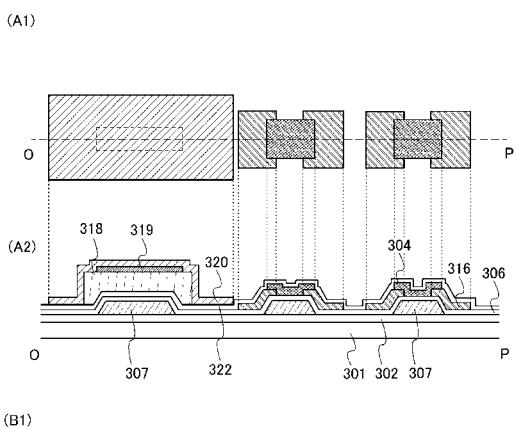
【図7】



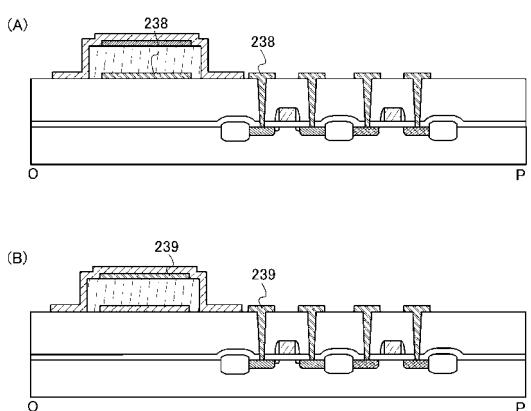
【図8】



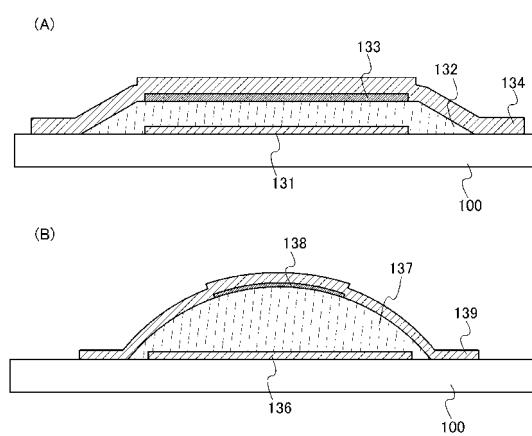
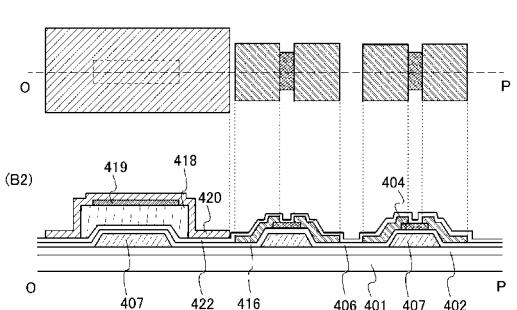
【図9】



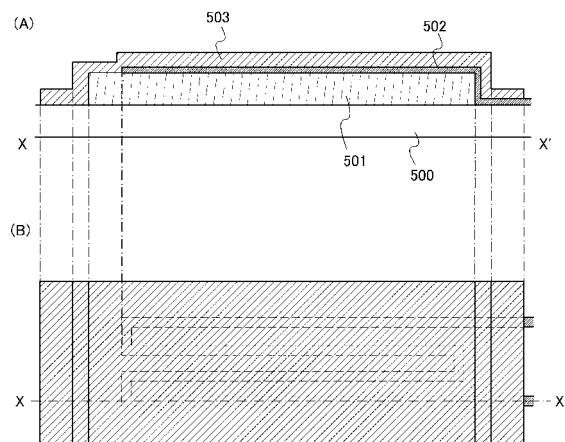
【図10】



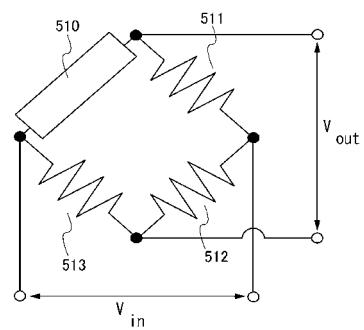
【図11】



【図12】



【図13】



---

フロントページの続き

(56)参考文献 特開2009-059866(JP,A)  
特開2007-276089(JP,A)  
特開2002-170470(JP,A)  
特開平02-078925(JP,A)

(58)調査した分野(Int.Cl., DB名)

B 8 1 B	1 / 0 0 - 7 / 0 4
B 8 1 C	1 / 0 0 - 9 9 / 0 0
H 0 1 G	5 / 0 1 3
	5 / 0 4
	5 / 1 6
G 0 1 B	7 / 1 6
G 0 1 D	5 / 1 6
G 0 1 L	9 / 0 0