

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
22. August 2002 (22.08.2002)

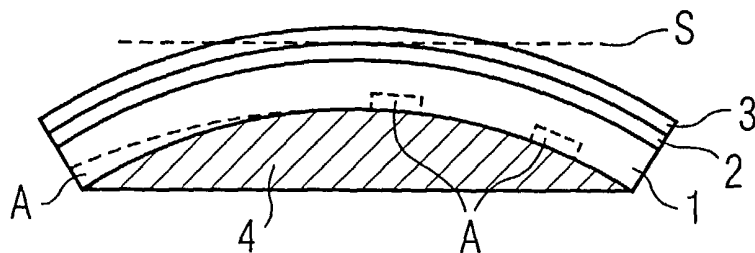
PCT

(10) Internationale Veröffentlichungsnummer
WO 02/065548 A2

- (51) Internationale Patentklassifikation⁷: **H01L 23/13** **LAACKMANN, Peter** [DE/DE]; Schlierseestr. 11, 81541 München (DE).
- (21) Internationales Aktenzeichen: PCT/DE02/00191
- (22) Internationales Anmeldedatum:
22. Januar 2002 (22.01.2002)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
101 06 836.0 14. Februar 2001 (14.02.2001) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): **JANKE, Marcus** [DE/DE]; Spitzingplatz 3, 81539 München (DE).
- (74) Anwalt: **EPPING, HERMANN & FISCHER**; Ridlerstr. 55, 80339 München (DE).
- (81) Bestimmungsstaaten (national): BR, CA, CN, IL, IN, JP, KR, MX, RU, UA, US.
- (84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- Veröffentlicht:**
— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts
- Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: INTEGRATED CIRCUIT ARRANGEMENT CONSISTING OF A FLAT SUBSTRATE

(54) Bezeichnung: INTEGRIERTE SCHALTUNGSANORDNUNG AUS EINEM FLÄCHIGEN SUBSTRAT



(57) Abstract: The invention relates to an integrated circuit arrangement whose substrate has an integrated circuit that is configured on several layers, wherein at least one surface of the substrate does not have a planar configuration in the direction of propagation.

(57) Zusammenfassung: Es ist eine integrierte Schaltung vorgesehen, deren Substrat zum einen eine integrierte

Schaltung aufweist, die über mehrere Schichten ausgebildet ist, wobei zumindest eine Oberfläche des Substrats in einer Ausbreitungsrichtung nicht planar gestaltet ist.

WO 02/065548 A2

Beschreibung

Integrierte Schaltungsanordnung aus einem flächigen Substrat

- 5 Die Erfindung betrifft eine integrierte Schaltungsanordnung aus einem flächigen Substrat gemäß Patentanspruch 1.

Die Entwicklungskosten von integrierten Schaltungen, die sich auf einem Halbleiterchip befinden, sind heutzutage so hoch, daß es für den Wettbewerber zunehmend interessant wird diese zu analysieren, um sie nachzubauen. Außerdem beruhen einige der heutigen Angriffe auf Halbleiterchips, die deren Sicherheit gefährden können, auf der detaillierten Kenntnis des internen Aufbaus dieser Bausteine. Daher wird auch aus Sicherheitsgründen versucht zu verhindern, daß ein Angreifer Details über den Aufbau eines solchen Halbleiterchips erfährt. Weiterhin sind inzwischen Anwendungen üblich, bei denen die integrierten Schaltungen fest abgespeicherte Daten aufweisen. Um derartige Bausteine vor der Analyse zu schützen, sind bisher eine Vielzahl von Verfahren bekannt. Beispielsweise ist es bekannt, die Oberfläche integrierter Schaltungen so abzudecken, daß sie auf optischem Wege nicht ohne weiteres analysierbar sind. In der EP 0981162 A1 ist ein solcher Schutz beschrieben.

25

Solche Schutzmaßnahmen lassen sich jedoch dadurch umgehen, daß die Abdeckung durch vorsichtiges Abschleifen freigelegt wird, selbst wenn der Oberflächenschutz ätztfest ist. Durch schichtweises Abtragen und Fotografieren der jeweils freigelegten Schicht läßt sich bei derartigen Anordnungen der Aufbau der integrierten Schaltung nachträglich analysieren.

30

Aus der US 5,955,766 ist es bekannt auf einem kugelförmigen Substrat eine integrierte Schaltung auszubilden. Dieses Gebilde ist jedoch nicht mit üblichen Technologien herstellbar.

35

Der Erfindung liegt somit die Aufgabe zugrunde, eine integrierte Schaltungsanordnung vorzusehen, die mit geringem Aufwand eine hohe Analysiersicherheit bietet.

5 Diese Aufgabe wird erfindungsgemäß mit den im Patentanspruch 1 angegebenen Maßnahmen gelöst. Dadurch, daß das Substrat zumindest in einer Ausbreitungsrichtung durch den Träger von der ebenen Form in eine nicht planare gebracht ist, läßt es sich mit vertretbarem Aufwand nicht mittels Schleifverfahren
10 derart bearbeiten, daß die Oberfläche schichtweise vollständig analysierbar abgetragen werden kann.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den untergeordneten Ansprüche angegeben. Durch die nicht vor-
15 handene Planarität in einer zweiten Richtung, wird die zuvor angegebene Sicherheit erhöht. Durch das Auftragen eines Materials, zum Beispiel eines Klebstoffs oder einer aushärtbaren Keramik, welches eine hohe mechanische Spannung erzeugt, erfolgt die Verformung des Substrates.

20 Die gewünschte Verformung kann auch durch mechanische Spannungen erzeugt werden, die in dem Substrat selbst entstehen, beispielsweise durch Veränderung des chemischen oder physikalischen Gefüges des Substrats. Hierfür sind beispielsweise
25 Implantationsverfahren, Diffusionsverfahren oder thermische Verfahren nutzbar. Löt- und Verbindungsverfahren, etwa zwischen mehreren Substraten, die übereinander angeordnet sind, können ebenfalls bei geeigneter Technologie dazu verwendet werden, gezielt mechanische Spannungen im Substrat zu erzeugen.
30

Ein verformtes Substrat behält in der Regel nach einiger Zeit seine verformte Gestalt bei. Um zu verhindern, daß durch Ausüben eines Druckes das Substrat wieder in eine ebene, planare
35 Form gebracht wird, können auch zumindest auf einer Oberfläche Teilbereiche entfernt sein.

Durch das Vorsehen von Erhöhungen auf dem Träger läßt sich mit einfachen Mitteln eine sehr aufwendige nicht planare Oberflächenform der integrierten Schaltungsanordnung erzielen.

5

Nachfolgend wird die Erfindung unter Bezugnahme auf die Zeichnung erläutert.

Es zeigen:

10

Figur 1 den grundsätzlichen Aufbau einer integrierten Schaltungsanordnung auf einem Halbleiter-Chip,

Figur 2 ein erstes Ausführungsbeispiel einer erfindungsgemäßen integrierten Schaltungsanordnung auf einem Halbleiter-

15

Chip,

Figur 3 die Oberfläche bei einer Abwandlung des ersten Ausführungsbeispiels,

Figur 4 ein zweites erfindungsgemäßes Ausführungsbeispiel,

Figur 5 eine Abwandlung des zweiten Ausführungsbeispiels,

20

Figur 6 eine zweite Abwandlung des zweiten Ausführungsbeispiels und

Figur 7 eine mögliche Oberflächengestaltung.

In Figur 1 ist der grundsätzliche Aufbau einer integrierten Schaltungsanordnung dargestellt. Auf einem Substrat 1 sind in mehreren Schichten, die hier als die Schichten 2 und 3 als Minimal lösung dargestellt sind, eine integrierte Schaltung in bekannter Weise aufgebaut. Üblich sind derzeit deutlich mehr als zwei Schichten. Minimal ist die Erfindung erst ab zwei Schichten sinnvoll anwendbar, da nur dann eine Schicht vorhanden ist, die abgetragen werden kann, um die darunter liegende Schicht zu analysieren.

In Figur 2 ist dargestellt, daß auf der den Schichten 2 und 3 angewandten Seite ein Material₄ aufgebracht ist, das beim Aushärten zu einer Verspannung des Substrates 1 führt, so daß sich eine zumindest in einer Richtung gekrümmte Oberfläche

35

bildet. Hierzu sind handelsübliche Klebstoffe auf Epoxydharzbasis einsetzbar.

5 Wird diese Oberfläche mit einem Schleifvorgang beispielsweise auf Höhe der gestrichelten Linie S abgetragen, so ist von der darunter liegenden Schicht nur ein geringer Ausschnitt zu erkennen. Soll auch der Rest der Schicht 3 abgetragen werden, so würde gleichzeitig ein großer Teil der Schicht 2 ebenfalls mit abgetragen werden.

10

Neben einer in eine Richtung möglichen Krümmung ist, wie in Figur 3 dargestellt, auch eine Krümmung in zwei Richtungen möglich. Bei heute üblichen Chipdicken von 185 μm lassen sich somit leicht zu Verformungen von mindestens 1 μm über die gesamte Chipfläche erreichen. Dabei ist zu beachten, daß gegebenenfalls der Chip stärker gedünnt werden könnte um eine stärkere Verformung zu erzielen. Ebenfalls ist an eine torsionsartige Verformung, wie in Figur 7 dargestellt zu denken. Dabei ist beispielsweise, wie mit den dargestellten Pfeilen
15
20 angedeutet, ein gegengleiches Verdrehen jeweils gegenüberliegender Seiten, möglich.

Um zu verhindern, daß für den Fall, daß es gelingt, das Material 4 abzutragen, mittels Druck das Substrat 1 wieder in eine ebene Form zu drücken sei, können von der Substratoberfläche Teile A entfernt werden, wie in Figur 2 gestrichelt angedeutet ist. Dies erfolgt entweder durch schräges Abätzen oder Schleifen von Randbereichen des Substrates wie auf der linken Seite von Figur 2 dargestellt ist oder durch Herausätzen oder
25
30 Schleifen von einzelnen Teilen A, wie auf der rechten Seite von Figur 2 dargestellt ist. Auf diese Weise ist gewährleistet, daß es nicht gelingt, oder zumindest sehr aufwendig ist, das Substrat 1 nach einer Verformung wieder in eine ebene Form zu bringen.

35

Gemäß Figur 4 ist die integrierte Schaltungsanordnung so aufgebaut, daß das Substrat auf einem Träger 5 aufgebracht ist,

wobei der Träger 5 das Substrat formt. Auch hier könnten wieder Ausnehmungen vorgesehen sein, die im Zusammenhang mit Figur 4 nicht dargestellt sind. Gemäß der Ausgestaltung nach Figur 5, ist der Träger 5 nicht wie gemäß Figur 4 nur an einer Oberfläche verformt, sondern ebenfalls insgesamt aus einer ebenen Form in eine gekrümmte oder auch verdrehte Form gebracht.

In einem weiteren erfindungsgemäßen Ausführungsbeispiel sind auf der Oberfläche des Trägers 5 Erhebungen 6 ausgebildet, die beim Zusammenbringen mit dem Substrat 1, das Substrat 1 zusammen mit seinen aufgetragenen Schichten verformt. Dies kann insbesondere dadurch erfolgen, daß ein ähnliches Material 4, wie im gemäß Figur 2 dargestellten Ausführungsbeispiel in die Zwischenräume zwischen den Erhebungen, dem Substrat und dem Träger eingebracht ist, der mit dem Trocknen zur Verspannung des Substrates führt.

Zusammenfassend sei darauf hingewiesen, daß die Grundidee der Erfindung darin beruht, das eine integrierte Schaltung tragende Substrat dauerhaft so zu verformen, daß es nicht gelingt mittels eines Schleifverfahrens selektiv die auf dem Substrat aufgetragenen Schichten schichtweise abzutragen.

Grundsätzlich ist es auch denkbar, einen Halbleiter-Chip mit einer grundsätzlich von der Planarität abweichenden Oberfläche direkt zu fertigen. Auf einer derartigen Chipoberfläche sind die üblichen Verfahrensschritte zu Herstellung integrierter Schaltungen mit den heute verfügbaren Technologien nur sehr schwer einsetzbar, um integrierte Schaltungen mit der gewünschten Komplexität herzustellen.

Bezugszeichenliste

- 1 Substrat
- 2 erste Schicht
- 5 3 zweite Schicht
- 4 Material (z.B. Klebstoff, Keramik)
- 5 Träger
- 6 Erhebungen
- A Ausnehmungen

Patentansprüche

1. Integrierte Schaltungsanordnung bestehend aus einem flächigen Substrat(1), auf dem zumindest einseitig eine integrierte Schaltung in mehreren Schichten (2, 3) ausgebildet ist, wobei zumindest eine Oberfläche des Substrats (1) zumindest in einer Ausbreitungsrichtung nicht planar ist,
5
d a d u r c h g e k e n n z e i c h n e t, daß
10 das Substrat (1) auf einem Träger (5) angeordnet ist, der dem Substrat eine Krümmung verleiht.
2. Integrierter Schaltungsanordnung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t, daß
15 die zumindest eine Oberfläche in einer zweiten Richtung nicht planar ist.
3. Integrierte Schaltungsanordnung nach einem der vorhergehenden Ansprüche,
20 d a d u r c h g e k e n n z e i c h n e t, daß
das Substrat (1) durch eine geeignete Verbindungstechnik mit mindestens einem zweiten Substrat verbunden wird, wodurch mechanische Spannungen entstehen, die dem Substrat die Krümmung verleihen.
- 25
4. Integrierte Schaltung nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, daß
im Substrat (1) durch chemische oder physikalische Änderungen
30 des Gefüges des Substrates mechanische Spannungen entstehen, die dem Substrat die Krümmung verleihen.
5. Integrierte Schaltungsanordnung nach einem der vorhergehenden Ansprüche,
35 d a d u r c h g e k e n n z e i c h n e t, daß

dem Substrat (1) an einer seiner Oberflächen Teilbereiche entfernt sind, so daß Strukturen entstehen, in die das nach Anspruch 3 aufgebrauchte Material eindringen kann.

- 5 6. Integrierte Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß der Träger (5) an seiner Oberfläche mindestens eine Erhebung (6) aufweist.

1/2

FIG 1

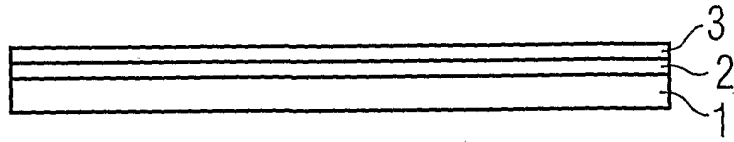


FIG 2

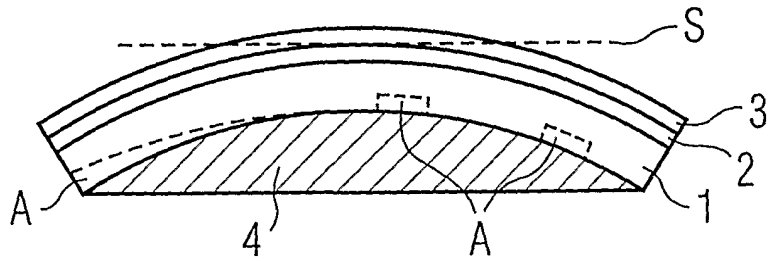


FIG 3

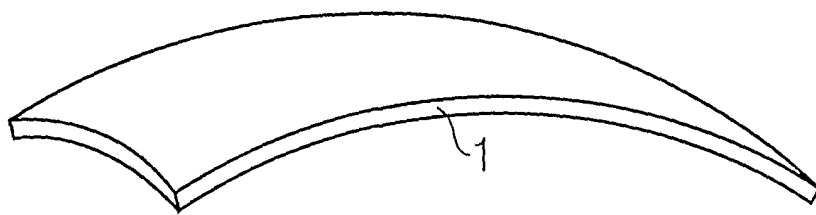


FIG 4

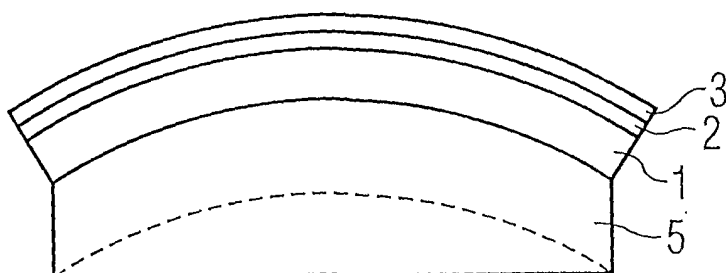


FIG 5



FIG 6

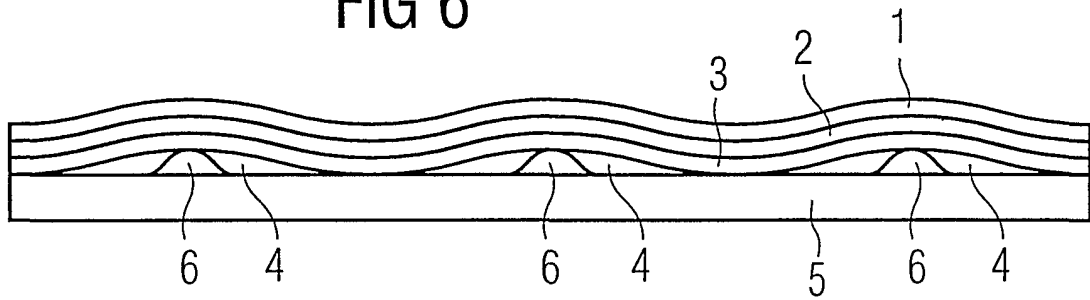


FIG 7

