

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4698394号
(P4698394)

(45) 発行日 平成23年6月8日(2011.6.8)

(24) 登録日 平成23年3月11日(2011.3.11)

(51) Int.Cl.

G06F 17/14 (2006.01)
H04J 11/00 (2006.01)

F 1

G06F 17/14
H04J 11/00A
Z

請求項の数 11 (全 21 頁)

(21) 出願番号 特願2005-340148 (P2005-340148)
 (22) 出願日 平成17年11月25日 (2005.11.25)
 (65) 公開番号 特開2007-148623 (P2007-148623A)
 (43) 公開日 平成19年6月14日 (2007.6.14)
 審査請求日 平成20年6月10日 (2008.6.10)

(73) 特許権者 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100105050
 弁理士 驚田 公一
 (72) 発明者 宮野 謙太郎
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内
 (72) 発明者 安倍 克明
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内
 (72) 発明者 松岡 昭彦
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内

最終頁に続く

(54) 【発明の名称】高速フーリエ変換回路

(57) 【特許請求の範囲】

【請求項 1】

2^N (N は自然数) 個のデジタル信号を蓄積し、各ビットの並び順を逆転させたビットリバーサルの位置に並び替えたデジタル信号を出力する第1のバッファと、

2^M (M は自然数、但し、 $M < N$) 個のデジタル信号を蓄積し、ビットリバーサルの位置に並び替えたデジタル信号を出力する第2のバッファと、

前記第1のバッファから出力されたデジタル信号に対して、 2^{M-1} 個ずつ ($M-1$) 段の第1のバタフライ演算処理を行い、前記第2のバッファから出力されたデジタル信号に対して、 2^{M-1} 個ずつ ($M-1$) 段の第2のバタフライ演算処理を行う第1の高速フーリエ変換処理部と、

前記第1のバタフライ演算処理後のデジタル信号に対して、 2^N 個ずつ ($N-M+1$) 段のバタフライ演算処理を行う第2の高速フーリエ変換処理部と、

前記第2のバタフライ演算処理後のデジタル信号に対して、 2^M 個ずつ 1 段のバタフライ演算処理を行う第3の高速フーリエ変換処理部と、

を有する高速フーリエ変換回路。

【請求項 2】

前記第1の高速フーリエ変換処理部は、

前記第1のバタフライ演算処理および前記第2のバタフライ演算処理に使用する係数を共用する、

請求項1記載の高速フーリエ変換回路。

10

20

【請求項 3】

2^N (Nは自然数) 個のデジタル信号を蓄積し、各ビットの並び順を逆転させたビットリバーサルの位置に並び替えたデジタル信号を出力する第1のバッファと、

2^M (Mは自然数、但し、M > N) 個のデジタル信号を蓄積し、ビットリバーサルの位置に並び替えたデジタル信号を出力する第2のバッファと、

前記第1のバッファから出力されたデジタル信号に対して、 2^{M-1} 個ずつ (M-1) 段の第1のバタフライ演算処理を行い、前記第2のバッファから出力されたデジタル信号に対して、 2^{M-1} 個ずつ (M-1) 段の第2のバタフライ演算処理を行う第1の高速フーリエ変換処理部と、

前記第1のバタフライ演算処理後のデジタル信号に対して、 2^M 個ずつ 1 段の第3のバタフライ演算処理を行い、前記第2のバタフライ演算処理後のデジタル信号に対して、 2^M 個ずつ 1 段の第4のバタフライ演算処理を行う第2の高速フーリエ変換処理部と、

前記第3のバタフライ演算処理後のデジタル信号に対して、 2^N 個ずつ (N-M) 段のバタフライ演算処理を行う第3の高速フーリエ変換処理部と、

を有する高速フーリエ変換回路。

【請求項 4】

前記第1の高速フーリエ変換処理部は、

前記第1のバタフライ演算処理および前記第2のバタフライ演算処理に使用する係数を共用し、

前記第2の高速フーリエ変換処理部は、

前記第3のバタフライ演算処理および前記第4のバタフライ演算処理に使用する係数を共用する、

請求項3記載の高速フーリエ変換回路。

【請求項 5】

前記第2の高速フーリエ変換処理部で行われるバタフライ演算処理は、パイプライン型である、請求項1記載の高速フーリエ変換回路。

【請求項 6】

前記第2の高速フーリエ変換処理部で行われるバタフライ演算処理は、メモリベース型である、請求項1記載の高速フーリエ変換回路。

【請求項 7】

前記第3の高速フーリエ変換処理部で行われるバタフライ演算処理は、パイプライン型である、請求項3記載の高速フーリエ変換回路。

【請求項 8】

前記第3の高速フーリエ変換処理部で行われるバタフライ演算処理は、メモリベース型である、請求項3記載の高速フーリエ変換回路。

【請求項 9】

前記第1の高速フーリエ変換処理部は、

前記第1のバタフライ演算処理および前記第2のバタフライ演算処理に供給するバッファ出力を切り替えるスイッチを有し、

前記スイッチを切り替えて、前記第1のバッファおよび前記第2のバッファのいずれか一方のバッファから出力されたデジタル信号に対して、前記第1のバタフライ演算処理および前記第2のバタフライ演算処理を行う、

請求項1または請求項3記載の高速フーリエ変換回路。

【請求項 10】

2^N (Nは自然数) 個のデジタル信号を蓄積し、各ビットの並び順を逆転させたビットリバーサルの位置に並び替えたデジタル信号を出力する第1のバッファと、

2^{N-1} 個のデジタル信号を蓄積し、ビットリバーサルの位置に並び替えたデジタル信号を出力する第2のバッファと、

前記第1のバッファの後段側に接続され、デジタル信号を蓄積するN個のデータ蓄積部と、

10

20

30

40

50

前記第2のバッファの後段側に接続され、デジタル信号を蓄積する（N-1）個のデータ蓄積部と、

前記N個のデータ蓄積部に蓄積されたデジタル信号に対する1段目からN段目のバタフライ演算処理と、前記（N-1）個のデータ蓄積部に蓄積されたデジタル信号に対する1段目から（N-1）段目のバタフライ演算処理とを行うN個のバタフライ演算部と、

前記第1のバッファまたは前記第2のバッファから入力されたデジタル信号の出力先を次段のデータ蓄積部または次段のスイッチに切り替える第1のスイッチと、前段のスイッチまたは前段のバタフライ演算部から入力されたデジタル信号の出力先を次段のデータ蓄積部または次段のスイッチに切り替える第2ないし第NのスイッチとからなるN個のスイッチと、を有し、

前記N個のスイッチは、それぞれ、

入力したデジタル信号を設定に応じて次段のデータ蓄積部または次段のスイッチに出力する、

高速フーリエ変換回路。

【請求項11】

請求項1から請求項10のいずれかに記載の高速フーリエ変換回路を有する通信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高速フーリエ変換回路に関する。

【背景技術】

【0002】

従来、複数の通信方式に対応可能な高速フーリエ変換回路（以下「マルチモード高速フーリエ変換回路」という）としては、例えば、特許文献1に記載されているものがある。

【0003】

図11は、特許文献1に記載された従来のマルチモード高速フーリエ変換回路の構成を示すブロック図である。

【0004】

図11に示すマルチモード高速フーリエ変換回路1は、直列並列変換回路11、直列並列変換回路12、スイッチ13、FFT（Fast Fourier Transform：高速フーリエ変換）回路14、並列直列変換回路15、間引き回路16、振幅調整回路17、ゼロ信号生成回路18、直列並列変換回路19、および合成器20を有する。

【0005】

この回路1においては、P（=2048）ポイントのFFT処理を必要とするOFDM（Orthogonal Frequency Division Multiplexing：直交周波数分割多重）方式と、Q（=64）ポイントのFFT処理を必要とするOFDM方式とに対応する場合、いずれもPポイントのFFT処理を行う。ここで、QポイントのFFT処理を必要とするOFDM方式の信号を受信する場合には、合成器20において受信信号とゼロ信号生成回路18から出力されるゼロ値のデータとを合成することにより、Q本のパラレルデータをP本のパラレルデータに変換することによって、PポイントのFFT処理を行う。

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記した従来のマルチモード高速フーリエ変換回路においては、Q（<P）ポイントのFFT処理を必要とするOFDM方式の信号を受信する場合にもPポイントのFFT処理を行うため、余分な演算を行うことになり、演算リソースの最適化が図れていないという問題がある。

【0007】

なお、近年は、テレビの受信機能を有する通信装置の需要が高まっており、通信中でもテレビを受信できるよう、任意の複数の通信方式（OFDM方式に限定されない）に対し

10

20

30

40

50

て、同時にFFT処理を行うことができるマルチモード高速フーリエ変換回路が求められている。このようなマルチモード高速フーリエ変換回路において、複数のFFT処理を効率化するべく、演算リソースの最適化を図ることは、回路の小型化と省電力化につながり、極めて有益である。

【0008】

本発明は、かかる点に鑑みてなされたものであり、複数の通信方式に対応しつつ、演算リソースの最適化を図ることができる高速フーリエ変換回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の高速フーリエ変換回路は、 2^N (N は自然数) 個のデジタル信号を蓄積し、各ビットの並び順を逆転させたビットリバーサルの位置に並び替えたデジタル信号を出力する第1のバッファと、 2^M (M は自然数、但し、 $M < N$) 個のデジタル信号を蓄積し、ビットリバーサルの位置に並び替えたデジタル信号を出力する第2のバッファと、前記第1のバッファから出力されたデジタル信号に対する第1のバタフライ演算処理と、前記第2のバッファから出力されたデジタル信号に対する第2のバタフライ演算処理とを行う第1の高速フーリエ変換処理部と、前記第1のバタフライ演算処理後のデジタル信号に対して、バタフライ演算処理を行う第2の高速フーリエ変換処理部と、前記第2のバタフライ演算処理後のデジタル信号に対して、バタフライ演算処理を行う第3の高速フーリエ変換処理部と、を有する構成を採る。

【0010】

また、本発明の高速フーリエ変換回路は、 2^N (N は自然数) 個のデジタル信号を蓄積し、各ビットの並び順を逆転させたビットリバーサルの位置に並び替えたデジタル信号を出力する第1のバッファと、 2^M (M は自然数、但し、 $M < N$) 個のデジタル信号を蓄積し、ビットリバーサルの位置に並び替えたデジタル信号を出力する第2のバッファと、前記第1のバッファから出力されたデジタル信号に対する第1のバタフライ演算処理と、前記第2のバッファから出力されたデジタル信号に対する第2のバタフライ演算処理とを行う第1の高速フーリエ変換処理部と、前記第1のバタフライ演算処理後のデジタル信号に対する第3のバタフライ演算処理と、前記第2のバタフライ演算処理後のデジタル信号に対する第4のバタフライ演算処理とを行う第2の高速フーリエ変換処理部と、前記第3のバタフライ演算処理後のデジタル信号に対して、バタフライ演算処理を行う第3の高速フーリエ変換処理部と、を有する構成を採る。

【0011】

また、本発明の高速フーリエ変換回路は、 2^N (N は自然数) 個のデジタル信号を蓄積し、各ビットの並び順を逆転させたビットリバーサルの位置に並び替えたデジタル信号を出力する第1のバッファと、 2^{N-1} 個のデジタル信号を蓄積し、ビットリバーサルの位置に並び替えたデジタル信号を出力する第2のバッファと、前記第1のバッファの後段側に接続され、デジタル信号を蓄積する N 個のデータ蓄積部と、前記第2のバッファの後段側に接続され、デジタル信号を蓄積する ($N-1$) 個のデータ蓄積部と、前記 N 個のデータ蓄積部に蓄積されたデジタル信号に対する1段目から N 段目のバタフライ演算処理と、前記 ($N-1$) 個のデータ蓄積部に蓄積されたデジタル信号に対する1段目から ($N-1$) 段目のバタフライ演算処理とを行う N 個のバタフライ演算部と、前記第1のバッファまたは前記第2のバッファならびに前記 N 個のバタフライ演算部から入力したデジタル信号の出力先を切り替える N 個のスイッチと、を有し、前記 N 個のスイッチは、それぞれ、入力したデジタル信号を設定に応じて次段のデータ蓄積部または次段のスイッチに出力する、構成を採る。

【発明の効果】

【0012】

本発明によれば、複数の通信方式に対応しつつ、演算リソースの最適化を図ることができる。

10

20

30

40

50

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0014】

(実施の形態1)

図1は、本発明の実施の形態1に係る高速フーリエ変換回路の構成を示すブロック図である。

【0015】

図1に示す高速フーリエ変換回路(以下「FFT回路」という)100は、複数の通信方式に対応可能なマルチモード高速フーリエ変換回路である。ここでは、 2^N ポイント(N は自然数)のFFT処理を必要とする通信方式と、 2^M ポイント(M は自然数、但し、 $M \geq N$ とする)のFFT処理を必要とする通信方式とを同時処理する場合について説明する。 2^N ポイントのFFT処理を行う場合は、基底2のバタフライ演算処理をN段行う必要があり、 2^M ポイントのFFT処理を行う場合は、基底2のバタフライ演算処理をM段行う必要がある。

【0016】

図1に示すFFT回路100は、第1のFFT処理部110、第2のFFT処理部120、第3のFFT処理部130、係数蓄積部140、および制御部150を有する。

【0017】

第1のFFT処理部110は、第1のバッファ111と、第1-1から第1-($M-1$)までの($M-1$)個のデータ蓄積部112-1~112-($M-1$)と、第2のバッファ113と、第2-1から第2-($M-1$)までの($M-1$)個のデータ蓄積部114-1~114-($M-1$)と、第1から第($M-1$)までの($M-1$)個のバタフライ演算部115-1~115-($M-1$)とを有し、第1のバッファ111および第2のバッファ113に入力されたデジタル信号に対して、($M-1$)段(つまり、1段目から($M-1$)段目まで)のFFT処理を行う。

【0018】

第2のFFT処理部120は、第1-Mから第1-Nまでの($N-M+1$)個のデータ蓄積部121-M~121-Nと、第Mから第Nまでの($N-M+1$)個のバタフライ演算部122-M~122-Nとを有し、第1のバッファ111に入力され第1のFFT処理部110でFFT処理されたデジタル信号に対して、($N-M+1$)段(つまり、M段目からN段目まで)のFFT処理を行う。

【0019】

第3のFFT処理部130は、第2-Mのデータ蓄積部131と、第2-Mのバタフライ演算部132とを有し、第2のバッファ113に入力され第1のFFT処理部110でFFT処理されたデジタル信号に対して、1段(つまり、M段目)のFFT処理を行う。

【0020】

第1のバッファ111は、 2^N 個のデジタル信号を蓄積し、制御部150の制御により、蓄積されたデジタル信号を第1-1のデータ蓄積部112-1に出力する。このとき、第1のバッファ111に入力されたデジタル信号は、各ビットの並び順を逆転させたビットリバーサルの位置に並び替えられて出力される。例えば、図2に示すように、入力されたデジタル信号は、0、1、...、 2^N-2 、 2^N-1 という並びを、ビットリバーサルの位置に並び替えた0、 2^N-1 、...、 2^N-1-1 、 2^N-1 という並びに変換して出力される。

【0021】

第2のバッファ113は、 2^M 個のデジタル信号を蓄積し、制御部150の制御により、蓄積されたデジタル信号を第2-1のデータ蓄積部114-1に出力する。このとき、第2のバッファ113に入力されたデジタル信号は、第1のバッファ111と同様、ビットリバーサルの位置に並び替えられて出力される。例えば、図2に示すように、入力されたデジタル信号は、0、1、...、 2^M-2 、 2^M-1 という並びを、ビットリバーサルの

10

20

30

40

50

位置に並び替えた $0, 2^{M-1}, \dots, 2^{M-1}-1, 2^M-1$ という並びに変換して出力される。

【0022】

なお、本実施の形態では、第1のバッファ111および第2のバッファ113は、それぞれ第1のFFT処理部110に含まれているが、もちろん、これに限定されるわけではなく、第1のFFT処理部110の外に配置されていてもよい。この場合、第1のFFT処理部は、 $(M-1)$ 個のデータ蓄積部112-1～112-(M-1)と、 $(M-1)$ 個のデータ蓄積部114-1～114-(M-1)と、 $(M-1)$ 個のバタフライ演算部115-1～115-(M-1)とで構成されることになる。

【0023】

第1-1のデータ蓄積部112-1および第2-1のデータ蓄積部114-1は、それぞれ、 2^{M-1} 個のデジタル信号を蓄積する。第1-1のデータ蓄積部112-1または第2-1のデータ蓄積部114-1に、 2^{M-1} 個のデジタル信号が蓄積されると、第1のバタフライ演算部115-1において、 2^{M-1} 個の蓄積されたデジタル信号に対して第1段目の基数2のバタフライ演算が実行される。このとき、第1-1のデータ蓄積部112-1に蓄積されたデジタル信号に対するバタフライ演算の結果は、第1-2のデータ蓄積部112-2に出力され、第2-1のデータ蓄積部114-1に蓄積されたデジタル信号に対するバタフライ演算の結果は、第2-2のデータ蓄積部114-2に出力される。

【0024】

第1のバタフライ演算部115-1は、図2に示すように、第1-1のデータ蓄積部112-1または第2-1のデータ蓄積部114-1に蓄積された 2^{M-1} 個のデジタル信号の1番目と2番目、3番目と4番目、…、 $(2^{M-1}-1)$ 番目と 2^{M-1} 番目に対して、それぞれ、係数蓄積部140から入力された係数を用いて、1段目の基数2のバタフライ演算を実行する。

【0025】

第1-1のデータ蓄積部112-1に蓄積されたデジタル信号を $f_1(1, n)$ 、入力された係数を $W_1(1, n)$ とすると、出力されるデジタル信号は、次の(式1)および(式2)で表される。

$$f_1(2, n) = f_1(1, n) + W_1(1, n) \times f_1(1, n+1) \dots \text{(式1)}$$

$$f_1(2, n+1) = f_1(1, n) - W_1(1, n) \times f_1(1, n+1) \dots \text{(式2)}$$

)

【0026】

また、第2-1のデータ蓄積部114-1に蓄積されたデジタル信号を $f_2(1, n)$ 、入力された係数を $W_2(1, n)$ とすると、出力されるデジタル信号は、次の(式3)および(式4)で表される。

$$f_2(2, n) = f_2(1, n) + W_2(1, n) \times f_2(1, n+1) \dots \text{(式3)}$$

$$f_2(2, n+1) = f_2(1, n) - W_2(1, n) \times f_2(1, n+1) \dots \text{(式4)}$$

)

【0027】

ここで、係数 $W_1(1, n)$ は、次の(式5)で表される。

$$W_1(1, n) = \exp(-j2\pi k_1(1, n)/2^N) \dots \text{(式5)}$$

また、係数 $W_2(1, n)$ は、次の(式6)で表される。

$$W_2(1, n) = \exp(-j2\pi k_2(1, n)/2^M) \dots \text{(式6)}$$

【0028】

このとき、 $k_1(1, n) = 0$ または 2^{N-1} 、 $k_2(1, n) = 0$ または 2^{M-1} であるため、(式5)と(式6)は、 $W_1(1, n) = W_2(1, n) = 1$ または-1となる。

【0029】

すなわち、第1のバタフライ演算部115-1で使用する係数は、第1-1のデータ蓄

10

20

30

40

50

積部 112-1 に蓄積されたデジタル信号および第 2-1 のデータ蓄積部 114-1 に蓄積されたデジタル信号に対して、共用可能である。

【0030】

図 3 は、基數 2 のバタフライ演算を実行する第 1 のバタフライ演算部 115-1 の構成を示すブロック図である。

【0031】

第 1 のバタフライ演算部 115-1 は、4 個のスイッチ 161、162、163、164 と、加算器 165 と、減算器 166 と、乗算器 167 を有し、図 1 に示すように、制御部 150 によって制御される。各スイッチ 161～164 は、制御部 150 によって H または L の位置に制御される。各スイッチ 161～164 の位置が H のとき、第 1-1 のデータ蓄積部 112-1 に蓄積されたデジタル信号に対するバタフライ演算結果として、スイッチ 163 から (式 1) で示すデジタル信号が、スイッチ 164 から (式 2) で示すデジタル信号がそれぞれ出力される。一方、各スイッチ 161～164 の位置が L のとき、第 2-1 のデータ蓄積部 114-1 に蓄積されたデジタル信号に対するバタフライ演算結果として、スイッチ 163 から (式 3) で示すデジタル信号が、スイッチ 164 から (式 4) で示すデジタル信号がそれぞれ出力される。

【0032】

その後、データ蓄積部へのデジタル信号の蓄積と、蓄積されたデジタル信号に対するバタフライ演算とを繰り返し、第 (M-1) のバタフライ演算部 115-(M-1) は、図 2 に示すように、第 1-(M-1) のデータ蓄積部 112-(M-1) または第 2-(M-1) のデータ蓄積部 114-(M-1) に蓄積された 2^{M-1} 個のデジタル信号に対して、係数蓄積部 140 から入力された係数を用いて、(M-1) 段目の基數 2 のバタフライ演算を実行する。

【0033】

第 1-(M-1) のデータ蓄積部 112-(M-1) に蓄積されたデジタル信号を $f_1(M-1, n)$ 、入力された係数を $W_1(M-1, n)$ とすると、出力されるデジタル信号は、次の (式 7) および (式 8) で表される。

$$\begin{aligned} & f_1(M, n) \\ &= f_1(M-1, n) + W_1(M-1, n) \times f_1(M-1, n + 2^{M-2}) \dots \text{ (式 7)} \\ &) \\ & f_1(M, n + 2^{M-2}) \\ &= f_1(M-1, n) - W_1(M-1, n) \times f_1(M-1, n + 2^{M-2}) \dots \text{ (式 8)} \\ &) \end{aligned}$$

【0034】

また、第 2-(M-1) のデータ蓄積部 114-(M-1) に蓄積されたデジタル信号を $f_2(M-1, n)$ 、入力された係数を $W_2(M-1, n)$ とすると、出力されるデジタル信号は、次の (式 9) および (式 10) で表される。

$$\begin{aligned} & f_2(M, n) \\ &= f_2(M-1, n) + W_2(M-1, n) \times f_2(M-1, n + 2^{M-2}) \dots \text{ (式 9)} \\ &) \\ & f_2(M, n + 2^{M-2}) \\ &= f_2(M-1, n) - W_2(M-1, n) \times f_2(M-1, n + 2^{M-2}) \dots \text{ (式 10)} \end{aligned}$$

【0035】

ここで、係数 $W_1(M-1, n)$ は、次の (式 11) で表される。

$$W_1(M-1, n) = \exp(-j2\pi k_1(M-1, n) / 2^N) \dots \text{ (式 11)}$$

また、係数 $W_2(M-1, n)$ は、次の (式 12) で表される。

$$W_2(M-1, n) = \exp(-j2\pi k_2(M-1, n) / 2^M) \dots \text{ (式 12)}$$

【0036】

このとき、 $k_1(M-1, n) = 2^{N-(M-1)} \times (0, 1, \dots, 2^{M-1}-2, 2)$

10

20

30

40

50

$M - 1 - 1$) 、 $k_2 (M - 1, n) = 2^{M - (M - 1)} \times (0, 1, \dots, 2^{M - 1} - 2, 2^{M - 1} - 1)$ であるため、(式11)と(式12)は、 $W_1 (M - 1, n) = W_2 (M - 1, n) = \exp (-j2 / 2^{M - 1} \times (0, 1, \dots, 2^{M - 1} - 2, 2^{M - 1} - 1))$ となる。

【0037】

すなわち、第 $(M - 1)$ のバタフライ演算部 $115 - (M - 1)$ で使用する係数は、第 $1 - (M - 1)$ のデータ蓄積部 $112 - (M - 1)$ に蓄積されたデジタル信号および第 $2 - (M - 1)$ のデータ蓄積部 $114 - (M - 1)$ に蓄積されたデジタル信号に対して、共用可能である。

【0038】

第 $1 - (M - 1)$ のデータ蓄積部 $112 - (M - 1)$ に蓄積されたデジタル信号のバタフライ演算結果は、第2のFFT処理部 120 における第 $1 - M$ のデータ蓄積部 $121 - M$ に出力され、第 $2 - (M - 1)$ のデータ蓄積部 $114 - (M - 1)$ に蓄積されたデジタル信号のバタフライ演算結果は、第3のFFT処理部 130 における第 $2 - M$ のデータ蓄積部 131 に出力される。

【0039】

第 $1 - M$ のデータ蓄積部 $121 - M$ は、 2^N 個のデジタル信号を蓄積する。第 $(M - 1)$ のバタフライ演算部 $115 - (M - 1)$ から入力される $2^{M - 1}$ 個のデジタル信号が、 $2^{N - M + 1}$ 回分 ($= 2^N$ 個) 蓄積されると、第 M のバタフライ演算部 $122 - M$ において、 2^N 個の蓄積されたデジタル信号に対して、係数蓄積部 140 から入力された係数を用いて、 M 段目の基底2のバタフライ演算が実行される。

【0040】

その後、データ蓄積部へのデジタル信号の蓄積と、蓄積されたデジタル信号に対するバタフライ演算とを繰り返し、第 N のバタフライ演算部 $122 - N$ は、第 $1 - N$ のデータ蓄積部 $121 - N$ に蓄積された 2^N 個のデジタル信号に対して、係数蓄積部 140 から入力された係数を用いて、 N 段目の基底2のバタフライ演算を実行する。

【0041】

第 $1 - N$ のデータ蓄積部 $121 - N$ に蓄積されたデジタル信号を $f_1 (N, n)$ 、入力された係数を $W_1 (N, n)$ とすると、出力されるデジタル信号は、次の(式13)および(式14)で表され、第1のバッファ 111 に入力されたデジタル信号の最終FFT処理結果としてFFT回路 100 から出力される。

$$\begin{aligned} f_1 (N + 1, n) \\ = f_1 (N, n) + W_1 (N, n) \times f_1 (N, n + 2^{N - 1}) \quad \dots \text{ (式13)} \\ f_1 (N + 1, n + 2^{N - 1}) \\ = f_1 (N, n) - W_1 (N, n) \times f_1 (N, n + 2^{N - 1}) \quad \dots \text{ (式14)} \end{aligned}$$

【0042】

このとき、係数 $W_1 (N, n)$ は、次の(式15)で表される。

$$W_1 (N, n) = \exp (-j2 k_1 (N, n) / 2^N) \quad \dots \text{ (式15)}$$

【0043】

ここで、 $k_1 (N, n) = 2^{N - N} \times (0, 1, \dots, \underline{2^N - 2}, \underline{2^N - 1})$ であるため、(式15)は、次の(式16)で表される。

$$\begin{aligned} W_1 (N, n) \\ = \exp (-j2 / 2^N \times (0, 1, \dots, \underline{2^N - 2}, \underline{2^N - 1})) \quad \dots \text{ (式16)} \end{aligned}$$

【0044】

一方、第 $2 - M$ のデータ蓄積部 131 は、 2^M 個のデジタル信号を蓄積する。第 $(M - 1)$ のバタフライ演算部 $115 - (M - 1)$ から入力される $2^{M - 1}$ 個のデジタル信号が 2 回分 ($= 2^M$ 個) 蓄積されると、バタフライ演算部 132 において、 2^M 個の蓄積されたデジタル信号に対して、係数蓄積部 140 から入力された係数を用いて、 M 段目の基底2のバタフライ演算が実行される。

【0045】

10

20

30

40

50

第2-Mのデータ蓄積部131に蓄積されたデジタル信号を $f_2(M, n)$ とし、入力された係数を $W_2(M, n)$ とすると、出力されるデジタル信号は、次の(式17)および(式18)で表され、第2のバッファ113に入力されたデジタル信号の最終FFT処理結果としてFFT回路100から出力される。

$$f_2(M+1, n) = f_2(M, n) + W_2(M, n) \times f_2(M, n + 2^{M-1}) \quad \dots \text{(式17)}$$

$$f_2(M+1, n + 2^{M-1}) = f_2(M, n) - W_2(M, n) \times f_2(M, n + 2^{M-1}) \quad \dots \text{(式18)}$$

【0046】

このとき、係数 $W_2(M, n)$ は、次の(式19)で表される。

$$W_2(M, n) = \exp(-j2\pi k_2(M, n) / 2^M) \quad \dots \text{(式19)}$$

【0047】

ここで、(式19)は、 $k_2(M, n) = 2^{M-M} \times (0, 1, \dots, \frac{2^M-2}{2}, \frac{2^M-1}{2})$ であるため、次の(式20)で表される。

$$W_2(M, n) = \exp(-j2\pi / 2^M \times (0, 1, \dots, \frac{2^M-2}{2}, \frac{2^M-1}{2})) \quad \dots \text{(式20)}$$

【0048】

このように、本実施の形態によれば、複数の通信方式(2^N ポイントのFFT処理を必要とする通信方式と、 2^M ポイントのFFT処理を必要とする通信方式)に対して、バッファを設け、蓄積されたデジタル信号の並び順を変更することにより、一部のバラフライ演算部115-1~115-(M-1)を共用することが可能となり、複数の通信方式に対応しつつ、演算リソースの最適化を図ることができる。しかも、共用される各バラフライ演算部115-1~115-(M-1)では、使用する係数も共用することができるため、演算リソースの最適化をより一層図ることができる。

【0049】

なお、本実施の形態では、基数2のバタフライ演算を例にとって説明したが、バタフライ演算の基数は2に限定されない。基数2の代わりに、基数4や基数8など、異なる基数でバタフライ演算を行うことにより、バタフライ演算の段数を減らす構成も可能である。

【0050】

また、本実施の形態は、いろいろ変更することができる。以下、いくつかの変更例について説明する。

【0051】

図4は、本実施の形態の一変更例を示すブロック図である。

【0052】

本変更例は、第Mのバタフライ演算部を共用する場合である。すなわち、図4に示すFFT回路100aは、第2のFFT処理部120aと、第3のFFT処理部130aとを有する。第2のFFT処理部120aは、図1に示す実施の形態1における第2のFFT処理部120から、第1-Mのデータ蓄積部121-Mと、第Mのバタフライ演算部122-Mとを削除した構成を有する。また、第3のFFT処理部130aは、図1に示す実施の形態1における第3のFFT処理部130から、バタフライ演算部132を削除するとともに、第1-Mのデータ蓄積部171と、第Mのバタフライ演算部172とを追加した構成を有する。

【0053】

この場合、第1-Mのデータ蓄積部171は、 2^M 個のデジタル信号を蓄積し、第1-Mのデータ蓄積部171および第2-Mのデータ蓄積部131にそれぞれ蓄積されたデジタル信号に対して、第Mのバタフライ演算部172を共用することができる。

【0054】

第1-Mのデータ蓄積部171に蓄積されたデジタル信号のバラフライ演算結果は、第2のFFT処理部120aにおける第1-(M+1)のデータ蓄積部121-(M+1)に出力され、第2-Mのデータ蓄積部131に蓄積されたデジタル信号のバラフライ演算

10

20

30

40

50

結果は、第2のバッファ113に入力されたデジタル信号の最終FFT処理結果としてFFT回路100から出力される。

【0055】

図5は、本実施の形態の他の変更例を示すブロック図である。

【0056】

本変更例は、図1および図4に示すFFT回路100、100aでは、第2のFFT処理部120、120aがパイプライン型のFFT処理を行うのに対して、メモリベース型のFFT処理を行う場合である。すなわち、図5に示すFFT回路100bは、それぞれ1個のデータ蓄積部181およびバタフライ演算部182を有する。このように、図5に示すFFT回路100bは、データ蓄積部181およびバタフライ演算部182を、それぞれ1個しか有していない点で、図1および図4に示すFFT回路100、100aと異なる。

【0057】

図5に示すFFT回路100b(第2のFFT処理部120b)において、データ蓄積部181は、 2^N 個のデジタル信号を蓄積する。例えば、図5の構成を図1の構成に適用した場合、第M-1のバタフライ演算部115-(M-1)から入力される 2^{M-1} 個のデジタル信号が 2^{N-M+1} 回分(= 2^N 個)蓄積されると、バタフライ演算部182は、 2^N 個の蓄積されたデジタル信号に対して、係数蓄積部140から入力された係数を用いて、M段目の基底2のバタフライ演算を実行する。このバタフライ演算の結果は、同時に、データ蓄積部181のデータに上書きされる。その後、データ蓄積部181のデータの上書きと、上書きされたデジタル信号に対するバタフライ演算とを繰り返し、N段目の基底2のバタフライ演算が実行されると、データ蓄積部181から出力されるデジタル信号は、第1のバッファ111に入力されたデジタル信号のFFT処理結果として、FFT処理部100bから出力される。なお、図5の構成を図4の構成に適用する場合は、M+1段目の基底2のバタフライ演算から実行することになる。

【0058】

本変更例によれば、図1および図4に示すパイプライン型の構成に比べて、第2のFFT処理部120bに複数のデータ蓄積部および複数のバタフライ演算部を設ける必要がなく、それぞれ1個のデータ蓄積部181およびバタフライ演算部182を設けるだけで済むため、FFT回路の小型化を図ることができる。

【0059】

図6は、本実施の形態のさらに他の変更例を示すブロック図である。

【0060】

本変更例は、第1のFFT処理部がスイッチを有する場合である。すなわち、図6に示すFFT回路100cは、第1のFFT処理部(例えば、図1に示す第1のFFT処理部110)が2個のスイッチ191、192をさらに有する。この場合、例えば、2つの通信方式のうち、いずれか一方の通信方式で通信を行っていないとき、スイッチ191を切り替えることで、第1のバッファ111から第1-1のデータ蓄積部112-1と第2-1のデータ蓄積部114-1との両方に、それぞれ 2^{M-1} 個ずつデジタル信号を蓄積し、第1-1のデータ蓄積部112-1と第2-1のデータ蓄積部114-1とを、1つの 2^M 個のデジタル信号を蓄積するデータ蓄積部とみなすことができ、高速にFFT処理を行うことができる。

【0061】

換言すれば、FFT処理を1系統しか行う必要がない場合は、第1のFFT処理部が 2^M 個ずつ(M-1)段のバタフライ演算処理を行う。すなわち、第1のFFT処理部におけるバタフライ演算に対して、2倍のデータ領域を割り当てるため、FFT回路における演算の高速化が可能になる。

【0062】

(実施の形態2)

図7は、本発明の実施の形態2に係る高速フーリエ変換回路の構成を示すブロック図で

10

20

30

40

50

ある。なお、図7の高速フーリエ変換回路(FFT回路)200は、図1に示すFFT回路100と同様の基本的構成を有しており、同一の構成要素には同一の符号を付し、その説明を省略する。

【0063】

本実施の形態の特徴は、最大 2^N ポイントと 2^{N-1} ポイントで、任意のポイント数のFFT処理を行うことができる構成を有することである。

【0064】

そのため、図7に示すFFT回路200は、第1のバッファ211と、第1-1から第1-NまでのN個のデータ蓄積部212-1～212-Nと、第2のバッファ213と、第2-1から第2-(N-1)までの(N-1)個のデータ蓄積部214-1～214-(N-1)と、第1から第NのN個のバタフライ演算部215-1～215-Nと、第1から第(N+1)までの(N+1)個のスイッチ216-1～216-(N+1)と、係数蓄積部140aと、制御部150aとを有する。

【0065】

第1のバッファ211は、最大で 2^N 個のデジタル信号を蓄積し、制御部150aの制御により、蓄積されたデジタル信号を第1のスイッチ216-1に出力する。このとき、入力されたデジタル信号は、実施の形態1における第1のバッファ111と同様に、図2に示すように、0、1、…、 2^N-2 、 2^N-1 という並びを、ビットリバーサルの位置に並び替えた0、 2^{N-1} 、…、 $2^{N-1}-1$ 、 2^N-1 という並びに変換して出力される。

10

20

【0066】

第2のバッファ213は、最大で 2^{N-1} 個のデジタル信号を蓄積し、制御部150aの制御により、蓄積されたデジタル信号を第1のスイッチ216-1に出力する。このとき、入力されたデジタル信号は、実施の形態1における第2のバッファ113と同様に、図2に示すように、0、1、…、 $2^{N-1}-2$ 、 $2^{N-1}-1$ という並びを、ビットリバーサルの位置に並び替えた0、 2^{N-2} 、…、 $2^{N-2}-1$ 、 $2^{N-1}-1$ という並びに変換して出力される。

20

【0067】

第1のスイッチ216-1は、図8に示すように、2個のスイッチ221、222を有し、制御部150aによって制御される。すなわち、各スイッチ221、222は、制御部150aによってHまたはLの位置に制御される。第1のバッファ211からの入力信号は、スイッチ221の位置がLのとき、第1-1のデータ蓄積部212-1に出力され、スイッチ221の位置がHのとき、第2のスイッチ216-2に出力される。また、第2のバッファ213からの入力信号は、スイッチ222の位置がLのとき、第2-1のデータ蓄積部214-1に出力され、スイッチ222の位置がHのとき、第2のスイッチ216-2に出力される。

30

【0068】

第1-1から第1-Nのデータ蓄積部212-1～212-Nは、 2^1 ～ 2^N 個のデジタルデータを蓄積する。第1-1から第1-Nのデータ蓄積部212-1～212-Nに 2^1 ～ 2^N 個のデジタル信号が蓄積されると、第1から第Nのバタフライ演算部215-1～215-Nにおいて、 2^1 ～ 2^N 個の蓄積されたデジタル信号に対して、係数蓄積部140aから入力された係数を用いて、1段目からN段目までの基底2のバタフライ演算がそれぞれ実行される。

40

【0069】

第2-1から第2-(N-1)のデータ蓄積部214-1～214-(N-1)は、 2^1 ～ 2^{N-1} 個のデジタルデータを蓄積する。第2-1から第2-(N-1)のデータ蓄積部214-1～214-(N-1)に 2^1 ～ 2^{N-1} 個のデジタル信号が蓄積されると、第1から第(N-1)のバタフライ演算部215-1～215-(N-1)において、それぞれ、 2^1 ～ 2^{N-1} 個の蓄積されたデジタル信号に対して、係数蓄積部140aから入力された係数を用いて、1段目から(N-1)段目までの基底2のバタフライ演算が

50

それぞれ実行される。

【0070】

第1から第Nのバタフライ演算部215-1～215-Nは、実施の形態1におけるバタフライ演算部と同様に、図2および図3に示すように、第1-1から第1-Nのデータ蓄積部212-1～212-Nまたは第2-1から第2-(N-1)のデータ蓄積部214-1～214-(N-1)に蓄積された 2^1 ～ 2^N 個のデジタル信号に対して、係数蓄積部140aから入力された係数を用いて、1段目からN段目までの基底2のバタフライ演算をそれぞれ実行する。

【0071】

第2から第(N-1)のスイッチ216-2～216-(N-1)は、4個のスイッチを有する。ここでは、第2のスイッチ216-2を例にとって説明する。第2のスイッチ216-2は、図8に示すように、4個のスイッチ231、232、233、234を有し、制御部150aによって制御される。すなわち、各スイッチ231～234は、制御部150aによってHまたはLの位置に制御される。

10

【0072】

具体的には、スイッチ231の位置がLの場合、第1のバタフライ演算部215-1における第1-1のデータ蓄積部212-1に蓄積されたデジタル信号に対する1段目のバタフライ演算の結果は、スイッチ232の位置がLのとき、第1-2のデータ蓄積部212-2に出力され、スイッチ232の位置がHのとき、第3のスイッチ216-3に出力される。

20

【0073】

また、スイッチ233の位置がLの場合、第1のバタフライ演算部215-1における第2-1のデータ蓄積部214-1に蓄積されたデジタル信号に対する1段目のバタフライ演算の結果は、スイッチ234の位置がLのとき、第2-2のデータ蓄積部214-2に出力され、スイッチ234の位置がHのとき、第3のスイッチ216-3に出力される。

。

【0074】

また、スイッチ231の位置がHの場合、第1のスイッチ216-1からの入力信号は、スイッチ232の位置がLのとき、第1-2のデータ蓄積部212-2に出力され、スイッチ232の位置がHのとき、第3のスイッチ216-3に出力される。

30

【0075】

また、スイッチ233の位置がHの場合、第1のスイッチ216-1からの入力信号は、スイッチ234の位置がLのとき、第2-2のデータ蓄積部214-2に出力され、スイッチ234の位置がHのとき、第3のスイッチ216-3に出力される。

【0076】

なお、第3から第(N-1)のスイッチ216-3～216-(N-1)の構成および動作は、第2のスイッチ216-2と同様であるため、その説明を省略する。

【0077】

第Nのスイッチ216-Nは、図9に示すように、3個のスイッチ241、242、243を有し、制御部150aによって制御される。すなわち、各スイッチ241～243は、制御部150aによってHまたはLの位置に制御される。

40

【0078】

具体的には、スイッチ241の位置がLの場合、第(N-1)のバタフライ演算部215-(N-1)における第1-(N-1)のデータ蓄積部212-(N-1)に蓄積されたデジタル信号に対する(N-1)段目のバタフライ演算の結果は、スイッチ242の位置がLのとき、第1-Nのデータ蓄積部212-Nに出力され、スイッチ242の位置がHのとき、第(N+1)のスイッチ216-(N+1)に出力される。

【0079】

また、スイッチ241の位置がHの場合、第(N-1)のスイッチ216-(N-1)からの入力信号は、スイッチ242の位置がLのとき、第1-Nのデータ蓄積部212-

50

Nに出力され、スイッチ242の位置がHのとき、第(N+1)のスイッチ216-(N+1)に出力される。

【0080】

また、スイッチ243の位置がLの場合は、第(N-1)のバタフライ演算部215-(N-1)における第2-(N-1)のデータ蓄積部214-(N-1)に蓄積されたデジタル信号に対する(N-1)段目のバタフライ演算の結果が、FFT回路200のFFT処理結果として出力され、スイッチ243の位置がHの場合は、第(N-1)のスイッチ216-(N-1)からの入力信号が、FFT回路200のFFT処理結果として出力される。

【0081】

第(N+1)のスイッチ216-(N+1)は、図9に示すように、1個のスイッチ251を有し、制御部150aによって制御される。すなわち、スイッチ251は、制御部150aによってHまたはLの位置に制御される。スイッチ251の位置がLの場合は、第Nのバタフライ演算部215-Nにおける第1-Nのデータ蓄積部212-Nに蓄積されたデジタル信号に対するN段目のバタフライ演算の結果が、FFT回路200のFFT処理結果として出力され、スイッチ251の位置がHの場合は、第Nのスイッチ216-Nからの入力信号が、FFT回路200のFFT処理結果として出力される。

【0082】

次いで、具体的な動作例を説明する。

【0083】

まず、例えば、 2^N ポイントと 2^{N-1} ポイントとのFFT処理を行う場合について説明する。

【0084】

この場合、第1のスイッチ216-1は、内蔵する2個のスイッチ221、222をすべてLの位置に設定し、もって、(1)第1のバッファ211からの入力信号を第1-1のデータ蓄積部212-1に出力し、(2)第2のバッファ213からの入力信号を第2-1のデータ蓄積部214-1に出力するように、制御される。

【0085】

また、第2から第(N-1)のスイッチ216-2~216-(N-1)は、それぞれ内蔵する4個のスイッチ231~234をすべてLの位置に設定し、もって、(1)第1から第(N-2)のバタフライ演算部215-1~215-(N-2)における第1-1から第1-(N-2)のデータ蓄積部212-1~212-(N-2)に蓄積されたデジタル信号に対する1段目から(N-2)段目のバタフライ演算の結果を、第1-2から第1-(N-1)のデータ蓄積部212-2~212-(N-1)に出力し、(2)第1から第(N-2)のバタフライ演算部215-1~215-(N-2)における第2-1から第2-(N-2)のデータ蓄積部214-1~214-(N-2)に蓄積されたデジタル信号に対する1段目から(N-2)段目のバタフライ演算の結果を、第2-2から第2-(N-1)のデータ蓄積部214-2~214-(N-1)に出力するように、制御される。

【0086】

また、第Nのスイッチ216-Nは、内蔵する3個のスイッチ241~243をすべてLの位置に設定し、もって、(1)第(N-1)のバタフライ演算部215-(N-1)における第1-(N-1)のデータ蓄積部212-(N-1)に蓄積されたデジタル信号に対する(N-1)段目のバタフライ演算の結果を、第1-Nのデータ蓄積部212-Nに出力し、(2)第(N-1)のバタフライ演算部215-(N-1)における第2-(N-1)のデータ蓄積部214-(N-1)に蓄積されたデジタル信号に対する(N-1)段目のバタフライ演算の結果を、FFT回路200のFFT処理結果として出力するように、制御される。

【0087】

また、第(N+1)のスイッチ216-(N+1)は、内蔵する1個のスイッチ251

10

20

30

40

50

をLの位置に設定し、もって、第Nのバタフライ演算部215-Nにおける第1-Nのデータ蓄積部212-Nに蓄積されたデジタル信号に対するN段目のバタフライ演算の結果を、FFT回路200のFFT処理結果として出力するように、制御される。

【0088】

次に、例えば、 2^{N-1} ポイントと 2^5 ポイントとのFFT処理を行う場合について説明する。

【0089】

この場合、第1のスイッチ216-1は、内蔵する2個のスイッチ221、222をすべてLの位置に設定し、もって、(1)第1のバッファ211からの入力信号を第1-1のデータ蓄積部212-1に出力し、(2)第2のバッファ213からの入力信号を第2-1のデータ蓄積部214-1に出力するように、制御される。
10

【0090】

また、第2から第(N-1)のスイッチ216-2~216-(N-1)は、それぞれ内蔵する4個のスイッチのうち、(i)スイッチ231およびスイッチ232については、すべてLの位置に設定し、(ii)スイッチ233については、第2から第6のスイッチ216-2~216-6の場合はLの位置に、第7から第(N-1)のスイッチ216-7~216-(N-1)の場合はHの位置にそれぞれ設定し、(iii)スイッチ234については、第2から第5のスイッチ216-2~216-5の場合はLの位置に、第6から第(N-1)のスイッチ216-6~216-(N-1)の場合はHの位置にそれぞれ設定し、もって、(1)第1から第(N-2)のバタフライ演算部215-1~215-(N-2)における第1-1から第1-(N-2)のデータ蓄積部212-1~212-(N-2)に蓄積されたデジタル信号に対する1段目から(N-2)段目のバタフライ演算の結果を、第1-2から第1-(N-1)のデータ蓄積部212-2~212-(N-1)に出力し、(2)第1から第4のバタフライ演算部215-1~215-4における第2-1から第2-4のデータ蓄積部214-1~214-4に蓄積されたデジタル信号に対する1段目から4段目のバタフライ演算の結果を、第2-2から第2-5のデータ蓄積部214-2~214-5に出力し、(3)第5のバタフライ演算部215-5における第2-5のデータ蓄積部214-5に蓄積されたデジタル信号に対する5段目のバタフライ演算の結果を、第Nのスイッチ216-Nに出力するように、制御される。
20

【0091】

また、第Nのスイッチ216-Nは、内蔵する3個のスイッチのうち、スイッチ241をLの位置に、スイッチ242をHの位置に、スイッチ243をHの位置に、それぞれ設定し、もって、(1)第(N-1)のバタフライ演算部215-(N-1)における第1-(N-1)のデータ蓄積部212-(N-1)に蓄積されたデジタル信号に対する(N-1)段目のバタフライ演算の結果を、第(N+1)のスイッチ216-(N+1)に出力し、(2)第5のバタフライ演算部215-5における第2-5のデータ蓄積部214-5に蓄積されたデジタル信号に対する5段目のバタフライ演算の結果を、FFT回路200のFFT処理結果として出力するように、制御される。
30

【0092】

また、第(N+1)のスイッチ216-(N+1)は、内蔵する1個のスイッチ251をHの位置に設定し、もって、第(N-1)のバタフライ演算部215-(N-1)における第1-(N-1)のデータ蓄積部212-(N-1)に蓄積されたデジタル信号に対する(N-1)段目のバタフライ演算結果を、FFT回路200のFFT処理結果として出力するように、制御される。
40

【0093】

次に、例えば、第2のバタフライ演算部215-2において、基数4のバタフライ演算を実行する場合について説明する。

【0094】

この場合、第1のスイッチ216-1における2個のスイッチ221、222をすべてHの位置に設定し、第2のスイッチ216-2における4個のスイッチのうち、スイッチ
50

231とスイッチ233をHの位置に、スイッチ232とスイッチ234をLの位置に、それぞれ設定する。そして、第1-2のデータ蓄積部212-2に蓄積されたデジタル信号に対して、係数蓄積部140aから入力された係数を用いて、基數4のバタフライ演算を実行し、演算結果を第1-3のデータ蓄積部212-3に出力する。また、第2-2のデータ蓄積部214-2に蓄積されたデジタル信号に対して、係数蓄積部140aから入力された係数を用いて、基數4のバタフライ演算を実行し、演算結果を第2-3のデータ蓄積部214-3に出力する。このように、スイッチを用いて使用するバタフライ演算の段数を変えることにより、異なる基數でバタフライ演算を行うことができる。

【0095】

このように、本実施の形態によれば、実施の形態1の効果に加えて、スイッチを用いてFFT処理のポイント数を任意に切り替えるため、複数の任意のポイント数のFFT処理を同時に実行することができ、複数の通信方式に柔軟に対応することができる。 10

【0096】

(実施の形態3)

図10は、本発明の実施の形態3に係る通信装置の構成を示すブロック図である。なお、ここでは、実施の形態1のFFT回路100を通信装置に適用した場合について説明する。

【0097】

図10に示す通信装置300は、図1に示す実施の形態1のFFT回路100に加えて、第1のアンテナ310、第2のアンテナ312、第1の受信部320、第2の受信部322、第1のベースバンド信号処理部330、および第2のベースバンド信号処理部332を有する。 20

【0098】

第1の受信部320は、第1のアンテナ310で受信された第1の無線システムの無線周波数信号をデジタル信号に変換して出力する。また、第2の受信部322は、第2のアンテナ312で受信された第2の無線システムの無線周波数信号をデジタル信号に変換して出力する。

【0099】

ここでは、一例として、第1の無線システムがDVB-H(Digital Video Broadcasting)方式であり、第2の無線システムがIEEE802.11a方式である場合を例にとって説明する。 30

【0100】

DVB-H方式は、4096($=2^{12}$)ポイントのFFT処理が必要であり、IEEE802.11a方式は、64($=2^6$)ポイントのFFT処理が必要であるため、FFT回路100は、実施の形態1においてN=12、M=6とした場合のFFT処理を行う。

【0101】

すなわち、第1のバッファ111は、4096個のデジタル信号を蓄積し、第2のバッファ113は、64個のデジタル信号を蓄積する。第1のFFT処理部110は、第1-1から第1-5のデータ蓄積部112-1~112-5と、第2-1から第2-5のデータ蓄積部114-1~114-5と、第1から第5のバタフライ演算部115-1~115-5とを有する。また、第2のFFT処理部120は、第6から第12のデータ蓄積部121-6~121-12と、第6から第12のバタフライ演算部122-6~122-12とを有する。また、第3のFFT処理部130は、第2-6のデータ蓄積部131と、バタフライ演算部132とを有する。 40

【0102】

また、上記のように、FFT回路100が、更にスイッチ191、192を有する場合(図6のFFT回路100c参照)、例えば、IEEE802.11a方式で通信を行っていないときは、スイッチ191を切り替えることで、第1のバッファ111から第1-1のデータ蓄積部112-1と第2-1のデータ蓄積部114-1とに、2⁵個ずつデジ 50

タル信号を蓄積し、第1-1のデータ蓄積部112-1と第2-1のデータ蓄積部114-1とを、1つの2⁶個のデジタル信号を蓄積するデータ蓄積部とみなすことができ、高速にFFT処理を行うことができる。

【0103】

また、通信装置300が処理する通信方式が変更される場合は、実施の形態2におけるFFT回路200を使用することが可能である。例えば、第2の受信部322および第2のベースバンド信号処理部332が処理する通信方式が、IEEE802.11aからIEEE802.11bに変更される場合は、第1のスイッチ216-1におけるスイッチ222をHの位置に、第2から第(N-1)のスイッチ216-2～216-(N-1)におけるスイッチ233およびスイッチ234をすべてHの位置に、第Nのスイッチ216-Nにおけるスイッチ243をHの位置に、それぞれ設定することで、第2のバッファ213に蓄積されたデジタル信号を、直接FFT回路200から出力することができ、FFT処理を必要としない通信方式にも柔軟に対応することができる。

【0104】

例えば、第1の受信部320および第1のベースバンド信号処理部330が処理する通信方式が、DVB-H方式からDVB-T方式の2K modeに変更される場合、2048(=2¹¹)ポイントのFFT処理が必要となる。FFT回路200が、N=12で構成される場合、第Nのスイッチ216-Nにおけるスイッチ242および第(N+1)のスイッチ216-(N+1)におけるスイッチ251の設定を、それぞれLの位置からHの位置に変更することで、FFT処理のポイント数を4096から2048に変更することができる。

【0105】

これにより、演算リソースを最適化するとともに、複数のFFT処理を必要とする通信方式に柔軟に対応することができる通信装置を提供することが可能になる。

【産業上の利用可能性】

【0106】

本発明は、複数の通信方式に対応しつつ、演算リソースの最適化を図ることができるという効果を有し、複数の通信方式に対応するマルチモード通信装置に有用であり、装置の小型化と省電力化に適している。

【図面の簡単な説明】

【0107】

【図1】本発明の実施の形態1に係る高速フーリエ変換回路の構成を示すブロック図

【図2】実施の形態1におけるデジタル信号の並び替えおよびバタフライ演算の様子を示す図

【図3】実施の形態1におけるバタフライ演算部の構成を示すブロック図

【図4】実施の形態1の一変更例を示すブロック図

【図5】実施の形態1の他の変更例を示すブロック図

【図6】実施の形態1のさらに他の変更例を示すブロック図

【図7】本発明の実施の形態2に係る高速フーリエ変換回路の構成を示すブロック図

【図8】実施の形態2におけるスイッチの構成を示すブロック図

【図9】実施の形態2における他のスイッチの構成を示すブロック図

【図10】本発明の実施の形態3に係る通信装置の構成を示すブロック図

【図11】従来のマルチモード高速フーリエ変換回路の一例を示すブロック図

【符号の説明】

【0108】

100、100a、100b、100c、200 FFT回路

110 第1のFFT処理部

111、211 第1のバッファ

112、114、121、131、171、181、212、214 データ蓄積部

115、122、132、172、182、215 バタフライ演算部

10

20

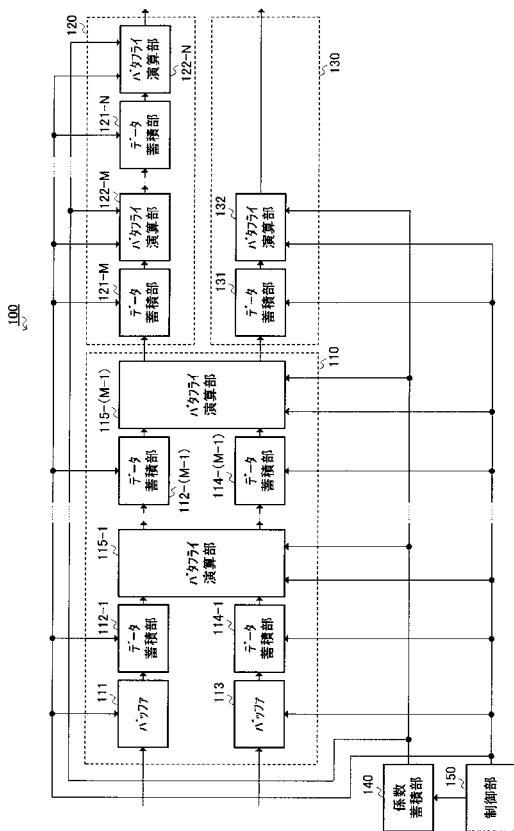
30

40

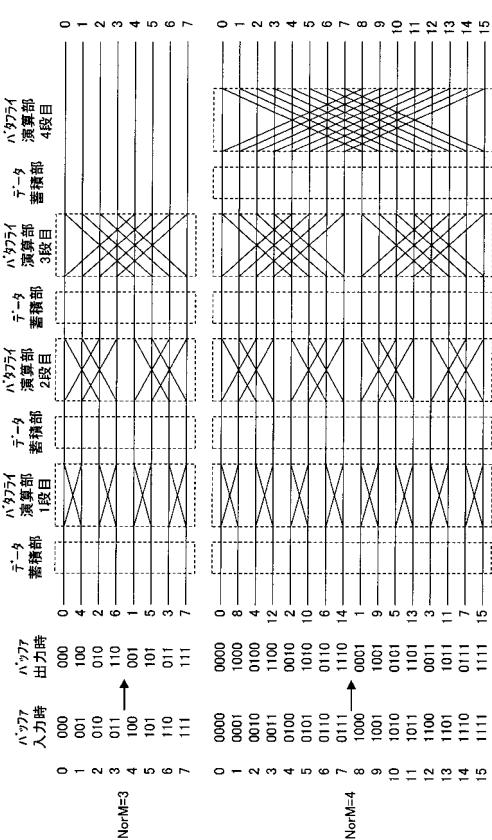
50

113、213 第2のバッファ
 120、120a、120b 第2のFFT処理部
 130、130a 第3のFFT処理部
 140、140a 係数蓄積部
 150、150a 制御部
 191、192、216 スイッチ
 300 通信回路
 310、312 アンテナ
 320、322 受信部
 330、332 ベースバンド信号処理部

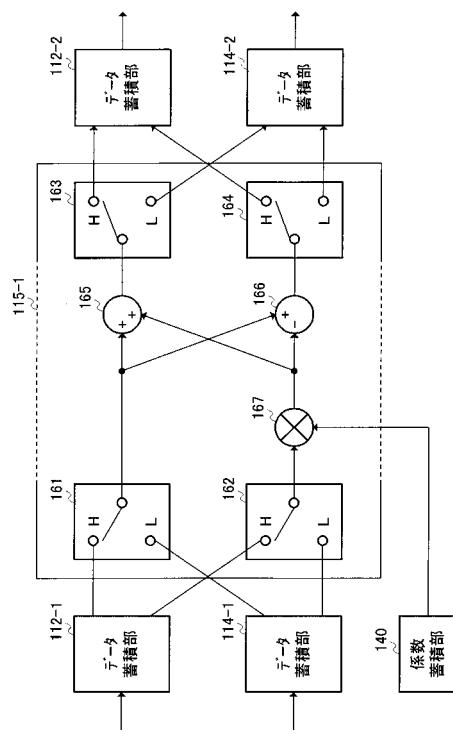
【図1】



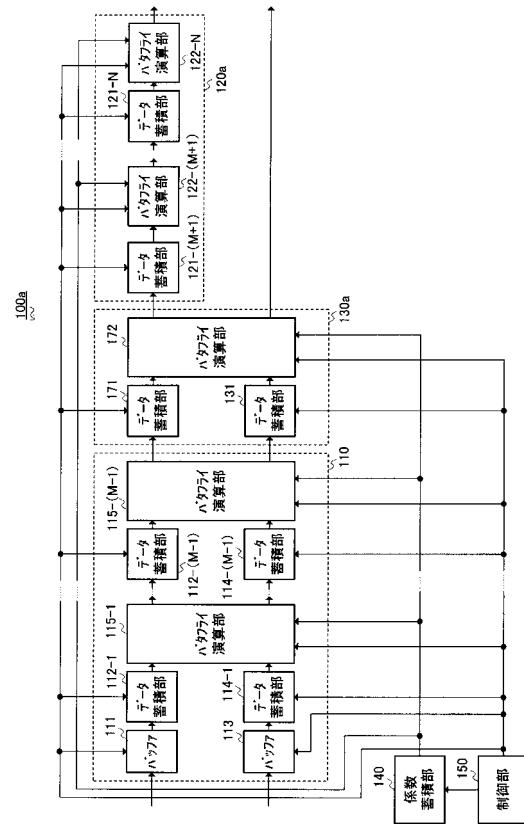
【図2】



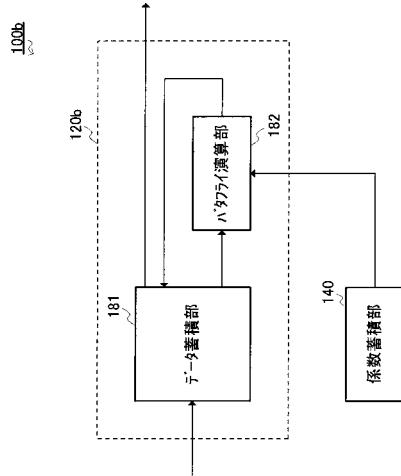
【図3】



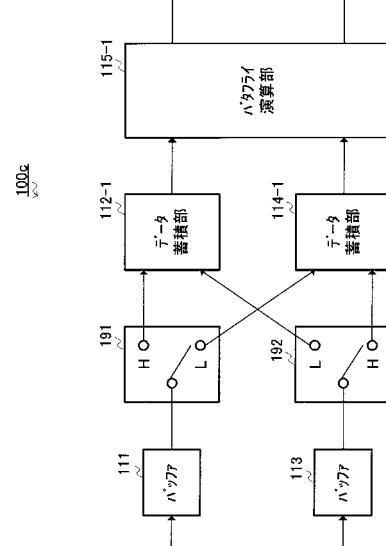
【図4】



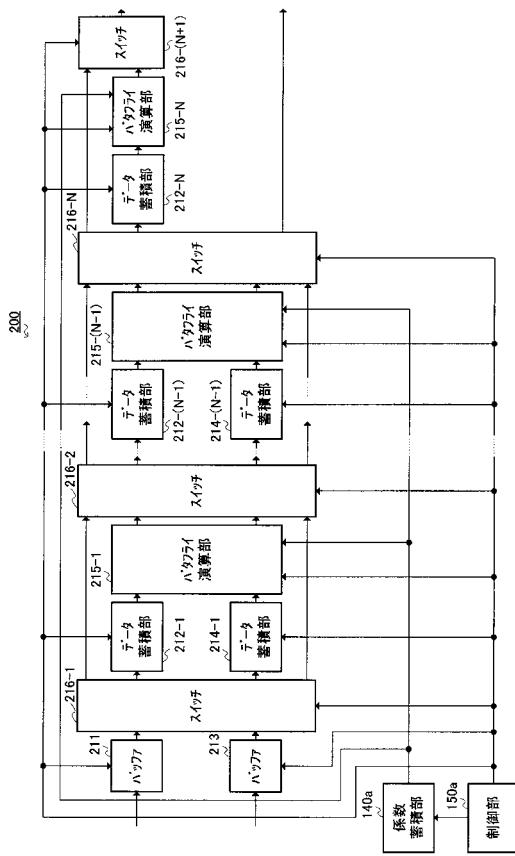
【図5】



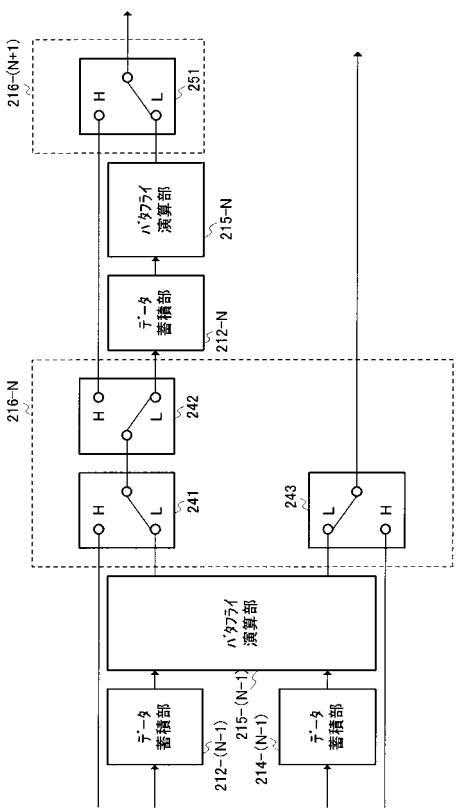
【図6】



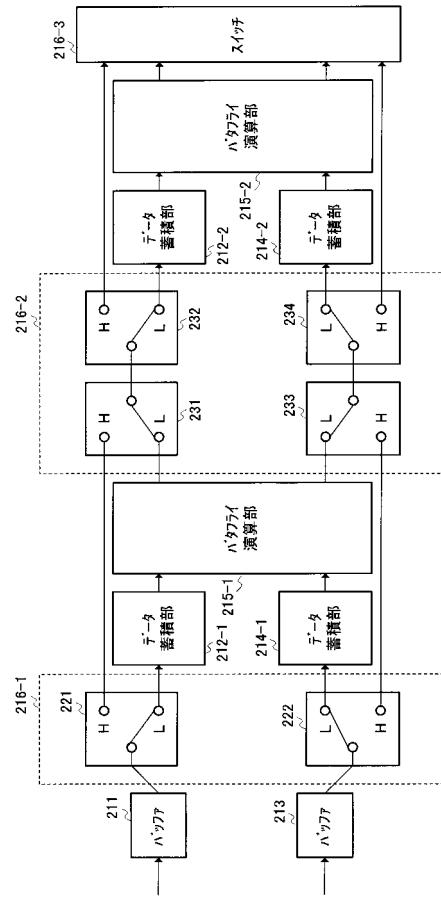
【 四 7 】



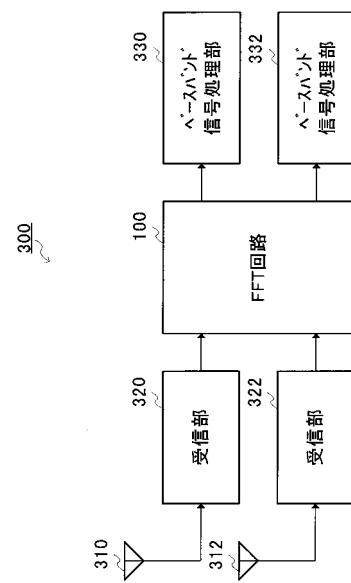
【図9】



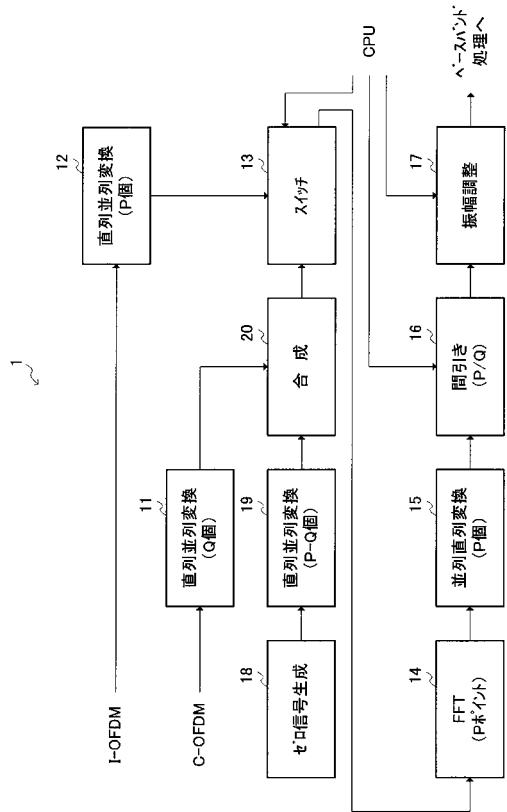
【 四 8 】



【 図 1 0 】



【図 1 1】



フロントページの続き

審査官 稲垣 良一

(56)参考文献 特開2004-186852(JP,A)

特開2002-117015(JP,A)

特開平8-137832(JP,A)

特開平6-195368(JP,A)

特開平6-19955(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 06 F 17 / 14

H 04 J 11 / 00 - 13 / 00

H 04 L 27 / 00

W P I

J S T P l u s (J D r e a m I I)