(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4562968号
(P4562968)

(45)発行日　平成22年10月13日(2010.10.13)　(24)登録日　平成22年8月6日(2010.8.6)

(51)Int.Cl.			F I		
G09G	3/36	(2006.01)	G09G	3/36	
G09G	3/20	(2006.01)	G09G	3/20	612J
			G09G	3/20	623M
			G09G	3/20	650C

請求項の数 6　(全 12 頁)

(21)出願番号　特願2001-388363(P2001-388363)
(22)出願日　平成13年12月20日(2001.12.20)
(65)公開番号　特開2002-351432(P2002-351432A)
(43)公開日　平成14年12月6日(2002.12.6)
審査請求日　平成16年6月9日(2004.6.9)
(31)優先権主張番号　2000-079375
(32)優先日　平成12年12月20日(2000.12.20)
(33)優先権主張国　韓国(KR)

(73)特許権者　501426046
エルジー　ディスプレイ　カンパニー　リミテッド
大韓民国　ソウル，ヨンドゥンポ－ク，ヨイド－ドン　２０
(74)代理人　100094112
弁理士　岡部　讓
(74)代理人　100064447
弁理士　岡部　正夫
(74)代理人　100085176
弁理士　加藤　伸晃
(74)代理人　100106703
弁理士　産形　和央
(74)代理人　100096943
弁理士　臼井　伸一

最終頁に続く

(54)【発明の名称】液晶表示装置の駆動方法及び装置

(57)【特許請求の範囲】

【請求項１】

ビデオデータが存在する期間を指示するデータ・イネーブル信号をタイミング・コントローラにおいて入力として受ける段階と、前記データ・イネーブル信号のイネーブル開始時点をリセット信号発生部において検出する段階と、前記データ・イネーブル信号のイネーブル開始時点で前記リセット信号発生部においてリセット信号を発生する段階であって、前記リセット信号はイネーブル開始時点のみでロー論理からハイ論理に変える段階と、トグル・クロック及びリセット部において、前記リセット信号に応答して前記ビデオデータをサンプリングするためのソース・シフト・クロックをリセットする段階であって、前記リセット信号はロー論理からハイ論理に変わるとき、前記ソース・シフト・クロックは前記イネーブル開始時点のみでリセットされる段階とを含み、前記イネーブル開始時点は、前記ビデオデータが存在する間に、前記データ・イネーブル信号がロー論理からハイ論理に変わる間の時間であり、前記リセット信号発生部は、入力ラインを経由して前記データ・イネーブル信号とドットクロックを入力として受けて前記ドットクロックにより前記データ・イネーブル信号を遅延させるためのＤフリップ・フロップと、前記遅延されたデータ・イネーブル信号を反転させるためのインバーターと、前記遅延及び反転されたイネーブル信号と前記入力ラインからのデータ・イネーブル信号を論理積演算して前記データ・イネーブル信号のイネーブル開始時点を指示するリセット信号を発生するためのＡＮＤゲートを具備することを特徴とする液晶表示装置の駆動方法。

【請求項２】

ソース駆動部において、前記ソース・シフト・クロックにより前記ビデオデータをサンプリングした後にラッチする段階と、前記ソース駆動部において、前記ラッチされたビデオデータを液晶パネルのデータラインに供給する段階と、ゲート駆動部において、前記液晶パネルのゲートラインにスキャンパルスを順次的に供給する段階を更に含むことを特徴とする請求項１記載の液晶表示装置の駆動方法。

【請求項３】

ビデオデータが存在する期間を指示するデータ・イネーブル信号のイネーブル開始時点を検出してリセット信号を発生するリセット信号発生部であって、前記リセット信号はイネーブル開始時点のみでロー論理からハイ論理に変えるリセット信号発生部と、前記リセット信号に応答して前記イネーブル開始時点で前記ビデオデータをサンプリングするためのソース・シフト・クロックをリセットさせるトグル・クロック及びリセット部であって、前記リセット信号はロー論理からハイ論理に変わるとき、前記ソース・シフト・クロックは前記イネーブル開始時点のみでリセットされるトグル・クロック及びリセット部とを含み、前記イネーブル開始時点は、前記ビデオデータが存在する間に、前記データ・イネーブル信号がロー論理からハイ論理に変わる間の時間であり、前記リセット信号発生部は、入力ラインを経由して前記データ・イネーブル信号とドットクロックを入力として受けて前記ドットクロックにより前記データ・イネーブル信号を遅延させるためのＤフリップ・フロップと、前記遅延されたデータ・イネーブル信号を反転させるためのインバーターと、前記遅延及び反転されたイネーブル信号と前記入力ラインからのデータ・イネーブル信号を論理積演算して前記データ・イネーブル信号のイネーブル開始時点を指示するリセット信号を発生するためのＡＮＤゲートを具備することを特徴とする液晶表示装置の駆動装置。

【請求項４】

データラインとゲートラインとが直交し前記データラインとゲートラインの間の画素領域に液晶セルが形成されると共に前記データラインとゲートラインの交差部に形成されて前記液晶セルを駆動するための薄膜トランジスタを有する液晶パネルと、前記ソース・シフト・クロックにより前記ビデオデータをサンプリングした後にラッチし、ラッチされたビデオデータを前記液晶パネルのデータラインに供給するためのソース駆動部と、前記液晶パネルのゲートラインにスキャンパルスを順次的に供給してスキャンラインを選択するためのゲート駆動部と、前記ソース駆動部とゲート駆動部を制御するためのタイミング・コントローラとを更に具備することを特徴とする請求項３記載の液晶表示装置の駆動装置。

【請求項５】

前記リセット信号発生部と前記トグル・クロック及びリセット部は前記タイミング・コントローラ内に内蔵されることを特徴とする請求項４記載の液晶表示装置の駆動装置。

【請求項６】

前記トグル・クロック及びリセット部は前記ドットクロックをトグリングすることで前記ソース・シフト・クロックを発生すると共に前記リセット信号に応答して前記ソース・シフト・クロックをリセットさせることを特徴とする請求項３記載の液晶表示装置の駆動装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は液晶表示装置に関するもので、特に液晶表示装置の解像度モード切り換えの際に画質を鮮明に維持するようにした液晶表示装置の駆動方法及び装置に関するものである。

【０００２】

【従来の技術】

アクティブ・マトリックス（Active Matrix）駆動方式の液晶表示装置はスイッチング素子として薄膜トランジスタ（Thin Film Transistor：以下″ＴＦＴ″という）を利用

して自然に動画像を表示している。このような液晶表示装置はブラウン管に比べて小型化が可能で、コンピュータのモニタは勿論であり、コピー機などの事務自動化機器、携帯電話機や呼出機などの携帯機器まで広範囲に利用されている。

【０００３】

このような液晶表示装置は高解像度・大画面化されている。最近ではワーク・ステーションのような高級機種で要求される解像度までもパーソナルコンピュータの液晶モニタでサポートしている。このような液晶表示装置を概略的に表すと図１のようである。

【０００４】

図１を参照すると、液晶表示装置はゲートライン（ＧＬ１乃至ＧＬm）とデータライン（ＤＬ１乃至ＤＬn）の間にＴＦＴと液晶セルが形成される液晶表示パネル（２）と、データライン（ＤＬ１乃至ＤＬn）にデータを供給するためのソース・ドライブ集積回路（Integrated Circuit：以下、″ＩＣ″という）（６）と、ゲートライン（ＧＬ１乃至ＧＬm）に順次的にスキャンパルスを供給するためのゲート・ドライブＩＣ（４）と、ソース・ドライブＩＣ（６）とゲート・ドライブＩＣ（４）に必要なタイミング制御信号などを供給するためのタイミング・コントローラ（８）と、グラフィック・カードから供給されたデータをタイミング・コントローラ（８）に供給するためのインターフェース回路（１２）とを具備する。

【０００５】

ソース・ドライブＩＣ（６）はタイミング・コントローラ（８）からのソース・シフト・クロック（Source Shift Clock：以下、″ＳＳＣ″という）によりＲＧＢそれぞれのデータをサンプリング及びラッチして点順次方式（Dot at a time scanning）のタイミング体系を線順次方式（Line at a time scanning）に変換する。このように線順次方式に変換されたデータはスキャンパルスに同期されてn個のデータラインなど（ＤＬ１乃至ＤＬn）に同時に供給される。

【０００６】

タイミング・コントローラ（８）からソース・ドライブＩＣ（６）に供給されるタイミング制御信号にはＳＳＣ以下の１水平同期期間の中にデータのサンプリングまたはラッチの初めを指示するソース・スタート・パルス（Source Start Pulse：以下、″ＳＳＰ″という）、ソース・ドライブＩＣ（６）の出力を制御するソース出力イネーブル（Source Output Enable：ＳＯＥ）、フレーム/ライン/コラム・インバージョン駆動時にデータの極性を反転させるための制御信号（Polarity：ＰＯＬ）などがある。

【０００７】

ゲート・ドライブＩＣ（４）はシフト・レジスタとレベル・シフトなどを含めてタイミング・コントローラ（８）からのゲート・スタート・パルス（Gate Start Pulse：以下、″ＧＳＰ″という）に応答してゲート・ハイ電圧のスキャンパルスをゲートラインなど（ＧＬ１乃至ＧＬm）に順次的に供給して液晶セルなどにデータが充電されるようにする。

【０００８】

タイミング・コントローラ（８）からゲート・ドライブＩＣ（４）に供給されるタイミング制御信号にはＧＳＰ以外のＴＦＴのゲートがＯＮまたはＯＦＦされる時間を決定するゲート・シフト・クロック（ＧＳＣ）、ゲート・ドライブＩＣ（４）の出力を制御するゲート出力イネーブル（ＧＯＥ）などがある。

【０００９】

タイミング・コントローラ（８）はインターフェース回路（１２）を経由して入力されるＲＧＢ信号をソース・ドライブＩＣ（６）に分配すると共にソース・ドライブＩＣ（６）とゲート・ドライブＩＣ（４）を制御する。このタイミング・コントローラ（８）は図示しない基準クロック発生部から供給されるＳＳＣを利用してソース・ドライブＩＣ（６）とゲート・ドライブＩＣ（４）に必要なタイミング制御信号などを生成する。

【００１０】

インターフェース回路（１２）は図示しないグラフィック・カードから供給されるＲＧ

Ｂデータ、データ・イネーブル信号（Data Enable：以下、″Ｉ＿ＤＥ″という）及びドット・クロック（Dot Clock：以下、″Dclk″という）をタイミング・コントローラ（８）に供給する。

【００１１】

タイミング・コントローラ（８）とインターフェース回路（１２）はデータ供給ライン数を減らして電磁気的干渉を減らせるようにＬＶＤＳ回路を含む。

【００１２】

ＶＥＳＡ（Video Electronics Standard Association）標準規格にはＵＸＧＡ、ＳＸＧＡ、ＸＧＡ、ＳＶＧＡ、ＶＧＡの解像度モードでグラフィック・カードからタイミング・コントローラ（８）に入力されるＩ＿ＤＥのブラッキング区間（ロー論理区間）でDclk（６５Mhz）の個数が偶数で規定されている。しかし解像度モードがＵＸＧＡ、ＳＸＧＡ、ＸＧＡでＳＶＧＡまたはＶＧＡに転換されるときDclkの個数が奇数に変化するようなる。このように解像度モードが切り換わるとき画面上に水平にノイズが表れるようになる。

【００１３】

タイミング・コントローラ（８）は図３及び４で分かるように、グラフィック・カードの解像度変化に関係なくインターフェース回路（１２）からのドット・クロック（Dclk）をトグリングしてＳＳＣを発生する。これを詳細にすると、従来のタイミング・コントローラ（８）は解像度に関係なくＩ＿ＤＥがハイレベルに変化する時点から３番目に発生するドット・クロック（Dclk）でリセット回路が動作してＳＳＣをリセットさせる。ここで、図３のように解像度モードがＵＸＧＡ、ＳＸＧＡ、ＸＧＡである場合のＩ＿ＤＥのブランキング区間でドット・クロック（Dclk：ＸＧＡモードで６５Ｍｈｚ）の個数が偶数（ｎ）である。この場合にはＳＳＣが正常の波形と周波数で発生される。これに反して、図４のように解像度モードがＳＶＧＡまたはＶＧＡである場合にデータ・イネーブル信号（ＤＥ）のブランキング区間でドット・クロック（Dclk）の個数が奇数に変化するようなる。この結果、解像度モードがＵＸＧＡ、ＳＸＧＡ、ＸＧＡからＳＶＧＡまたはＶＧＡに転換されるとき図５のようにソース・ドライブＩＣ（６）に入力されるＳＳＰとＳＳＣがセットアップ時間とホールド時間を規定するタイミングスペック（Timing Spec.）を外れるようになり画面上に水平上に水平方向ノイズが表れるようになる。

【００１４】

図３乃至図５において、データ・イネーブル信号（ＤＥ）はタイミング・コントローラ（８）の内部回路により生成され、タイミング・コントローラ（８）により入力データから分割された奇数データと偶数データのサンプリング開始時点を指示する。

【００１５】

これはスコープ画面をキャプチャした図９Ａ乃至図１１Ｂで更に分かりやすくなる。図９Ａ乃至図１１Ｂの波形図において、縦軸は時間（２５．０ ｎｓ単位）で、横軸は電圧（２．０Ｖ）である。

【００１６】

ＸＧＡの解像度におけるセットアップ時間とホールド時間のＳＳＰとＳＳＣ波形を表す図９Ａと図９Ｂで分かるように、ＸＧＡの解像度においてドット・クロック（Dclk）の個数が偶数であるためにＳＳＰとＳＳＣの波形は正常的に表れる。これに比べて、ＸＧＡからＶＧＡに解像度が変化した場合のセットアップ時間とホールド時間のＳＳＰよＳＳＣ波形を表す図１０Ａと図１０Ｂで分かるように、ドットクロック（Dclk）の個数が偶数から奇数に変化するためにＳＳＣの周期が変化するようになり、ＳＳＣ波形は解像度が変化する時点で歪曲される。

【００１７】

【発明が解決しようとする課題】

従って、本発明の目的は液晶表示装置の解像度モード切り換えの際に画質を鮮明に維持するようにした液晶表示装置の駆動方法及び装置を提供することにある。

【００１８】

【課題を解決するための手段】

前記目的を達成するために、本発明による液晶表示装置の駆動方法はビデオデータが存在する期間を指示するデータ・イネーブル信号を入力として受ける段階と、データ・イネーブル信号のイネーブル開始時点を検出する段階と、データ・イネーブル信号のイネーブル開始時点でリセット信号を発生する段階と、リセット信号に応答して前記ビデオデータをサンプリングするためのソース・シフト・クロックをリセットさせる段階を含む。

【００１９】

本発明による液晶表示装置の駆動方法はソース・シフト・クロックにより前記ビデオデータをサンプリングした後にラッチする段階と、ラッチされたビデオデータを液晶パネルのデータラインなどに供給する段階と、液晶パネルのゲートラインなどにスキャンパルスを順次的に供給する段階を更に含む。

【００２０】

本発明による液晶表示装置の駆動装置はビデオデータが存在する期間を指示するデータ・イネーブル信号のイネーブル開始時点を検出してリセット信号を発生するリセット信号発生部と、イネーブル開始時点で前記ビデオデータをサンプリングするためのソース・シフト・クロックをリセットさせるリセット部とを具備する。

【００２１】

本発明による液晶表示装置の駆動装置はデータラインなどとゲートラインなどが直交し前記データラインとゲートラインの間の画素領域に液晶セルが形成されると共に前記データラインとゲートラインの交差部に形成されて前記液晶セルを駆動するための薄膜トランジスタを有する液晶パネルと、ソース・シフト・クロックにより前記ビデオデータをサンプリングした後にラッチしてラッチされたビデオデータを前記液晶パネルのデータラインなどに供給するためのソース駆動部と、液晶パネルのゲートラインなどにスキャンパルスを順次的に供給してスキャンラインを選択するためのゲート駆動部と、ソース駆動部とゲート駆動部を制御するためのタイミングコントローラとを更に具備する。

【００２２】

前記リセット信号発生部と前記リセット部は前記タイミングコントローラ内に内蔵されることを特徴とする。

【００２３】

前記リセット信号発生部は入力ラインを経由して前記データ・イネーブル信号とドットクロックを入力受けて前記ドットクロックにより前記データ・イネーブル信号を遅延させるためのＤフリップ・フロップと、前記遅延されたデータ・イネーブル信号を反転させるためのインバーターと、前記遅延及び反転されたイネーブル信号と前記入力ラインからのデータ・イネーブル信号を論理積演算して前記データ・イネーブル信号のイネーブル開始時点を指示するリセット信号を発生するためのＡＮＤゲートを更に具備することを特徴とする。

【００２４】

前記リセット部は前記ドットクロックをトグリングすることで前記ソース・シフト・クロックを発生すると共に前記リセット信号に応答して前記ソース・シフト・クロックをリセットさせることを特徴とする。

【００２５】

【作用】

本発明による液晶表示装置の駆動方法及び装置は解像度変化により発生されるドット・クロック（Dclk）の偶数/奇数変化に関係なくタイミングコントローラに入力されるデータ・イネーブル（Ｉ＿ＤＥ）信号のイネーブル区間の開始時点を検出してソース・シフト・クロック（ＳＳＣ）をリセットさせるようになる。

【００２６】

【発明の実施態様】

以下、図６乃至図８を参照して本発明の好ましい実施例に対して説明する。

【００２７】

図６を参照すると、液晶表示装置はゲートライン（ＧＬ１乃至ＧＬｍ）とデータライン

（ＤＬ１乃至ＤＬｎ）の間にＴＦＴと液晶セルが形成される液晶表示パネル（６２）と、データライン（ＤＬ１乃至ＤＬｎ）にデータを供給するためのソース・ドライブＩＣ（６６）と、ゲートライン（ＧＬ１乃至ＧＬｍ）に順次的にスキャンパルスを供給するためのゲート・ドライブＩＣ（６４）と、ソース・ドライブＩＣ（６６）とゲート・ドライブＩＣ（６４）に必要なタイミング制御信号などを供給するためのタイミング・コントローラ（６８）と、DclkとＩ＿ＤＥ信号を入力受けてＳＳＣを発生するＳＳＣ発生部（６０）と、グラフィック・カードから供給されたデータをタイミング・コントローラ（６８）に供給するためのインターフェース回路（７２）とを具備する。

【００２８】

ソース・ドライブＩＣ（６６）はＳＳＣ発生部（６０）からのＳＳＣによりＲＧＢそれぞれのデータをサンプリング及びラッチした後に、スキャンパルスに同期されてデータをｎ個のデータラインなど（ＤＬ１乃至ＤＬｎ）に同時に供給される。

【００２９】

ゲート・ドライブＩＣ（６４）はシフト・レジスタやレベル・シフトなどを含み、タイミング・コントローラ（６８）からのＧＳＰに応答してゲート・ハイ電圧のスキャンパルスをゲートライン（ＧＬ１乃至ＧＬｍ）に順次に供給するようになる。

【００３０】

タイミング・コントローラ（６８）はインターフェース回路（７２）を経由して入力されるＲＧＢ信号をソース・ドライブＩＣ（６６）に分配すると共にタイミング制御信号などを生成してソース・ドライブＩＣ（６６）とゲート・ドライブＩＣ（６４）を制御する。

【００３１】

インターフェース回路（７２）は図示しないグラフィック・カードから供給されるＲＧＢデータ、Ｉ＿ＤＥ及びDclkをタイミング・コントローラ（６８）に供給する。

【００３２】

ＳＳＣ発生部（６０）は解像度モードの切り換えの際にDclkの個数に無関係にＩ＿ＤＥがハイレベルに変化する時点を感知してリセット信号を発生するようになる。また、ＳＳＣ発生部（６０）はリセット信号に応答してDclkをトグリング（Toggling）することでＳＳＣを発生してそのＳＳＣをソース・ドライブＩＣ（６６）に供給するようになる。このＳＳＣ発生部（６０）はタイミング・コントローラ（６８）に内蔵されることができる。

【００３３】

ＳＳＣ発生部（６０）は図７のようにインターフェース回路（７２）からＩ＿ＤＥとDclkが入力されるＤフリップ・フロップ（２１）と、Ｄフリップ・フロップ（２１）の出力端子に接続されたインバータ（２３）と、Ｉ＿ＤＥ入力ライン（２６）を経由してＩ＿ＤＥが入力されるバッファ（２２）とインバータ（２３）の出力端子に共通に接続されたＡＮＤゲート（２４）と、Dclk入力ライン（２７）とＡＮＤゲート（２４）の出力端子の間に接続されたトグル・クロック＆リセット部（２５）とを具備する。

【００３４】

Ｄフリップ・フロップ（２１）はＩ＿ＤＥをDclkが入力されるごとに出力してＩ＿ＤＥをDclkの一周期ほど遅延させるようになる。ここで、Dclkの周波数は６５ＭＨｚと仮定する。

【００３５】

バッファ（２２）はＩ＿ＤＥ入力ライン（２６）を経由して入力されるＩ＿ＤＥをＡＮＤゲート（２４）の第１入力端子に供給して、インバータ（２３）はＤフリップ・フロップ（２１）により遅延されたＩ＿ＤＥを反転させＡＮＤゲート（２４）の第２入力端子に供給する。

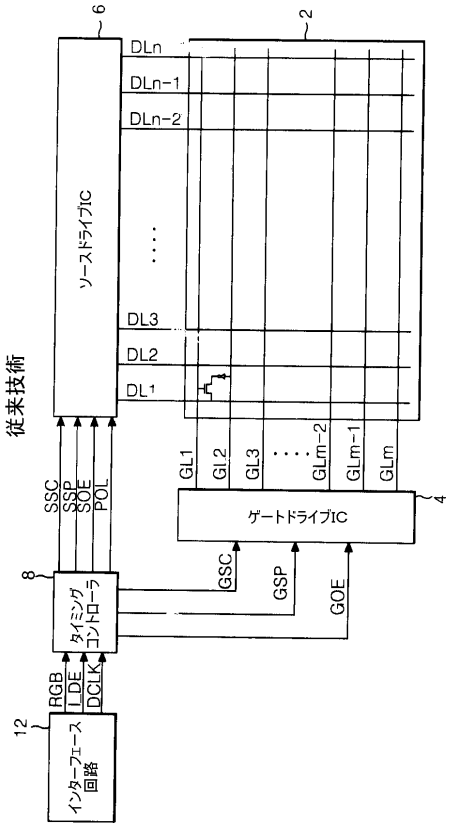
【００３６】

ＡＮＤゲート（２４）はバッファ（２２）から入力されるＩ＿ＤＥとインバータ（２３）から入力される遅延及びＩ＿ＤＥを論理積演算することにより、Ｉ＿ＤＥがロー論理からハイ論理に変化する時点を指示する信号を発生するようになる。

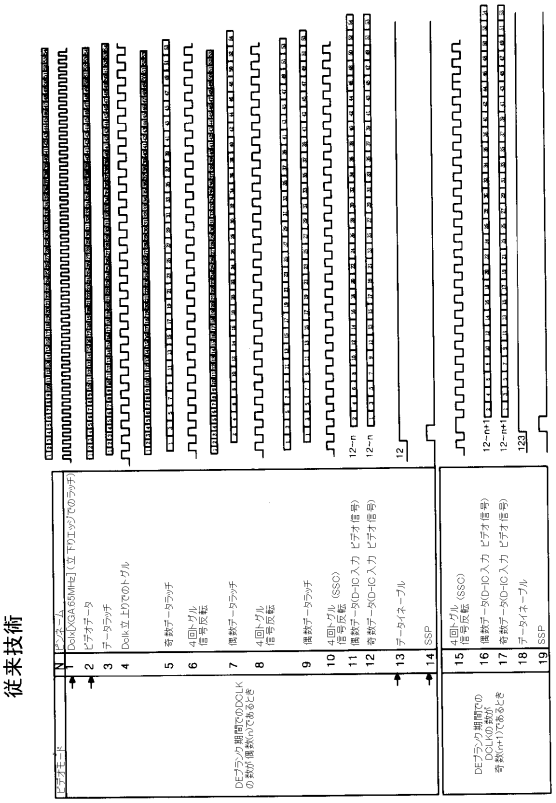
【００３７】
トグル・クロック＆リセット部（２５）はＡＮＤゲート（２４）から入力されるハイ論理信号に応答してＳＳＣをリセットさせるためのリセット信号を発生すると共にリセット信号に応答してDclkをトグリングすることでＳＳＣ　３２．５ＭＨｚを発生するようになる。
【００３８】
図８を参照すると、６５ＭＨｚのDclkはＡＮＤゲート（２４）から出力される信号とトグル・クロック＆リセット部（２５）から出力される信号が同期されるようにＤフリップ・フロップ（２１）とリセット部（２５）に共通に入力される。Ｉ＿ＤＥがブランキング区間（ロー論理）であるとき、ＡＮＤゲート（２４）の出力信号はバッファ（２２）の出力信号がロー論理を維持するのでロー論理を維持する。Ｉ＿ＤＥがロー論理からハイ論理に変化する時点で、バッファ（２２）とインバータ（２３）の出力信号が同時にハイ論理を有するようになるのでＡＮＤゲート（２４）はハイ論理のパルス信号を発生する。即ち、ＡＮＤゲート（２４）は解像度モードの切り換えの際、（例えば、ＵＸＧＡ、ＳＸＧＡ、ＸＧＡからＳＶＧＡまたはＶＧＡに切り換えるとき）のドット・クロック数の変化に関係なく、Ｉ＿ＤＥの論理値がロー論理からハイ論理に変化する時点を検出する。このようにＡＮＤゲート（２４）から発生されたパルス信号即ち、リセット信号はトグル・クロック＆リセット部（２５）のリセット端子に供給される。このようにリセット信号が入力されると、トグル・クロック＆リセット部（２５）からソース・ドライブＩＣ（６６）に供給される３２．５ＭＨｚのＳＳＣは、解像度モード切り換えに関係なく、Ｉ＿ＤＥのイネーブル期間においていつも正常的なパルス幅と周波数を有するようになる。
【００３９】
ＳＳＰはタイミング・コントローラ（６８）により奇数・偶数データとリセット信号との間においてＳＳＣの二倍のパルス幅で発生される。
【００４０】
【発明の効果】
上述したように、本発明による液晶表示装置の駆動方法及び装置は、解像度変化により発生されるドット・クロック（Dclk）の偶数/奇数変化に関係なく、タイミングコントローラに入力されるデータ・イネーブル（Ｉ＿ＤＥ）信号のイネーブル区間の開始時点を検出してソース・シフト・クロック（ＳＳＣ）をリセットさせるようになる。その結果、本発明による液晶表示装置の駆動方法及び装置においては、解像度モードの切り換えの際（例えば、ＵＸＧＡ、ＳＸＧＡ、ＸＧＡからＳＶＧＡまたはＶＧＡに解像度モードが変化するとき）、ドットクロック（Dclk）の偶数/奇数変化に関係なく、ソース・ドライブＩＣに入力されるＳＳＣとＳＳＰがＶＥＳＡ標準規格のタイミングスペックを満足するようになるので、解像度モードの切り換えの際に水平方向ノイズの発生を防ぐことができる。更に、本発明による液晶表示装置の駆動方法及び装置はソース・ドライブＩＣに入力されるＳＳＣとＳＳＰのタイミング・マージンを確保することができるので低温または高温環境で鮮明な画質を維持することができる。
【００４１】
以上説明した内容を通して当業者であれば本発明の技術思想を一脱しない範囲で多様な変更及び修正が可能であることが分かる。従って、本発明の技術的な範囲は明細書の詳細な説明に記載された内容に限らず特許請求の範囲によって定めなければならない。
【図面の簡単な説明】
【図１】　液晶表示装置の駆動装置を概略的に表すブロック図である。
【図２】　図１に図示されたタイミング・コントローラの出力波形図である。
【図３】　ＵＸＧＡ、ＳＸＧＡ及びＸＧＡの解像度モードにおける図１に図示されたタイミング・コントローラの入/出力波形図である。
【図４】　ＶＧＡとＳＶＧＡの解像度モードにおける図１に図示されたタイミング・コントローラの入/出力波形図である。
【図５】　ＶＧＡとＳＶＧＡの解像度モードにおける図１に図示されたタイミング・コン

トローラの入/出力波形図である。
【図６】　本発明の実施例による液晶表示装置の駆動装置を表すブロック図である。
【図７】　図６に図示されたＳＳＣ発生部を詳細に表す回路図である。
【図８】　本発明の実施例による液晶表示装置の駆動装置の入/出力波形図である。
【図９Ａ】　ＸＧＡの解像度のセットアップ時間において表れるソース・スタート・パルスとソース・シフト・クロックを表す波形図である。
【図９Ｂ】　ＸＧＡの解像度のホールド時間において表れるソース・スタート・パルスとソース・シフト・クロックを表す波形図である。
【図１０Ａ】　ＸＧＡの解像度のセットアップ時間において表れるソース・スタート・パルスとソース・シフト・クロックを表す波形図である。
【図１０Ｂ】ＸＧＡの解像度のホールド時間において表れるソース・スタート・パルスとソース・シフト・クロックを表す波形図である。
【図１１Ａ】　図９Ａと図１０Ａの波形図を重畳させて表す波形図である。
【図１１Ｂ】　図９Ｂと図１０Ｂの波形図を重畳させて表す波形図である。
【符号の説明】
２　液晶表示パネル
４、６４　ゲート・ドライブＩＣ
６、６６　ソース・ドライブ集積回路
８、６８　タイミング・コントローラ
ＤＬ１乃至ＤＬｎ　データライン
ＧＬ１乃至ＧＬｍ　ゲートライン
１２、７２　インターフェース回路
２１　Ｄフリップ・フロップ
２２　バッファ
２３　インバータ
２４　ＡＮＤゲート
２５　トグル・クロック＆リセット部
６０　ＳＳＣ発生部

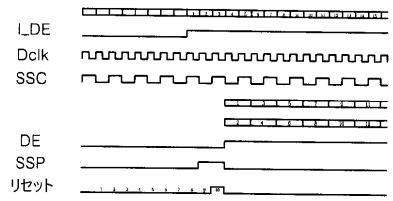
【図１】



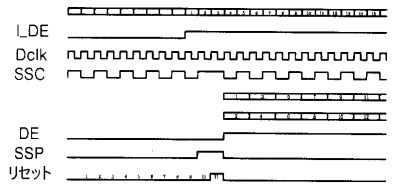
【図２】



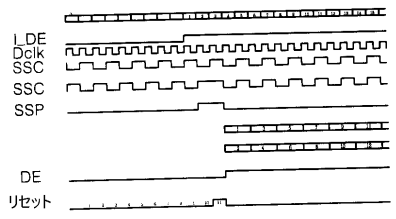
【図３】



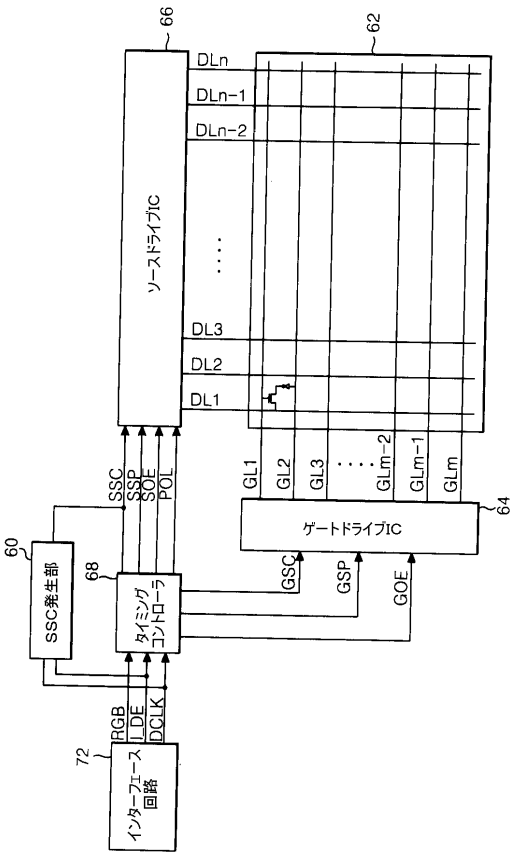
【図４】



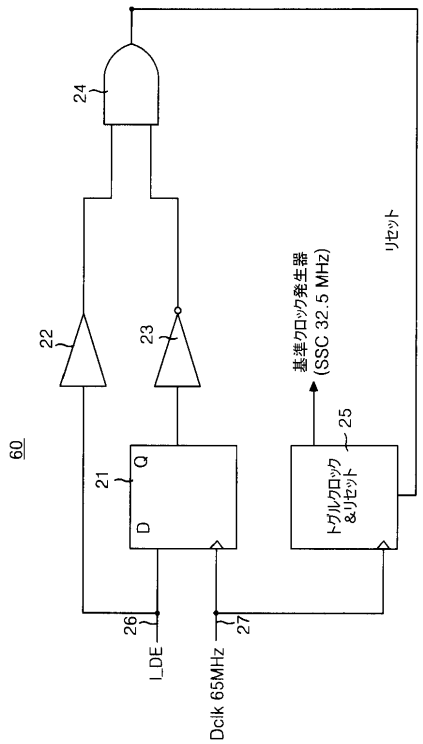
【図５】



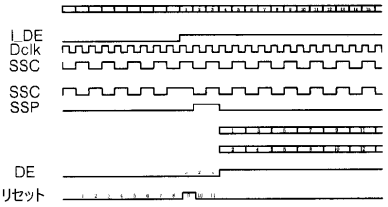
【図６】



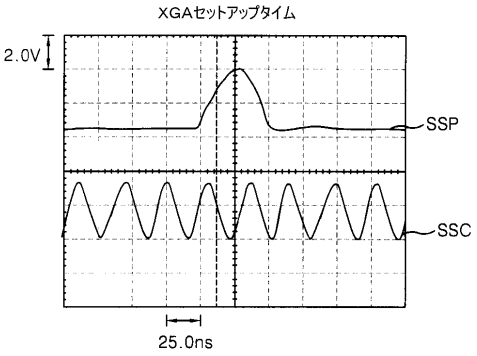
【図７】



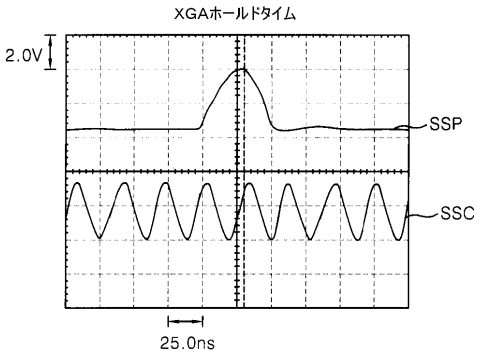
【図８】



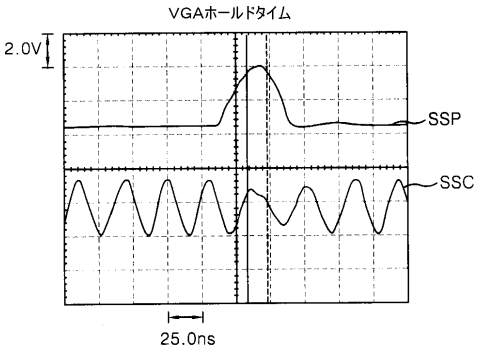
【図９Ａ】



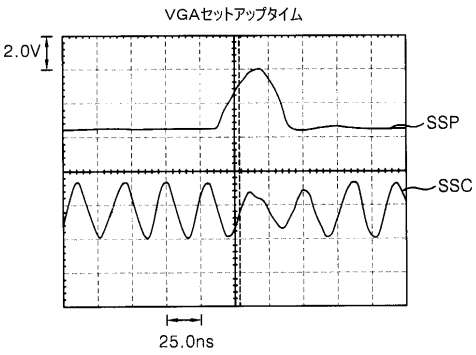
【図９Ｂ】



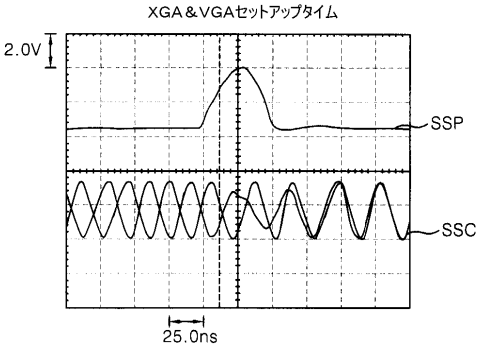
【図１０Ｂ】



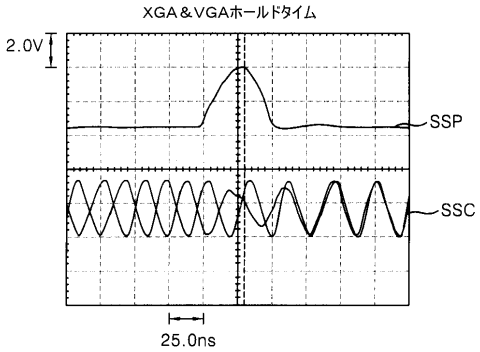
【図１０Ａ】



【図１１Ａ】



【図１１Ｂ】



フロントページの続き

(74)代理人 100091889
弁理士 藤野 育男
(74)代理人 100101498
弁理士 越智 隆夫
(74)代理人 100096688
弁理士 本宮 照久
(74)代理人 100102808
弁理士 高梨 憲通
(74)代理人 100104352
弁理士 朝日 伸光
(74)代理人 100107401
弁理士 高橋 誠一郎
(74)代理人 100106183
弁理士 吉澤 弘司
(72)発明者 アーン ソン クック
大韓民国 キョンサンブック－ド，クミ－シ，ビサン－ドン，ジョンウォン リヴィング フィル，ナンバー１３０９

審査官 小川 浩史

(56)参考文献 特開平９－２８１９３１（ＪＰ，Ａ）
特開平１０－３０１５４４（ＪＰ，Ａ）
特開平１１－３０７０（ＪＰ，Ａ）
特開平８－１６０９２２（ＪＰ，Ａ）
特開平９－２５８６９９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G09G 3/00-3/38