202445833

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202445833 A

(43)公開日： 中華民國 113 (2024) 年 11 月 16 日

(21)申請案號：112142846 (22)申請日： 中華民國 112 (2023) 年 11 月 07 日

(51)Int. Cl.： *H01L27/06 (2006.01)* *H01L27/088 (2006.01)*
H01L29/786 (2006.01) *H01L21/336 (2006.01)*
H01L21/8234(2006.01) *H10B12/00 (2023.01)*

(30)優先權：2022/11/17 日本 2022-184425

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：肥塚純一 KOEZUKA, JUNICHI (JP) ；神長正美 JINTYOU, MASAMI (JP) ；島行德 SHIMA, YUKINORI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：8 項 圖式數：42 共 191 頁

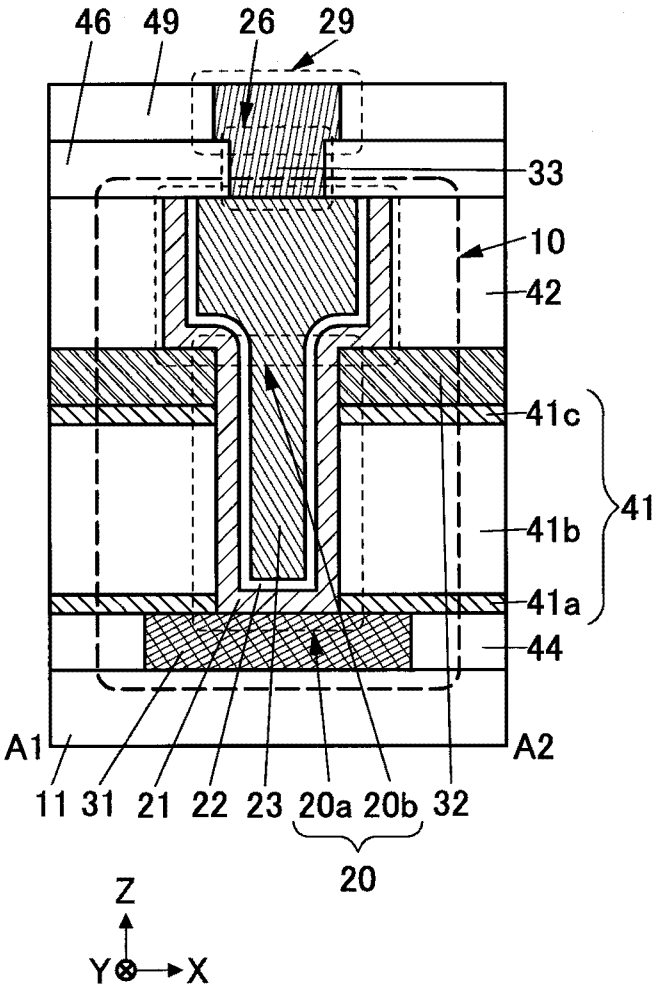
(54)名稱

半導體裝置及其製造方法

(57)摘要

提供一種容易微型化的半導體裝置。提供一種寄生電容得到降低的半導體裝置。在半導體裝置中，電晶體的源極電極和汲極電極中的一個的下部電極與另一個的上部電極之間設置有用作第一間隔物的絕緣層，上部電極上設置有用作第二間隔物的絕緣層。第一間隔物、上部電極及第二間隔物中設置有到達下部電極的第一開口部。並且，以在第一開口部的內部連接下部電極與上部電極的方式設置有形成通道的半導體層。在第一開口部的內部以與半導體層重疊的方式設置閘極絕緣層及閘極電極。第二間隔物、半導體層、閘極絕緣層以及閘極電極上設置有包括到達閘極電極的第二開口部的層間絕緣層。閘極電極具有在第二開口部的內部與層間絕緣層上的佈線接觸的區域。

指定代表圖：



【圖2B】

符號簡單說明：

10:電晶體

11:絕緣層

20a:開口部

20b:開口部

20:開口部

21:半導體層

22:絕緣層

23:導電層

26:開口部

29:開口部

31:導電層

32:導電層

33:導電層

41a:絕緣層

41b:絕緣層

41c:絕緣層

41:絕緣層

42:絕緣層

44:絕緣層

46:絕緣層

49:絕緣層

202445899

【發明摘要】

【中文發明名稱】

半導體裝置及其製造方法

【中文】

提供一種容易微型化的半導體裝置。提供一種寄生電容得到降低的半導體裝置。在半導體裝置中，電晶體的源極電極和汲極電極中的一個的下部電極與另一個的上部電極之間設置有用作第一間隔物的絕緣層，上部電極上設置有用作第二間隔物的絕緣層。第一間隔物、上部電極及第二間隔物中設置有到達下部電極的第一開口部。並且，以在第一開口部的內部連接下部電極與上部電極的方式設置有形成通道的半導體層。在第一開口部的內部以與半導體層重疊的方式設置閘極絕緣層及閘極電極。第二間隔物、半導體層、閘極絕緣層以及閘極電極上設置有包括到達閘極電極的第二開口部的層間絕緣層。閘極電極具有在第二開口部的內部與層間絕緣層上的佈線接觸的區域。

【指定代表圖】圖2B

【代表圖之符號簡單說明】

10:電晶體

11:絕緣層

20a:開口部

20b:開口部

20:開口部

21:半導體層

22:絕緣層

23:導電層

26:開口部

29:開口部

31:導電層

32:導電層

33:導電層

41a:絕緣層

41b:絕緣層

41c:絕緣層

41:絕緣層

42:絕緣層

44:絕緣層

46:絕緣層

49:絕緣層

【特徵化學式】無

【發明說明書】

【中文發明名稱】

半導體裝置及其製造方法

【技術領域】

【0001】本發明的一個實施方式係關於電晶體、半導體裝置、記憶體裝置、顯示裝置以及電子裝置。另外，本發明的一個實施方式係關於它們的製造方法。

【0002】注意，本發明的一個實施方式不侷限於上述技術領域。作為本說明書所公開的本發明的一個實施方式的技術領域的一個例子，可以舉出半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、電子裝置、照明設備、輸入裝置、輸入輸出裝置、它們的驅動方法或它們的製造方法。半導體裝置是指藉由利用半導體特性而工作的所有裝置。

【先前技術】

【0003】近年來，已對半導體裝置進行開發，CPU(Central Processing Unit)、記憶體及上述以外的LSI(Large Scale Integration)主要用於半導體裝置。CPU是包括將半導體晶圓加工來形成晶片而成的半導體積體電路(至少包括電晶體及記憶體)且形成有作為連接端子的電極的半導體元件的集合體。

【0004】CPU、記憶體及上述以外的LSI的半導體電

路(IC晶片)被安裝在電路板諸如印刷線路板上，並被用作各種電子裝置的構件之一。

【0005】另外，藉由使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到關注。該電晶體被廣泛地應用於積體電路及影像顯示裝置(簡單地稱為顯示裝置)等電子器件。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知，作為其他材料，氧化物半導體受到關注。

【0006】已知使用氧化物半導體的電晶體的非導通狀態下的洩漏電流極小。例如，專利文獻1公開了應用洩漏電流小的特性的低功耗CPU等。另外，例如，專利文獻2公開了能夠長期保持儲存內容的記憶體裝置等。

【0007】另外，近年來，隨著電子裝置的小型化和輕量化，對積體電路的進一步高密度化的要求提高。此外，有提高包括積體電路的半導體裝置的生產率的需求。例如，專利文獻3及非專利文獻1公開了一種技術，其中藉由層疊使用氧化物半導體膜的第一電晶體和使用氧化物半導體膜的第二電晶體，重疊地設置多個記憶單元，由此提高積體電路的密度。

【0008】再者，如果能夠實現縱向電晶體，就可以實現積體電路的高密度化。例如，專利文獻4公開了一種縱向電晶體，其中氧化物半導體的側面隔著閘極絕緣層被閘極電極覆蓋。

【0009】

[專利文獻1]日本專利申請公開第2012-257187號公報

[專利文獻2]日本專利申請公開第2011-151383號公報

[專利文獻3]國際公開第2021/053473號

[專利文獻4]日本專利申請公開第2013-211537號公報

【0010】

[非專利文獻1]M.Oota et.al，“3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm”，IEDM Tech. Dig.，2019，pp.50-53

【發明內容】

【0011】隨著半導體裝置的微型化的進步，不能忽略寄生電容的影響。例如，在寄生電容變大時，有時半導體裝置的工作速度下降。

【0012】本發明的一個實施方式的目的之一是提供一種微型化的半導體裝置。本發明的一個實施方式的目的之一是提供一種寄生電容得到降低的半導體裝置。本發明的一個實施方式的目的之一是提供一種以高速工作的半導體裝置。本發明的一個實施方式的目的之一是提供一種可靠性高的半導體裝置。本發明的一個實施方式的目的之一是提供一種呈現良好的電特性的半導體裝置。

【0013】本發明的一個實施方式的目的之一是提供一種微型化的半導體裝置的製造方法。本發明的一個實施方式的目的之一是提供一種寄生電容得到降低的半導體裝置的製造方法。本發明的一個實施方式的目的之一是提供一

種以高速工作的半導體裝置的製造方法。本發明的一個實施方式的目的之一是提供一種可靠性高的半導體裝置的製造方法。本發明的一個實施方式的目的之一是提供一種良率高的半導體裝置的製造方法。本發明的一個實施方式的目的之一是提供一種呈現良好的電特性的半導體裝置的製造方法。

【0014】本發明的一個實施方式的目的之一是提供一種具有新穎結構的半導體裝置、記憶體裝置、顯示裝置或者電子裝置。本發明的一個實施方式的目的之一是提供一種具有新穎結構的半導體裝置的製造方法、記憶體裝置的製造方法、顯示裝置的製造方法或者電子裝置的製造方法。本發明的一個實施方式的目的之一是至少減輕先行技術的問題中的至少一個。

【0015】注意，這些目的的記載並不妨礙其他目的的存在。注意，本發明的一個實施方式並不需要實現所有上述目的。注意，可以從說明書、圖式、申請專利範圍等的記載衍生上述以外的目的。

【0016】本發明的一個實施方式是一種半導體裝置，包括電晶體、第一絕緣層、第二絕緣層、第三絕緣層以及佈線，其中，電晶體包括第一導電層、第二導電層、第三導電層、半導體層以及第四絕緣層，第一絕緣層設置在第一導電層上，第二導電層設置在第一絕緣層上，第二絕緣層設置在第二導電層上，第一絕緣層、第二導電層以及第二絕緣層包括到達第一導電層的第一開口部，半導體層位

於第一開口部的內部並具有與第一導電層接觸的區域及與第二導電層接觸的區域，第四絕緣層設置在第一開口部的內部的半導體層與第三導電層之間，第三導電層以填充第一開口部的方式設置，第三絕緣層設置在第二絕緣層、半導體層、第四絕緣層以及第三導電層上並包括到達第三導電層的第二開口部，佈線具有在第二開口部的內部與第三導電層接觸的區域並具有隔著第三絕緣層與半導體層重疊的區域。

【0017】另外，本發明的一個實施方式是一種半導體裝置，包括電晶體、第一絕緣層、第二絕緣層、第三絕緣層以及佈線，其中，電晶體包括第一導電層、第二導電層、第三導電層、半導體層以及第四絕緣層，第一絕緣層設置在第一導電層上，第二導電層設置在第一絕緣層上，第一絕緣層及第二導電層包括到達第一導電層的第一開口部，第二絕緣層設置在第二導電層上，第二絕緣層包括到達第二導電層且具有與第一開口部重疊的區域的第二開口部，半導體層位於第一開口部的內部及第二開口部的內部並具有與第一導電層接觸的區域及與第二導電層接觸的區域，第四絕緣層設置在第一開口部的內部及第二開口部的內部的半導體層與第三導電層之間，第三導電層以填充第一開口部及第二開口部的方式設置，第三絕緣層設置在第二絕緣層、半導體層、第四絕緣層以及第三導電層上並包括到達第三導電層的第三開口部，佈線具有在第三開口部的內部與第三導電層接觸的區域並具有隔著第三絕緣層與

半導體層重疊的區域。

【0018】另外，在上述實施方式中，半導體層也可以具有與第二導電層的頂面接觸的區域。

【0019】另外，在上述實施方式中，第二絕緣層的頂面的高度、半導體層的頂面的高度、第四絕緣層的頂面的高度以及第三導電層的頂面的高度也可以彼此一致或大致一致。

【0020】另外，在上述實施方式中，半導體層也可以包含金屬氧化物。金屬氧化物也可以包含選自In、元素M和Zn中的兩個或三個，並且元素M也可以為選自Al、Ga、Sn、Y、Ti、V、Cr、Mn、Fe、Co、Ni、Zr、Mo、Hf、Ta、W、La、Ce、Nd、Mg、Ca、Sr、Ba、B、Si、Ge和Sb中的一種或多種。

【0021】另外，本發明的一個實施方式是一種半導體裝置的製造方法，包括如下步驟：形成第一絕緣層；在第一絕緣層上形成第一導電層；在第一導電層上形成第二絕緣層；在第二絕緣層、第一導電層以及第一絕緣層中形成第一開口部；在第一開口部的內部形成具有與第一導電層接觸的區域的半導體層、半導體層上的第三絕緣層以及第三絕緣層上的第二導電層；在第二絕緣層、半導體層、第三絕緣層以及第二導電層上形成第四絕緣層；在第四絕緣層中形成到達第二導電層的第二開口部；以及以具有在第二開口部的內部與第二導電層接觸的區域的方式且以具有隔著第四絕緣層與半導體層重疊的區域的方式形成佈線。

【0022】另外，在上述實施方式中，也可以還包括如下步驟：在形成第一開口部之後，以具有位於第一開口部的內部的區域及與第二絕緣層重疊的區域的方式形成半導體膜、半導體膜上的絕緣膜以及絕緣膜上的導電膜；以及藉由對導電膜、絕緣膜以及半導體膜進行平坦化處理而使第二絕緣層的頂面露出，形成半導體層、第三絕緣層以及第二導電層。

【0023】根據本發明的一個實施方式可以提供一種微型化的半導體裝置。根據本發明的一個實施方式可以提供一種寄生電容得到降低的半導體裝置。根據本發明的一個實施方式可以提供一種以高速工作的半導體裝置。根據本發明的一個實施方式可以提供一種可靠性高的半導體裝置。根據本發明的一個實施方式可以提供一種呈現良好的電特性的半導體裝置。

【0024】根據本發明的一個實施方式可以提供一種微型化的半導體裝置的製造方法。根據本發明的一個實施方式可以提供一種寄生電容得到降低的半導體裝置的製造方法。根據本發明的一個實施方式可以提供一種以高速工作的半導體裝置的製造方法。根據本發明的一個實施方式可以提供一種可靠性高的半導體裝置的製造方法。根據本發明的一個實施方式可以提供一種良率高的半導體裝置的製造方法。根據本發明的一個實施方式可以提供一種呈現良好的電特性的半導體裝置的製造方法。

【0025】根據本發明的一個實施方式可以提供一種具

有新穎結構的半導體裝置、記憶體裝置、顯示裝置或者電子裝置。根據本發明的一個實施方式可以提供一種具有新穎結構的半導體裝置的製造方法、記憶體裝置的製造方法、顯示裝置的製造方法或者電子裝置的製造方法。根據本發明的一個實施方式可以至少減輕先行技術的問題中的至少一個。

【0026】注意，這些效果的記載並不妨礙其他效果的存在。本發明的一個實施方式不一定需要具有所有上述效果。另外，可以從說明書、圖式、申請專利範圍等的記載衍生上述以外的效果。

【圖式簡單說明】

【0027】

[圖1A]及[圖1B]是示出半導體裝置的結構例子的立體圖。

[圖2A]是示出半導體裝置的結構例子的平面圖。[圖2B]及[圖2C]是示出半導體裝置的結構例子的剖面圖。

[圖3A]及[圖3B]是示出半導體裝置的結構例子的剖面圖。

[圖4A]是示出半導體裝置的結構例子的剖面圖。[圖4B]是示出半導體裝置的結構例子的平面圖。

[圖5A]是示出半導體裝置的結構例子的平面圖。[圖5B]及[圖5C]是示出半導體裝置的結構例子的剖面圖。

[圖6A]是示出半導體裝置的結構例子的平面圖。[圖

6B]及[圖6C]是示出半導體裝置的結構例子的剖面圖。

[圖7A]是示出半導體裝置的結構例子的平面圖。[圖7B]及[圖7C]是示出半導體裝置的結構例子的剖面圖。

[圖8A]是示出半導體裝置的結構例子的平面圖。[圖8B]及[圖8C]是示出半導體裝置的結構例子的剖面圖。

[圖9A]是示出半導體裝置的結構例子的平面圖。[圖9B]及[圖9C]是示出半導體裝置的結構例子的剖面圖。

[圖10A]至[圖10C]是示出半導體裝置的結構例子的剖面圖。

[圖11A]至[圖11C]是示出半導體裝置的結構例子的平面圖。

[圖12A]是示出半導體裝置的結構例子的平面圖。[圖12B]及[圖12C]是示出半導體裝置的結構例子的剖面圖。

[圖13A]至[圖13D]是示出半導體裝置的製造方法例子的剖面圖。

[圖14A]及[圖14B]是示出半導體裝置的製造方法例子的剖面圖。

[圖15A]及[圖15B]是示出半導體裝置的製造方法例子的剖面圖。

[圖16A]及[圖16B]是示出半導體裝置的製造方法例子的剖面圖。

[圖17A]及[圖17B]是示出半導體裝置的製造方法例子的剖面圖。

[圖18A]及[圖18B]是示出半導體裝置的製造方法例子

的剖面圖。

[圖19A]及[圖19B]是示出半導體裝置的製造方法例子的剖面圖。

[圖20]是示出記憶體裝置的結構例子的電路圖。

[圖21A1]及[圖21A2]是示出記憶體裝置的結構例子的平面圖。[圖21B]及[圖21C]是示出記憶體裝置的結構例子的剖面圖。

[圖22A]是示出記憶體裝置的結構例子的平面圖。[圖22B]及[圖22C]是示出記憶體裝置的結構例子的剖面圖。

[圖23A]是示出記憶體裝置的結構例子的平面圖。[圖23B]是示出記憶體裝置的結構例子的剖面圖。

[圖24A]是示出記憶體裝置的結構例子的平面圖。[圖24B]是示出記憶體裝置的結構例子的剖面圖。

[圖25A]是示出記憶體裝置的結構例子的平面圖。[圖25B]是示出記憶體裝置的結構例子的剖面圖。

[圖26]是示出記憶體裝置的結構例子的剖面圖。

[圖27]是示出記憶體裝置的結構例子的方塊圖。

[圖28A]是示出記憶體裝置的結構例子的立體圖。[圖28B]是示出記憶體裝置的結構例子的立體圖及電路圖。

[圖29A]是示出記憶體裝置的結構例子的電路圖。[圖29B]是示出記憶體裝置的結構例子的方塊圖。[圖29C]是示出記憶體裝置的結構例子的電路圖。[圖29D]是示出記憶體裝置的結構例子的方塊圖。

[圖30]是示出記憶體裝置的結構例子的方塊圖。

[圖31A]及[圖31B]是示出顯示裝置的結構例子的立體圖。

[圖32]是示出顯示裝置的結構例子的剖面圖。

[圖33]是示出顯示裝置的結構例子的剖面圖。

[圖34]是示出顯示裝置的結構例子的剖面圖。

[圖35A]是示出顯示裝置的結構例子的平面圖。[圖35B]及[圖35C]是示出顯示裝置的結構例子的剖面圖。

[圖36A]及[圖36B]是示出顯示裝置的結構例子的剖面圖。

[圖37A]至[圖37D]是示出電子裝置的一個例子的圖。

[圖38A]至[圖38F]是示出電子裝置的一個例子的圖。

[圖39A]至[圖39G]是示出電子裝置的一個例子的圖。

[圖40A]及[圖40B]是示出電子構件的一個例子的圖。

[圖41A]至[圖41C]是示出大型電腦的一個例子的圖。

[圖42A]是示出太空設備的一個例子的圖。[圖42B]是示出資料中心的一個例子的圖。

【實施方式】

【0028】以下，參照圖式對實施方式進行說明。但是，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。

【0029】注意，在以下說明的發明的結構中，在不同的圖式之間共同使用相同的符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加符號。

【0030】注意，在本說明書所說明的各圖式中，有時為了容易理解，誇大表示各組件的大小、層的厚度或區域。因此，本發明並不侷限於圖式中的尺寸。

【0031】注意，在本說明書等中使用的“第一”、“第二”等序數詞是為了避免組件的混淆而附記的，而不是為了在數目方面上進行限定的。

【0032】電晶體是半導體元件的一種，並且可以實現放大電流或電壓的功能、控制導通或非導通的切換工作等。本說明書中的電晶體包括IGFET(Insulated Gate Field Effect Transistor：絕緣閘場效電晶體)和薄膜電晶體(TFT：Thin Film Transistor)。

【0033】此外，在採用不同極性的電晶體的情況或者電路工作中的電流方向變化的情況等下，“源極”和“汲極”的功能有時相互調換。因此，在本說明書中，“源極”和“汲極”可以相互調換而使用。

【0034】在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”連接的情況。在此，“具有某種電作用的元件”只要可以進行連接對象間的電信號的授收，就對其沒有特別的限制。例如，“具有某種電作用的元件”除了

電極或佈線以外還包括電晶體等切換元件、電阻器、線圈、電容器、其他具有各種功能的元件等。

【0035】另外，在本說明書等中，組件的頂面形狀是指在平面視時的該組件的輪廓形狀。另外，平面視是指從該組件的被形成面或形成有該組件的支撐體(例如基板)的表面的法線方向看的情況。

【0036】注意，在本說明書等中，“頂面形狀大致一致”是指疊層中的每一個層的輪廓的至少一部分重疊的情況。例如，包括上層及下層藉由同一的遮罩圖案被加工的情況或其一部分藉由同一的遮罩圖案被加工的情況。但是，嚴格地說，有時輪廓不重疊而上層位於下層的內側或者上層位於下層的外側，這種情況也可以說“頂面形狀大致一致”。

【0037】注意，以下，“上”及“下”等表示方向的表現基本上按照圖式的方向而使用。但是，為了簡化起見，說明書中的“上”或“下”表示的方向有時與圖式不一致。例如，當說明疊層體等的疊層順序(或者形成順序)時，即使圖式中的設置該疊層體一側的面(被形成面、支撐面、黏合面或平坦面等)位於該疊層體的上側，有時也將該方向記載為下，或者將與此相反的方向記載為上等。

【0038】在本說明書等中，有時“膜”和“層”可以相互調換。例如，有時可以將“導電層”或“絕緣層”分別調換為“導電膜”或“絕緣膜”。

【0039】

實施方式1

在本實施方式中，對本發明的一個實施方式的半導體裝置的結構例子及製造方法例子進行說明。

【0040】在本說明書等中，記憶體裝置及顯示裝置是半導體裝置的一個實施方式。另外，在本說明書等中，包括具有半導體元件的電路的所有裝置、利用半導體特性而工作的所有裝置以及包含半導體材料的所有裝置可以說是半導體裝置。例如，運算裝置及攝像裝置可以是半導體裝置的一個實施方式。

【0041】在本發明的一個實施方式的半導體裝置所包括的電晶體(也稱為本發明的一個實施方式的電晶體)中，源極電極及汲極電極位於不同的高度，流過半導體層的電流在高度方向上流過。換言之，可以說通道長度方向具有高度方向(縱方向)的成分，本發明的一個實施方式的電晶體也可以被稱為縱向電晶體或縱向通道電晶體等。

【0042】更明確而言，作為電晶體的源極電極和汲極電極中的一個的下部電極與作為另一個的上部電極之間設置有用作第一間隔物的絕緣層，上部電極上設置有用作第二間隔物的絕緣層。注意，在下面的說明中，有時將用作間隔物的絕緣層簡單地稱為間隔物，但是也可以將間隔物換稱為絕緣層。

【0043】在第一間隔物、上部電極以及第二間隔物中設置有到達下部電極的第一開口部。並且，在第一開口部的內部以連接下部電極與上部電極的方式設置有形成通道

的半導體層。在第一開口部的內部以與半導體層重疊的方式設置有閘極絕緣層及閘極電極。由於可以以重疊的方式設置源極電極、半導體層以及汲極電極，所以與半導體層配置在平面上的所謂的平面型電晶體相比可以大幅度地縮小佔有面積。

【0044】第二間隔物、半導體層、閘極絕緣層以及閘極電極被平坦化，由此它們的頂面的高度可以彼此一致或大致一致。並且，第二間隔物、半導體層、閘極絕緣層以及閘極電極上設置有層間絕緣層。層間絕緣層中設置有到達閘極電極的第二開口部。閘極電極具有在第二開口部的內部與設置在層間絕緣層上的佈線接觸的區域。

【0045】注意，在本說明書等中，“高度一致或大致一致”是指在從剖面看時距作為基準的面(例如，基板表面等的平坦的面)的高度相等的結構。例如，在記憶體裝置的製造程序中，藉由進行CMP(Chemical Mechanical Polishing：化學機械拋光)處理等的平坦化處理，有時一個或多個層的表面露出。在此情況下，CMP處理的被處理面距作為基準的面的高度相等。但是，根據進行CMP處理時的處理裝置、處理方法或者被處理面的材料等，有時多個層的高度不同。在本說明書等中，“高度一致或大致一致”也包括上述情況。例如，在包括對基準面具有兩個高度的層(在此稱為第一層及第二層)時，第一層的頂面的高度與第二層的頂面的高度之差為20nm以下的情況也可以說“高度一致或大致一致”。

【0046】在此，電晶體的通道長度可以根據用作第一間隔物的絕緣層的厚度精密地控制，與平面型電晶體相比，可以使通道長度的不均勻極小。並且，藉由減薄該絕緣層，可以製造通道長度極小的電晶體。例如，可以製造通道長度為2μm以下、1μm以下、500nm以下、300nm以下、200nm以下、100nm以下、50nm以下、30nm以下或者20nm以下且為5nm以上、7nm以上或者10nm以上的電晶體。由此，可以實現用於量產的曝光裝置無法實現的通道長度極小的電晶體。另外，可以實現通道長度小於10nm的電晶體而不使用用於最先進的LSI技術的非常昂貴的曝光裝置。

【0047】本發明的一個實施方式的電晶體可以實現如下效果：使通道長度極小；縮小佔有面積；使大電流流過；降低寄生電容；以高速工作。

【0048】以下，參照圖式說明更具體的例子。

【0049】

[結構例子]

圖1A及圖1B分別示出本發明的一個實施方式的半導體裝置的立體示意圖。圖1B是切掉了圖1A的一部分時的立體圖。另外，在圖1A及圖1B中，部分組件(層間絕緣層等)以虛線只示出其輪廓。

【0050】在圖1A及圖1B中以箭頭示出X方向、Y方向以及Z方向。注意，圖1A及圖1B共同使用相同的X、Y以及Z的符號，但是它們之間的方向並不需要一致。

【0051】另外，圖2A示出本發明的一個實施方式的半導體裝置的平面結構例子，圖2B及圖2C分別示出圖2A中的截斷線A1-A2及截斷線B1-B2的剖面結構例子。注意，在圖2A中，省略部分組件(例如絕緣層)。與圖2A同樣，在示出平面結構例子的之後的圖式中也省略部分組件。

【0052】本發明的一個實施方式的半導體裝置包括電晶體10、絕緣層11、絕緣層41、絕緣層42、絕緣層44、絕緣層45、絕緣層46、絕緣層49以及導電層33。電晶體10設置在基板(未圖示)上的絕緣層11上。絕緣層11被用作層間絕緣層。

【0053】電晶體10包括用作源極電極和汲極電極中的一個的導電層31、用作源極電極和汲極電極中的另一個的導電層32、半導體層21、用作閘極絕緣層的絕緣層22以及用作閘極電極的導電層23。導電層31及導電層32也被用作佈線。

【0054】導電層31及絕緣層44設置在絕緣層11上。絕緣層41設置在導電層31及絕緣層44上。導電層32及絕緣層45設置在絕緣層41上。絕緣層41及導電層32包括到達導電層31的開口部20a。

【0055】絕緣層42設置在導電層32及絕緣層45上。絕緣層42包括到達導電層32且具有與開口部20a重疊的區域的開口部20b。在此，開口部20b的徑可以大於開口部20a的徑。在此情況下，開口部20a整體可以與開口部20b重疊。另外，由於開口部20b具有與開口部20a重疊的區域，

所以可以將開口部20a及開口部20b看作一個開口部20。

【0056】絕緣層41被用作第一間隔物，絕緣層42被用作第二間隔物。此外，絕緣層42也可以被用作第一間隔物，絕緣層41也可以被用作第二間隔物。另外，絕緣層41及絕緣層42可以被用作層間絕緣層。

【0057】半導體層21位於開口部20的內部。半導體層21以沿著開口部20的側壁的方式設置。半導體層21具有在開口部20a的內部與導電層31接觸的區域。此外，半導體層21具有在開口部20a的內部與導電層32的側面接觸的區域和在開口部20b的內部與導電層32的頂面接觸的區域中的一者或兩者。並且，半導體層21既可以具有在開口部20a的內部與絕緣層41的側面接觸的區域，又可以具有在開口部20b的內部與絕緣層42的側面接觸的區域。

【0058】開口部20b也可以不僅到達導電層32而且可以到達絕緣層45。在此情況下，絕緣層45較佳為使用能夠提高與絕緣層42的蝕刻速度的選擇比的絕緣材料。明確而言，絕緣層45較佳為使用其組成或密度與絕緣層42不同的絕緣膜。由此，可以抑制在加工絕緣層42時絕緣層45非意圖地被加工。此外，用作在絕緣層42中形成開口部20b時的蝕刻停止層的絕緣層也可以設置在絕緣層45與絕緣層42之間。在此情況下，可以將組成或密度相同的絕緣膜用於絕緣層45及絕緣層42，由此可以擴大絕緣層45及絕緣層42的材料選擇範圍。另外，該用作蝕刻停止層的絕緣層例如可以包括在絕緣層45中。在此情況下，可以將絕緣層45的

最上部設為用作蝕刻停止層的絕緣層。

【0059】絕緣層22位於開口部20的內部，並以沿著半導體層21的形狀的方式設置。絕緣層22可以具有在開口部20的內部與半導體層21接觸的區域。

【0060】導電層23以填充開口部20的方式設置在絕緣層22上。由此，絕緣層22設置在開口部20的內部的半導體層21與導電層23之間。

【0061】絕緣層42、半導體層21、絕緣層22以及導電層23的各頂面被平坦化，由此可以使各頂面的高度一致或大致一致。明確而言，可以使絕緣層42的頂面、半導體層21的最頂面、絕緣層22的最頂面以及導電層23的頂面的高度一致或大致一致。

【0062】絕緣層42、半導體層21、絕緣層22以及導電層23上設置有絕緣層46，絕緣層46上設置有絕緣層49。絕緣層46及絕緣層49被用作層間絕緣層。

【0063】絕緣層46包括到達導電層23的開口部26。絕緣層49包括到達絕緣層46且具有與開口部26重疊的區域的開口部29。在此，由於開口部29具有與開口部26重疊的區域，也可以將開口部26及開口部29看作一個開口部。

【0064】開口部26例如可以藉由利用蝕刻法對絕緣層46進行加工來形成。另外，開口部29例如可以藉由利用蝕刻法對絕緣層49進行加工來形成。在此情況下，絕緣層49可以使用能夠提高與絕緣層46的蝕刻速度的選擇比的絕緣材料。由此，可以防止如下情況：在加工絕緣層49時絕緣

層46非意圖地被加工，並且例如半導體層21的頂面露出而與導電層33接觸。因此，可以實現可靠性高的半導體裝置。

【0065】絕緣層49使用其組成或密度至少與絕緣層46不同的絕緣膜。另外，絕緣層46及絕緣層49也可以包含相同的構成元素。

【0066】在此，用作在絕緣層49中形成開口部29時的蝕刻停止層的絕緣層也可以設置在絕緣層46與絕緣層49之間。在此情況下，絕緣層46及絕緣層49可以使用組成及密度相同的絕緣膜，由此可以擴大絕緣層46及絕緣層49的材料選擇範圍。另外，該用作蝕刻停止層的絕緣層例如可以包括在絕緣層46中。在此情況下，可以將絕緣層46的最上部設為用作蝕刻停止層的絕緣層。

【0067】導電層33被用作佈線，明確地說被用作電晶體10的閘極電極的引線配線(也稱為閘極佈線)。導電層33以填充開口部26及開口部29的方式設置。導電層33可以具有在開口部26的內部與導電層23接觸的區域。在此，在導電層23頂面的面積大時，例如可以防止開口部26到達半導體層21而導電層33與半導體層21接觸。明確而言，在使開口部20b的徑大於開口部20a的徑時，例如可以在抑制因導電層32的寬度(圖2A中的Y方向上的不包括開口部20a的區域的長度)變大而電晶體10的佔有面積增大的同時增大導電層23頂面的面積。如上所述，可以在使半導體裝置所包括的電晶體微型化的同時實現可靠性高的半導體裝置。

【0068】導電層33具有位於絕緣層46上的區域。在該區域中，導電層33具有隔著絕緣層46分別與絕緣層42、半導體層21、絕緣層22以及導電層23重疊的區域。明確而言，導電層33具有隔著絕緣層46分別與絕緣層42的頂面、半導體層21的最頂面、絕緣層22的最頂面以及導電層23的頂面重疊的區域。導電層33的頂面的高度與絕緣層49的頂面的高度一致或大致一致。

【0069】在此，導電層31嵌入在絕緣層44中，導電層32嵌入在絕緣層45中。並且，它們的頂面被平坦化，由此導電層與絕緣層的頂面的高度大致一致。藉由採用這種結構，可以去除步階的影響，所以是較佳的。絕緣層44及絕緣層45被用作層間絕緣層。絕緣層11、絕緣層42、絕緣層44、絕緣層45、絕緣層46及絕緣層49等用作層間絕緣層的絕緣層較佳為使用例如氧化矽或氧氮化矽等介電常數低的無機絕緣材料。另外，關於可用於絕緣層41的材料將在後面說明。

【0070】在本說明書等中，氧氮化物是指含氧量多於含氮量的材料。此外，氮氧化物是指含氮量多於含氧量的材料。

【0071】在此，如上所述，在絕緣層46的組成與絕緣層49的組成不同的情況下，例如可以將包含氧的絕緣材料用於絕緣層46且將包含氮的絕緣材料用於絕緣層49。例如，可以將氧化矽用於絕緣層46且將氮化矽用於絕緣層49。此外，例如也可以將包含氮的絕緣材料用於絕緣層46

且將包含氧的絕緣材料用於絕緣層49。

【0072】在具有上述那樣的結構的電晶體10中，源極電極及汲極電極位於不同的高度，所以流過半導體的電流在高度方向上流過。換言之，可以說通道長度方向具有高度方向(縱方向)的成分，因此本發明的一個實施方式的電晶體也可以稱為VFET(Vertical Field Effect Transistor：縱向場效應電晶體)、縱向電晶體或縱向通道電晶體等。電晶體10可以以彼此重疊的方式設置源極電極、半導體及汲極電極，因此與半導體配置在平面上的所謂的平面型電晶體(也可以稱為橫向電晶體或LFET(Lateral FET)等)相比可以大幅度地縮小佔有面積。

【0073】另外，電晶體10的通道長度可以根據絕緣層41的厚度精密地控制，因此與平面型電晶體相比，可以使多個電晶體10之間的通道長度的不均勻極小。並且，藉由減薄絕緣層41，可以製造通道長度極小的電晶體。例如，可以製造通道長度為50nm以下、30nm以下或者20nm以下且為5nm以上、7nm以上或者10nm以上的電晶體。由此，即使在使用習知的用於量產的曝光裝置的情況下，也可以實現通道長度小於10nm的電晶體，而無需使用用於最先進的LSI技術的非常昂貴的曝光裝置。

【0074】半導體層21可以使用各種半導體材料，但是尤其較佳為使用包含金屬氧化物的氧化物半導體。藉由使用適當的條件下形成的氧化物半導體，可以以低成本實現兼具有高通態電流和極低的關態電流的電晶體。以下，在

沒有特別的說明的情況下，說明半導體層21使用氧化物半導體的情況的適當的結構例子。

【0075】導電層31及導電層32的各頂面可以與半導體層21接觸。由此，在半導體層21使用氧化物半導體的情況下，有如下擔憂：將成為半導體層21的半導體膜的沉積製程或者此後的加熱的影響等導致導電層31及導電層32的露出的表面附近被氧化，在與半導體層21之間形成絕緣氧化物膜而接觸電阻增大。因此，導電層31及導電層32的至少最上部較佳為使用包含導電氧化物的氧化物導電體。如此，可以防止導電層31及導電層32的表面被氧化所導致的接觸電阻的上升。

【0076】導電層31可以被用作源極佈線和汲極佈線中的一個。另外，導電層32可以被用作源極佈線和汲極佈線中的另一個。如此，在導電層31和導電層32中的一者或兩者被用作佈線的情況下，電阻較佳為低。由此，較佳為使用金屬、合金或它們的氮化物等其導電性比氧化物導電體高的材料。尤其較佳的是，導電層31和導電層32中的一者或兩者為包括該導電性高的材料的層的疊層結構，至少其最上部使用上述氧化物導電體。

【0077】在此，電晶體10設置在用作閘極佈線的導電層33與用作源極佈線或汲極佈線的導電層32的交叉部。由此，在導電層33與導電層32的交叉部的它們重疊的區域中產生寄生電容。但是，在本發明的一個實施方式中，導電層33與導電層32之間設置有絕緣層42及絕緣層46，因此與

不設置絕緣層42及絕緣層46的情況(例如，具有導電層33與導電層32只隔著絕緣層22重疊的區域的情況)相比，寄生電容大幅度地降低。因此，可以實現以高速工作的半導體裝置。

【0078】藉由增大絕緣層42的厚度及絕緣層46的厚度，可以適當地降低導電層33與導電層32之間的寄生電容。例如，可以使絕緣層42的厚度與絕緣層46的厚度的總計大於絕緣層22的厚度。另外，絕緣層42與絕緣層46的厚度的總計較佳為大於絕緣層44的厚度、絕緣層45的厚度和絕緣層49的厚度中的至少一個。絕緣層42及絕緣層46的厚度越大，越可以降低導電層33與導電層32的寄生電容，所以是較佳的，但是設定考慮產生率的厚度即可。絕緣層42的厚度與絕緣層46的厚度的總計例如可以為絕緣層41的厚度的兩倍以下或三倍以下。

【0079】圖3A及圖3B分別是示出圖2B及圖2C所示的半導體裝置所包括的導電層32與絕緣層42之間設置有絕緣層43的例子的剖面圖。圖3A及圖3B所示的半導體裝置的平面結構可以參照圖2A。

【0080】在圖3A及圖3B所示的半導體裝置中，絕緣層43包括開口部20a。另外，絕緣層42包括到達絕緣層43且具有與開口部20a重疊的區域的開口部20b。

【0081】在圖3A及圖3B所示的半導體裝置中，半導體層21具有在開口部20a的內部與導電層32的側面接觸的區域。此外，半導體層21既可以具有在開口部20a的內部

與絕緣層43的側面接觸的區域，又可以具有在開口部20b的內部與絕緣層43的頂面接觸的區域。

【0082】在圖3A及圖3B所示的半導體裝置中，在導電層32的頂面與導電層23重疊的區域中的導電層32與導電層23之間，除了半導體層21及絕緣層22以外，還設置有絕緣層43。由此，與圖2B及圖2C所示的半導體裝置相比，可以進一步降低導電層32的頂面與導電層23重疊的區域中的寄生電容。另一方面，在圖2B及圖2C所示的半導體裝置中，半導體層21具有不但與導電層32的側面接觸而且與導電層32的頂面接觸的區域。由此，與圖3A及圖3B所示的半導體裝置相比，導電層32與半導體層21可以獲得良好的接觸。

【0083】絕緣層43所包括的開口部20a例如可以藉由利用蝕刻法對絕緣層43進行加工來形成。另外，絕緣層42所包括的開口部20b例如可以藉由利用蝕刻法對絕緣層42進行加工來形成。在此情況下，絕緣層43可以使用能夠提高與絕緣層42的蝕刻速度的選擇比的絕緣材料。絕緣層43使用其組成或密度至少與絕緣層42不同的絕緣膜。注意，絕緣層42與絕緣層43也可以包含相同的構成元素。例如，絕緣層42可以使用與可用於絕緣層49的材料相同的材料，絕緣層43可以使用與可用於絕緣層46的材料相同的材料。另外，絕緣層42可以使用與可用於絕緣層46的材料相同的材料，絕緣層43可以使用與可用於絕緣層49的材料相同的材料。

【0084】在此，用作在絕緣層42中形成開口部20b時的蝕刻停止層的絕緣層也可以設置在絕緣層43與絕緣層42之間。在此情況下，絕緣層43與絕緣層42可以使用組成及密度相同的絕緣膜，由此可以擴大絕緣層43及絕緣層42的材料選擇範圍。注意，該用作蝕刻停止層的絕緣層例如也可以包括在絕緣層43中。在此情況下，可以將絕緣層43的最上部設為用作蝕刻停止層的絕緣層。

【0085】在圖2B、圖2C、圖3A及圖3B所示的例子中，作為絕緣層41，使用絕緣層41a、絕緣層41b以及絕緣層41c的疊層膜。此外，圖4A是圖2B的放大圖。

【0086】半導體層21可以以具有與絕緣層41b的開口部20a中的側面接觸的區域的方式設置。絕緣層41b較佳為使用氧化物絕緣膜。尤其是，較佳為使用藉由加熱釋放氧的氧化物絕緣膜。此外，較佳為採用由具有氧阻擋性的絕緣層41a及絕緣層41c夾持絕緣層41b的結構。由此，可以將絕緣層41b中的氧封閉在由絕緣層41a、絕緣層41c及半導體層21包圍的區域中，可以抑制在製程中絕緣層41b中的氧脫離而減少，因此可以更高效地對半導體層21供應氧。

【0087】半導體層21中的與絕緣層41b接觸的區域是氧空位得到減少的區域，由此可以說是i型區域。另一方面，不與絕緣層41b接觸的區域較佳為具有大量載子的n型區域。也就是說，可以將半導體層21的與絕緣層41b接觸的區域稱為通道形成區域且將其外側的區域稱為低電阻區

域(也稱為源極區域或汲極區域)。在圖4A中，對半導體層21的通道形成區域21i及低電阻區域21n附上不同的陰影線來表示。

【0088】此時，如圖4A所示，電晶體10的通道長度L可以說是在連接半導體層21的接觸於導電層31的區域與接觸於導電層32的區域時的最短距離的路徑上且接觸於絕緣層41b的區域的長度。當絕緣層41b的開口部20a的側壁的角度(θ)為90度時，通道長度L與絕緣層41b的厚度一致。藉由增大θ，可以增大通道長度L。

【0089】另一方面，電晶體10的通道寬度W依賴於開口部20a的形狀。圖4B是從Z方向看沿著圖4A中的設置有絕緣層41b的高度的截斷線C1-C2截斷的截斷面時的平面圖。在此示出開口部20a具有圓筒狀的形狀的情況。當開口部20a的輪廓為直徑R的圓時，可以將通道寬度W看作開口部20a的圓周(亦即，π×R)。在此，在絕緣層41b的開口部20a的側壁的角度θ從90度錯開時，根據高度開口部20a的圓周不同。在此情況下，既可以將開口部20a的徑最小時的高度的圓周看作通道寬度W，又可以將開口部20a的上端的高度的圓周看作通道寬度W。注意，在本說明書等中，圓形不侷限於正圓。

【0090】半導體層21及絕緣層22以沿著絕緣層41b的開口部20a中的側面的方式形成，因此根據沉積方法有時該區域的厚度減薄。例如，在利用濺射法或電漿增強化學氣相沉積(PECVD：Plasma Enhanced Chemical Vapor Deposition)

法等沉積方法時，有沉積在傾斜於或垂直於基板面的面的膜比沉積在平行於基板面的面的膜薄的傾向。另一方面，在利用原子層沉積(ALD：Atomic Layer Deposition)法或熱CVD(TCVD：Thermal CVD)法等沉積方法時，無論被形成面的角度如何都可以沉積厚度均勻的膜。例如，在絕緣層41b的開口部20a中的側面的角度θ為75度以上、80度以上或85度以上的情況下，較佳為利用ALD法而形成半導體層21及絕緣層22。

【0091】

[關於組件]

<基板>

作為形成電晶體的基板，例如可以使用絕緣體基板、半導體基板、或導電體基板。作為絕緣體基板，例如，玻璃基板、石英基板、藍寶石基板、穩定氧化鋯基板(例如為釔安定氧化鋯基板)以及樹脂基板等。另外，作為半導體基板，例如可以舉出以矽或鍺為材料的半導體基板或者由碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅、氧化鎵構成的化合物半導體基板等。並且，例如可以舉出SOI(Silicon On Insulator：絕緣層上覆矽)基板等的上述半導體基板內部具有絕緣體區域的半導體基板。作為導電體基板，可以舉出石墨基板、金屬基板、合金基板以及導電樹脂基板等。此外，也可以使用包含金屬的氮化物的基板、包含金屬的氧化物的基板等。並且，有絕緣體基板設置有導電層或半導體層的基板、半導體基板設置有導電層或絕緣層的

基板、導電體基板設置有半導體層或絕緣層的基板等。或者，也可以使用設置有元件的上述基板。作為設置在基板的元件，可以舉出電容器、電阻器、切換元件、發光元件(也稱為發光器件)以及記憶元件(也稱為記憶體器件)等。

【0092】

<半導體層>

半導體層21較佳為包含金屬氧化物(氧化物半導體)。

【0093】作為可用於半導體層21的金屬氧化物，例如可以舉出In氧化物、Ga氧化物及Zn氧化物。金屬氧化物較佳為至少包含In或Zn。此外，金屬氧化物較佳為包含選自In、元素M和Zn中的兩個或三個。注意，元素M為與氧的鍵能高的金屬元素或半金屬元素，例如為與氧的鍵能比In高的金屬元素或半金屬元素。作為元素M，具體地可以舉出Al、Ga、Sn、Y、Ti、V、Cr、Mn、Fe、Co、Ni、Zr、Mo、Hf、Ta、W、La、Ce、Nd、Mg、Ca、Sr、Ba、B、Si、Ge及Sb等。金屬氧化物所包含的元素M較佳為上述元素中的任一種或多種，尤其較佳為選自Al、Ga、Y和Sn中的一種或多種，更佳為Ga。注意，以下有時將包含In、元素M及Zn的金屬氧化物稱為In-M-Zn氧化物。注意，在本說明書等中，有時將金屬元素與半金屬元素統稱為“金屬元素”，本說明書等所記載的“金屬元素”有時包括半金屬元素。

【0094】在金屬氧化物使用In-M-Zn氧化物時，該In-M-Zn氧化物中的In的原子數比較佳為M的原子數比以上。

例如，作為這種In-M-Zn氧化物的金屬元素的原子數比，可以舉出In：M：Zn=1：1：1、In：M：Zn=1：1：1.2、In：M：Zn=2：1：3、In：M：Zn=3：1：2、In：M：Zn=4：2：3、In：M：Zn=4：2：4.1、In：M：Zn=5：1：3、In：M：Zn=5：1：6、In：M：Zn=5：1：7、In：M：Zn=5：1：8、In：M：Zn=6：1：6、In：M：Zn=5：2：5或者它們附近的組成等。注意，附近的組成包括所希望的原子數比的±30%的範圍。藉由增大金屬氧化物中的In的原子數比，可以提高電晶體的通態電流(on-state current)或場效移動率等。

【0095】In-M-Zn氧化物中的In的原子數比也可以小於元素M的原子數比。例如，作為這種In-M-Zn氧化物的金屬元素的原子數比，可以舉出In：M：Zn=1：3：2、In：M：Zn=1：3：3、In：M：Zn=1：3：4或者它們附近的組成等。藉由增大金屬氧化物中的M的原子數比，可以抑制氧空位的生成。

【0096】半導體層21例如可以使用In-Zn氧化物、In-Ga氧化物、In-Sn氧化物、In-Ti氧化物、In-Ga-Al氧化物、In-Ga-Sn氧化物、In-Ga-Zn氧化物、In-Sn-Zn氧化物、In-Al-Zn氧化物、In-Ti-Zn氧化物、In-Ga-Sn-Zn氧化物或In-Ga-Al-Zn氧化物等。另外，也可以使用Ga-Zn氧化物。

【0097】另外，金屬氧化物也可以代替In或除了In以外還包含一種或多種週期數大的金屬元素。有金屬元素的

軌域的重疊越大金屬氧化物中的載子傳導越大的趨勢。因此，在包含週期數大的金屬元素時有時可以提高電晶體的場效移動率。作為週期數大的金屬元素，可以舉出屬於第5週期的金屬元素以及屬於第6週期的金屬元素等。作為該金屬元素，具體地可以舉出Y、Zr、Ag、Cd、Sn、Sb、Ba、Pb、Bi、La、Ce、Pr、Nd、Pm、Sm及Eu等。注意，La、Ce、Pr、Nd、Pm、Sm及Eu被稱為輕稀土元素。

【0098】另外，金屬氧化物也可以包含一種或多種非金屬元素。在金屬氧化物包含非金屬元素時有時可以提高電晶體的場效移動率。作為非金屬元素，例如可以舉出碳、氮、膦、硫、硒、氟、氯、溴及氫等。

【0099】金屬氧化物可以適當地利用濺射法或原子層沉積(ALD：Atomic Layer Deposition)法形成。注意，在利用濺射法形成金屬氧化物的情況下，沉積後的金屬氧化物的組成有時與靶材的組成不同。尤其是，沉積後的金屬氧化物中的鋅的含有率有時減少到靶材中的鋅的含有率的50%左右。

【0100】在本說明書等中，金屬氧化物中的某種金屬元素的含有率是指相對於包含在金屬氧化物中的金屬元素的原子總數的該元素的原子數之比例。例如，在金屬氧化物包含金屬元素X、金屬元素Y、金屬元素Z且包含在該金屬氧化物中的金屬元素X、金屬元素Y、金屬元素Z的各原子數分別為A_X、A_Y、A_Z時，可以將金屬元素X的含有率表示為$A_X/(A_X+A_Y+A_Z)$。另外，當金屬氧化物中的金屬元素

X、金屬元素Y、金屬元素Z的各原子數之比(原子數比)被表示為B_X：B_Y：B_Z時，可以將金屬元素X的含有率表示為$B_X/(B_X+B_Y+B_Z)$。

【0101】例如，在使用包含In的金屬氧化物時，藉由提高In的含有率，可以實現通態電流大的電晶體。

【0102】藉由在半導體層21中使用不包含Ga或Ga含有率低的金屬氧化物，可以實現對於正偏壓施加的可靠性高的電晶體。也就是說，可以實現PBTS(Positive Bias Temperature Stress：正偏壓溫度應力)測試中的臨界電壓的變動量小的電晶體。此外，在使用含Ga的金屬氧化物時，Ga含有率較佳為比In含有率低。由此，可以實現移動率高且可靠性高的電晶體。

【0103】另一方面，藉由提高Ga含有率，可以實現對於光具有高可靠性的電晶體。也就是說，可以實現NBTIS(Negative Bias Temperature Illumination Stress：負偏壓溫度照明應力)測試中的臨界電壓的變動量小的電晶體。明確而言，Ga的原子數比為In的原子數比以上的金屬氧化物的能帶間隙更大，可以減少電晶體的NBTIS測試中的臨界電壓的變動量。

【0104】另外，藉由提高鋅的含有率，成為結晶性高的金屬氧化物，可以抑制金屬氧化物中的雜質擴散。由此，電晶體的電特性的變動得到抑制，而可以提高可靠性。

【0105】半導體層21也可以具有包括兩個以上的金屬

氧化物層的疊層結構。半導體層21所包括的兩個以上的金屬氧化物層的組成也可以彼此相同或大致相同。藉由採用組成相同的金屬氧化物層的疊層結構，例如可以使用相同的濺射靶材形成，因此可以降低製造成本。注意，也可以採用層疊組成不同的兩個以上的氧化物半導體層的疊層結構。另外，藉由利用ALD法，可以形成其組成在膜厚度方向上連續地變化的金屬氧化物層。由此，不僅與使用固定組成的膜的情況相比擴大設計的選擇範圍，而且可以防止產生在不同組成的兩個層之間的介面態的生成，因此可以提高電特性及可靠性。

【0106】在半導體層21具有兩層結構的情況下，較佳為將其移動率高於第一層的材料(導電性高的材料)用於第二層，即更靠近閘極電極一側。由此，可以實現常關閉且通態電流大的電晶體。因此，可以同時實現低功耗及高性能。或者，也可以將其移動率高於第二層的材料用於第一層，即接觸於源極電極及汲極電極一側。由此，可以降低半導體層21與源極電極或汲極電極的接觸電阻而減少寄生電阻，可以實現通態電流大的電晶體。

【0107】另外，在半導體層21具有三層結構的情況下，較佳為將其移動率高於第一層及第三層的材料用於第二層。由此，可以實現通態電流大且可靠性高的電晶體。

【0108】上述的移動率及導電性的差異，例如可以替換為銦的含有率。除此之外，銦以外的有助於導電性的提高的元素的有無或其含量等也影響到移動率及導電性。作

為高移動率的材料的一個例子，例如可以舉出In：Ga：Zn=4：3：2[原子數比]及其附近的材料、In：Zn=1：1[原子數比]及其附近的材料、In：Zn=4：1[原子數比]及其附近的材料、In：Sn：Zn=40：X：10[原子數比](X為0.1以上且5以下，典型為X=1)及其附近的材料等。另一方面，作為與上述材料相比移動率或導電性低的材料，可以舉出In：Ga：Zn=1：3：2[原子數比]及其附近的材料、In：Ga：Zn=1：3：4[原子數比]及其附近的材料、In：Ga：Zn=2：2：1[原子數比]及其附近的材料、In：Ga：Zn=1：1：1[原子數比]及其附近的材料、In：Ga：Zn=1：1：2[原子數比]及其附近的材料等。

【0109】作為半導體層21較佳為使用具有結晶性的金屬氧化物層。例如，可以使用具有CAAC(c-axis aligned crystal)結構、多晶結構或微晶(nc：nano-crystal)結構等的金屬氧化物層。藉由將具有結晶性的金屬氧化物層用於半導體層21，可以降低半導體層21中的缺陷態密度，由此可以實現可靠性高的半導體裝置。

【0110】用於半導體層21的金屬氧化物層的結晶性越高，越可以降低半導體層21中的缺陷態密度。另一方面，藉由使用結晶性低的金屬氧化物層，可以實現能夠流過大電流的電晶體。

【0111】與使用非晶矽的電晶體相比，使用氧化物半導體的電晶體(以下記為OS電晶體)的場效移動率非常高。另外，OS電晶體的關閉狀態下的源極-汲極間的洩漏電流

(以下，也稱為關態電流)極小，可以長期間保持與該電晶體串聯連接的電容器中儲存的電荷。另外，藉由使用OS電晶體，可以降低半導體裝置的功耗。

【0112】本發明的一個實施方式的半導體裝置例如可以應用於顯示裝置。在提高顯示裝置的像素電路所包括的發光器件的發光亮度時，需要增大流過發光器件的電流量。為此，需要提高像素電路所包括的驅動電晶體的源極-汲極間電壓。因為OS電晶體的源極-汲極間的耐壓比使用矽的電晶體(以下記為Si電晶體)高，所以可以對OS電晶體的源極-汲極間施加高電壓。由此，藉由作為像素電路所包括的驅動電晶體使用OS電晶體，可以增大流過發光器件的電流量而提高發光器件的發光亮度。

【0113】當電晶體在飽和區域中工作時，與Si電晶體相比，OS電晶體可以使對於閘極-源極間電壓的變化的源極-汲極間電流的變化細小。因此，藉由作為像素電路所包括的驅動電晶體使用OS電晶體，可以精密地控制流過發光器件的電流量。由此，可以增大像素電路的灰階數。另外，即使發生發光器件的電特性(例如電阻)變動或者電特性不均勻也可以使穩定的電流流過。

【0114】如上所述，藉由作為像素電路所包括的驅動電晶體使用OS電晶體，可以實現“黑色模糊的抑制”、“發光亮度的上升”、“多灰階化”以及“發光器件的特性不均勻的影響的抑制”等。

【0115】OS電晶體的因被照射輻射線而引起的電特

性變動小，即對於輻射線的耐受性高，因此可以在有可能入射輻射線的環境下也適當地使用。OS電晶體也可以說對於輻射線具有高可靠性。例如，可以適當地使用OS電晶體作為X射線的平板探測器的像素電路。此外，OS電晶體可以適當地用於在宇宙空間中使用的半導體裝置。作為輻射線，可以舉出電磁輻射線(例如，X射線及γ射線)及粒子輻射線(例如，α射線、β射線、質子輻射及中子輻射)。

【0116】注意，可用於半導體層21的半導體材料不侷限於氧化物半導體。例如，可以使用由單個元素構成的半導體或者化合物半導體。作為由單個元素構成的半導體，可以舉出矽(包括單晶矽、多晶矽、微晶矽、非晶矽)或鍺等。作為化合物半導體例如可以舉出砷化鎵、矽鍺。作為化合物半導體可以舉出有機半導體、氮化物半導體或氧化物半導體等。注意，這些半導體材料也可以包含雜質作為摻雜物。

【0117】或者，半導體層21也可以具有用作半導體的層狀物質。層狀物質是具有層狀結晶結構的材料群的總稱。層狀結晶結構是由共價鍵或離子鍵形成的層藉由如凡得瓦力那樣的比共價鍵及離子鍵弱的鍵合層疊的結構。層狀物質在單位層中具有高導電性，亦即，具有高二維導電性。藉由將被用作半導體並具有高二維導電性的材料用於通道形成區域，可以實現通態電流大的電晶體。

【0118】作為上述層狀物質，例如可以舉出石墨烯、矽烯、硫族化物等。硫族化物是包含硫族元素(屬於第16

族的元素)的化合物。此外，作為硫族化物，可以舉出過渡金屬硫族化物及第13族硫族化物等。作為能夠用作電晶體的半導體層的過渡金屬硫族化物，具體地可以舉出硫化鉬(典型的是MoS_2)、硒化鉬(典型的是$MoSe_2$)、碲化鉬(典型的是$MoTe_2$)、硫化鎢(典型的是WS_2)、硒化鎢(典型的是WSe_2)、碲化鎢(典型的是WTe_2)、硫化鉿(典型的是HfS_2)、硒化鉿(典型的是$HfSe_2$)、硫化鋯(典型的是ZrS_2)以及硒化鋯(典型的是$ZrSe_2$)等。

【0119】對用於半導體層21的半導體材料的結晶性沒有特別的限制，可以使用非晶半導體、單晶半導體或具有單晶以外的結晶性的半導體(多晶半導體、微晶半導體或其一部分具有結晶區域的半導體)。當使用具有結晶性的半導體時可以抑制電晶體的特性劣化，所以是較佳的。

【0120】

<閘極絕緣層>

絕緣層22被用作電晶體的閘極絕緣層。在將氧化物半導體用於半導體層21時，作為絕緣層22中的至少與半導體層21接觸的膜較佳為使用氧化物絕緣膜。例如，可以使用氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氧化鉿、氧氮化鉿、氧化鎵、氧氮化鎵、氧化釔、氧氮化釔和Ga-Zn氧化物中的一個或多個。除此之外，作為絕緣層22也可以使用氮化矽、氮氧化矽、氮化鋁或氮氧化鋁等氮化物絕緣膜。另外，絕緣層22也可以具有疊層結構，例如也可以具有包括一個以上的氧化物絕緣膜和一個以上的氮化物絕緣膜的

疊層結構。

【0121】

<導電層>

作為導電層31及導電層32，例如較佳為使用氮化鉭、氮化鈦、含有鈦及鋁的氮化物、含有鉭及鋁的氮化物、釕、氧化釕、氮化釕、含有鍶及釕的氧化物、含有鑭及鎳的氧化物等。它們是不易被氧化的導電材料或者即使被氧化也維持導電性的材料，所以是較佳的。

【0122】此外，作為導電層31及導電層32，可以使用氧化銦、氧化鋅、In-Sn氧化物、In-Zn氧化物、In-W氧化物、In-W-Zn氧化物、In-Ti氧化物、In-Ti-Sn氧化物、In-Sn氧化物、In-Sn-Si氧化物或Ga-Zn氧化物等導電氧化物。尤其是，較佳為使用包含銦的導電氧化物，因為其導電性高。

【0123】導電層23被用作閘極電極，並可以使用各種導電材料。作為導電層23，例如較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉿、釩、鈮、錳、鎂、鋯、鈹、銦、釕、銥、鍶和鑭等中的金屬元素以及以該金屬元素為成分的合金。此外，也可以使用上述金屬或合金的氮化物或者上述金屬或合金的氧化物。例如，較佳為使用氮化鉭、氮化鈦、鎢、含有鈦及鋁的氮化物、含有鉭及鋁的氮化物、氧化釕、氮化釕、含有鍶及釕的氧化物或者含有鑭及鎳的氧化物等。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及

鎳矽化物等矽化物。

【0124】此外，也可以將可用於上述導電層31及導電層32的氮化物及氧化物用於導電層23。

【0125】導電層31及導電層32被用作佈線，因此也可以層疊低電阻的導電材料而使用。另外，導電層33的電阻越低越好。作為導電層31、導電層32及導電層33，可以使用與上述導電層23相同的導電材料。

【0126】

<絕緣層>

絕緣層41(或絕緣層41b)具有與半導體層21接觸的區域。在將氧化物半導體用於半導體層21時，為了提高半導體層21與絕緣層41的介面特性，絕緣層41中的至少與半導體層21接觸的區域較佳為使用氧化物。例如，可以適當地使用氧化矽或氧氮化矽。

【0127】此外，絕緣層41更佳為使用藉由加熱釋放氧的膜。由此，可以藉由電晶體10的製程中施加的熱對半導體層21供應氧，可以降低半導體層21中的氧空位，而可以提高可靠性。作為對絕緣層41供應氧的方法，可以舉出氧氛圍下的加熱處理以及氧氛圍下的電漿處理等。另外，也可以藉由利用濺射法在氧氛圍下在絕緣層41的頂面上沉積氧化物膜來對絕緣層41供應氧。然後，也可以去除該氧化物膜。

【0128】絕緣層41較佳為利用濺射法或電漿CVD法等沉積方法形成。尤其是，藉由利用濺射法經不將氫氣體用

於沉積氣體的沉積方法進行沉積，可以形成含氫量極少的膜。由此，可以抑制對半導體層21供應氫而實現電晶體10的電特性的穩定化。

【0129】作為絕緣層41a及絕緣層41c，較佳為使用不容易擴散氧的膜。由此，可以防止絕緣層41b中的氧因加熱而經由絕緣層41a向絕緣層11一側透過以及經由絕緣層41c向絕緣層22一側透過。換言之，藉由使用不容易擴散氧的絕緣層41a及絕緣層41c夾持絕緣層41b的上下，可以封閉絕緣層41b中的氧。由此，可以有效地對半導體層21供應氧。

【0130】作為絕緣層41a及絕緣層41c，例如可以使用氮化矽、氮氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氮化鋁、氧化鉿和鋁酸鉿中的一個或多個。尤其是，氮化矽及氮氧化矽具有很少釋放雜質(例如水及氫)且不容易使氧及氫透過的特徵，所以可以適當地用作絕緣層41a及絕緣層41c。

【0131】

[變形例子]

下面，說明其一部分的結構與上述結構例子不同的例子。注意，適當地省略與上述重複的例子的說明。在此，主要說明圖2A至圖2C的變形例子，但是該變形例子也可以適用於圖3A及圖3B所示的結構例子。

【0132】

<變形例子1>

圖5A、圖5B及圖5C示出開口部20a的側壁及開口部20b的側壁設置在同一面上(也稱為對齊)的例子。在圖5A至圖5C所示的半導體裝置中，使用相同的製程形成開口部20a及開口部20b，由此與圖2A至圖2C所示的半導體裝置相比可以使製程簡化。另一方面，在圖2A至圖2C所示的半導體裝置中，例如可以縮小電晶體10的佔有面積。由此，可以在使半導體裝置所包括的電晶體與圖5A至圖5C所示的半導體裝置所包括的電晶體相比更微型化的同時實現可靠性高的半導體裝置。另外，在圖2A至圖2C所示的半導體裝置中，半導體層21具有不僅與導電層32的側面接觸而且與頂面接觸的區域。由此，導電層32與半導體層21可以獲得良好的接觸，可以實現可靠性高的半導體裝置。

【0133】

<變形例子2>

圖6A、圖6B及圖6C示出半導體層21、絕緣層22及導電層23具有位於開口部20的外部的區域的例子。在圖6A至圖6C所示的例子中，半導體層21、絕緣層22及導電層23具有位於絕緣層42上的區域。另外，圖6B及圖6C示出絕緣層22以覆蓋半導體層21的開口部20的外部的側面的方式設置的例子。並且，圖6A至圖6C示出導電層23的開口部20的外部的側面位於半導體層21的開口部20的外部的側面的外側(與開口部20的相反一側)的例子。此外，導電層23的開口部20的外部的側面也可以位於半導體層21的開口部20的外部的側面的內側(開口部20一側)。另外，圖6A至圖6C

示出絕緣層22不被圖案化的例子，但是絕緣層22也可以被圖案化。例如，也可以使用相同的圖案形成絕緣層22及導電層23。在此情況下，絕緣層22的開口部20的外側的側面可以與導電層23的開口部20的外側的側面對齊。在此，在圖6A至圖6C所示的半導體裝置中，即使在不設置絕緣層46、絕緣層49及導電層33的情況下，也可以引導用作閘極電極的導電層23。另外，藉由以覆蓋導電層23的方式設置被平坦化的絕緣層(也稱為平坦化層)，可以減少由導電層23形成的步階。

【0134】

<變形例子3>

圖7A、圖7B及圖7C示出開口部20a的側壁為錐形形狀的例子。在圖7A至圖7C所示的電晶體10中，開口部20a中的上端的徑(開口徑)大於下端的徑(開口徑)。

【0135】在本說明書等中，錐形形狀是指組件的側面的至少一部分傾斜於基板面或被形成面的形狀。例如，較佳為具有傾斜的側面與基板面或被形成面所形成的角(也稱為錐角)小於90度的區域。注意，組件的側面、基板面及被形成面不一定必須完全平坦，也可以是具有微細曲率的近似平面狀或具有微細凹凸的近似平面狀。

【0136】在開口部20a的側壁具有錐形形狀時，例如半導體層21的覆蓋性得到提高，由此即使在利用濺射法等沉積方法的情況下也可以抑制膜中的低密度區域等的缺陷的生成。例如，可以將角度θ設為45度以上且90度以下、

60度以上且小於90度或者70度以上且小於90度。另外，在利用ALD法等覆蓋性極高的沉積方法的情況下，角度θ可以大於90度。

【0137】在開口部20a的側壁具有錐形形狀時，對應於電晶體10的通道寬度的開口部20a的徑從導電層31一側向絕緣層42一側變大。此時，流過電晶體10的電流的大小被最小的徑的區域限制。由此，可以將電晶體10的通道寬度看作最小的徑的區域的周長。因此，在開口部20a的側壁具有錐形形狀時，可以製造通道寬度小於開口部20a的上端的徑的電晶體10。

【0138】在圖8A至圖8C所示的例子中，除了開口部20a的側壁以外，開口部20b的側壁也具有錐形形狀。在圖8A至圖8C所示的電晶體10中，不僅在開口部20a中而且在開口部20b中，上端的徑(開口徑)大於下端的徑(開口徑)。

【0139】如圖8B及圖8C所示，在開口部20b的上端的徑大於下端的徑時，可以擴大導電層23與導電層33的接觸面積，所以是較佳的。

【0140】

<變形例子4>

圖9A、圖9B及圖9C示出電晶體10包括導電層27及絕緣層28的例子。

【0141】導電層27被用作第二閘極電極(或背閘極電極)。此外，絕緣層28位於導電層27與半導體層21之間，並被用作第二閘極絕緣層(或背閘極絕緣層)。對導電層27

可以供應固定電位或任意的信號。藉由設置導電層27而將固定電位供應給導電層27，可以固定半導體層21的背通道一側的電位，由此可以減少電特性的不均勻。另外，導電層27也可以與導電層31、導電層32和導電層33中的任一個電連接。

【0142】導電層27嵌入在絕緣層41b中。由此，導電層27設置在絕緣層41a與絕緣層41c之間。絕緣層28以沿著絕緣層41a、導電層27、絕緣層41c及導電層32的側面的方式設置。例如，絕緣層28可以藉由如下製程來形成：在導電層32、絕緣層41c、導電層27及絕緣層41a中形成開口部而利用覆蓋性高的沉積方法沉積覆蓋該開口部的絕緣膜，然後進行各向異性蝕刻。在此，藉由半導體層21具有與導電層32的頂面接觸的區域，可以使半導體層21與導電層32電連接。

【0143】圖9A至圖9C示出導電層31及導電層32延伸在X方向且導電層27及導電層33延伸在Y方向的例子。藉由使導電層31及導電層27延伸在不同的方向，與使導電層31及導電層27延伸在相同的方向的情況相比，可以減少導電層31與導電層27之間的寄生電容。此外，藉由使導電層27及導電層32延伸在不同的方向，與使導電層27及導電層32延伸在相同的方向的情況相比，可以減少導電層27與導電層32之間的寄生電容。另外，既可以使導電層31及導電層27延伸在相同的方向，又可以使導電層27及導電層32延伸在相同的方向。在此，藉由增大絕緣層41a的厚度可以

減少導電層31與導電層27之間的寄生電容，並且藉由增大絕緣層41c的厚度可以減少導電層27與導電層32之間的寄生電容。

【0144】

<變形例子5>

在圖10A及圖10B所示的例子中，圖2B及圖2C所示的導電層31中設置有凹部。另外，平面圖可以參照圖2A。另外，圖10C是圖10A及圖10B所示的導電層31及其周邊的區域的放大圖。

【0145】在圖10A及圖10B所示的電晶體10中，以沿著導電層31的凹部的方式設置半導體層21、絕緣層22及導電層23。此時，如圖10C所示，導電層23的底面的高度較佳為低於導電層31的最頂面的高度。

【0146】在圖10A及圖10B所示的電晶體10中，半導體層21的與導電層31接觸的區域是其電阻比通道形成區域低的區域。由此，如圖10C所示，在導電層23的底面位於比導電層31的最頂面更低處時，可以對半導體層21的通道形成區域整體均勻地施加閘極電場，可以防止由於不容易對半導體層21施加閘極電場而形成高電阻區域(偏置區域)。因此，可以實現通態電流得到提高的電晶體。為了實現上述結構，例如使導電層31的厚度大於半導體層21的厚度與絕緣層22的厚度的總和。

【0147】

<變形例子6>

圖11A示出圖2A所示的開口部20a及開口部20b的從平面看時的形狀為橢圓的例子。注意，圖11A示出該橢圓的長軸平行於X方向的例子，但是既可以平行於Y方向，又可以不平行於X方向及Y方向。

【0148】圖11B示出圖2A所示的開口部20a及開口部20b的從平面看時的形狀為四角形的例子。注意，在圖11B中開口部20a及開口部20b的從平面看時的形狀為正方形，但是開口部20a及開口部20b的從平面看時的形狀不侷限於此，例如可以為長方形、菱形或平行四邊形。此外，開口部20a及開口部20b的從平面看時的形狀例如可以為三角形、五角形以上的多角形或星形。

【0149】圖11C示出圖11B所示的開口部20a及開口部20b的角部帶弧形的例子。換言之，圖11C示出開口部20a及開口部20b的從平面看時的形狀為角部帶弧形的四角形的例子。注意，在圖11C中開口部20a及開口部20b的從平面看時的形狀為角部帶弧形的正方形，但是開口部20a及開口部20b的從平面看時的形狀不侷限於此，例如可以為角部帶弧形的長方形、角部帶弧形的菱形、角部帶弧形的平行四邊形、角部帶弧形的三角形、角部帶弧形的五角形以上的多角形或角部帶弧形的星形。

【0150】另外，在圖2A及圖11A至圖11C等所示的例子中，開口部20b的從平面看時的形狀與開口部20a的從平面看時的形狀同樣，但是開口部20a的從平面看時的形狀的種類也可以與開口部20b的從平面看時的形狀的種類不

同。例如，開口部20a的從平面看時的形狀可以為圓形或橢圓形，開口部20b的從平面看時的形狀可以為四角形或角部帶弧形的四角形。此外，開口部20a的從平面看時的形狀也可以為四角形，開口部20b的從平面看時的形狀也可以為角部帶弧形的四角形、圓形或橢圓形。

【0151】

<變形例子7>

圖12A、圖12B及圖12C示出設置在絕緣層41中的開口部20a的從平面看時的形狀與設置在導電層32中的開口部20a的從平面看時的形狀不一致的例子。在此，在圖12A至圖12C中，將設置在絕緣層41中的開口部20a設為開口部20a1且將設置在導電層32中的開口部20a設為開口部20a2。在圖12A至圖12C所示的例子中，開口部20a2的從平面看時的形狀為其半徑比開口部20a1大的圓形。另外，開口部20a1的從平面看時的形狀和開口部20a2的從平面看時的形狀中的一者或兩者也可以不是圓形。例如，開口部20a1的從平面看時的形狀和開口部20a2的從平面看時的形狀中的一者或兩者也可以為橢圓、四角形或角部帶弧形的四角形等的上述開口部20a可具有的形狀。

【0152】圖12A至圖12C示出開口部20a2的從平面看時的面積大於開口部20a1的從平面看時的面積的例子，但是開口部20a2的從平面看時的面積也可以小於開口部20a1的從平面看時的面積。在此情況下，導電層32具有向開口部20a1的側壁突出的區域。

【0153】例如，在藉由不同製程形成開口部20a1及開口部20a2的情況下，有時開口部20a1的從平面看時的形狀與開口部20a2的從平面看時的形狀不同。此外，即使藉由相同的製程形成開口部20a1及開口部20a2，例如在X方向及Y方向上的導電層32的蝕刻速度與X方向及Y方向上的絕緣層41的蝕刻速度不同的情況下，有時開口部20a1的從平面看時的形狀與開口部20a2的從平面看時的形狀不同。例如，在X方向及Y方向上的導電層32的蝕刻速度比X方向及Y方向上的絕緣層41的蝕刻速度快的情況下，即使藉由相同的製程形成開口部20a1及開口部20a2，有時開口部20a2的從平面看時的面積大於開口部20a1的從平面看時的面積。

【0154】以上是對變形例子的說明。以上示出的結構可以適當地組合而實施。

【0155】

[製造方法例子1]

接著，說明本發明的一個實施方式的半導體裝置的製造方法。在此，說明圖2B及圖2C所示的電晶體10的製造方法的一個例子。

【0156】圖13A至圖16B是下面示出的半導體裝置的製造方法的各製程中的剖面圖。在各圖中，左側示出對應於圖2B的剖面，右側示出對應於圖2C的剖面。

【0157】下面，用來形成絕緣層的絕緣材料、用來形成導電層的導電材料及用來形成半導體層的半導體材料可

以適當地利用濺射法、CVD法、MBE(Molecular Beam Epitaxy：分子束磊晶)法、PLD(Pulsed Laser Deposition：脈衝雷射沉積)法或ALD法等沉積。

【0158】作為濺射法，可以舉出將高頻電源用於濺射用電源的RF(Radio Frequency：射頻)濺射法、利用直流電源的DC(Direct Current)濺射法、以脈衝方式改變施加到電極的電壓的脈衝DC濺射法。RF濺射法主要在沉積絕緣膜時使用，DC濺射法主要在沉積金屬導電膜時使用。此外，脈衝DC濺射法主要在利用反應性濺射法沉積氧化物、氮化物或碳化物等化合物時使用。

【0159】注意，CVD法可以分為利用電漿的電漿CVD法、利用熱的熱CVD法、利用光的光CVD(Photo CVD)法等。再者，可以根據使用的源氣體分為金屬CVD(MCVD：Metal CVD)法、有機金屬CVD(MOCVD：Metal Organic CVD)法。

【0160】藉由利用電漿CVD法，可以以較低的溫度得到高品質的膜。此外，因為在熱CVD法中不使用電漿，所以能夠減少對被處理物造成的電漿損傷。此外，在熱CVD法中，不產生形成時的電漿損傷，因此能夠得到缺陷較少的膜。

【0161】作為ALD法，採用只利用熱能使前驅物及反應物起反應的熱ALD法或使用受到電漿激發的反應物的PEALD法等。

【0162】CVD法及ALD法不同於濺射法，CVD法及

ALD法是具有良好的步階覆蓋性而不易受被處理物的形狀的影響的沉積方法。尤其是，ALD法具有良好的步階覆蓋性和厚度均勻性，所以ALD法適合用於覆蓋縱橫比高的開口部的表面的情況。但是，ALD法的沉積速率比較慢，所以有時較佳為與沉積速率快的CVD法等其他沉積方法組合而使用。

【0163】此外，當利用CVD法時，可以根據源氣體的流量比沉積任意組成的膜。例如，當利用CVD法時，可以藉由在進行沉積的同時改變源氣體的流量比來沉積其組成連續變化的膜。當在改變源氣體的流量比的同時進行沉積時，因為不需要傳送或調整壓力所需的時間，所以與使用多個沉積室進行沉積的情況相比可以縮短沉積時間。因此，有時可以提高半導體裝置的生產率。

【0164】當利用ALD法時，藉由同時導入不同的多種前驅物，可以沉積任意組成的膜。或者，在導入不同的多種前驅物時，藉由控制各前驅物的循環次數可以沉積任意組成的膜。此外，與CVD法同樣，可以沉積組成連續變化的膜。

【0165】首先，準備基板(未圖示)，在該基板上形成絕緣層11(圖13A)。作為絕緣層11，可以使用氧化矽膜或氧氮化矽膜等無機絕緣膜。在形成絕緣層11時，可以利用濺射法、CVD法、MBE法、PLD法或ALD法等。在絕緣層11的被形成面不平坦的情況下，較佳為在沉積絕緣層11之後進行平坦化處理，以使絕緣層11的頂面平坦。

【0166】接著，在絕緣層11上形成將成為導電層31的導電膜。接著，在該導電膜上例如藉由光微影法形成光阻遮罩且去除導電膜的不被該光阻遮罩覆蓋的區域，然後去除光阻遮罩。由此，可以形成導電層31。接著，沉積將成為絕緣層44的絕緣膜且去除與導電層31重疊的區域，由此可以形成絕緣層44和嵌入在絕緣層44中的導電層31(圖13A)。在加工將成為絕緣層44的絕緣膜時，較佳為利用CMP法，例如藉由直到導電層31的頂面露出為止加工該絕緣膜，可以形成圖13A所示的絕緣層44。

【0167】另外，在形成絕緣層44及導電層31時，也可以藉由如下製程：首先形成將成為絕緣層44的絕緣膜，然後在該絕緣膜中形成開口部，以填充該開口部的方式形成導電膜，直到絕緣膜的頂面露出為止進行利用CMP法的拋光處理(平坦化處理)。

【0168】以使絕緣層44與導電層31的頂面的高度一致的方式進行平坦化處理，由此可以使接著的形成的絕緣層41的頂面平坦。此外，也可以不設置絕緣層44而以覆蓋導電層31的方式設置絕緣層41，在此情況下較佳為對絕緣層41的頂面進行利用CMP法的平坦化處理來使頂面平坦化。

【0169】接著，在導電層31及絕緣層44上形成絕緣層41a、絕緣層41b及絕緣層41c(以下有時將它們統稱為絕緣層41)(圖13B)。在形成絕緣層41a、絕緣層41b及絕緣層41c時，分別利用濺射法、CVD法、MBE法、PLD法或ALD法等即可。

【0170】在此，絕緣層41的厚度影響到電晶體的通道長度，因此避免絕緣層41的厚度產生不均勻是很重要的。

【0171】另外，藉由在含氧氛圍下利用濺射法沉積絕緣層41b，可以形成多量的氧包含在膜中的絕緣層41b。另外，藉由利用作為沉積氣體不需要使用包含氫的分子的濺射法，可以降低絕緣層41b中的氫濃度。藉由如此沉積絕緣層41b，將氧從絕緣層41b供應到半導體層21的通道形成區域中，由此可以減少氧空位。

【0172】接著，在絕緣層41上形成導電層32及絕緣層45(圖13C)。導電層32及絕緣層45可以分別藉由與導電層31及絕緣層44相同的方法形成。

【0173】接著，在導電層32及絕緣層45上形成絕緣層42(圖13D)。絕緣層42例如可以藉由與絕緣層41b相同的方法形成。

【0174】接著，藉由對絕緣層42的一部分進行加工，來形成到達導電層32的開口部20b。然後，藉由對導電層32的一部分及絕緣層41的一部分進行加工，來形成具有與開口部20b重疊的區域且到達導電層31的開口部20a(圖14A)。如上所述，可以將開口部20a及開口部20b看作一個開口部20。

【0175】例如，首先在絕緣層42上藉由光微影法形成光阻遮罩且藉由蝕刻去除絕緣層42的不被該光阻遮罩覆蓋的區域，然後去除光阻遮罩。由此，開口部20b形成在絕緣層42中。接著，在絕緣層42及導電層32上藉由光微影法

形成光阻遮罩且藉由蝕刻去除導電層32及絕緣層41的不被該光阻遮罩覆蓋的區域，然後去除光阻遮罩。由此，開口部20a形成在導電層32及絕緣層41中。如上所述，開口部20形成在絕緣層41、導電層32及絕緣層42中。另外，較佳為以使開口部20b的徑大於開口部20a的徑的方式形成開口部20。

【0176】在此，開口部20a也可以藉由與開口部20b相同的製程形成。明確而言，開口部20a也可以在與開口部20b相同的蝕刻條件下形成。即使在上述情況下，例如藉由在形成開口部20a時光阻遮罩後退，也可以使開口部20b的徑大於開口部20a的徑。絕緣層41可以以導電層32為硬遮罩進行加工，並且絕緣層42可以根據光阻劑圖案進行加工，由此即使在形成開口部20a時光阻遮罩後退而藉由與開口部20b相同的製程形成開口部20a的情況下，也可以使開口部20b的徑大於開口部20a的徑。

【0177】另外，在絕緣層42中，也可以以不僅到達導電層32而且到達絕緣層45的方式形成開口部20b。在此情況下，當在絕緣層42的蝕刻速度比絕緣層45的蝕刻速度快的條件下對絕緣層42進行蝕刻時，可以抑制絕緣層45被蝕刻，所以是較佳的。

【0178】開口部20的側壁較佳為垂直於導電層31的頂面。藉由採用這種結構，可以製造佔有面積小的電晶體。或者，開口部20的側壁也可以具有錐形形狀。藉由使其具有錐形形狀，可以提高形成在開口部20的內部的膜的覆蓋

性。

【0179】開口部20a的最大寬度(在從平面看時的開口部20a為圓形的情況下，最大徑)較佳為儘可能微細。例如，開口部20a的最大寬度較佳為60nm以下、50nm以下、40nm以下、30nm以下或20nm以下且為5nm以上。如此，為了形成微細的開口部20a，較佳為利用使用EUV光等短波長的光或電子束的光微影法。注意，開口部20b的最大寬度可以大於開口部20a的最大寬度，但是與開口部20a同樣，開口部20b也較佳為利用使用EUV光等短波長的光或電子束的光微影法形成。

【0180】開口部20的縱橫比大，因此較佳為藉由各向異性蝕刻形成。尤其是因為利用乾蝕刻法的加工適合於微加工，所以是較佳的。另外，絕緣層42、導電層32、絕緣層41c、絕緣層41b及絕緣層41a的該加工中的蝕刻條件也可以彼此不同。此外，開口部20b的側壁的角度與開口部20a的側壁的角度也可以不同。另外，導電層32、絕緣層41c、絕緣層41b及絕緣層41a中的開口部20a的側壁的角度也可以彼此不同。

【0181】在對絕緣層42進行蝕刻時，有時導電層32的頂部的一部分被蝕刻而開口部20b的底部的導電層32變薄。另外，在對絕緣層41進行蝕刻時，有時導電層31的頂部的一部分被蝕刻而開口部20a的底部的導電層31變薄。或者，也可以在形成開口部20b之後且形成開口部20a之前對導電層32的頂部的一部分進行蝕刻來減薄導電層32。此

外，也可以在形成開口部20a之後繼續對導電層31的頂部的一部分進行蝕刻來減薄導電層31。

【0182】接著，也可以進行加熱處理。加熱處理以250℃以上且650℃以下，較佳為以300℃以上且500℃以下，更佳為以320℃以上且450℃以下進行即可。另外，加熱處理在氮氣體或非活性氣體的氛圍或者包含10ppm以上、1%以上或10%以上的氧化氣體的氛圍下進行。例如，在氮氣體與氧氣體的混合氛圍下進行加熱處理的情況下，將氧氣體設為20%左右即可。此外，也可以在減壓狀態下進行加熱處理。或者，也可以在氮氣體或不活性氣體的氛圍下進行加熱處理之後，為了填補脫離了的氧，在包含10ppm以上、1%以上或10%以上的氧化氣體的氛圍下進行加熱處理。藉由進行上述加熱處理，在沉積將成為半導體層的氧化物半導體膜之前，例如可以減少包含在絕緣層41中的水等雜質。

【0183】另外，在上述加熱處理中使用的氣體較佳為被高度純化。例如，將在上述加熱處理中使用的氣體所包含的水分量設為1ppb以下，較佳為0.1ppb以下，更佳為0.05ppb以下即可。藉由使用被高度純化的氣體進行加熱處理，例如可以儘可能地防止水分被絕緣層41吸收。

【0184】接著，以具有位於開口部20的內部的區域的方式且以覆蓋導電層31、絕緣層41、導電層32及絕緣層42的方式形成半導體膜21f(圖14B)。半導體膜21f是將在後面成為半導體層21的半導體膜。作為半導體膜21f，可以使

用氧化物半導體膜。在形成半導體膜21f時，適當地利用濺射法、CVD法、MBE法、PLD法或ALD法等即可。在此，半導體膜21f較佳為以與縱橫比大的開口部20的底部及側壁接觸的方式形成。由此，在形成半導體膜21f時較佳為利用覆蓋性良好的沉積方法，更佳為利用CVD法或ALD法等。例如，作為半導體膜21f，利用ALD法沉積In-Ga-Zn氧化物即可。另外，在開口部20具有錐形形狀時，可以利用濺射法形成半導體膜21f。

【0185】此外，在沉積半導體膜21f時或沉積半導體膜21f之後，較佳為進行含氧氛圍下的微波處理等的用來降低半導體膜21f中的雜質濃度的處理。注意，作為雜質，尤其可以舉出氫及碳。另外，藉由進行微波處理，有時可以提高半導體膜21f的結晶性。在此，微波處理例如是指使用包括利用微波生成高密度電漿的電源的裝置的處理。

【0186】藉由在含氧氛圍下進行微波處理，可以使用微波或RF等高頻使氧氣體電漿化而使該氧電漿作用於能夠使用氧化物半導體的半導體膜21f。作為作用於半導體膜21f的氧，有氧原子、氧分子、氧離子及氧自由基(也被稱為O自由基的具有不成對電子的原子、分子或離子)等各種形態。另外，作用於半導體膜21f的氧只要是上述形態中的任一個或多個即可，尤其較佳為氧自由基。

【0187】另外，藉由在上述的含氧氛圍下進行微波處理時加熱基板，可以進一步降低半導體膜21f中的雜質濃

度，所以是較佳的。基板的加熱以100℃以上且650℃以下，較佳為以200℃以上且600℃以下，更佳為以300℃以上且450℃以下進行即可。

【0188】藉由在上述的含氧氛圍下進行微波處理時加熱基板，可以將藉由SIMS得到的半導體膜21f中的碳濃度設為小於1×10^{20}atoms/cm^3，較佳為小於1×10^{19}atoms/cm^3，更佳為小於1×10^{18}atoms/cm^3。

【0189】注意，以上示出在含氧的氛圍下對半導體膜21f進行微波處理的結構的例子，但是不侷限於此。例如，也可以在含氧的氛圍下對位於半導體膜21f附近的絕緣膜，更明確而言對氧化矽膜進行微波處理。由此，可以使包含在該氧化矽膜中的氫作為H_2O釋放到外部。藉由從位於半導體膜21f附近的氧化矽膜釋放氫，可以實現可靠性高的半導體裝置。

【0190】另外，在半導體膜21f具有疊層結構的情況下，各層的沉積方法可以相同或不同。例如，在半導體膜21f具有兩層的疊層結構的情況下，也可以利用濺射法沉積半導體膜21f的下層且利用ALD法沉積半導體膜21f的上層。利用濺射法沉積的氧化物半導體膜容易具有結晶性。由此，藉由作為半導體膜21f的下層設置具有結晶性的氧化物半導體膜，可以提高半導體膜21f的上層的結晶性。此外，即使在利用濺射法沉積的半導體膜21f的下層中形成有針孔或斷開等，也可以使用利用覆蓋性良好的ALD法沉積的半導體膜21f的上層填埋與針孔或斷開等重疊的區

域。

【0191】在此，半導體膜21f較佳為以具有與開口部20a中的導電層31的頂面、開口部20a中的絕緣層41的側面、開口部20a中的導電層32的側面、開口部20b中的導電層32的頂面及開口部20b中的絕緣層42的側面接觸的區域的方式形成。

【0192】在沉積半導體膜21f之後，較佳為進行加熱處理。加熱處理在半導體膜21f不發生多晶化的溫度範圍內進行即可，可以以250℃以上且650℃以下，較佳為以400℃以上且600℃以下進行。另外，加熱處理在氮氣體或非活性氣體的氛圍或者包含10ppm以上、1%以上或10%以上的氧化氣體的氛圍下進行。例如，在氮氣體與氧氣體的混合氛圍下進行加熱處理的情況下，將氧氣設為20%左右即可。此外，也可以在減壓狀態下進行加熱處理。或者，也可以在氮氣體或不活性氣體的氛圍下進行加熱處理之後，為了填補脫離了的氧，在包含10ppm以上、1%以上或10%以上的氧化氣體的氛圍下進行加熱處理。

【0193】另外，在上述加熱處理中使用的氣體較佳為被高度純化。例如，將在上述加熱處理中使用的氣體所包含的水分量設為1ppb以下，較佳為0.1ppb以下，更佳為0.05ppb以下即可。藉由使用被高度純化的氣體進行加熱處理，例如可以儘可能地防止水分被半導體膜21f吸收。

【0194】在此，較佳為在半導體膜21f與包含多量的氧的絕緣層41b接觸的狀態下進行上述加熱處理。由此，

可以將氧從絕緣層41b供應到成為半導體膜21f的通道形成區域的區域來降低氧空位。

【0195】注意，以上示出在沉積半導體膜21f之後進行加熱處理的例子，但是也可以在後面的製程中進行加熱處理。

【0196】接著，在半導體膜21f上以具有位於開口部20的內部的區域的方式形成絕緣膜22f(圖14B)。絕緣膜22f是將在後面成為絕緣層22的絕緣膜。在形成絕緣膜22f時，可以適當地利用濺射法、CVD法、MBE法、PLD法或ALD法等。

【0197】絕緣膜22f較佳為以儘可能均勻的厚度設置在開口部20a中的半導體膜21f的側面上。由此，尤其是，較佳為藉由作為覆蓋性非常優異的沉積方法的ALD法形成絕緣膜22f。另外，在開口部20a及開口部20b的側壁具有錐形形狀的情況下，絕緣層22可以利用濺射法等與ALD法相比覆蓋性低的沉積方法。

【0198】接著，在絕緣膜22f上以具有位於開口部20的內部的區域的方式形成導電膜23f(圖14B)。導電膜23f是將在後面成為導電層23的導電膜。導電膜23f以其一部分嵌入在開口部20的方式設置。

【0199】導電膜23f較佳為藉由覆蓋性或埋入性高的沉積方法沉積，例如更佳為利用CVD法或ALD法等。另外，在開口部20的側壁具有錐形形狀的情況下，該導電膜可以利用濺射法沉積。

【0200】接著，例如對半導體膜21f、絕緣膜22f及導電膜23f藉由CMP法進行平坦化處理，來使絕緣層42的頂面露出。由此，在開口部20的內部形成具有與導電層31接觸的區域及與導電層32接觸的區域的半導體層21、半導體層21上的絕緣層22以及絕緣層22上的導電層23(圖15A)。在此，導電層23以填充開口部20的方式形成。另外，例如，也可以藉由直到絕緣層42的頂面露出為止利用乾蝕刻法等蝕刻法對導電膜23f的頂部、絕緣膜22f的頂部及半導體膜21f的頂部進行加工，形成導電層23、絕緣層22及半導體層21。如上所述，可以使絕緣層42的頂面、半導體層21的最頂面、絕緣層22的最頂面及導電層23的頂面的高度彼此一致或大致一致。

【0201】接著，在絕緣層42、半導體層21、絕緣層22及導電層23上形成絕緣層46。然後，在絕緣層46上形成絕緣層49(圖15B)。在形成絕緣層46及絕緣層49時，可以適當地利用濺射法、CVD法、MBE法、PLD法或ALD法等。

【0202】接著，藉由對絕緣層49的一部分進行加工，形成到達絕緣層46的開口部29。然後，藉由對絕緣層46的一部分進行加工，形成具有與開口部29重疊的區域且到達導電層23的開口部26(圖16A)。

【0203】例如，首先在絕緣層49上藉由光微影法形成光阻遮罩，並且藉由蝕刻去除絕緣層49的不被該光阻遮罩覆蓋的區域，然後去除光阻遮罩。由此，在絕緣層49中形成開口部29。接著，在絕緣層49及絕緣層46上藉由光微影

法形成光阻遮罩，並且藉由蝕刻去除絕緣層49及絕緣層46的不被該光阻遮罩覆蓋的區域，然後去除光阻遮罩。由此，在絕緣層46中形成開口部26。

【0204】在此，當形成開口部29時，在絕緣層49的蝕刻速度比絕緣層46的蝕刻速度快的條件下對絕緣層49進行蝕刻，由此可以抑制絕緣層46非意圖地被蝕刻。由此，例如可以防止半導體層21的頂面露出。另外，用作在絕緣層49中形成開口部29時的蝕刻停止層的絕緣層也可以形成在絕緣層46與絕緣層49之間。在此情況下，不需要當形成開口部29時在絕緣層49的蝕刻速度比絕緣層46的蝕刻速度快的條件下對絕緣層49進行蝕刻，因此可以擴大蝕刻條件的選擇範圍。注意，如上所述，用作蝕刻停止層的絕緣層例如也可以包括在絕緣層46中。在此情況下，絕緣層46的最上部可以為用作蝕刻停止層的絕緣層。

【0205】在此，在開口部20b的徑大於開口部20a的徑時，可以在抑制增大電晶體10的佔有面積的同時擴大導電層23頂面的面積。由此，例如可以防止開口部26到達半導體層21而將在後面的製程中形成的導電層33與半導體層21接觸。如上所述，可以實現包括微型化的電晶體且良率高的半導體裝置的製造方法。

【0206】接著，以具有位於開口部26的內部的區域及開口部29的內部的區域的方式且以覆蓋導電層23、絕緣層46及絕緣層49的方式形成將成為導電層33的導電膜。該導電膜可以以具有在開口部26的內部與導電層23的頂面接觸

的區域的方式形成。

【0207】接著，例如藉由CMP法對該導電膜進行平坦化處理，使絕緣層49的頂面露出。由此，以填充開口部26及開口部29的方式形成導電層33(圖16B)。導電層33以具有在開口部26的內部與導電層23接觸的區域的方式形成。另外，導電層33以具有位於絕緣層46上的區域的方式且以具有在該區域中隔著絕緣層46與絕緣層42重疊的區域、與半導體層21重疊的區域、與絕緣層22重疊的區域及與導電層23重疊的區域的方式形成。明確而言，導電層33以具有隔著絕緣層46與絕緣層42的頂面重疊的區域、與半導體層21的最頂面重疊的區域、與絕緣層22的最頂面重疊的區域及與導電層23的頂面重疊的區域的方式形成。另外，例如也可以藉由直到絕緣層49的頂面露出為止利用乾蝕刻法等蝕刻法對將成為導電層33的導電膜的頂部進行加工，形成導電層33。如上所述，可以使導電層33的頂面的高度與絕緣層49的頂面的高度一致或大致一致。

【0208】藉由上述製程，可以製造圖2B及圖2C所示的電晶體10。

【0209】

[製造方法例子2]

接著，說明其一部分與上述製造方法例子1不同的半導體裝置的製造方法例子。更明確而言，說明圖3A及圖3B所示的電晶體10的製造方法的一個例子。注意，適當地省略與上述製造方法例子1重複的部分的說明。

【0210】首先，與上述製造方法例子1同樣，形成到導電層32及絕緣層45。接著，在導電層32及絕緣層45上形成絕緣層43(圖17A)。絕緣層43例如可以以與絕緣層46相同的方法形成。

【0211】接著，在絕緣層43上形成絕緣層42(圖17B)。絕緣層42的形成可以參照上述製造方法例子1。

【0212】接著，藉由對絕緣層42的一部分進行加工，形成到達絕緣層43的開口部20b。然後，藉由對絕緣層43的一部分、導電層32的一部分及絕緣層41的一部分進行加工，形成具有與開口部20b重疊的區域且到達導電層31的開口部20a(圖18A)。開口部20b及開口部20a的形成可以參照上述製造方法例子1。

【0213】在此，當形成開口部20b時，在絕緣層42的蝕刻速度比絕緣層43的蝕刻速度快的條件下對絕緣層42進行蝕刻，由此可以抑制絕緣層43非意圖地被蝕刻。由此，例如可以抑制絕緣層43的厚度減薄而導電層32的頂面與將在後面形成的導電層23之間的距離縮小。因此，可以抑制導電層32的頂面與導電層23重疊的區域中的寄生電容增大。另外，用作在絕緣層42中形成開口部20b時的蝕刻停止層的絕緣層也可以形成在絕緣層43與絕緣層42之間。在此情況下，不需要當形成開口部20b時在絕緣層42的蝕刻速度比絕緣層43的蝕刻速度快的條件下對絕緣層42進行蝕刻，可以擴大蝕刻條件的選擇範圍。注意，如上所述，用作蝕刻停止層的絕緣層例如可以包括在絕緣層43中。在此

情況下，絕緣層43的最上部可以為用作蝕刻停止層的絕緣層。

【0214】接著，以具有位於開口部20的內部的區域的方式且以覆蓋導電層31、絕緣層41、導電層32、絕緣層43及絕緣層42的方式形成半導體膜21f(圖18B)。半導體膜21f的形成可以參照上述製造方法例子1。在此，半導體膜21f較佳為以具有與開口部20a中的導電層31的頂面、開口部20a中的絕緣層41的側面、開口部20a中的導電層32的側面、開口部20a中的絕緣層43的側面、開口部20b中的絕緣層43的頂面及開口部20b中的絕緣層42的側面接觸的區域的方式形成。

【0215】接著，在半導體膜21f上以具有位於開口部20的內部的區域的方式形成絕緣膜22f。然後，在絕緣膜22f上以具有位於開口部20的內部的區域的方式形成導電膜23f(圖18B)。絕緣膜22f及導電膜23f的形成可以參照上述製造方法例子1。

【0216】下面的製程可以參照上述製造方法例子1。藉由上述製程，可以製造圖3A及圖3B所示的電晶體10。

【0217】

[製造方法例子3]

接著，說明其一部分與上述製造方法例子1不同的半導體裝置的製造方法例子。更明確而言，說明圖6A至圖6C所示的電晶體10的製造方法的一個例子。注意，適當地省略與上述製造方法例子1重複的部分的說明。

【0218】首先，與上述製造方法例子1同樣，形成到半導體膜21f。接著，在半導體膜21f上例如藉由光微影法形成光阻遮罩，並且藉由蝕刻去除半導體膜21f的不被該光阻遮罩覆蓋的部分，然後去除光阻遮罩。由此，可以形成半導體層21(圖19A)。

【0219】接著，以覆蓋半導體層21及絕緣層42的方式形成絕緣層22(圖19B)。在形成絕緣層22時，可以參照上述製造方法例子1中的關於絕緣膜22f的形成的說明。

【0220】接著，在絕緣層22上形成將成為導電層23的導電膜。在形成將成為導電層23的導電膜時，可以參照上述製造方法例子1中的關於導電膜23f的形成的說明。

【0221】接著，在將成為導電層23的導電膜上例如藉由光微影法形成光阻遮罩，並且藉由蝕刻去除導電膜23f的不被該光阻遮罩覆蓋的部分，然後去除光阻遮罩。由此，可以形成導電層23(圖19B)。

【0222】藉由上述製程，可以製造圖6A至圖6C所示的電晶體10。

【0223】以上是製造方法例子的說明。

【0224】

[應用例子]

以下，對使用電晶體及電容器的本發明的一個實施方式的記憶體裝置的結構例子進行說明。

【0225】圖20示出本發明的一個實施方式的記憶體裝置所包括的記憶單元30的電路結構例子。記憶單元30由一

個電晶體Tr及一個電容器C構成，因此也可以說是1Tr1C。在電晶體Tr中，閘極與佈線WL電連接，源極和汲極中的一個與佈線BL電連接，源極和汲極中的另一個與電容器C的一個電極電連接。電容器C的另一個電極與佈線PL連接。

【0226】記憶單元30將藉由電晶體Tr從佈線BL被輸入的資料電位保持在電容器C中，由此可以儲存資料。此外，藉由使電晶體Tr處於非導通狀態，可以保持資料。此外，藉由使電晶體Tr處於導通狀態，可以將對應於被保持的資料的電位輸出到佈線BL而讀出資料。佈線WL被供應控制電晶體Tr的導通及非導通的信號。另外，佈線PL被供應規定的電位(例如為固定電位)。

【0227】圖21A1示出本發明的一個實施方式的記憶體裝置的平面結構例子，圖21B及圖21C分別示出圖21A1中的截斷線A1-A2及截斷線B1-B2的剖面結構例子。明確而言，圖21A1、圖21B及圖21C示出圖20所示的記憶單元30的結構例子。

【0228】如圖21B及圖21C所示，記憶單元30具有電容器50上層疊有電晶體10的結構。電晶體10對應於上述電晶體Tr，電容器50對應於上述電容器C。在此，圖21A2是摘要示出圖21A1中的電容器50的平面圖。

【0229】由於電晶體10的結構可以參照上述記載，所以省略說明。電容器50包括導電層51、導電層52以及夾持在它們之間的絕緣層53。電容器50構成所謂的MIM(Metal-

Insulator-Metal：金屬-絕緣體-金屬)電容器。

【0230】絕緣層11上設置有導電層34，導電層34上設置有絕緣層47。絕緣層47中設置有到達導電層34的開口部54a。以具有在開口部54a的內部與絕緣層47的側面及導電層34的頂面接觸的區域的方式設置導電層51。此外，以覆蓋絕緣層47及導電層51的方式設置絕緣層53。絕緣層53上設置有絕緣層48，絕緣層48中設置有具有與開口部54a重疊的區域且到達絕緣層53的開口部54b。導電層52以嵌入在開口部54b的方式設置。

【0231】導電層52及絕緣層48的頂面被平坦化，由此頂面的高度一致或大致一致。導電層52及絕緣層48上設置有絕緣層44及導電層31。導電層31以具有與導電層52的頂面接觸的區域的方式設置。

【0232】在圖21B及圖21C中，導電層32對應於圖20所示的佈線BL，導電層33對應於圖20所示的佈線WL，導電層34對應於圖20所示的佈線PL。

【0233】導電層34、導電層51及導電層52可以使用電阻低的導電材料。例如，可以使用可用於上述導電層23的材料。

【0234】絕緣層53被用作電容器50的介電層，因此厚度越薄且相對介電常數越高，越可以增大電容器50的容量。絕緣層53較佳為使用相對介電常數高的(high-k)材料。例如，絕緣層53較佳為層疊包含high-k材料的層而使用。例如，絕緣層53較佳為具有high-k材料和介電強度比

該high-k材料大的材料的疊層結構。例如，作為絕緣層53，可以使用依次層疊有氧化鋯、氧化鋁、氧化鋯的絕緣膜(也稱為ZAZ)。此外，例如，可以使用依次層疊有氧化鋯、氧化鋁、氧化鋯及酸化鋁的絕緣膜(也稱為ZAZA)。此外，例如可以使用依次層疊有鉿鋯氧化物、氧化鋁、鉿鋯氧化物及酸化鋁的絕緣膜。藉由層疊如酸化鋁那樣的介電強度較大的絕緣體而使用，絕緣層53的介電強度得到提高，可以抑制電容器50的靜電破壞。

【0235】另外，作為絕緣層53，也可以使用呈現鐵電性的材料。作為呈現鐵電性的材料，可以舉出氧化鉿、氧化鋯及$HfZrO_X$(X為大於0的實數)等的金屬氧化物。

【0236】圖22A、圖22B及圖22C分別示出不設置圖21A1、圖21B及圖21C所示的導電層31、絕緣層48及絕緣層44且絕緣層41為一層的例子。圖22B及圖22C示出開口部20a到達導電層52且半導體層21的底面與導電層52接觸的例子。另外，圖22B及圖22C示出絕緣層41覆蓋導電層52的頂面的一部分及開口部54的外部的側面的例子。例如，在圖22B及圖22C中，絕緣層41可以具有與導電層52的頂面接觸的區域及與導電層52的側面接觸的區域。此外，在圖22B及圖22C中，將對應於圖21B及圖21C中的開口部54a的開口部稱為開口部54。

【0237】在圖22A至圖22C所示的例子中，也可以採用開口部20到達絕緣層53且半導體層21覆蓋導電層52的頂面及開口部54的外部的側面的結構。在此情況下，也可以

採用絕緣層41不與導電層52接觸的結構。此外，圖22B及圖22C示出絕緣層41具有單層結構的例子，但是絕緣層41也可以具有兩層以上的疊層結構。例如，也可以具有圖21B及圖21C等所示的三層疊層結構。

【0238】在圖22A至圖22C所示的例子中，導電層52被用作電晶體10的源極電極和汲極電極中的一個。在此情況下，導電層52較佳為使用與可用於圖21A1、圖21B及圖21C等所示的導電層31的材料相同的材料。

【0239】圖23A及圖23B示出記憶體裝置的例子，其中兩個記憶單元30連接於共同的佈線。圖23A是記憶體裝置的平面結構例子，圖23B是圖23A中的截斷線A3-A4的剖面結構例子。

【0240】圖20所示的用作佈線WL的導電層33分別設置在兩個記憶單元30中。圖20所示的用作佈線BL的導電層32共同設置在兩個記憶單元30中。

【0241】此外，圖20所示的用作佈線BL的導電層32與嵌入在各層間絕緣層的用作插頭(也稱為連接電極)的導電層61及導電層62電連接。導電層61也可以與設置在絕緣層11的下方的感測放大器(未圖示)電連接。

【0242】絕緣層65被用作阻擋層，並具有防止水及氫等雜質從外部擴散到記憶體裝置的功能。

【0243】另外，藉由以三維方式且矩陣狀配置記憶單元30，可以構成記憶單元陣列。作為記憶單元陣列的一個例子，圖24A示出在X方向、Y方向及Z方向上配置四個×兩

個×四個的記憶單元30的記憶體裝置的平面結構例子。此外，圖24B示出圖24A中的截斷線A3-A4的剖面結構例子。

【0244】在圖24A及圖24B所示的例子中，將由四個記憶單元30構成的組稱為記憶體單元60。圖24A示出八個記憶體單元60(記憶體單元60[1，1]至記憶體單元60[2，4])。此外，圖24B示出四個記憶體單元60(記憶體單元60[1，1]至記憶體單元60[1，4])。在記憶體單元60[a，b](a、b都是正整數)中，a示出Y方向的位址，b示出Z方向的位址。

【0245】在記憶體單元60中，每兩個記憶單元30以導電層61或導電層62為中心分別配置在對稱位置。藉由導電層62，在Z方向上層疊的各記憶體單元60的導電層32彼此電連接。如此，藉由層疊多個記憶體單元60，可以增大單位面積的記憶容量。由此，可以實現微型化或高積體化的記憶體裝置。

【0246】圖25A示出連接部配置在記憶體單元的端部的記憶體裝置的平面結構例子。此外，圖25B示出圖25A中的截斷線A5-A6的剖面結構例子。在圖25A及圖25B中，作為記憶單元陣列的一個例子，示出配置三個×三個×四個的記憶單元30的記憶體裝置的例子。將包括記憶單元30的層中的第一層至第四層分別記為層70[1]至層70[4]。

【0247】記憶體單元的外側設置有導電層63。導電層63也可以電連接於比包括本身的層70更上方的層70的導電層35。例如，設置在層70[1]的導電層63與設置在層70[2]

的導電層35電連接。另外，導電層63既可以電連接於包括本身的層70的導電層35，又可以電連接於比包括本身的層70更下方的層70的導電層35。注意，圖25B示出導電層35設置在與導電層34相同的層，即導電層35藉由與導電層34相同的製程形成並包含相同的材料的例子，但是本發明的一個實施方式不侷限於此。例如，導電層35也可以設置在與導電層33相同的層、與導電層52相同的層或者與導電層31相同的層。

【0248】圖26示出在設置有包括感測放大器的驅動電路的層上層疊有包括記憶單元30的層的記憶體裝置的剖面結構例子。

【0249】圖26示出電晶體90的上方設置有電容器50且電容器50上設置有電晶體10的例子。電晶體90可以是感測放大器所包括的電晶體之一。

【0250】藉由以具有與記憶單元30重疊的區域的方式設置感測放大器，可以縮短位元線。由此，由於位元線的負載減小，所以可以提高感測放大器的讀出的靈敏度。因此，可以減少記憶單元30的儲存電容。

【0251】電晶體90設置在基板91上，並包括用作閘極電極的導電層94、用作閘極絕緣層的絕緣層93、由基板91的一部分構成的半導體區域92、用作源極區域和汲極區域中的一個的低電阻區域95a以及用作源極區域和汲極區域中的另一個的低電阻區域95b。電晶體90也可以為p通道型或n通道型。

【0252】在此，在圖26所示的電晶體90中，形成通道的半導體區域92(基板91的一部分)具有凸部形狀。這種電晶體90利用半導體基板的凸部，因此也被稱為FIN型電晶體。

【0253】在圖26所示的記憶體裝置中，在基板91上以覆蓋上述凸部形狀的區域的方式設置絕緣層520。絕緣層520中設置有到達半導體區域92的開口部，以沿著半導體區域92的頂面及絕緣層520的該開口部中的側面的方式設置絕緣層93。在絕緣層93上以填充該開口部的方式設置導電層94。此外，可以使絕緣層520的頂面的高度、絕緣層93的最頂面的高度及導電層94的頂面的高度彼此一致或大致一致。

【0254】在圖26所示的例子中，絕緣層520上依次層疊有絕緣層522、絕緣層524及絕緣層526。絕緣層520及絕緣層522嵌入有電連接於低電阻區域95a或低電阻區域95b的導電層528。絕緣層524及絕緣層526嵌入有電連接於導電層528的導電層530。

【0255】絕緣層526及導電層530上也可以設置有佈線層。在圖26所示的例子中，絕緣層526及導電層530上依次層疊有絕緣層550、絕緣層582及絕緣層584。絕緣層550、絕緣層582及絕緣層584嵌入有電連接於導電層530的導電層586。

【0256】絕緣層520、絕緣層522、絕緣層524、絕緣層526、絕緣層550、絕緣層582及絕緣層584被用作層間絕

緣層。導電層528、導電層530及導電層586被用作插頭或佈線。

【0257】絕緣層584及導電層586上設置有絕緣層11。絕緣層11嵌入有電連接於導電層586的導電層12。絕緣層11上設置有絕緣層55。絕緣層55被用作層間絕緣層。絕緣層55嵌入有電連接於電容器50所包括的導電層51的導電層34及電連接於導電層12的導電層36。

【0258】絕緣層55、導電層34及導電層36上依次層疊有絕緣層47、絕緣層53及絕緣層48。絕緣層47、絕緣層53及絕緣層48嵌入有電連接於導電層36的導電層37。

【0259】絕緣層48上設置有絕緣層44。除了電晶體10所包括的導電層31以外，絕緣層44嵌入有電連接於導電層37的導電層38。

【0260】在絕緣層44、導電層31及導電層38上，作為絕緣層41依次層疊有絕緣層41a、絕緣層41b及絕緣層41c。絕緣層41嵌入有電連接於導電層38的導電層39。絕緣層41及導電層39上設置有導電層32，並且導電層39與導電層32電連接。

【0261】如上所述，低電阻區域95a或低電阻區域95b與導電層32藉由導電層528、導電層530、導電層586、導電層12、導電層36、導電層37、導電層38及導電層39電連接。圖26示出低電阻區域95a與導電層32電連接的例子。

【0262】本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【0263】

實施方式2

在本實施方式中，參照圖27至圖30說明本發明的一個實施方式的記憶體裝置。在本實施方式中，說明設置有包括感測放大器的驅動電路的層上層疊設置有包括記憶單元的層的記憶體裝置的結構例子。

【0264】

<記憶體裝置的結構例子>

圖27是示出根據本發明的一個實施方式的記憶體裝置480的結構例子的方塊圖。圖27所示的記憶體裝置480包括層420及層疊的層470。

【0265】層420是包括Si電晶體的層。在層疊的層470中，層疊設置元件層430[1]至430[m](m為2以上的整數)。元件層430[1]至430[m]是包括OS電晶體的層。層疊設置有包括OS電晶體的層的層470可以層疊設置在層420上。

【0266】元件層430[1]至430[m]所包括的OS電晶體及電容器等元件構成記憶單元。圖27示出元件層430[1]至430[m]包括配置為m行n列(n為2以上的整數)的矩陣狀的多個記憶單元432的例子。

【0267】在圖27中，將第1行第1列記憶單元432表示為記憶單元432[1，1]，將第m行第n列記憶單元432表示為記憶單元432[m，n]。另外，例如在本實施方式中，有時記作“i行”來表示任意行。另外，有時記作“j列”來表示任意列。因此，i為1以上且m以下的整數，j為1以上且n以下

的整數。另外，例如在本實施方式中，將第i行第j列記憶單元432表示為記憶單元432[i，j]。注意，例如在本實施方式中，當表示為“i+α”(α為正整數或負整數)時，“i+α”不小於1且不大於m。同樣，當表示為“j+α”時，“j+α”不小於1且不大於n。

【0268】另外，作為一個例子，圖27示出延伸在行向上的m個佈線WL、延伸在行向上的m個佈線PL以及延伸在列向上的n個佈線BL。例如在本實施方式中，將第一個(第1行)設置的佈線WL表示為佈線WL[1]，將第m個(第m行)設置的佈線WL表示為佈線WL[m]。同樣地，將第一個(第1行)設置的佈線PL表示為佈線PL[1]，將第m個(第m行)設置的佈線PL表示為佈線PL[m]。同樣地，將第一個(第1列)設置的佈線BL表示為佈線BL[1]，將第n個(第n列)設置的佈線BL表示為佈線BL[n]。注意，元件層430[1]至430[m]的層數與佈線WL(及佈線PL)的個數也可以不同。

【0269】設置在第i行的多個記憶單元432與第i行佈線WL(佈線WL[i])和第i行佈線PL(佈線PL[i])電連接。設置在第j列的多個記憶單元432與第j列佈線BL(佈線BL[j])電連接。

【0270】佈線BL被用作進行資料的寫入及讀出的位元線。佈線WL被用作控制用作開關的存取電晶體的開啟或關閉(導通狀態或非導通狀態)的字線。佈線PL被用作連接到電容器的恆電位線。此外，可以另行設置傳輸背閘極電位的佈線。

【0271】元件層430[1]至430[m]分別包括的記憶單元432藉由佈線BL與感測放大器446(Sense Amplifier)連接。佈線BL可以配置在平行於或垂直於設置有層420的基板表面的方向上。藉由由配置在平行於基板表面的方向上的佈線和配置在垂直於基板表面的方向上的佈線構成從元件層430[1]至430[m]所包括的記憶單元432延伸設置的佈線BL，可以縮短元件層430與感測放大器446之間的佈線長度。由於可以縮短記憶單元與感測放大器之間的信號傳輸距離且可以大幅度降低位元線的電阻及寄生電容，所以可以降低功耗及信號延遲。由此，可以實現記憶體裝置480的功耗及信號延遲的降低。此外，即使降低記憶單元432所包括的電容器的電容也可以工作。由此，可以實現記憶體裝置480的小型化。

【0272】層420包括PSW471(功率開關)、PSW472及週邊電路422。週邊電路422包括驅動電路440、控制電路473(Control Circuit)及電壓生成電路474。注意，層420所包括的各電路是包括Si電晶體的電路。

【0273】在記憶體裝置480中，根據需要可以適當地取捨各電路、各信號及各電壓。或者，也可以增加其它電路或其它信號。信號BW、信號CE、信號GW、信號CLK、信號WAKE、信號ADDR、信號WDA、信號PON1、信號PON2為從外部輸入的信號，信號RDA為輸出到外部的信號。信號CLK為時脈信號。

【0274】此外，信號BW、信號CE及信號GW為控制

信號。信號CE為晶片賦能信號，信號GW為全局寫入賦能信號，信號BW為位元組寫入賦能信號。信號ADDR為位址信號。信號WDA為寫入資料，信號RDA為讀出資料。信號PON1、PON2為電源閘控控制用信號。此外，信號PON1、信號PON2也可以在控制電路473中生成。

【0275】控制電路473為具有控制記憶體裝置480的整體工作的功能的邏輯電路。例如，控制電路對信號CE、信號GW及信號BW進行邏輯運算來決定記憶體裝置480的工作模式(例如，寫入工作、讀出工作)。或者，控制電路473生成驅動電路440的控制信號，以執行上述工作模式。

【0276】電壓生成電路474具有生成負電壓的功能。信號WAKE具有控制對電壓生成電路474輸入信號CLK的功能。例如，當信號WAKE被施加H位準的信號時，信號CLK被輸入到電壓生成電路474，電壓生成電路474生成負電壓。

【0277】驅動電路440是用來對記憶單元432進行資料的寫入及讀出的電路。驅動電路440除了行解碼器442(Row Decoder)、列解碼器444(Column Decoder)、行驅動器443(Row Driver)、列驅動器445(Column Driver)、輸入電路447(Input Cir.)、輸出電路448(Output Cir.)之外還包括上述感測放大器446。

【0278】行解碼器442及列解碼器444具有對信號ADDR進行解碼的功能。行解碼器442是用來指定要訪問行的電路，列解碼器444是用來指定要訪問列的電路。行驅

動器443具有選擇由行解碼器442指定的佈線WL的功能。列驅動器445具有如下功能：將資料寫入記憶單元432的功能；從記憶單元432讀出資料的功能；保持所讀出的資料的功能等。

【0279】輸入電路447具有保持信號WDA的功能。輸入電路447中保持的資料輸出到列驅動器445。輸入電路447的輸出資料是寫入記憶單元432的資料(Din)。由列驅動器445從記憶單元432讀出的資料(Dout)被輸出至輸出電路448。輸出電路448具有保持Dout的功能。此外，輸出電路448具有將Dout輸出到記憶體裝置480的外部的功能。從輸出電路448輸出的資料為信號RDA。

【0280】PSW471具有控制向週邊電路422供給VDD的功能。PSW472具有控制向行驅動器443供給VHM的功能。在此，記憶體裝置480的高電源電壓為VDD，低電源電壓為GND(接地電位)。此外，VHM是用來使字線成為高位準的高電源電壓，其高於VDD。利用信號PON1控制PSW471的開/關，利用信號PON2控制PSW472的開/關。在圖27中，週邊電路422中被供應VDD的電源域的個數為1，但是也可以為多個。此時，可以對各電源域設置功率開關。

【0281】元件層430[1]至430[m]可以重疊設置在層420上。圖28A是示出將五層(m=5)的元件層430[1]至430[5]層疊設置在層420上的情況的記憶體裝置480的立體圖。

【0282】在圖28A中，將設置在第一層中的元件層430記作元件層430[1]，將設置在第二層中的元件層430記作

元件層430[2]，將設置在第五層中的元件層430記作元件層430[5]。另外，圖28A示出延伸設置在X方向上的佈線WL及佈線PL以及延伸設置在Y方向及Z方向(垂直於設置有驅動電路的基板表面的方向)上的佈線BL及佈線BLB。佈線BLB是反轉位元線。注意，為了使圖式更易懂，省略元件層430的每一個所包括的佈線WL及佈線PL的一部分的記載。

【0283】圖28B是說明圖28A所示的連接於佈線BL及佈線BLB的感測放大器446以及連接於佈線BL及佈線BLB的元件層430[1]至430[5]所包括的記憶單元432的結構例子的示意圖。另外，將多個記憶單元(記憶單元432)電連接於一個佈線BL及佈線BLB的結構也稱為“記憶體串”。

【0284】圖28B示出連接於佈線BLB的記憶單元432的電路結構的一個例子。記憶單元432包括電晶體437及電容器438。關於電晶體437、電容器438及各佈線(BL及WL等)，例如有時將佈線BL[1]及佈線WL[1]稱為佈線BL及佈線WL等。作為記憶單元432，例如可以使用上述實施方式中示出的記憶單元30。也就是說，作為電晶體437可以使用電晶體10，並且作為電容器438可以使用電容器50。此外，作為感測放大器446所包括的電晶體可以使用電晶體90(參照圖26)。

【0285】在記憶單元432中，電晶體437的源極和汲極中的一個與佈線BL連接。電晶體437的源極和汲極中的另一個與電容器438的一個電極連接。電容器438的另一個電

極與佈線PL連接。電晶體437的閘極與佈線WL連接。

【0286】佈線PL是供應用來儲存電容器438的電位的恆電位的佈線。藉由連接多個佈線PL而將其用作一個佈線，可以減少佈線數。

【0287】在本發明的一個實施方式中，在層疊設置OS電晶體的同時將用作位元線的佈線配置在垂直於設置有層420的基板表面的方向上。並且，在垂直於設置有層420的基板表面的方向上排列配置記憶單元432所包括的電晶體437及電容器438。藉由在垂直於基板表面的方向上設置各元件及各佈線，可以縮短元件層間的佈線長度，而且可以提高設置在單位面積上的元件密度。由此，可以實現降低記憶容量及功耗的方面優異的記憶體裝置。

【0288】

[記憶單元432及感測放大器446的結構例子]

圖29A及圖29B是說明對應於上述記憶單元432的電路圖及對應於該電路圖的電路方塊圖。如圖29A及圖29B所示，有時在圖式等中將記憶單元432表示為方塊。此外，即使在將佈線BL置換成佈線BLB的情況下，也可以同樣地表示圖29A及圖29B所示的佈線BL。

【0289】另外，圖29C及圖29D是說明對應於上述感測放大器446的電路圖及對應於該電路圖的電路方塊圖。感測放大器446中示出開關電路482、預充電電路483、預充電電路484、放大電路485。此外，除了佈線BL及佈線BLB之外還示出輸出被讀出的信號的佈線SA_OUT及佈線

SA_OUTB。

【0290】如圖29C所示，開關電路482例如包括n通道型電晶體482_1及電晶體482_2。電晶體482_1及電晶體482_2根據信號CSEL切換佈線SA_OUT與佈線SA_OUTB的佈線對以及佈線BL與佈線BLB的佈線對的導通狀態。

【0291】如圖29C所示，預充電電路483由n通道型電晶體483_1、電晶體483_2及電晶體483_3構成。預充電電路483是用來進行預充電以根據信號EQ而使佈線BL及佈線BLB的電位成為相當於電位VDD/2的中間電位VPRE的電路。

【0292】如圖29C所示，預充電電路484由p通道型電晶體484_1、電晶體484_2及電晶體484_3構成。預充電電路484是用來進行預充電以根據信號EQB而使佈線BL及佈線BLB的電位成為相當於電位VDD/2的中間電位VPRE的電路。

【0293】如圖29C所示，放大電路485由與佈線SAP或佈線SAN連接的p通道型電晶體485_1及電晶體485_2以及n通道型電晶體485_3及電晶體485_4構成。佈線SAP或佈線SAN是具有供應VDD或VSS的功能的佈線。電晶體485_1至電晶體485_4是構成反相器環路的電晶體。

【0294】此外，圖29D例如是示出對應於圖29C中說明的感測放大器446的電路方塊圖。如圖29D所示，有時在圖式等中將感測放大器446表示為方塊。

【0295】圖30是圖27的記憶體裝置480的方塊圖。在

圖30中使用圖29B及圖29D中說明的電路方塊。

【0296】如圖30所示，具有元件層430[m]的層470包括記憶單元432。作為一個例子，圖30所示的記憶單元432連接於成對的佈線BL[1]和佈線BLB[1]或佈線BL[2]和佈線BLB[2]。連接於佈線BL的記憶單元432是進行資料的寫入或讀出的記憶單元。

【0297】佈線BL[1]及佈線BLB[1]與感測放大器446[1]連接，佈線BL[2]及佈線BLB[2]與感測放大器446[2]連接。感測放大器446[1]及感測放大器446[2]可以根據圖29D中說明的各種信號而讀出資料。

【0298】本實施方式的至少一部分可以與本說明書中所記載的其他實施方式適當地組合而實施。

【0299】

實施方式3

在本實施方式中，對可用於本發明的一個實施方式的電晶體的顯示裝置的結構例子進行說明。

【0300】本發明的一個實施方式的電晶體可以形成為極微細，所以使用本發明的一個實施方式的電晶體的顯示裝置可以為極高清晰的顯示裝置。例如，可以將本發明的一個實施方式的顯示裝置用於手錶型及手鐲型等資訊終端設備(可穿戴裝置)的顯示部及頭戴顯示器等VR用設備及眼鏡型AR用設備等可戴在頭上的可穿戴裝置(HMD：Head Mounted Display)的顯示部。

【0301】

[顯示模組]

圖31A示出顯示模組280的立體圖。顯示模組280包括顯示裝置200A及FPC290。注意，顯示模組280所包括的顯示裝置不侷限於顯示裝置200A，也可以是將在後面說明的顯示裝置200B或顯示裝置200C。

【0302】顯示模組280包括基板291及基板292。顯示模組280包括顯示部281。顯示部281是顯示影像的區域。

【0303】圖31B示出基板291一側的結構的立體示意圖。基板291上層疊有電路部282、電路部282上的像素電路部283及該像素電路部283上的像素部284。此外，基板291的不與像素部284重疊的區域上設置有用來連接到FPC290的端子部285。端子部285與電路部282藉由由多個佈線構成的佈線部286電連接。

【0304】像素部284包括週期性地排列的多個像素284a。圖31B的右側示出一個像素284a的放大圖。像素284a包括發射紅色光的發光元件110R、發射綠色光的發光元件110G以及發射藍色光的發光元件110B。

【0305】像素電路部283包括週期性地排列的多個像素電路283a。一個像素電路283a控制一個像素284a所包括的三個發光元件的發光。一個像素電路283a可以包括控制一個發光元件的發光的三個電路。例如，像素電路283a可以採用對於一個發光元件至少具有一個選擇電晶體、一個電流控制用電晶體(驅動電晶體)和電容器的結構。此時，選擇電晶體的閘極被輸入閘極信號，源極被輸入源極信

號。由此，可以實現主動矩陣型顯示裝置。

【0306】電路部282包括用於驅動像素電路部283的各像素電路283a的電路。例如，較佳為包括閘極線驅動電路和源極線驅動電路中的一個或兩者。此外，還可以具有運算電路、記憶體電路和電源電路等中的至少一個。另外，設置在電路部282中的電晶體也可以構成像素電路283a的一部分。就是說，也可以由像素電路部283所包括的電晶體及電路部282所包括的電晶體構成像素電路283a。

【0307】FPC290用作從外部向電路部282供應視頻信號或電源電位等的佈線。此外，也可以在FPC290上安裝IC。

【0308】顯示模組280可以採用像素部284的下側重疊設置有像素電路部283和電路部282中的一個或兩者的結構，所以可以使顯示部281具有極高的開口率(有效顯示面積比)。例如，顯示部281的開口率可以為40%以上且低於100%，較佳為50%以上且95%以下，更佳為60%以上且95%以下。此外，能夠極高密度地配置像素284a，由此可以使顯示部281具有極高的清晰度。例如，顯示部281較佳為以2000ppi以上、更佳為3000ppi以上、進一步較佳為5000ppi以上、更進一步較佳為6000ppi以上且20000ppi以下或30000ppi以下的清晰度配置像素284a。

【0309】這種顯示模組280非常清晰，所以適合用於頭戴式顯示器等VR用設備或眼鏡型AR用設備。例如，因為顯示模組280具有清晰度極高的顯示部281，所以在透過

透鏡觀看顯示模組280的顯示部的結構中，即使用透鏡放大顯示部也用戶看不到像素，由此可以實現具有高度沉浸感的顯示。此外，顯示模組280還可以應用於具有相對較小型的顯示部的電子裝置。例如，適合用於手錶型裝置等可穿戴式電子裝置的顯示部。

【0310】

[顯示裝置200A]

圖32所示的顯示裝置200A包括基板331、發光元件110R、發光元件110G、發光元件110B、電容器240及電晶體10。

【0311】基板331相當於圖31A中的基板291。由於電晶體10的結構可以參照實施方式1，所以省略說明。

【0312】基板331上設置有絕緣層332，絕緣層332上設置有電晶體10。絕緣層332被用作阻擋層，該阻擋層防止水或氫等雜質從基板331擴散到電晶體10且防止氧從半導體層21向絕緣層332一側脫離。作為絕緣層332，例如可以使用與氧化矽膜相比氫或氧不容易擴散的膜諸如氧化鋁膜、氧化鉿膜或氮化矽膜等。

【0313】絕緣層42、絕緣層46，絕緣層49及絕緣層266被用作層間絕緣層。絕緣層266與絕緣層49間也可以設置有防止水或氫等雜質例如從絕緣層266擴散到電晶體10的阻擋層。作為阻擋層，可以使用與絕緣層332同樣的絕緣膜。

【0314】與導電層32中的一個電連接的插頭274以嵌

入絕緣層266、絕緣層49、絕緣層46及絕緣層42的方式設置。在此，插頭274較佳為具有覆蓋絕緣層266、絕緣層49、絕緣層46及絕緣層42各自的開口部的側面及導電層32的頂面的一部分的導電層274a以及位於導電層274a的內側且填充上述開口部的導電層274b。此時，作為導電層274a，較佳為使用不容易擴散氫及氧的導電材料。

【0315】另外，絕緣層266上設置有電容器240。電容器240包括導電層241、導電層245及位於它們之間的絕緣層243。導電層241用作電容器240的一個電極，導電層245用作電容器240的另一個電極，並且絕緣層243用作電容器240的介電質。

【0316】導電層241設置在插頭274及絕緣層266上，並嵌入絕緣層254中。導電層241藉由插頭274與電晶體10的導電層32電連接。絕緣層243覆蓋導電層241而設置。導電層245設置在隔著絕緣層243與導電層241重疊的區域中。

【0317】覆蓋電容器240設置有絕緣層255a，絕緣層255a上設置有絕緣層255b，絕緣層255b上設置有絕緣層255c。

【0318】絕緣層255a、絕緣層255b及絕緣層255c可以適當地使用無機絕緣膜。例如，較佳的是，作為絕緣層255a及絕緣層255c使用氧化矽膜，作為絕緣層255b使用氮化矽膜。由此，絕緣層255b可以用作蝕刻保護膜。雖然在本實施方式中示出絕緣層255c的一部分被蝕刻而設置有凹

部的例子，但是也可以不在絕緣層255c中設置凹部。

【0319】絕緣層255c上設置有發光元件110R、發光元件110G及發光元件110B。發光元件110R、發光元件110G及發光元件110B的詳細將在實施方式3中進行說明。

【0320】發光元件110R包括像素電極111R、有機層112R、共用層114及共用電極113。發光元件110G包括像素電極111G、有機層112G、共用層114及共用電極113。發光元件110B包括像素電極111B、有機層112B、共用層114及共用電極113。共用層114和共用電極113共同設置在發光元件110R、發光元件110G及發光元件110B中。

【0321】發光元件110R所包括的有機層112R包含至少發射紅色光的發光有機化合物。發光元件110G所包括的有機層112G包含至少發射綠色光的發光有機化合物。發光元件110B所包括的有機層112B包含至少發射藍色光的發光有機化合物。有機層112R、有機層112G及有機層112B各自也可以被稱為EL層，至少包括具有發光有機化合物的層(發光層)。

【0322】顯示裝置200A按每個發光顏色分別形成發光器件，所以低亮度的發光和高亮度的發光之間的色度變化小。另外，有機層112R、有機層112G及有機層112B彼此分離，所以即使採用高清晰顯示裝置也可以抑制在相鄰的子像素間發生串擾。因此，可以實現高清晰且顯示品質高的顯示裝置。

【0323】相鄰的發光元件間的區域設置有絕緣層

125、樹脂層126及層128。

【0324】發光元件的像素電極111R、像素電極111G及像素電極111B藉由嵌入在絕緣層255a、絕緣層255b及絕緣層255c中的插頭256、嵌入在絕緣層254中的導電層241以及插頭274與電晶體10的導電層32電連接。絕緣層255c的頂面的高度與插頭256的頂面的高度一致或大致一致。作為插頭可以使用各種導電材料。

【0325】另外，發光元件110R、發光元件110G及發光元件110B上設置有保護層121。保護層121上由黏合層171貼合有基板170。

【0326】相鄰的兩個像素電極111間不設置有覆蓋像素電極111的頂面端部的絕緣層。因此，可以使相鄰的發光元件間的間隔非常小。因此，可以實現高清晰或高解析度的顯示裝置。

【0327】

[顯示裝置200B]

以下，對部分結構與上述例子不同的顯示裝置進行說明。注意，與上述相同的部分參照上述說明，有時省略說明。

【0328】圖33所示的顯示裝置200B示出為半導體層形成在平面上的平面型電晶體的電晶體10A與為縱向通道型電晶體的電晶體10層疊的例子。

【0329】電晶體10A包括半導體層351、絕緣層353、導電層354、一對導電層355、絕緣層356及導電層357。

【0330】在基板331上設置有絕緣層352。絕緣層352用作阻擋層，該阻擋層防止水或氫等雜質從基板331擴散到電晶體10且防止氧從半導體層351向絕緣層352一側脫離。作為絕緣層352，例如可以使用與氧化矽膜相比氫或氧不容易擴散的膜諸如氧化鋁膜、氧化鉿膜或氮化矽膜等。

【0331】在絕緣層352上設置有導電層357，並在絕緣層352上以覆蓋導電層357的方式設置有絕緣層356。導電層357用作電晶體10A的第一閘極電極，絕緣層356的一部分用作第一閘極絕緣層。絕緣層356中的至少接觸半導體層351的區域較佳為使用氧化矽膜等氧化物絕緣膜。絕緣層356的頂面較佳為被平坦化。

【0332】半導體層351設置在絕緣層356上。半導體層351較佳為含有呈現半導體特性的金屬氧化物(也稱為氧化物半導體)膜。一對導電層355接觸於半導體層351上並用作源極電極及汲極電極。

【0333】覆蓋一對導電層355的頂面及側面以及半導體層351的側面等設置有絕緣層358、絕緣層350。絕緣層358被用作阻擋層，該阻擋層防止水或氫等雜質擴散到半導體層351以及氧從半導體層351脫離。作為絕緣層358，可以使用與上述絕緣層352相同的絕緣膜。

【0334】絕緣層358及絕緣層350中設置有到達半導體層351的開口部。該開口部的內部嵌入有接觸於半導體層351的頂面的絕緣層353、以及導電層354。導電層354被用

作第二閘極電極，絕緣層353被用作第二閘極絕緣層。

【0335】以導電層354的頂面、絕緣層353的頂面及絕緣層350的頂面的高度一致或大致一致的方式對其進行平坦化處理，以覆蓋它們的方式設置有絕緣層359。絕緣層359用作防止水或氫等雜質擴散到電晶體10的阻擋層。絕緣層359可以使用與上述絕緣層352相同的絕緣膜。

【0336】作為電晶體10，採用兩個閘極夾持形成通道的半導體層的結構。此外，也可以連接兩個閘極，並藉由對該兩個閘極供應同一信號，來驅動電晶體。或者，也可以藉由對兩個閘極中的一個施加用來控制臨界電壓的電位，並對另一個施加用來進行驅動的電位，來控制電晶體的臨界電壓。

【0337】絕緣層359上設置有絕緣層361，在絕緣層361、絕緣層359、絕緣層350及絕緣層358中嵌入有插頭374。在此，插頭374較佳為包括覆蓋絕緣層361、絕緣層359、絕緣層350及絕緣層358各自的開口部的側面和導電層355的頂面的一部分的導電層374a以及位於導電層374a的內側且填充上述開口部的導電層374b。導電層374a可以使用與可用於導電層274a的材料相同的材料，導電層374b可以使用與可用於導電層274b的材料相同的材料。

【0338】插頭374及絕緣層361上設置有導電層371。導電層371與電晶體10A的導電層355藉由插頭374電連接。另外，絕緣層362以覆蓋導電層371的方式設置在絕緣層361上。並且，絕緣層362上設置有絕緣層332。

【0339】

[顯示裝置200C]

圖34所示的顯示裝置200C包括在半導體基板形成有通道的電晶體310與為縱向通道型電晶體的電晶體10的疊層結構。

【0340】電晶體310是在基板301中具有通道形成區域的電晶體。作為基板301，例如可以使用如單晶矽基板等半導體基板。電晶體310包括基板301的一部分、導電層311、低電阻區域312、絕緣層313及絕緣層314。導電層311被用作閘極電極。絕緣層313位於基板301與導電層311之間，並被用作閘極絕緣層。低電阻區域312是基板301中摻雜有雜質的區域，並被用作源極和汲極中的一個。絕緣層314覆蓋導電層311的側面。

【0341】此外，在相鄰的兩個電晶體310之間，以嵌入基板301的方式設置有元件分離層315。

【0342】以覆蓋電晶體310的方式設置有絕緣層261，在絕緣層261中嵌入有插頭271。插頭271及絕緣層261上設置有導電層251。導電層251與電晶體310的低電阻區域312藉由插頭271電連接。另外，絕緣層262以覆蓋導電層251的方式設置在絕緣層261上。並且，絕緣層262上設置有導電層252，導電層252上設置有絕緣層263，絕緣層263上設置有絕緣層332。

【0343】本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【0344】

實施方式4

在本實施方式中，說明可用於使用本發明的一個實施方式的電晶體製造的顯示裝置的顯示裝置的結構例子。以下示出的顯示裝置例如可用於上述實施方式3的像素部284。

【0345】本發明的一個實施方式是包括發光元件的顯示裝置。顯示裝置至少包括發光顏色不同的兩個以上的像素。像素各自包括發光元件。發光元件各自包括一對電極及其間的EL層。發光元件較佳為有機EL元件(有機電致發光元件)。發射不同顏色的兩個以上的發光元件各自包括包含不同材料的EL層。例如，藉由包括分別發射紅色(R)、綠色(G)或藍色(B)的光的三種發光元件，可以實現全彩色顯示裝置。

【0346】在製造包括發光顏色不同的多個發光元件的顯示裝置時，需要將至少包含發光材料的層(發光層)分別形成為島狀。這裡，已知在分別形成EL層的一部分或全部時，利用使用金屬遮罩等陰影遮罩的蒸鍍法形成島狀有機膜的方法。然而，這方法由於金屬遮罩的精度、金屬遮罩與基板的錯位、金屬遮罩的撓曲以及蒸氣散射等所導致的沉積了的膜的輪廓變大等的各種影響，而島狀有機膜的形狀及位置與設計時的形狀及位置產生偏差，難以實現顯示裝置的高清晰化及高開口率化。此外，在蒸鍍中，有時因層的輪廓模糊而端部的膜厚度變小。就是說，有時根據位

置而島狀發光層的膜厚度不同。另外，當製造大型且高解析度或高清晰的顯示裝置時，有如下擔擾：由於金屬遮罩的低尺寸精度及熱等所引起的變形，製造良率下降。因此，例如已進行如下措施：藉由採用Pentile排列等特殊像素排列方式而類比地提高清晰度(也稱為像素密度)。

【0347】注意，在本說明書等中，島狀是指使用在同一製程中形成的同一材料的兩個以上的層物理分離的狀態。例如，島狀發光層是指該發光層與相鄰的發光層物理分離的狀態。

【0348】在本發明的一個實施方式中，不使用高精細金屬遮罩(FMM)等陰影遮罩而利用光微影法將EL層加工為微細圖案。因此，可以實現目前難以實現的具有高清晰度和高開口率的顯示裝置。另外，由於可以分別製造EL層，所以可以實現非常鮮明且對比度高的顯示品質高的顯示裝置。另外，例如，也可以使用金屬遮罩和光微影的兩者將EL層加工為微細圖案。

【0349】另外，可以物理性地分離EL層的一部分或全部。由此，可以抑制經由相鄰的發光元件共通使用的層(也稱為共用層)的發光元件間的洩漏電流。因此，可以抑制因非意圖性的發光而發生的串擾，從而可以實現對比度非常高的顯示裝置。尤其是，可以實現在低亮度下電流效率高的顯示裝置。

【0350】本發明的一個實施方式也可以實現組合白色發光的發光元件和濾色片的顯示裝置。在此情況下，可以

將相同結構的發光元件用於發射不同顏色的光的像素(子像素)中的各發光元件，各發光元件中的所有層都可以用作共用層。再者，也可以藉由利用光微影切斷各EL層的一部分或全部。由此，可以抑制經由共用層的洩漏電流而可以實現對比度高的顯示裝置。尤其是，在具有隔著導電性高的中間層層疊多個發光層的串聯結構的元件中，可以有效地防止經由該中間層的洩漏電流，所以可以實現兼具高亮度、高清晰度及高對比的顯示裝置。

【0351】當利用光微影法加工EL層時，有時因發光層的一部分露出導致劣化。因此，較佳為設置至少覆蓋島狀發光層的側面的絕緣層。該絕緣層也可以覆蓋島狀EL層的頂面的一部分。該絕緣層較佳為使用對水及氧具有阻擋性的材料。例如，可以使用不容易使水或氧擴散的無機絕緣膜。由此，可以抑制EL層的劣化而可以實現可靠性高的顯示裝置。

【0352】另外，在相鄰的兩個發光元件間有不設置有各發光元件的EL層的區域(凹部)。在以覆蓋該凹部的方式形成共用電極或者共用電極及共用層的情況下，有時發生共用電極因EL層端部的步階而分離的現象(也稱為斷開)，導致EL層上的共用電極被絕緣。於是，較佳為採用使用被用作平坦化膜的樹脂層填充位於相鄰的兩個發光元件間的局部性的步階的結構(也稱為LFP：Local Filling Planarization)。該樹脂層被用作平坦化膜。由此，可以抑制共用層或共用電極的斷開而可以實現可靠性高的顯示裝

置。

【0353】以下，參照圖式說明本發明的一個實施方式的顯示裝置的更具體的結構例子。

【0354】

[結構例子1]

圖35A示出本發明的一個實施方式的顯示裝置100的平面圖。顯示裝置100在基板101上包括多個呈現紅色的發光元件110R、多個呈現綠色的發光元件110G及多個呈現藍色的發光元件110B。在圖35A中為了便於區別各發光元件，在各發光元件的發光區域內附上符號R、G或B。

【0355】發光元件110R、發光元件110G及發光元件110B都以矩陣狀排列。圖35A示出同一顏色的發光元件在一個方向上排列的所謂條紋排列。注意，發光元件的排列方法不侷限於此，還可以使用S條紋排列、Delta排列、拜耳排列或鋸齒形(zigzag)排列等排列方法，也可以使用Pentile排列或Diamond排列等。

【0356】作為發光元件110R、發光元件110G及發光元件110B，較佳為使用OLED(Organic Light Emitting Diode：有機發光二極體)或QLED(Quantum-dot Light Emitting Diode：量子點發光二極體)。作為EL元件含有的發光物質，可以舉出發射螢光的物質(螢光材料)、發射磷光的物質(磷光材料)及呈現熱活化延遲螢光的物質(熱活性化延遲螢光(Thermally activated delayed fluorescence：TADF)材料)。作為EL元件所包含的發光物質，除了有機

化合物之外還可以使用無機化合物(例如量子點材料)。

【0357】另外，圖35A示出與共用電極113電連接的連接電極111C。連接電極111C被供應用來對共用電極113供應的電位(例如，陽極電位或陰極電位)。連接電極111C例如設置在發光元件110R排列的顯示區域的外側。

【0358】連接電極111C可以沿著顯示區域的外周設置。例如，既可以沿著顯示區域的外周的一個邊設置，又可以橫跨顯示區域的外周的兩個以上的邊設置。就是說，在顯示區域的頂面形狀為長方形的情況下，連接電極111C的頂面形狀可以為帶狀(長方形)、L字狀、“冂”字狀(方括號狀)或四角形等。

【0359】圖35B、圖35C分別是對應於圖35A中的截斷線D1-D2及截斷線D3-D4的剖面圖。圖35B示出發光元件110R、發光元件110G及發光元件110B的剖面，圖35C示出連接電極111C與共用電極113連接的連接部140的剖面。

【0360】發光元件110R包括像素電極111R、有機層112R、共用層114及共用電極113。發光元件110G包括像素電極111G、有機層112G、共用層114及共用電極113。發光元件110B包括像素電極111B、有機層112B、共用層114及共用電極113。發光元件110R、發光元件110G、發光元件110B共通使用共用層114及共用電極113。

【0361】發光元件110R所包括的有機層112R包含至少發射紅色光的發光有機化合物。發光元件110G所包括的有機層112G包含至少發射綠色光的發光有機化合物。發光

元件110B所包括的有機層112B包含至少發射藍色光的發光有機化合物。有機層112R、有機層112G及有機層112B各自也可以被稱為EL層，至少包括具有發光有機化合物的層(發光層)。

【0362】以下，在說明發光元件110R、發光元件110G及發光元件110B之間共同的內容時有時將其稱為發光元件110進行說明。同樣地，在說明有機層112R、有機層112G及有機層112B等用字母進行區別的組件之間共同的內容時，有時用省略字母的符號進行說明。

【0363】有機層112及共用層114可以分別獨立包括電子注入層、電子傳輸層、電洞注入層和電洞傳輸層中的一個以上。例如，有機層112從像素電極111一側層疊有電洞注入層、電洞傳輸層、發光層、電子傳輸層的疊層結構，並且共用層114包括電子注入層。

【0364】像素電極111R、像素電極111G及像素電極111B都設置在每個發光元件中。另外，共用電極113及共用層114設置為各發光元件共通使用的一個層。作為各像素電極和共用電極113中的任一方使用對可見光具有透光性的導電膜且另一方使用具有反射性的導電膜。藉由使各像素電極具有透光性且使共用電極113具有反射性可以實現底面發射型(底部發射結構)的顯示裝置，與此相反，藉由使各像素電極具有反射性且使共用電極113具有透光性可以實現頂面發射型(頂部發射結構)的顯示裝置。另外，藉由使各像素電極和共用電極113的兩者具有透光性，也

可以實現雙面發射型(雙面發射結構)的顯示裝置。

【0365】在共用電極113上以覆蓋發光元件110R、發光元件110G及發光元件110B的方式設置保護層121。保護層121具有防止水等的雜質從上方擴散到各發光元件的功能。

【0366】像素電極111的端部較佳為具有錐形形狀。在像素電極111的端部具有錐形形狀時，沿著像素電極111的端部設置的有機層112也可以具有錐形形狀。藉由使像素電極111的側面具有錐形形狀，可以提高跨著像素電極111的端部設置的有機層112的覆蓋性。另外，藉由使像素電極111的側面具有錐形形狀，可以藉由洗滌處理等容易去除製程中的異物(例如，灰塵或微粒等)，所以是較佳的。

【0367】注意，在本說明書等中，錐形形狀是指組件的側面的至少一部分相對於基板面傾斜地設置的形狀。例如，較佳為具有傾斜的側面和基板面(也稱為錐角)小於90°的區域。

【0368】有機層112利用光微影法被加工為島狀。因此，有機層112在其端部具有頂面與側面所成的角近於90度的形狀。另一方面，例如使用FMM(Fine Metal Mask，高精細金屬遮罩)形成的有機膜的膜厚度有越接近端部越減薄的傾向，例如，距端部1μm以上且10μm以下的範圍頂面形成為坡狀，因此難以區別頂面與側面。

【0369】相鄰的兩個發光元件間設置有絕緣層125、

樹脂層126及層128。

【0370】在相鄰的兩個發光元件間，各有機層112的側面隔著樹脂層126彼此相對。樹脂層126位於相鄰的兩個發光元件間且以填充各有機層112的端部和兩個有機層112間的區域的方式設置。樹脂層126的頂面具有平滑的凸狀形狀，以覆蓋樹脂層126的頂面的方式設置共用層114及共用電極113。

【0371】樹脂層126被用作填充位於相鄰的兩個發光元件間的步階的平坦化膜。藉由設置樹脂層126，可以防止共用電極113因有機層112的端部的步階被分離的現象(也稱為斷開)導致有機層112上的共用電極113被絕緣。樹脂層126也可以稱為LFP(Local Filling Planarization)層。

【0372】作為樹脂層126，可以適合使用包含有機材料的絕緣層。例如，作為樹脂層126可以使用丙烯酸樹脂、聚醯亞胺樹脂、環氧樹脂、亞胺樹脂、聚醯胺樹脂、聚醯亞胺醯胺樹脂、矽酮樹脂、矽氧烷樹脂、苯并環丁烯類樹脂、酚醛樹脂及上述樹脂的前驅物等。另外，作為樹脂層126，也可以使用聚乙烯醇(PVA)、聚乙烯醇縮丁醛、聚乙烯吡咯烷酮、聚乙二醇、聚甘油、普魯蘭、水溶性纖維素或者醇可溶性聚醯胺樹脂等有機材料。

【0373】另外，作為樹脂層126，也可以使用感光性樹脂。作為感光性樹脂也可以使用光阻劑。感光性樹脂可以使用正型材料或負型材料。

【0374】樹脂層126也可以包含吸收可見光的材料。

例如，樹脂層126本身可以由吸收可見光的材料構成，樹脂層126也可以包含吸收可見光的顏料。作為樹脂層126，例如可以使用如下樹脂：能夠用於可被用作透射紅色、藍色或綠色的光且吸收其他光的濾色片的樹脂；或者作為顏料包含碳黑且被用作黑矩陣的樹脂；等。

【0375】絕緣層125以具有與有機層112的側面接觸的區域的方式設置。另外，絕緣層125覆蓋有機層112的上端部。另外，絕緣層125的一部分與基板101的頂面接觸。

【0376】絕緣層125位於樹脂層126與有機層112間且被用作防止樹脂層126接觸於有機層112的保護膜。在有機層112與樹脂層126接觸時，有可能例如由於形成樹脂層126時使用的有機溶劑而有機層112被溶解。因此，藉由在有機層112與樹脂層126間設置絕緣層125，可以保護有機層112的側面。

【0377】絕緣層125可以為包含無機材料的絕緣層。作為絕緣層125，可以使用氧化絕緣膜、氮化絕緣膜、氧氮化絕緣膜及氮氧化絕緣膜等無機絕緣膜。絕緣層125可以為單層結構，也可以為疊層結構。作為氧化絕緣膜，可以舉出氧化矽膜、氧化鋁膜、氧化鎂膜、銦鎵鋅氧化物膜、氧化鎵膜、氧化鍺膜、氧化釔膜、氧化鋯膜、氧化鑭膜、氧化釹膜、氧化鉿膜及氧化鉭膜等。作為氮化絕緣膜，可以舉出氮化矽膜及氮化鋁膜等。作為氧氮化絕緣膜，可以舉出氧氮化矽膜及氧氮化鋁膜等。作為氮氧化絕緣膜，可以舉出氮氧化矽膜及氮氧化鋁膜等。尤其是，藉

由將利用ALD法形成的氧化鋁膜或氧化鉿膜等氧化金屬膜或者氧化矽膜等無機絕緣膜用於絕緣層125，可以形成針孔較少且保護EL層功能優異的絕緣層125。

【0378】在本說明書等中，“氧氮化物”是指在其組成中氧含量多於氮含量的材料，而“氮氧化物”是指在其組成中氮含量多於氧含量的材料。例如，在記載為“氧氮化矽”時指在其組成中氧含量多於氮含量的材料，而在記載為“氮氧化矽”時指在其組成中氮含量多於氧含量的材料。

【0379】絕緣層125可以利用濺射法、CVD法、PLD法或ALD法等形成。絕緣層125較佳為利用覆蓋性良好的ALD法形成。

【0380】另外，也可以藉由在絕緣層125與樹脂層126之間設置反射膜(例如，包含選自銀、鈀、銅、鈦和鋁等中的一個或多個的金屬膜)而使上述反射膜反射發光層所發射的光。由此，可以進一步提高光提取效率。

【0381】層128是用來在蝕刻有機層112時保護有機層112的保護層(也稱為遮罩層、犧牲層)的一部分殘留的部分。層128可以使用可用於上述絕緣層125的材料。尤其是，層128及絕緣層125較佳為都使用相同材料，由此例如可以使用相同的用來進行加工的裝置。

【0382】尤其是，由於在利用ALD法形成的氧化鋁膜或氧化鉿膜等氧化金屬膜或者氧化矽膜等無機絕緣膜中針孔較少的膜，所以保護EL層的功能優異，因此可以適合用於絕緣層125及層128。

【0383】保護層121例如可以具有至少包括無機絕緣膜的單層結構或疊層結構。作為無機絕緣膜，例如可以舉出氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氧氮化鋁膜及氧化鉿膜等的氧化物膜或氮化物膜。或者，作為保護層121也可以使用銦鎵氧化物、銦鋅氧化物、銦錫氧化物、銦鎵鋅氧化物等的半導體材料或導電材料。

【0384】作為保護層121也可以使用無機絕緣膜與有機絕緣膜的疊層膜。例如，較佳為在一對無機絕緣膜間夾持有機絕緣膜。另外，有機絕緣膜較佳為被用作平坦化膜。因此，可以使有機絕緣膜的頂面平坦，所以其上的無機絕緣膜的覆蓋性提高，由此可以提高阻擋性。另外，保護層121的頂面變平坦，所以當在保護層121的上方設置結構物(例如，濾色片、觸控感測器的電極或透鏡陣列等)時可以減少起因於下方結構的凹凸形狀的影響，所以是較佳的。

【0385】圖35C示出連接電極111C與共用電極113電連接的連接部140。在連接部140中，在連接電極111C上，絕緣層125及樹脂層126中設置有開口部。在該開口部，連接電極111C與共用電極113電連接。

【0386】注意，圖35C示出連接電極111C與共用電極113電連接的連接部140，但是也可以在連接電極111C上隔著共用層114設置共用電極113。尤其是，在作為共用層114使用載子注入層的情況下，用於該共用層114的材料的

電阻率充分低且其膜厚度也很薄，所以在很多情況下共用層114位於連接部140也沒有問題。由此，可以使用相同陰影遮罩形成共用電極113及共用層114，所以可以降低製造成本。

【0387】

[結構例子2]

以下，說明部分結構與上述結構例子1不同的顯示裝置。注意，關於與上述結構例子1相同的部分有時參照上述結構例子1而省略說明。

【0388】圖36A示出顯示裝置100a的剖面。顯示裝置100a與顯示裝置100的主要不同之處在於：發光元件的結構；以及前者包括彩色層。

【0389】顯示裝置100a包括呈現白色光的發光元件110W。發光元件110W包括像素電極111、有機層112W、共用層114及共用電極113。有機層112W呈現白色發光。例如，有機層112W可以包含發光顏色處於補色關係的兩種以上的發光材料。例如，有機層112W可以包含發射紅色光的發光有機化合物、發射綠色光的發光有機化合物以及發射藍色光的發光有機化合物。另外，也可以包含發射藍色光的發光有機化合物以及發射黃色光的發光有機化合物。

【0390】在相鄰的兩個發光元件110W之間，各有機層112W分離。由此，可以抑制藉由有機層112W流過相鄰的發光元件110W間的洩漏電流，而可以抑制起因於該洩

漏電流的串擾。因此，可以實現對比度及顏色再現性高的顯示裝置。

【0391】保護層121上設置有用作平坦化膜的絕緣層122，絕緣層122上設置有彩色層116R、彩色層116G及彩色層116B。

【0392】作為絕緣層122，可以使用有機樹脂膜或頂面被平坦化的無機絕緣膜。因為絕緣層122為彩色層116R、彩色層116G及彩色層116B的被形成面，所以在絕緣層122的頂面平坦時可以使彩色層116R、彩色層116G及彩色層116B等的厚度均勻，由此可以提高從各發光元件提取的光的色純度。注意，當彩色層116R、彩色層116G及彩色層116B等的厚度不均勻時，吸光量根據彩色層116R、彩色層116G及彩色層116B的中的區域而不同，由此有可能導致色純度下降。

【0393】

[結構例子3]

圖36B示出顯示裝置100b的剖面。

【0394】發光元件110R包括像素電極111、導電層115R、有機層112W及共用電極113。發光元件110G包括像素電極111、導電層115G、有機層112W及共用電極113。發光元件110B包括像素電極111、導電層115B、有機層112W及共用電極113。導電層115R、導電層115G及導電層115B都具有透光性並被用作光學調整層。

【0395】藉由將反射可見光的膜用作像素電極111並

將對可見光具有反射性和透射性的兩者的膜用作共用電極113，可以實現微腔諧振器(微腔)結構。此時，藉由以實現最合適的光程長的方式調整導電層115R、導電層115G及導電層115B的厚度，即便使用呈現白色發光的有機層112也可以從發光元件110R、發光元件110G和發光元件110B分別提取不同的波長的光得到加強的光。

【0396】並且，藉由在發光元件110R、發光元件110G和發光元件110B的光程上分別設置彩色層116R、彩色層116G和彩色層116B，可以提取色純度高的光。

【0397】另外，設置有覆蓋像素電極111及導電層115的端部的絕緣層123。絕緣層123的端部較佳為具有錐形形狀。藉由設置絕緣層123，可以提高形成在其上的有機層112W、共用電極113及保護層121等的覆蓋性。

【0398】有機層112W及共用電極113分別作為一連續的膜共同設置在各發光元件中。藉由採用這種結構，可以大幅度簡化顯示裝置的製程，所以是較佳的。

【0399】在此，像素電極111的端部較佳為具有幾乎垂直的形狀。由此，可以在絕緣層123的表面形成傾斜陡峭的區域，而可以在覆蓋該區域的有機層112W的一部分形成厚度薄的區域，或者可以分離有機層112W的一部分。由此，例如可以不進行利用光微影法的有機層112W的加工而抑制藉由有機層112W產生在相鄰的發光元件間的洩漏電流。

【0400】以上說明顯示裝置的結構例子。

【0401】本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【0402】

實施方式5

在本實施方式中，使用圖37至圖39對本發明的一個實施方式的電子裝置進行說明。

【0403】本實施方式的電子裝置在顯示部中包括使用本發明的一個實施方式的電晶體的顯示面板(顯示裝置)。本發明的一個實施方式的顯示裝置容易實現高清晰化及高解析度化，此外可以實現高顯示品質。因此，可以用於各種電子裝置的顯示部。

【0404】作為電子裝置，例如除了電視機、桌上型或膝上型個人電腦、用於電腦等的顯示器、數位看板、彈珠機等大型遊戲機等具有較大的螢幕的電子裝置以外，還可以舉出數位相機、數位攝影機、數位相框、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置等。

【0405】特別是，因為本發明的一個實施方式的顯示面板可以提高清晰度，所以可以適當地用於包括較小的顯示部的電子裝置。作為這種電子裝置可以舉出手錶型及手鐲型資訊終端設備(可穿戴裝置)、可戴在頭上的可穿戴裝置等諸如頭戴顯示器等VR用設備、眼鏡型AR用設備及MR用設備等。

【0406】本發明的一個實施方式的顯示面板較佳為具有極高的解析度諸如HD(像素數為1280×720)、FHD(像素

數為1920×1080)、WQHD(像素數為2560×1440)、WQXGA(像素數為2560×1600)、4K(像素數為3840×2160)、8K(像素數為7680×4320)等。尤其是，較佳為設定為4K、8K或其以上的解析度。另外，本發明的一個實施方式的顯示面板中的像素密度(清晰度)較佳為100ppi以上，較佳為300ppi以上，更佳為500ppi以上，進一步較佳為1000ppi以上，更進一步較佳為2000ppi以上，更進一步較佳為3000ppi以上，還進一步較佳為5000ppi以上，進一步較佳為7000ppi以上。藉由使用上述的具有高解析度和高清晰度中的一個或兩者的顯示面板，可以進一步提高真實感及縱深感等。此外，對本發明的一個實施方式的顯示面板的螢幕比例(縱橫比)沒有特別的限制。例如，顯示面板可以適應1：1(正方形)、4：3、16：9及16：10等各種螢幕比例。

【0407】本實施方式的電子裝置也可以包括感測器(該感測器具有感測、檢測、測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線)。

【0408】本實施方式的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊(靜態影像、動態影像及文字影像等)顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；執行各種軟體

(程式)的功能；進行無線通訊的功能；讀出儲存在儲存介質中的程式或資料的功能；等。

【0409】使用圖37A至圖37D說明可戴在頭上的可穿戴裝置的一個例子。這些可穿戴裝置具有顯示AR內容的功能和顯示VR內容的功能中的一個或兩者。此外，這些可穿戴裝置也可以具有除了AR、VR以外還顯示SR或MR的內容的功能。當電子裝置具有顯示AR、VR、SR和MR等中的至少一個的內容的功能時，可以提高使用者的沉浸感。

【0410】圖37A所示的電子裝置700A以及圖37B所示的電子裝置700B都包括一對顯示面板751、一對外殼721、通訊部(未圖示)、一對安裝部723、控制部(未圖示)、攝像部(未圖示)、一對光學構件753、邊框757以及一對鼻墊758。

【0411】顯示面板751可以應用本發明的一個實施方式的顯示面板。因此，可以實現能夠進行清晰度極高的顯示的電子裝置。

【0412】電子裝置700A及電子裝置700B都可以將由顯示面板751顯示的影像投影於光學構件753中的顯示區域756。因為光學構件753具有透光性，所以使用者可以與藉由光學構件753看到的透過影像重疊地看到顯示於顯示區域的影像。因此，電子裝置700A及電子裝置700B都是能夠進行AR顯示的電子裝置。

【0413】電子裝置700A及電子裝置700B上作為攝像

部也可以設置有能夠拍攝前方的照相機。另外，藉由在電子裝置700A及電子裝置700B設置陀螺儀感測器等的加速度感測器，可以檢測使用者的頭部朝向並將對應該方向的影像顯示在顯示區域756上。

【0414】通訊部具有無線通訊裝置，藉由該無線通訊裝置例如可以供應影像信號。另外，代替無線通訊裝置或者除了無線通訊裝置以外還可以包括能夠連接供應影像信號及電源電位的電纜的連接器。

【0415】另外，電子裝置700A以及電子裝置700B設置有電池，可以以無線方式和有線方式中的一個或兩者進行充電。

【0416】外殼721也可以設置有觸控感測器模組。觸控感測器模組具有檢測外殼721的外側的面是否被觸摸的功能。藉由觸控感測器模組，可以檢測使用者的點按操作或滑動操作等而執行各種處理。例如，藉由點按操作可以執行動態影像的暫時停止或再生等的處理，藉由滑動操作可以執行快進、快退等的處理等。另外，藉由在兩個外殼721的每一個設置觸控感測器模組，可以擴大操作範圍。

【0417】作為觸控感測器模組，可以使用各種觸控感測器。例如，可以採用靜電電容方式、電阻膜方式、紅外線方式、電磁感應方式、表面聲波式或光學方式等各種方式。尤其是，較佳為將靜電電容方式或光學方式的感測器應用於觸控感測器模組。

【0418】在使用光學方式的觸控感測器時，作為受光

器件(也稱為受光元件)可以使用光電轉換器件(也稱為光電轉換元件)。在光電轉換器件的活性層中可以使用無機半導體和有機半導體中的一個或兩者。

【0419】圖37C所示的電子裝置800A及圖37D所示的電子裝置800B都包括一對顯示部820、外殼821、通訊部822、一對安裝部823、控制部824、一對攝像部825及一對透鏡832。

【0420】顯示部820可以應用本發明的一個實施方式的顯示面板。因此，可以實現能夠進行清晰度極高的顯示的電子裝置。由此，使用者可以感受高沉浸感。

【0421】顯示部820設置在外殼821內部的藉由透鏡832能看到的位置上。另外，藉由在一對顯示部820的每一個上顯示不同影像，可以進行利用視差的三維顯示。

【0422】可以將電子裝置800A以及電子裝置800B都稱為面向VR的電子裝置。裝上電子裝置800A或電子裝置800B的使用者藉由透鏡832能看到顯示在顯示部820上的影像。

【0423】電子裝置800A及電子裝置800B較佳為具有一種機構，其中能夠調整透鏡832及顯示部820的左右位置，以根據使用者的眼睛的位置使透鏡832及顯示部820位於最合適的位置上。此外，較佳為具有一種機構，其中藉由改變透鏡832及顯示部820之間的距離來調整焦點。

【0424】使用者可以使用安裝部823將電子裝置800A或電子裝置800B裝在頭上。注意，例如在圖37C中，例示

出安裝部823具有如眼鏡的鏡腳(例如也稱為腳絲)那樣的形狀，但是不侷限於此。只要使用者能夠裝上，安裝部823就例如可以具有頭盔型或帶型的形狀。

【0425】攝像部825具有取得外部的資訊的功能。可以將攝像部825所取得的資料輸出到顯示部820。在攝像部825中可以使用影像感測器。另外，也可以設置多個相機以能夠對應望遠及廣角等多種視角。

【0426】注意，在此示出包括攝像部825的例子，設置能夠測量出與對象的距離的測距感測器(以下，也稱為檢測部)即可。換言之，攝像部825是檢測部的一個實施方式。作為檢測部例如可以使用影像感測器或雷射雷達(LIDAR：Light Detection and Ranging)等距離影像感測器。藉由使用由相機取得的影像以及由距離影像感測器取得的影像，可以取得更多的資訊，可以實現精度更高的姿態操作。

【0427】電子裝置800A也可以包括被用作骨傳導耳機的振動機構。例如，作為顯示部820、外殼821和安裝部823中的任一個或多個可以採用包括該振動機構的結構。由此，不需要另行設置頭戴式耳機、耳機或揚聲器等音響設備，而只裝上電子裝置800A就可以享受影像和聲音。

【0428】電子裝置800A以及電子裝置800B也可以都包括輸入端子。例如，可以將供應來自影像輸出設備等的影像信號以及用於對設置在電子裝置內的電池進行充電的電力等的電纜連線到輸入端子。

【0429】本發明的一個實施方式的電子裝置也可以具有與耳機750進行無線通訊的功能。耳機750包括通訊部(未圖示)，並具有無線通訊功能。耳機750藉由無線通訊功能可以從電子裝置接收資訊(例如聲音資料)。例如，圖37A所示的電子裝置700A具有藉由無線通訊功能將資訊發送到耳機750的功能。另外，例如圖37C所示的電子裝置800A具有藉由無線通訊功能將資訊發送到耳機750的功能。

【0430】另外，電子裝置也可以包括耳機部。圖37B所示的電子裝置700B包括耳機部727。例如，可以採用以有線方式連接耳機部727和控制部的結構。連接耳機部727和控制部的佈線的一部分也可以配置在外殼721或安裝部723的內部。

【0431】同樣，圖37D所示的電子裝置800B包括耳機部827。例如，可以採用以有線方式連接耳機部827和控制部824的結構。連接耳機部827和控制部824的佈線的一部分也可以配置在外殼821或安裝部823的內部。另外，耳機部827和安裝部823也可以包括磁鐵。由此，可以用磁力將耳機部827固定到安裝部823，收納變得容易，所以是較佳的。

【0432】電子裝置也可以包括能夠與耳機或頭戴式耳機等連接的聲音輸出端子。另外，電子裝置也可以包括聲音輸入端子和聲音輸入機構中的一個或兩者。作為聲音輸入機構，例如可以使用麥克風等收音裝置。藉由將聲音輸

入機構設置到電子裝置，可以使電子裝置具有所謂的耳麥的功能。

【0433】如此，作為本發明的一個實施方式的電子裝置，眼鏡型(電子裝置700A以及電子裝置700B等)和護目鏡型(電子裝置800A以及電子裝置800B等)的兩者都是較佳的。

【0434】圖38A所示的電子裝置6500是可以被用作智慧手機的可攜式資訊終端設備。

【0435】電子裝置6500包括外殼6501、顯示部6502、電源按鈕6503、按鈕6504、揚聲器6505、麥克風6506、照相機6507、光源6508及控制裝置6509等。顯示部6502具有觸控面板功能。作為控制裝置6509，例如包括選自CPU、GPU和記憶體裝置中的一個或多個。本發明的一個實施方式的半導體裝置可用於顯示部6502及控制裝置6509等。藉由將本發明的一個實施方式的半導體裝置用於控制裝置6509，可以降低功耗，因此是較佳的。

【0436】顯示部6502可以使用本發明的一個實施方式的顯示面板。

【0437】圖38B是包括外殼6501的麥克風6506一側的端部的剖面。

【0438】外殼6501的顯示面一側設置有具有透光性的保護構件6510，被外殼6501及保護構件6510包圍的空間內設置有顯示面板6511、光學構件6512、觸控感測器面板6513、印刷電路板6517及電池6518等。

【0439】顯示面板6511、光學構件6512及觸控感測器面板6513使用黏合層(未圖示)固定到保護構件6510。

【0440】在顯示部6502的外側的區域中，顯示面板6511的一部分被折疊，且該被折疊的區域部分連接有FPC6515。FPC6515安裝有IC6516。FPC6515與設置於印刷電路板6517的端子連接。

【0441】顯示面板6511可以使用本發明的一個實施方式的撓性顯示器。由此，可以實現極輕量的電子裝置。此外，由於顯示面板6511極薄，所以可以在抑制電子裝置的厚度的情況下安裝大容量的電池6518。此外，藉由折疊顯示面板6511的一部分以在像素部的背面設置與FPC6515的連接部，可以實現窄邊框的電子裝置。

【0442】圖38C示出電視機的一個例子。在電視機7100中，外殼7101中組裝有顯示部7000。在此示出利用支架7103支撐外殼7101的結構。

【0443】可以藉由利用外殼7101所具備的操作開關以及另外提供的遙控器7111進行圖38C所示的電視機7100的操作。或者，也可以在顯示部7000中具備觸控感測器，也可以藉由用指頭等觸摸顯示部7000進行電視機7100的操作。另外，也可以在遙控器7111中具備顯示從該遙控器7111輸出的資料的顯示部。藉由利用遙控器7111所具備的操作鍵或觸控面板，可以進行頻道及音量的操作，並可以對顯示在顯示部7000上的影像進行操作。

【0444】另外，電視機7100具備接收機及數據機等。

可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通訊網路，從而進行單向(從發送者到接收者)或雙向(發送者和接收者之間或接收者之間等)的資訊通訊。

【0445】圖38D示出筆記型個人電腦的一個例子。筆記型個人電腦7200包括外殼7211、鍵盤7212、指向裝置7213、外部連接埠7214及控制裝置7216等。在外殼7211中組裝有顯示部7000。作為控制裝置7216，例如包括選自CPU、GPU和記憶體裝置中的一個或多個。本發明的一個實施方式的半導體裝置可用於顯示部7000及控制裝置7216等。藉由將本發明的一個實施方式的半導體裝置用於控制裝置7216，可以降低功耗，因此是較佳的。

【0446】圖38E和圖38F示出數位看板的一個例子。

【0447】圖38E所示的數位看板7300包括外殼7301、顯示部7000及揚聲器7303等。此外，還可以包括LED燈、操作鍵(包括電源開關或操作開關)、連接端子、各種感測器、麥克風等。

【0448】圖38F示出設置於圓柱狀柱子7401上的數位看板7400。數位看板7400包括沿著柱子7401的曲面設置的顯示部7000。

【0449】顯示部7000越大，一次能夠提供的資訊量越多。顯示部7000越大，越容易吸引人的注意，例如可以提高廣告宣傳效果。

【0450】藉由將觸控面板用於顯示部7000，不僅可以

在顯示部7000上顯示靜態影像或動態影像，使用者還能夠直覺性地進行操作，所以是較佳的。另外，在用於提供路線資訊或交通資訊等資訊的用途時，可以藉由直覺性的操作提高易用性。

【0451】如圖38E和38F所示，數位看板7300或數位看板7400較佳為可以藉由無線通訊與使用者所攜帶的智慧手機等資訊終端設備7311或資訊終端設備7411聯動。例如，顯示在顯示部7000上的廣告資訊可以顯示在資訊終端設備7311或資訊終端設備7411的螢幕上。此外，藉由操作資訊終端設備7311或資訊終端設備7411，可以切換顯示部7000的顯示。

【0452】此外，可以在數位看板7300或數位看板7400上以資訊終端設備7311或資訊終端設備7411的螢幕為操作單元(控制器)執行遊戲。由此，不特定多個使用者可以同時參加遊戲，享受遊戲的樂趣。

【0453】在圖38C至圖38F中，可以將本發明的一個實施方式的顯示面板用於顯示部7000。

【0454】圖39A至圖39G所示的電子裝置包括外殼9000、顯示部9001、揚聲器9003、操作鍵9005(包括電源開關或操作開關)、連接端子9006、感測器9007(該感測器具有感測、檢測、測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或

紅外線)、麥克風9008等。

【0455】圖39A至圖39G所示的電子裝置具有各種功能。例如，可以具有如下功能：將各種資訊(靜態影像、動態影像及文字影像等)顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；藉由利用各種軟體(程式)控制處理的功能；進行無線通訊的功能；讀出儲存在儲存介質中的程式或資料並進行處理的功能；等。注意，電子裝置的功能不侷限於上述功能，而可以具有各種功能。電子裝置可以包括多個顯示部。另外，例如也可以在電子裝置中設置照相機而使其具有如下功能：拍攝靜態影像或動態影像，且將所拍攝的影像儲存在儲存介質(外部儲存介質或內置於照相機的儲存介質)中的功能；將所拍攝的影像顯示在顯示部上的功能；等。

【0456】下面，詳細地說明圖39A至圖39G所示的電子裝置。

【0457】圖39A是示出可攜式資訊終端9101的立體圖。可以將可攜式資訊終端9101例如用作智慧手機。注意，在可攜式資訊終端9101中，也可以設置揚聲器9003、連接端子9006或感測器9007等。另外，作為可攜式資訊終端9101，可以將文字或影像資訊顯示在其多個面上。在圖39A中示出顯示三個圖示9050的例子。另外，可以將以虛線的矩形示出的資訊9051顯示在顯示部9001的其他面上。作為資訊9051的一個例子，可以舉出提示收到電子郵件、SNS或電話等的資訊；電子郵件或SNS等的標題；電子郵

件或SNS等的發送者姓名；日期；時間；電池餘量；以及電波強度等。或者，可以在顯示有資訊9051的位置上顯示圖示9050等。

【0458】圖39B是示出可攜式資訊終端9102的立體圖。可攜式資訊終端9102具有將資訊顯示在顯示部9001的三個以上的面上的功能。在此，示出資訊9052、資訊9053、資訊9054分別顯示於不同的面上的例子。例如，在將可攜式資訊終端9102放在上衣口袋裡的狀態下，使用者能夠確認顯示在從可攜式資訊終端9102的上方看到的位置上的資訊9053。例如，使用者可以確認到該顯示而無需從口袋裡拿出可攜式資訊終端9102，由此能夠判斷是否接電話。

【0459】圖39C是示出平板終端9103的立體圖。平板終端9103例如可以執行行動電話、電子郵件及文章的閱讀和編輯、播放音樂、網路通訊、電腦遊戲等各種應用軟體。平板終端9103在外殼9000的正面包括顯示部9001、照相機9002、麥克風9008及揚聲器9003，在外殼9000的左側面包括用作操作用按鈕的操作鍵9005，並且在底面包括連接端子9006。

【0460】圖39D是示出手錶型可攜式資訊終端9200的立體圖。可以將可攜式資訊終端9200例如用作智慧手錶(註冊商標)。另外，顯示部9001的顯示面彎曲，可沿著其彎曲的顯示面進行顯示。此外，可攜式資訊終端9200例如藉由與可進行無線通訊的耳麥相互通訊可以進行免提通

話。此外，藉由利用連接端子9006，可攜式資訊終端9200可以與其他資訊終端進行資料傳輸或進行充電。充電也可以藉由無線供電進行。

【0461】圖39E至圖39G是示出可以折疊的可攜式資訊終端9201的立體圖。另外，圖39E是將可攜式資訊終端9201展開的狀態的立體圖，圖39G是折疊的狀態的立體圖，圖39F是從圖39E的狀態和圖39G的狀態中的一個轉換成另一個時中途的狀態的立體圖。可攜式資訊終端9201在折疊狀態下可攜性好，而在展開狀態下因為具有無縫拼接較大的顯示區域所以顯示的瀏覽性強。可攜式資訊終端9201所包括的顯示部9001被由鉸鏈9055連結的三個外殼9000支撐。顯示部9001例如可以在曲率半徑0.1mm以上且150mm以下的範圍彎曲。

【0462】本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【0463】

實施方式6

在本實施方式中，說明本發明的一個實施方式的半導體裝置的應用例子。例如，可以將本發明的一個實施方式的半導體裝置用於電子構件、電子裝置、大型電腦、太空設備及資料中心(DC：Data Center)。使用本發明的一個實施方式的半導體裝置的電子構件、電子裝置、大型電腦、太空設備及資料中心對低功耗等高性能的實現很有效。

【0464】例如，可以將使用本發明的一個實施方式的

半導體裝置的電子構件用於實施方式5所示的電子裝置。

【0465】

[電子構件]

圖40A示出安裝有電子構件700的基板(電路板704)的立體圖。圖40A所示的電子構件700在模子711內包括半導體裝置710。在圖40A中，省略電子構件700的一部分記載以表示其內部。電子構件700在模子711的外側包括連接盤(land)712。連接盤712電連接於電極焊盤713，電極焊盤713藉由引線714電連接於半導體裝置710。電子構件700例如安裝於印刷電路板702上。藉由組合多個該電子構件並使其分別在印刷電路板702上電連接，由此完成電路板704。

【0466】另外，半導體裝置710包括驅動電路層715及記憶體層716。記憶體層716具有層疊有多個記憶單元陣列的結構。層疊有驅動電路層715及記憶體層716的結構可以為單片層疊結構。在單片層疊結構中，可以不用TSV(Through Silicon Via：矽通孔)等貫通電極技術及Cu-Cu直接接合等接合技術而連接各層間。當以單片的方式層疊驅動電路層715和記憶體層716時，例如可以實現在處理器上直接形成記憶體的所謂的晶載記憶體的結構。藉由採用晶載記憶體的結構，可以實現處理器與記憶體的介面部分的高速工作。

【0467】另外，藉由採用晶載記憶體的結構，與使用TSV等貫通電極的技術相比，例如可以縮小連接佈線的尺

寸，因此可以增加引腳數量。藉由增加引腳數量可以進行並聯工作，由此可以提高記憶體的帶寬度(也稱為記憶體頻寬)。

【0468】另外，較佳的是，使用OS電晶體形成記憶體層716中的多個記憶單元陣列，以單片的方式層疊該多個記憶單元陣列。藉由使多個記憶單元陣列具有單片層疊結構時，可以提高記憶體的帶寬度和記憶體的訪問延遲中的一者或兩者。帶寬度是指單位時間的資料傳輸量，訪問延遲是指訪問和開始資料的交換之間的時間。當在記憶體層716中使用Si電晶體時，與OS電晶體相比，實現單片層疊結構更困難。因此，在以單片的方式層疊的結構中，OS電晶體比Si電晶體優異。

【0469】另外，可以將半導體裝置710稱為裸片。在本說明書等中，裸片是指在半導體晶片的製程中例如在圓盤狀的基板(也稱為晶圓)上形成電路圖案，切割成矩形小片而得的晶片。作為可用於裸片的半導體材料，例如可以舉出矽(Si)、碳化矽(SiC)或氮化鎵(GaN)等。例如，有時將從矽基板(也稱為矽晶圓)得到的裸片稱為矽晶圓。

【0470】接著，圖40B示出電子構件730的立體圖。電子構件730是SiP(System in Package：系統封裝)或MCM(Multi Chip Module：多晶片模組)的一個例子。在電子構件730中，封裝基板732(印刷電路板)上設置有插板(interposer)731，插板731上設置有半導體裝置735及多個半導體裝置710。

【0471】電子構件730示出將半導體裝置710用作高頻寬記憶體(HBM：High Bandwidth Memory)的例子。此外，半導體裝置735可以用於CPU(、GPU(Graphics Processing Unit：圖形處理器)或FPGA(Field Programmable Gate Array：現場可程式邏輯閘陣列)等積體電路。

【0472】封裝基板732例如可以使用陶瓷基板、塑膠基板或玻璃環氧基板。插板731例如可以使用矽插板或樹脂插板。

【0473】插板731具有多個佈線並具有電連接端子間距不同的多個積體電路的功能。多個佈線由單層或多層構成。此外，插板731具有將設置於插板731上的積體電路與設置於封裝基板732上的電極電連接的功能。因此，有時將插板也稱為“重佈線基板(rewiring substrate)”或“中間基板”。此外，有時藉由在插板731中設置貫通電極，藉由該貫通電極使積體電路與封裝基板732電連接。此外，在使用矽插板的情況下，也可以使用TSV作為貫通電極。

【0474】在HBM中，為了實現寬記憶體頻寬需要連接許多佈線。為此，要求安裝HBM的插板上能夠高密度地形成微細的佈線。因此，作為安裝HBM的插板較佳為使用矽插板。

【0475】此外，在使用矽插板的SiP及MCM等中，不容易發生因積體電路與插板間的膨脹係數的不同而導致的可靠性下降。此外，由於矽插板的表面平坦性高，所以設置在矽插板上的積體電路與矽插板間不容易產生連接不

良。尤其較佳為將矽插板用於2.5D封裝(2.5D安裝)，其中多個積體電路橫著排放並配置於插板上。

【0476】另一方面，當利用矽插板及TSV等使端子間距不同的多個積體電路電連接時，需要該端子間距的寬度等的空間。因此，當想要縮小電子構件730的尺寸時，上述端子間距的寬度成為問題，有時難以設置為實現較寬的記憶體頻寬需要的較多的佈線。於是，如上所述，使用OS電晶體的單片層疊結構是較佳的。另外，也可以採用組合利用TSV層疊的記憶單元陣列與以單片的方式層疊的記憶單元陣列的複合結構。

【0477】此外，也可以與電子構件730重疊地設置散熱器(散熱板)。在設置散熱器的情況下，較佳為使設置於插板731上的積體電路的高度一致。例如，在本實施方式所示的電子構件730中，較佳為使半導體裝置710與半導體裝置735的高度一致。

【0478】為了將電子構件730安裝在其他基板上，也可以在封裝基板732的底部設置電極733。圖40B示出用焊球形成電極733的例子。藉由在封裝基板732的底部以矩陣狀設置焊球，可以實現BGA(Ball Grid Array：球柵陣列)的安裝。此外，電極733也可以使用導電針形成。藉由在封裝基板732的底部以矩陣狀設置導電針，可以實現PGA(Pin Grid Array：針柵陣列)的安裝。

【0479】電子構件730可以藉由各種安裝方式安裝在其他基板上，而不侷限於BGA及PGA。作為安裝方法例如

可以舉出SPGA(Staggered Pin Grid Array：交錯針柵陣列)、LGA(Land Grid Array：地柵陣列)、QFP(Quad Flat Package：四面扁平封裝)、QFJ(Quad Flat J-leaded package：四側J形引腳扁平封裝)及QFN(Quad Flat Non-leaded package：四側無引腳扁平封裝)。

【0480】

[大型電腦]

接著，圖41A示出大型電腦5600的立體圖。在大型電腦5600中，多個機架式電腦5620收納在機架5610中。此外，也可以將大型電腦5600稱為超級電腦。

【0481】圖41B示出電腦5620的一個例子的立體圖。電腦5620包括主機板5630。主機板5630設置有多個插槽5631以及多個連接端子。插槽5631插入有個人電腦卡5621。並且，個人電腦卡5621包括連接端子5623、連接端子5624、連接端子5625，它們連接到主機板5630。

【0482】圖41C示出個人電腦卡5621的一個例子。個人電腦卡5621例如為具備CPU、GPU及記憶體裝置等的處理板。個人電腦卡5621包括板5622以及安裝在板5622的連接端子5623、連接端子5624、連接端子5625、電子構件5626、電子構件5627、電子構件5628及連接端子5629等。另外，圖41C示出電子構件5626、電子構件5627及電子構件5628以外的構件。

【0483】連接端子5629具有可以插入主機板5630的插槽5631的形狀，連接端子5629被用作連接個人電腦卡5621

與主機板5630的介面。作為連接端子5629的規格例如可以舉出PCIe。

【0484】連接端子5623、連接端子5624及連接端子5625例如可以被用作用來對個人電腦卡5621供電及輸入信號等的介面。此外，例如，可以被用作用來進行個人電腦卡5621所計算的信號的輸出等的介面。作為連接端子5623、連接端子5624、連接端子5625各自的規格例如可以舉出USB(Universal Serial Bus：通用序列匯流排)、SATA(Serial ATA：串列ATA)及SCSI(Small Computer System Interface：小型電腦系統介面)等。此外，當從連接端子5623、連接端子5624、連接端子5625輸出視頻信號時，作為各規格例如可以舉出HDMI(註冊商標)。

【0485】電子構件5626包括進行信號的輸入及輸出的端子(未圖示)，藉由將該端子插入板5622所包括的插座(未圖示)，可以電連接電子構件5626與板5622。

【0486】電子構件5627及電子構件5628包括多個端子，例如可以藉由將該端子以回流焊方式銲接到板5622所包括的佈線而安裝電子構件5627及電子構件5628。作為電子構件5627，例如，可以舉出FPGA、GPU及CPU等。作為電子構件5627，例如可以使用電子構件730。作為電子構件5628，例如可以舉出記憶體裝置。作為電子構件5628，例如可以使用電子構件700。

【0487】大型電腦5600可以用作平行電腦。藉由將大型電腦5600用作平行電腦，例如可以進行人工智慧的學習

及推論所需要的大規模計算。

【0488】

[太空設備]

可以將本發明的一個實施方式的半導體裝置適用於太空設備。

【0489】本發明的一個實施方式的半導體裝置包括OS電晶體。OS電晶體的因被照射輻射線而導致的電特性變動小。換言之，對於輻射線的耐性高，所以在有可能入射輻射線的環境下也可以適當地使用。例如，可以在宇宙空間中使用的情況下適當地使用OS電晶體。明確而言，可以將OS電晶體用作構成設置在太空梭、人造衛星或太空探測器中的半導體裝置的電晶體。作為輻射線，例如可以舉出X射線及中子輻射等。注意，宇宙空間例如是指高度100km以上，但是本說明書所示的宇宙空間也可以包括熱層、中間和平流層中的一個或多個。

【0490】在圖42A中，作為太空設備的一個例子示出人造衛星6800。人造衛星6800包括主體6801、太陽能電池板6802、天線6803、二次電池6805以及控制裝置6807。另外，圖42A示出在宇宙空間有行星6804的例子。

【0491】另外，雖然圖42A中未圖示，但是也可以將電池管理系統(也稱為BMS)或電池控制電路設置到二次電池6805。當將OS電晶體用於上述電池管理系統或電池控制電路時，功耗低，並且即使在宇宙空間也實現高可靠性，所以是較佳的。

【0492】另外，宇宙空間是其輻射劑量為地面的100倍以上的環境。作為輻射線，例如可以舉出：以X射線及γ射線為代表的電磁波(電磁輻射線)；以及以α射線、β射線、中子射線、質子射線、重離子射線、介子射線等為代表的粒子輻射線。

【0493】在陽光照射到太陽能電池板6802時產生人造衛星6800進行工作所需的電力。然而，例如在陽光不照射到太陽能電池板的情況或者在照射到太陽能電池板的陽光量較少的情況下，所產生的電力量減少。因此，有可能不會產生人造衛星6800進行工作所需的電力。為了在所產生的電力較少的情況下也使人造衛星6800工作，較佳為在人造衛星6800中設置二次電池6805。另外，有時將太陽能電池板稱為太陽能電池模組。

【0494】人造衛星6800可以生成信號。該信號藉由天線6803傳送，例如地面上的接收機或其他人造衛星可以接收該信號。藉由接收人造衛星6800所傳送的信號，可以測量接收該信號的接收機的位置。由此，人造衛星6800可以構成衛星定位系統。

【0495】另外，控制裝置6807具有控制人造衛星6800的功能。控制裝置6807例如使用選自CPU、GPU和記憶體裝置中的任一個或多個構成。另外，作為控制裝置6807較佳為使用包括本發明的一個實施方式的OS電晶體的半導體裝置。與Si電晶體相比，OS電晶體的因被照射輻射線而導致的電特性變動小。因此，OS電晶體在有可能入射輻

射線的環境下也可靠性高且可以適當地使用。

【0496】另外，人造衛星6800可以包括感測器。例如藉由包括可見光感測器，人造衛星6800可以具有檢測地面上的物體反射的陽光的功能。或者，藉由包括熱紅外線感測器，人造衛星6800可以具有檢測從地表釋放的熱紅外線的功能。由此，人造衛星6800例如可以被用作地球觀測衛星。

【0497】注意，在本實施方式中，作為太空設備的一個例子示出人造衛星，但是不侷限於此。例如，本發明的一個實施方式的半導體裝置可以適當地應用於太空船、太空艙及太空探測器等太空設備。

【0498】如以上的說明那樣，與Si電晶體相比，OS電晶體具有優異的效果，諸如可以實現較寬的記憶體頻寬、耐輻射線高。

【0499】

[資料中心]

例如，可以將本發明的一個實施方式的半導體裝置適用於資料中心採用的儲存系統。資料中心被要求保證資料不變性等進行資料的長期管理。在進行資料的長期管理時需要使設施大型化，諸如設置用來儲存龐大的資料的儲存及伺服器、確保穩定的電源以保持資料或者確保在資料的保持中需要的冷卻設備等。

【0500】藉由將本發明的一個實施方式的半導體裝置用於資料中心採用的儲存系統，可以實現資料保持所需的

功率的降低、保持資料的半導體裝置小型化。因此，可以實現儲存系統的小型化、用來保持資料的電源的小型化以及冷卻設備規模的縮小等。由此，可以實現資料中心的省空間。

【0501】此外，本發明的一個實施方式的半導體裝置的功耗少，因此可以降低電路發熱。由此，可以減少因該發熱而給電路本身、週邊電路及模組帶來的負面影響。此外，藉由使用本發明的一個實施方式的半導體裝置，可以實現高溫環境下也穩定工作的資料中心。因此，可以提高資料中心的可靠性。

【0502】圖42B示出可用於資料中心的儲存系統。圖42B所示的儲存系統6000作為主機6001包括多個伺服器6001sb。另外，作為儲存6003包括多個記憶體裝置6003md。示出主機6001和儲存6003藉由儲存區域網路6004及儲存控制電路6002連接的形態。

【0503】主機6001相當於訪問儲存在儲存6003中的資料的電腦。主機6001彼此也可以藉由網路連接。

【0504】在儲存6003中，藉由使用快閃記憶體縮短資料的存取速度，即縮短資料的儲存及輸出所需要的時間，但是該時間比可用作儲存中的快取記憶體的DRAM所需要的時間長得多。在儲存系統中，為了解決儲存6003的存取速度較長的問題，一般在儲存中設置快取記憶體來縮短資料的儲存及輸出所需要的時間。

【0505】在儲存控制電路6002及儲存6003中使用上述

快取記憶體。主機6001和儲存6003交換的資料在儲存在儲存控制電路6002及儲存6003中的該快取記憶體之後輸出到主機6001或儲存6003。

【0506】當作為用來儲存上述快取記憶體的資料的電晶體使用OS電晶體來保持對應於資料的電位時，可以減少更新頻率來降低功耗。此外，藉由層疊記憶單元陣列可以實現小型化。

【0507】注意，藉由將本發明的一個實施方式的半導體裝置用於選自電子構件、電子裝置、大型電腦、太空設備和資料中心中的任一個或多個，可期待功耗降低的效果。因此，目前被認為隨著半導體裝置的高性能化或高積體化能量需求增加，藉由使用本發明的一個實施方式的半導體裝置，也可以減少以二氧化碳(CO_2)為代表的溫室氣體的排放量。另外，本發明的一個實施方式的半導體裝置具有低功耗，因此作為全球暖化的措施也有效。

【0508】本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【符號說明】

【0509】

10A:電晶體

10:電晶體

11:絕緣層

12:導電層

20a:開口部

20b:開口部

20:開口部

21f:半導體膜

21i:通道形成區域

21n:低電阻區域

21:半導體層

22f:絕緣膜

22:絕緣層

23f:導電膜

23:導電層

26:開口部

27:導電層

28:絕緣層

29:開口部

30:記憶單元

31:導電層

32:導電層

33:導電層

34:導電層

35:導電層

36:導電層

37:導電層

38:導電層

39:導電層

41a:絕緣層

41b:絕緣層

41c:絕緣層

41:絕緣層

42:絕緣層

43:絕緣層

44:絕緣層

45:絕緣層

46:絕緣層

47:絕緣層

48:絕緣層

49:絕緣層

50:電容器

51:導電層

52:導電層

53:絕緣層

54a:開口部

54b:開口部

54:開口部

55:絕緣層

60:記憶體單元

61:導電層

62:導電層

63:導電層

65:絕緣層

70:層

90:電晶體

91:基板

92:半導體區域

93:絕緣層

94:導電層

95a:低電阻區域

95b:低電阻區域

100a:顯示裝置

100b:顯示裝置

100:顯示裝置

101:基板

110:發光元件

111:像素電極

112:有機層

113:共用電極

114:共用層

115:導電層

116B:彩色層

116G:彩色層

116R:彩色層

121:保護層

122:絕緣層

123:絕緣層

125:絕緣層

126:樹脂層

128:層

140:連接部

170:基板

171:黏合層

200A:顯示裝置

200B:顯示裝置

200C:顯示裝置

240:電容器

241:導電層

243:絕緣層

245:導電層

251:導電層

252:導電層

254:絕緣層

255a:絕緣層

255b:絕緣層

255c:絕緣層

256:插頭

261:絕緣層

262:絕緣層

263:絕緣層

266:絕緣層

271:插頭

274a:導電層

274b:導電層

274:插頭

280:顯示模組

281:顯示部

282:電路部

283a:像素電路

283:像素電路部

284a:像素

284:像素部

285:端子部

286:佈線部

290:FPC

291:基板

292:基板

301:基板

310:電晶體

311:導電層

312:低電阻區域

313:絕緣層

314:絕緣層

315:元件分離層

331:基板

332:絕緣層

350:絕緣層

351:半導體層

352:絕緣層

353:絕緣層

354:導電層

355:導電層

356:絕緣層

357:導電層

358:絕緣層

359:絕緣層

361:絕緣層

362:絕緣層

371:導電層

374a:導電層

374b:導電層

374:插頭

420:層

422:週邊電路

430:元件層

432:記憶單元

437:電晶體

438:電容器

440:驅動電路

442:行解碼器

443:行驅動器

444:列解碼器

445:列驅動器

446:感測放大器

447:輸入電路

448:輸出電路

470:層

471:PSW

472:PSW

473:控制電路

474:電壓生成電路

480:記憶體裝置

482_1:電晶體

482_2:電晶體

482:開關電路

483_1:電晶體

483_2:電晶體

483_3:電晶體

483:預充電電路

484_1:電晶體

484_2:電晶體

484_3:電晶體

484:預充電電路

485_1:電晶體

485_2:電晶體

485_3:電晶體

485_4:電晶體

485:放大電路

520:絕緣層

522:絕緣層

524:絕緣層

526:絕緣層

528:導電層

530:導電層

550:絕緣層

582:絕緣層

584:絕緣層

586:導電層

700A:電子裝置

700B:電子裝置

700:電子構件

702:印刷電路板

704:電路板

710:半導體裝置

711:模子

712:連接盤

713:電極焊盤

714:引線

715:驅動電路層

716:記憶體層

721:外殼

723:安裝部

727:耳機部

730:電子構件

731:插板

732:封裝基板

733:電極

735:半導體裝置

750:耳機

751:顯示面板

753:光學構件

756:顯示區域

757:邊框

758:鼻墊

800A:電子裝置

800B:電子裝置

820:顯示部

821:外殼

822:通訊部

823:安裝部

824:控制部

825:攝像部

827:耳機部

832:透鏡

5600:大型電腦

5610:機架

5620:電腦

5621:個人電腦卡

5622:板

5623:連接端子

5624:連接端子

5625:連接端子

5626:電子構件

5627:電子構件

5628:電子構件

5629:連接端子

5630:主機板

5631:插槽

6000:儲存系統

6001sb:伺服器

6001:主機

6002:儲存控制電路

6003md:記憶體裝置

6003:儲存

6500:電子裝置

6501:外殼

6502:顯示部

6503:電源按鈕

6504:按鈕

6505:揚聲器

6506:麥克風

6507:照相機

6508:光源

6509:控制裝置

6510:保護構件

6511:顯示面板

6512:光學構件

6513:觸控感測器面板

6515:FPC

6516:IC

6517:印刷電路板

6518:電池

6800:人造衛星

6801:主體

6802:太陽能電池板

6803:天線

6804:行星

6805:二次電池

6807:控制裝置

7000:顯示部

7100:電視機

7101:外殼

7103:支架

7111:遙控器

7200:筆記本式個人電腦

7211:外殼

7212:鍵盤

7213:指向裝置

7214:外部連接埠

7216:控制裝置

7300:數位看板

7301:外殼

7303:揚聲器

7311:資訊終端設備

7400:數位看板

7401:柱子

7411:資訊終端設備

9000:外殼

9001:顯示部

9002:照相機

9003:揚聲器

9005:操作鍵

9006:連接端子

9007:感測器

9008:麥克風

9050:圖示

9051:資訊

9052:資訊

9053:資訊

9054:資訊

9055:鉸鏈

9101:可攜式資訊終端

9102:可攜式資訊終端

9103:平板終端

9200:可攜式資訊終端

9201:可攜式資訊終端

【發明申請專利範圍】

【請求項1】一種半導體裝置，包括：

電晶體；

第一絕緣層；

第二絕緣層；

第三絕緣層；以及

佈線，

其中，該電晶體包括第一導電層、第二導電層、第三導電層、半導體層以及第四絕緣層，

該第一絕緣層設置在該第一導電層上，

該第二導電層設置在該第一絕緣層上，

該第二絕緣層設置在該第二導電層上，

該第一絕緣層、該第二導電層以及該第二絕緣層包括到達該第一導電層的第一開口部，

該半導體層位於該第一開口部的內部，並具有與該第一導電層接觸的區域及與該第二導電層接觸的區域，

該第四絕緣層設置在該第一開口部的內部的該半導體層與該第三導電層之間，

該第三導電層以填充該第一開口部的方式設置，

該第三絕緣層設置在該第二絕緣層、該半導體層、該第四絕緣層以及該第三導電層上，並包括到達該第三導電層的第二開口部，

並且，該佈線具有在該第二開口部的內部與該第三導電層接觸的區域，並具有隔著該第三絕緣層與該半導體層

重疊的區域。

【請求項2】一種半導體裝置，包括：

電晶體；

第一絕緣層；

第二絕緣層；

第三絕緣層；以及

佈線，

其中，該電晶體包括第一導電層、第二導電層、第三導電層、半導體層以及第四絕緣層，

該第一絕緣層設置在該第一導電層上，

該第二導電層設置在該第一絕緣層上，

該第一絕緣層及該第二導電層包括到達該第一導電層的第一開口部，

該第二絕緣層設置在該第二導電層上，

該第二絕緣層包括到達該第二導電層且具有與該第一開口部重疊的區域的第二開口部，

該半導體層位於該第一開口部的內部及該第二開口部的內部，並具有與該第一導電層接觸的區域及與該第二導電層接觸的區域，

該第四絕緣層設置在該第一開口部的內部及該第二開口部的內部的該半導體層與該第三導電層之間，

該第三導電層以填充該第一開口部及該第二開口部的方式設置，

該第三絕緣層設置在該第二絕緣層、該半導體層、該

第四絕緣層以及該第三導電層上，並包括到達該第三導電層的第三開口部，

並且，該佈線具有在該第三開口部的內部與該第三導電層接觸的區域，並具有隔著該第三絕緣層與該半導體層重疊的區域。

【請求項3】如請求項2之半導體裝置，

其中該半導體層具有與該第二導電層的頂面接觸的區域。

【請求項4】如請求項1至3中任一項之半導體裝置，

其中該第二絕緣層的頂面的高度、該半導體層的頂面的高度、該第四絕緣層的頂面的高度以及該第三導電層的頂面的高度彼此一致或大致一致。

【請求項5】如請求項1至3中任一項之半導體裝置，

其中該半導體層包含金屬氧化物。

【請求項6】如請求項5之半導體裝置，

其中該金屬氧化物包含選自In、元素M和Zn中的兩個或三個，

並且該元素M為選自Al、Ga、Sn、Y、Ti、V、Cr、Mn、Fe、Co、Ni、Zr、Mo、Hf、Ta、W、La、Ce、Nd、Mg、Ca、Sr、Ba、B、Si、Ge和Sb中的一種或多種。

【請求項7】一種半導體裝置的製造方法，包括如下步驟：

形成第一絕緣層；

在該第一絕緣層上形成第一導電層；

在該第一導電層上形成第二絕緣層；

在該第二絕緣層、該第一導電層以及該第一絕緣層中形成第一開口部；

在該第一開口部的內部形成具有與該第一導電層接觸的區域的半導體層、該半導體層上的第三絕緣層以及該第三絕緣層上的第二導電層；

在該第二絕緣層、該半導體層、該第三絕緣層以及該第二導電層上形成第四絕緣層；

在該第四絕緣層中形成到達該第二導電層的第二開口部；以及

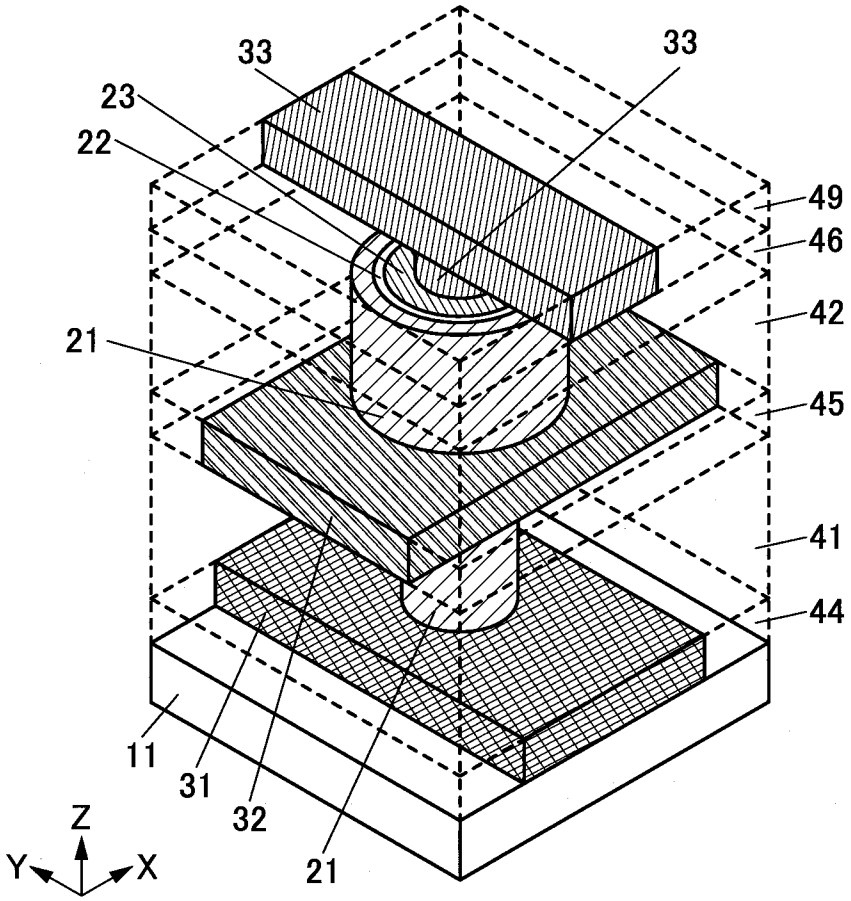
以具有在該第二開口部的內部與該第二導電層接觸的區域的方式且以具有隔著該第四絕緣層與該半導體層重疊的區域的方式形成佈線。

【請求項8】如請求項7之半導體裝置的製造方法，

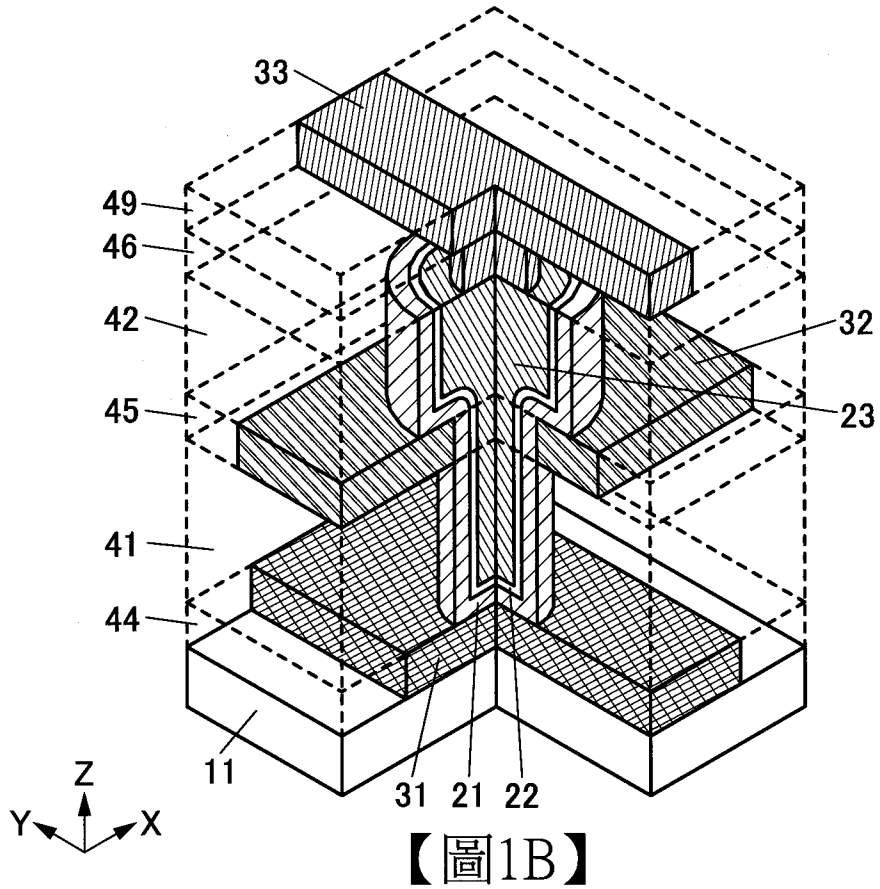
其中在形成該第一開口部之後，以具有位於該第一開口部的內部的區域及與該第二絕緣層重疊的區域的方式形成半導體膜、該半導體膜上的絕緣膜以及該絕緣膜上的導電膜，

並且藉由對該導電膜、該絕緣膜以及該半導體膜進行平坦化處理而使該第二絕緣層的頂面露出，形成該半導體層、該第三絕緣層以及該第二導電層。

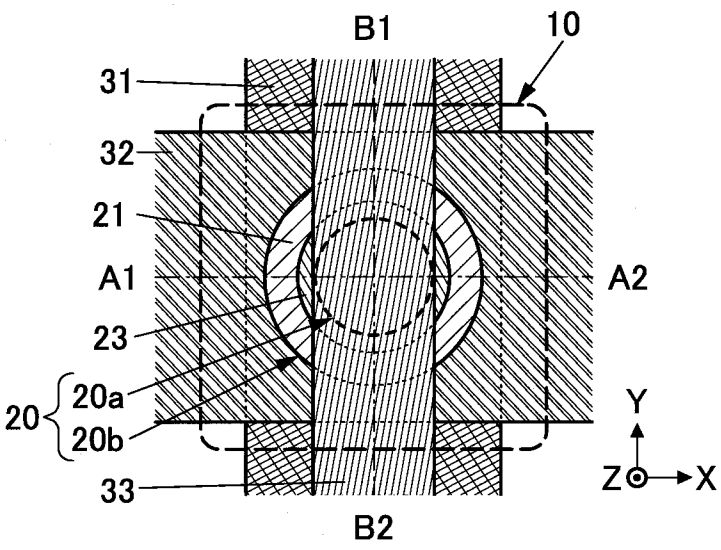
【發明圖式】


33
33
23
22
49
46
42
21
45
41
44
11
31
32
21
Z
Y
X

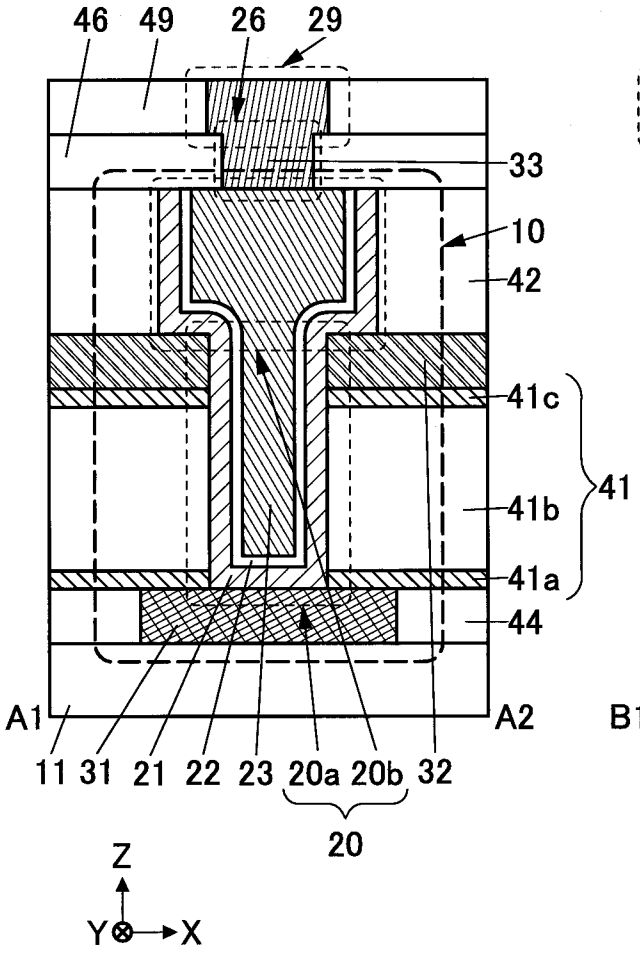
【圖1A】


33
49
46
42
32
23
45
41
44
11
31
21
22
Z
Y
X

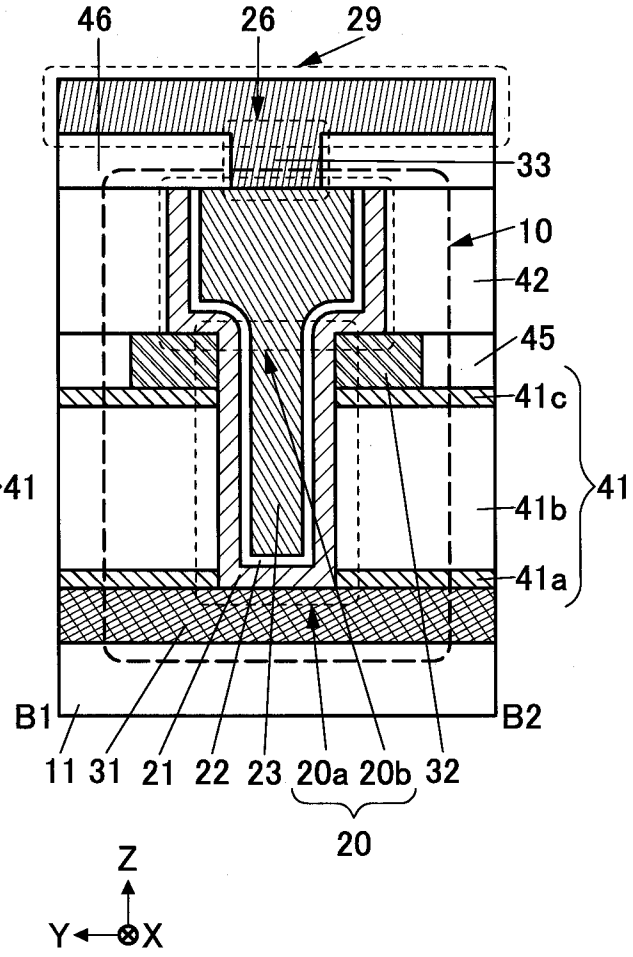
【圖1B】


B1
10
31
32
21
A1
A2
23
20
20a
20b
33
B2
Y
Z
X

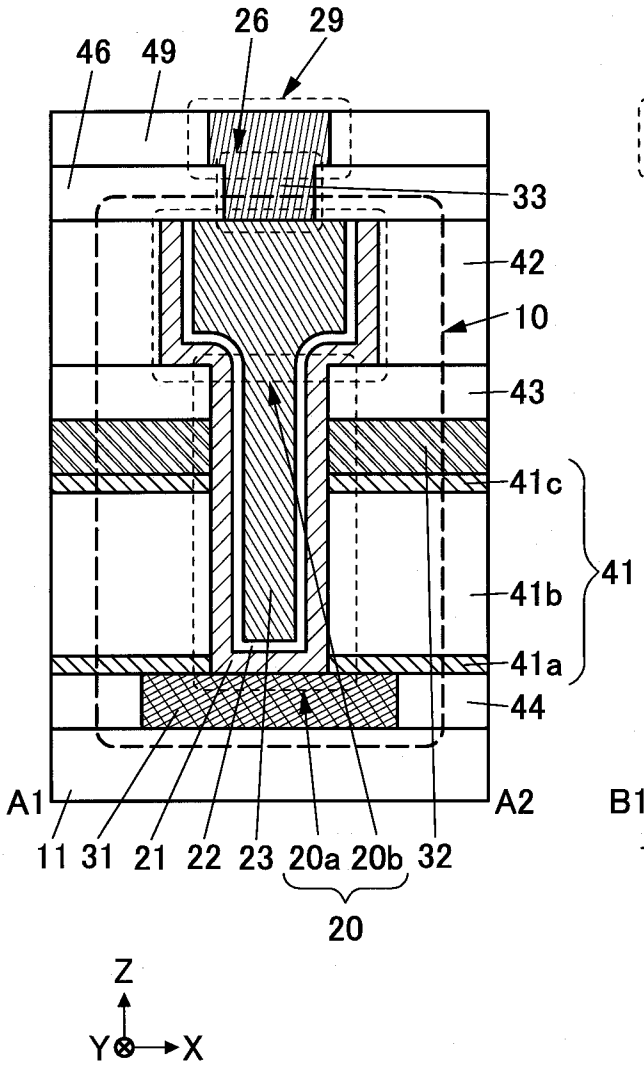
【圖2A】


46
49
26
29
33
10
42
41c
41
41b
41a
44
A1
A2
11
31
21
22
23
20a
20b
32
20
Z
Y
X

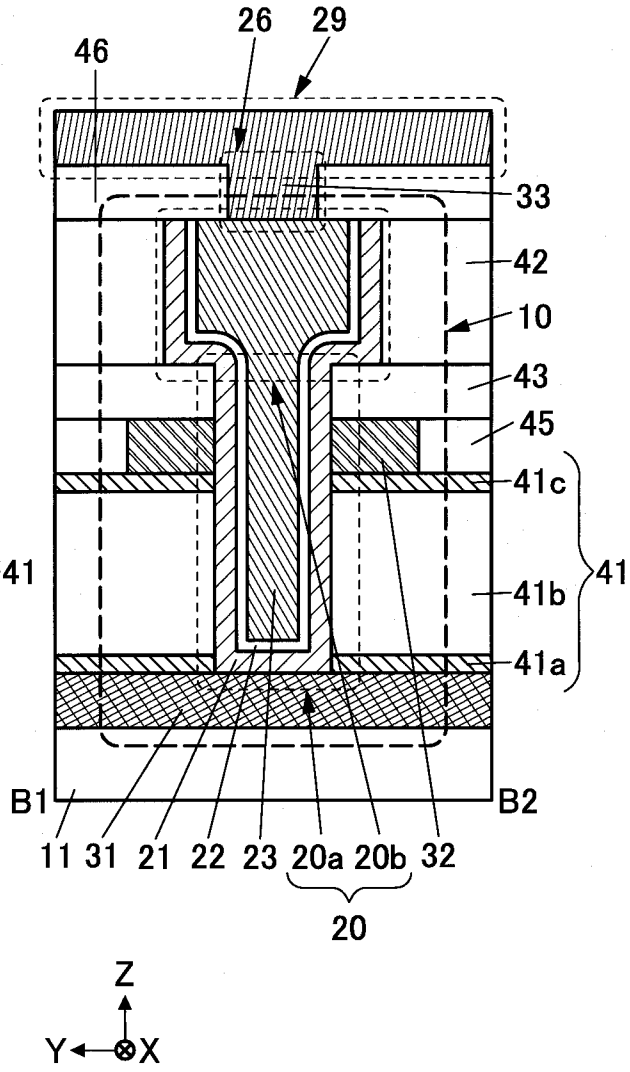
【圖2B】


46
26
29
33
10
42
45
41c
41
41b
41a
B1
B2
11
31
21
22
23
20a
20b
32
20
Z
Y
X

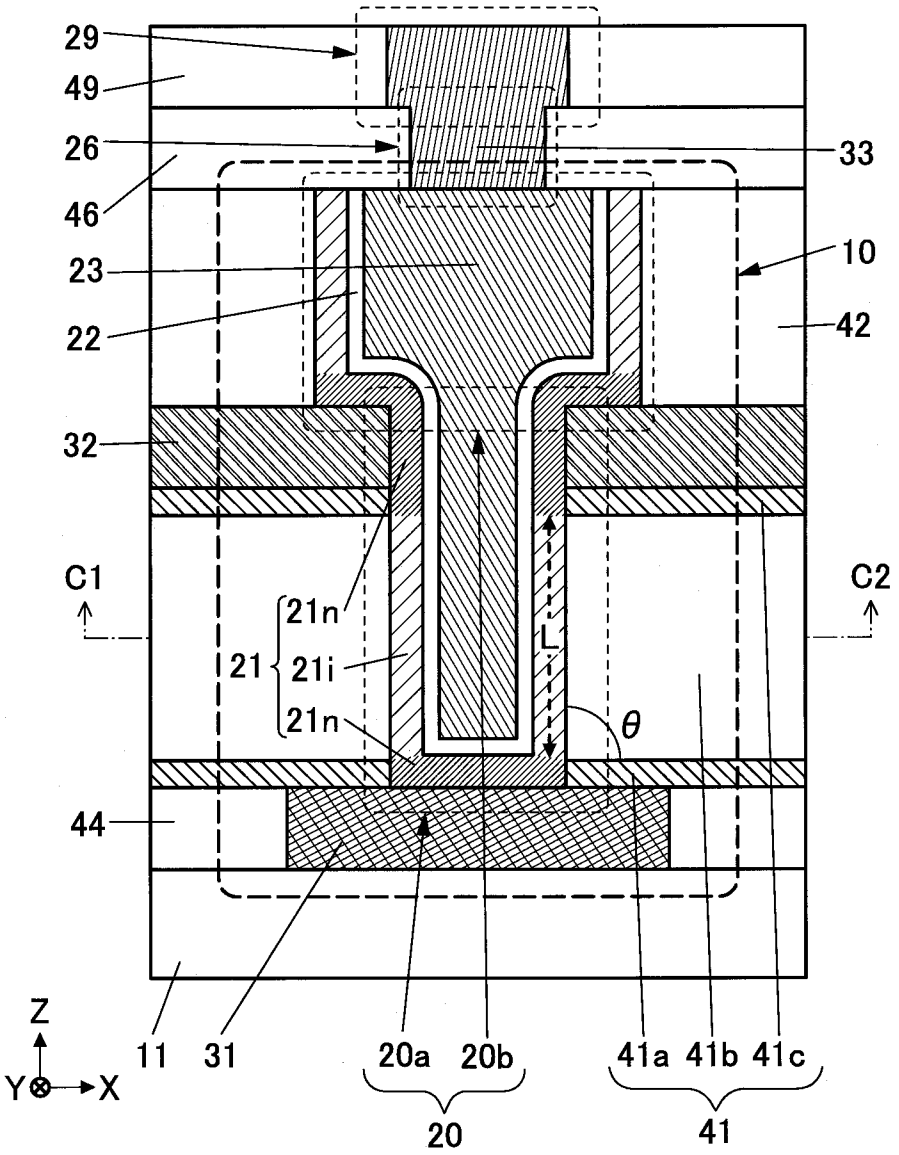
【圖2C】


46
49
26
29
33
42
10
43
41c
41b
41a
41
44
A1
A2
11
31
21
22
23
20a
20b
32
20
Z
Y
X

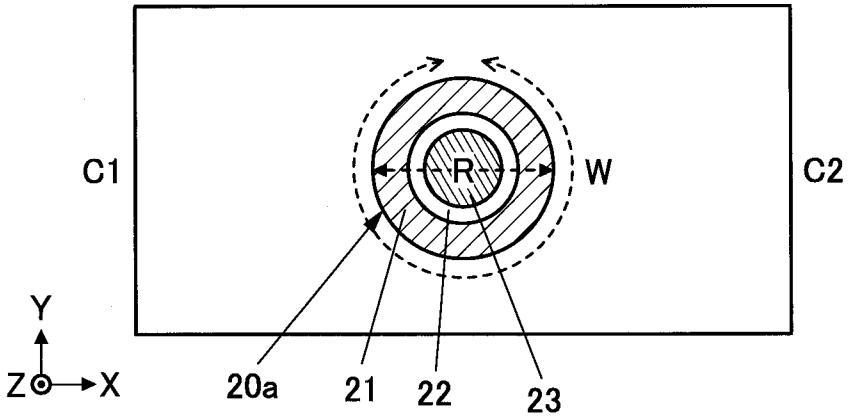
【圖3A】


46
26
29
33
42
10
43
45
41c
41b
41a
41
B1
B2
11
31
21
22
23
20a
20b
32
20
Z
Y
X

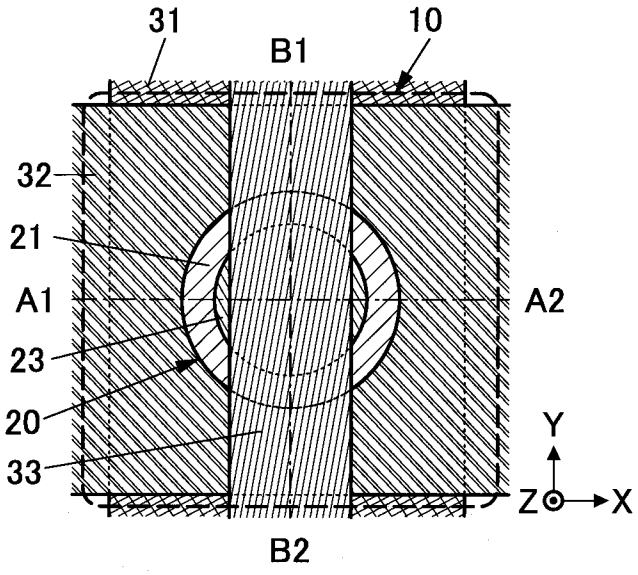
【圖3B】


29
49
26
46
23
22
33
10
42
32
C1
C2
21n
21
21i
21n
L
θ
44
Z
Y
X
11
31
20a
20b
41a
41b
41c
20
41

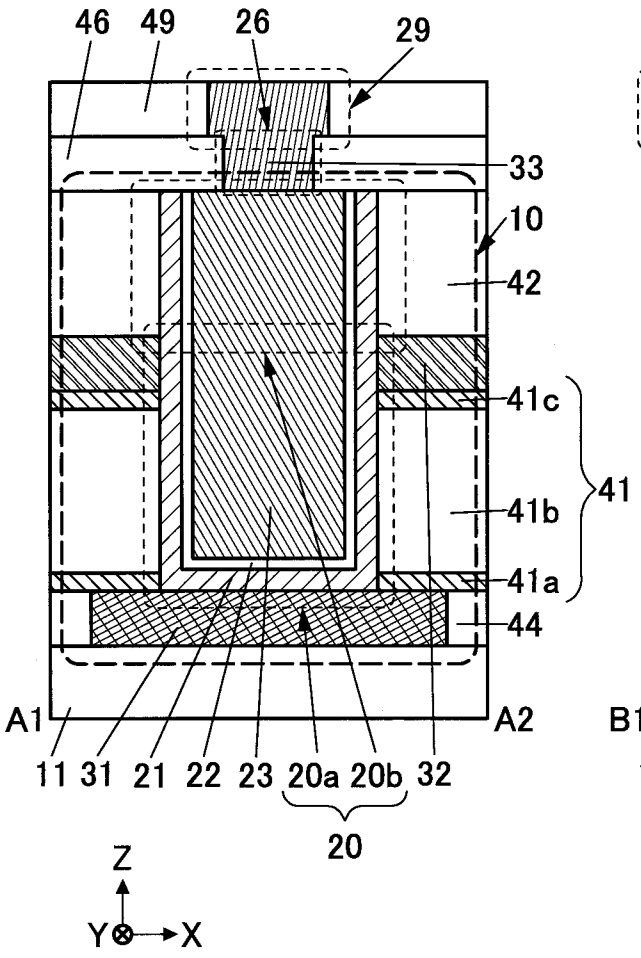
【圖4A】


C1
R
W
C2
Y
Z
X
20a
21
22
23

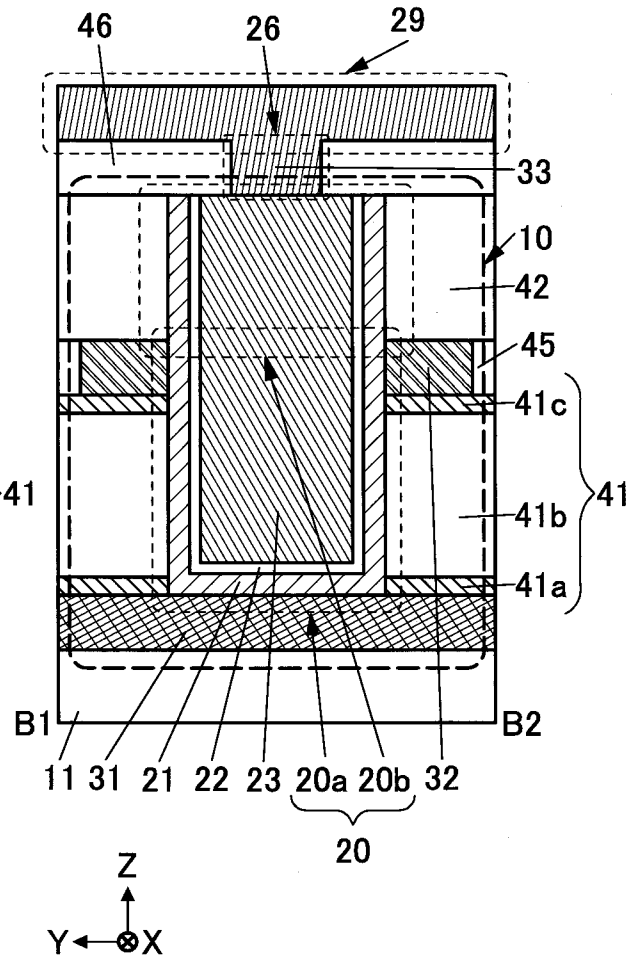
【圖4B】


31
10
B1
32
21
A1
A2
23
20
33
Y
Z
X
B2

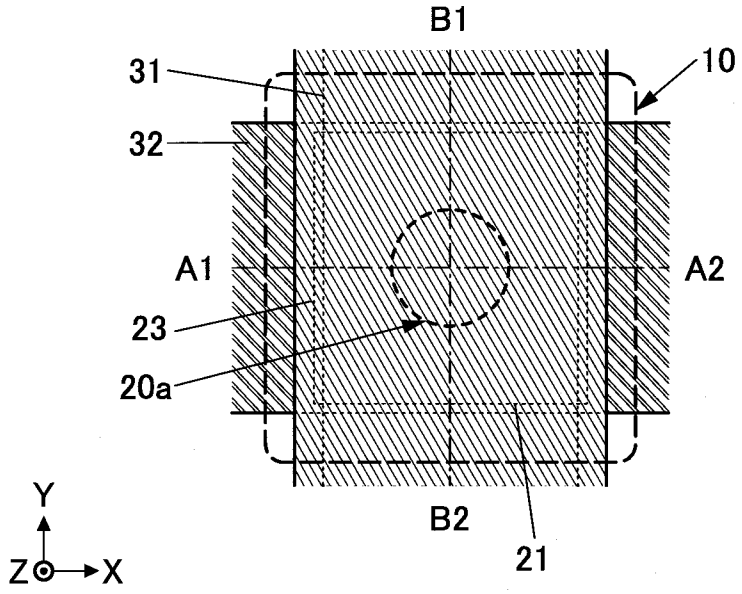
【圖5A】


46
49
26
29
33
10
42
41c
41b
41a
41
44
A1
A2
11
31
21
22
23
20a
20b
32
20
Z
Y
X

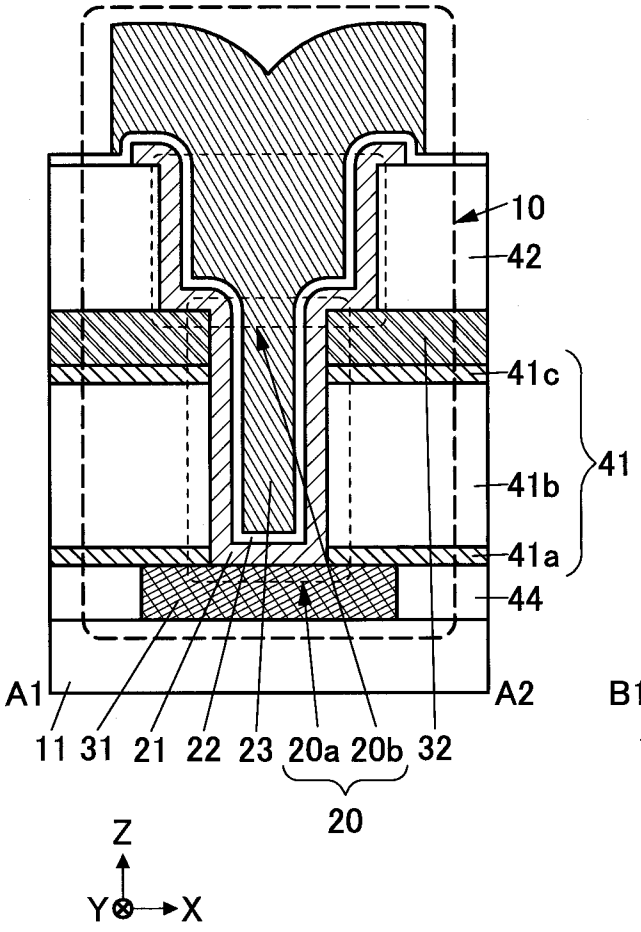
【圖5B】


46
26
29
33
10
42
45
41c
41b
41a
41
B1
B2
11
31
21
22
23
20a
20b
32
20
Z
Y
X

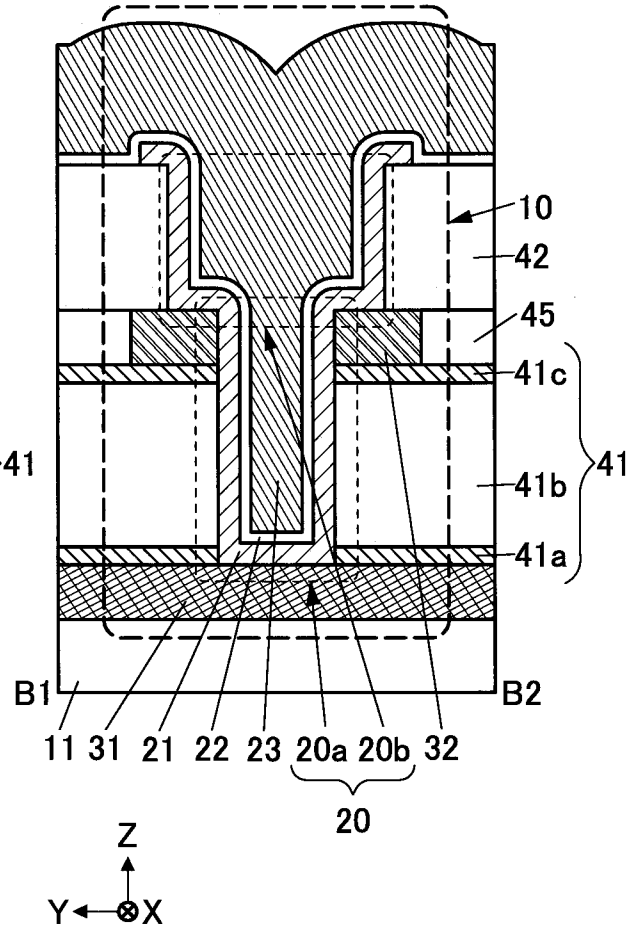
【圖5C】


B1
31
10
32
A1
A2
23
20a
B2
21
Y
Z
X

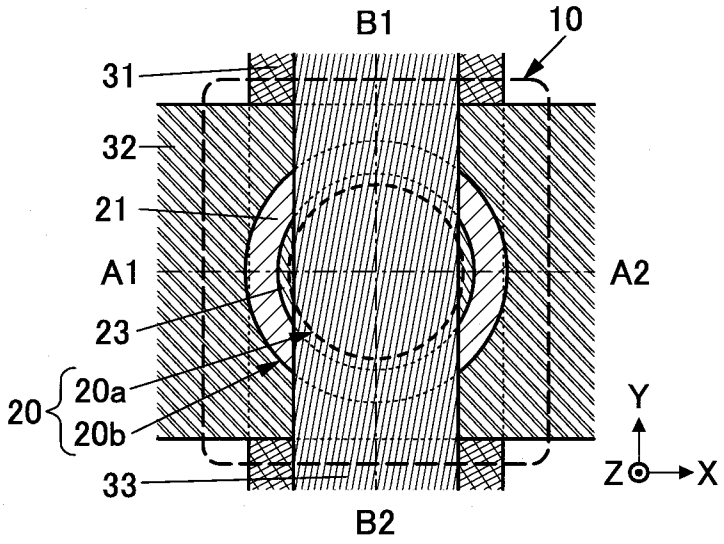
【圖6A】


10
42
41c
41
41b
41a
44
A1
A2
11 31 21 22 23 20a 20b 32
20
Z
Y
X

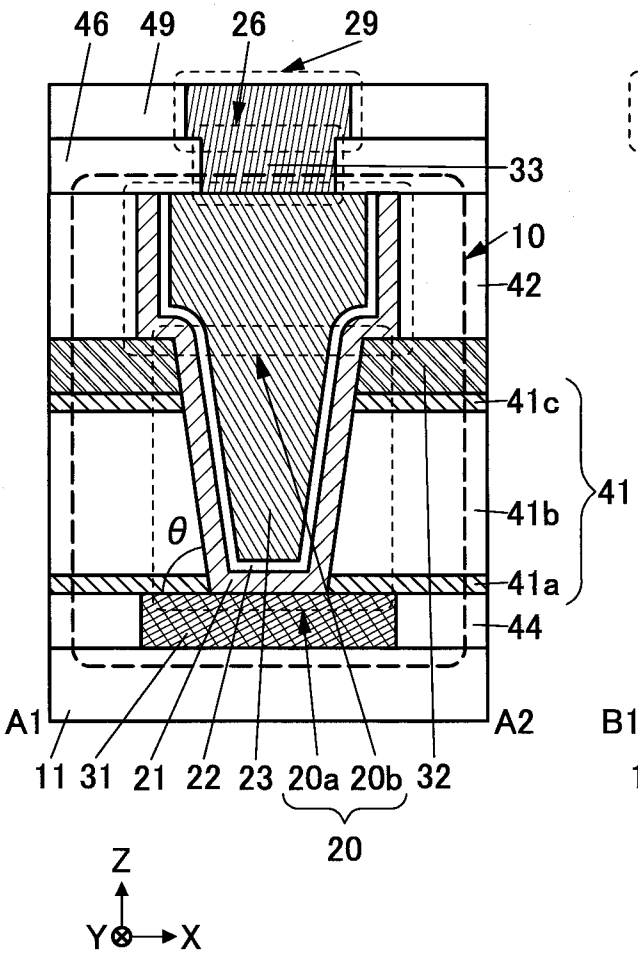
【圖6B】


10
42
45
41c
41
41b
41a
B1
B2
11 31 21 22 23 20a 20b 32
20
Z
Y
X

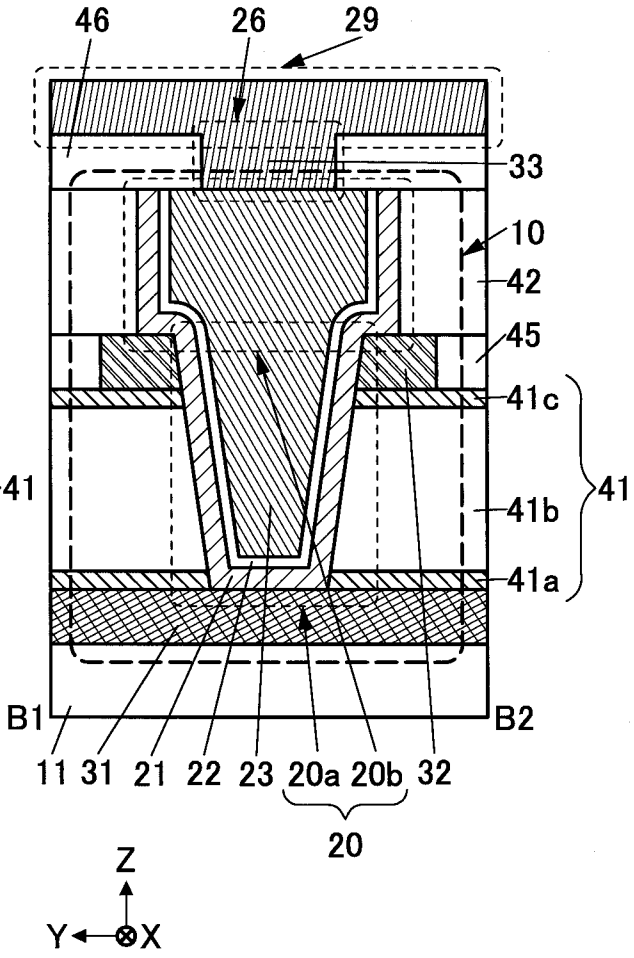
【圖6C】


B1
10
31
32
21
A1
A2
23
20
20a
20b
33
B2
Y
Z
X

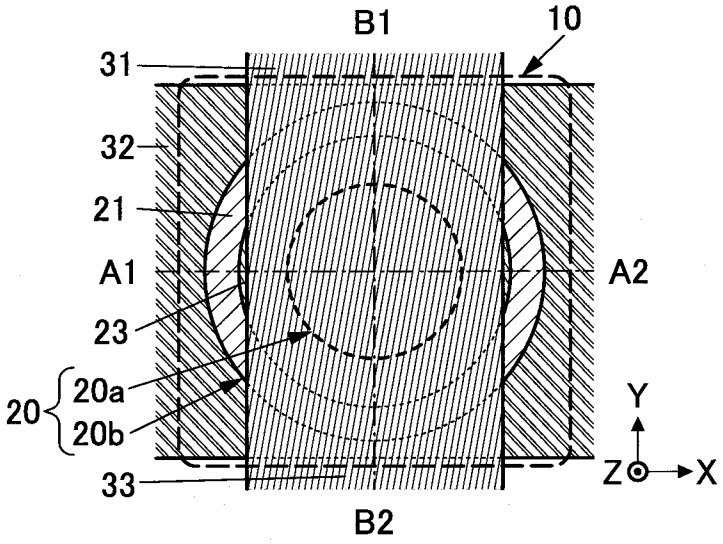
【圖7A】


46
49
26
29
33
10
42
41c
41
41b
θ
41a
44
A1
A2
11
31
21
22
23
20a
20b
32
20
Z
Y
X

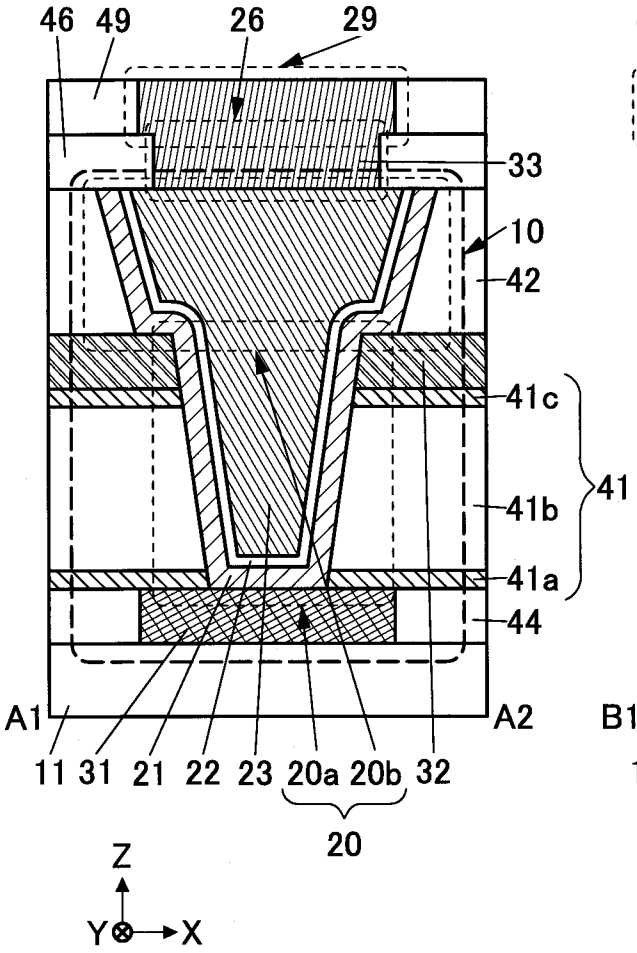
【圖7B】


46
26
29
33
10
42
45
41c
41
41b
41a
B1
B2
11
31
21
22
23
20a
20b
32
20
Z
Y
X

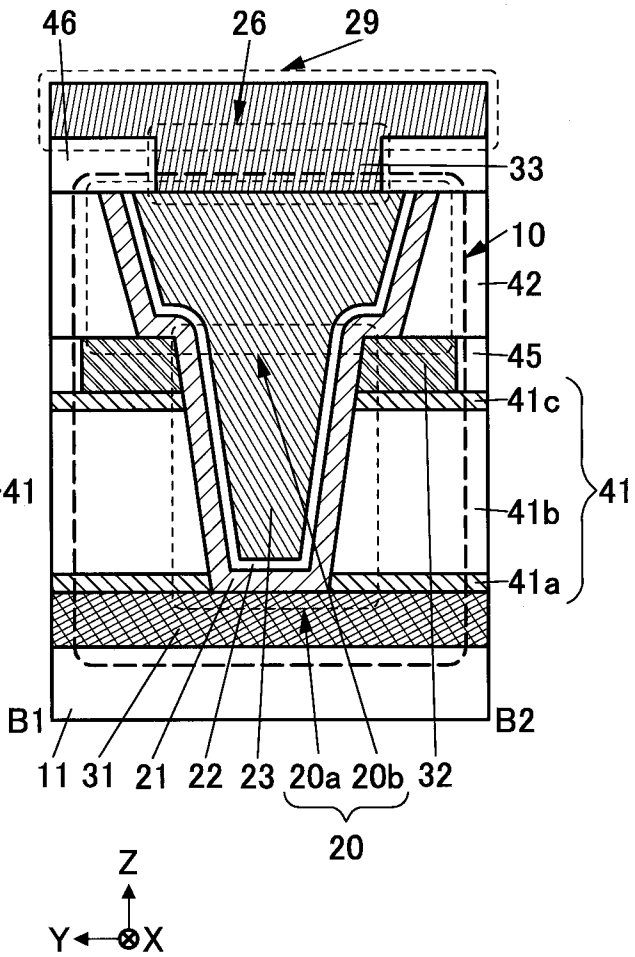
【圖7C】


B1
10
31
32
21
A1
A2
23
20
20a
20b
33
B2
Y
Z
X

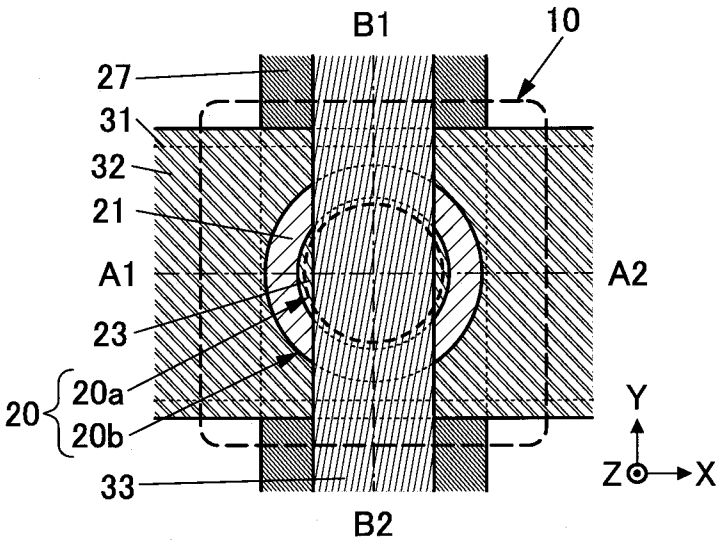
【圖8A】


46
49
26
29
33
10
42
41c
41
41b
41a
44
A1
A2
11
31
21
22
23
20a
20b
32
20
Z
Y
X

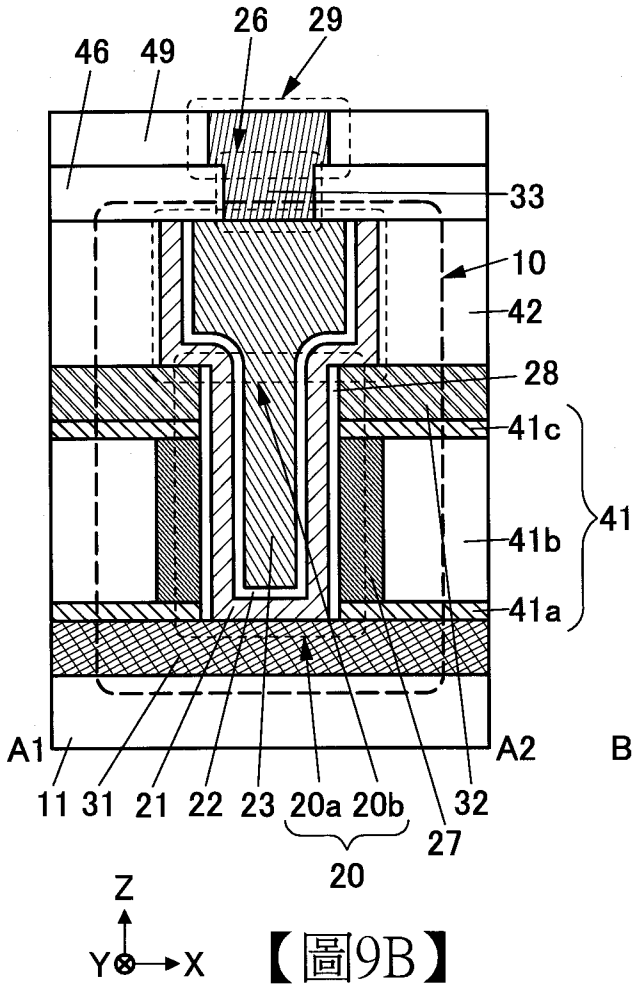
【圖8B】


46
26
29
33
10
42
45
41c
41
41b
41a
B1
B2
11
31
21
22
23
20a
20b
32
20
Z
Y
X

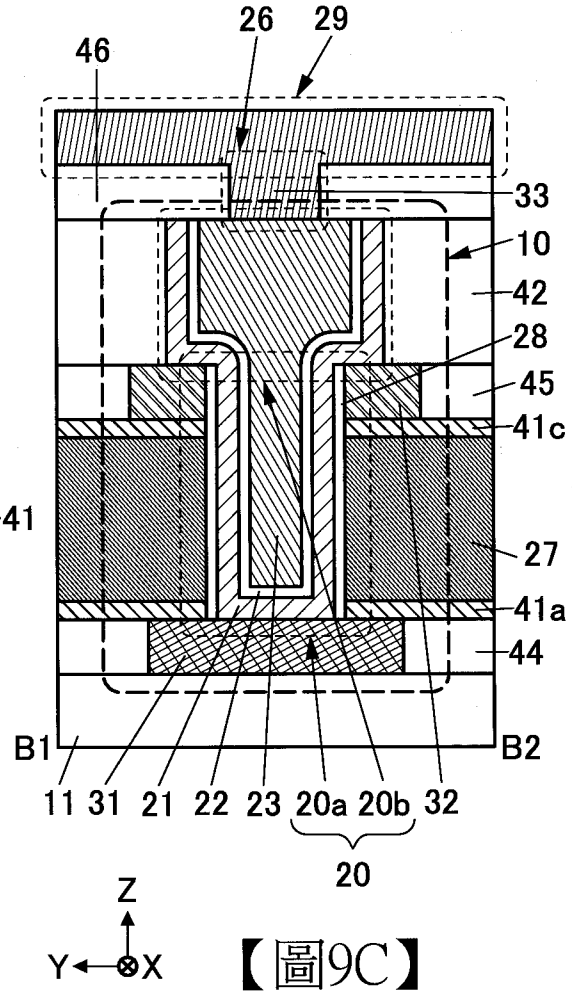
【圖8C】


B1
10
27
31
32
21
A1
A2
23
20
20a
20b
33
B2
Y
Z
X

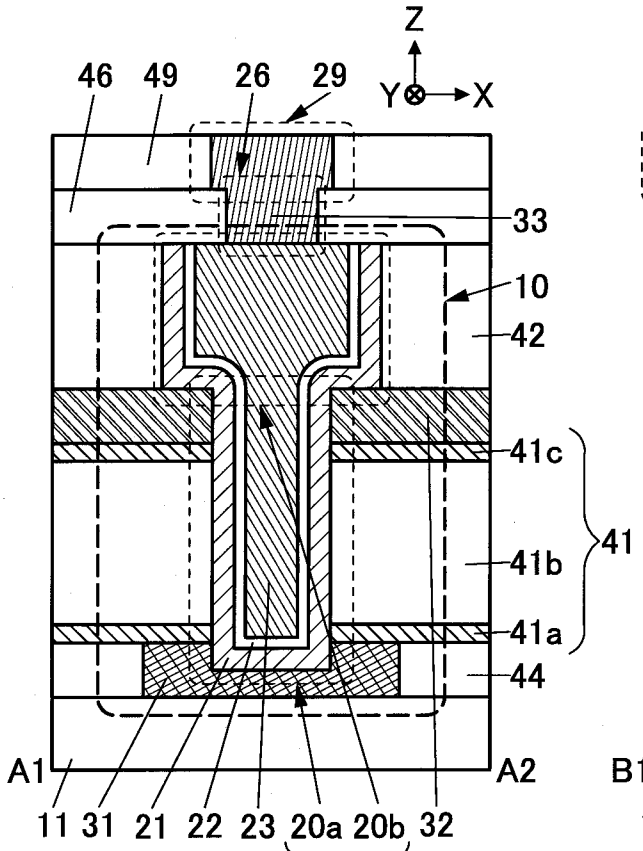
【圖9A】


46
49
26
29
33
10
42
28
41c
41
41b
41a
A1
A2
11
31
21
22
23
20a
20b
32
27
20
Z
Y
X

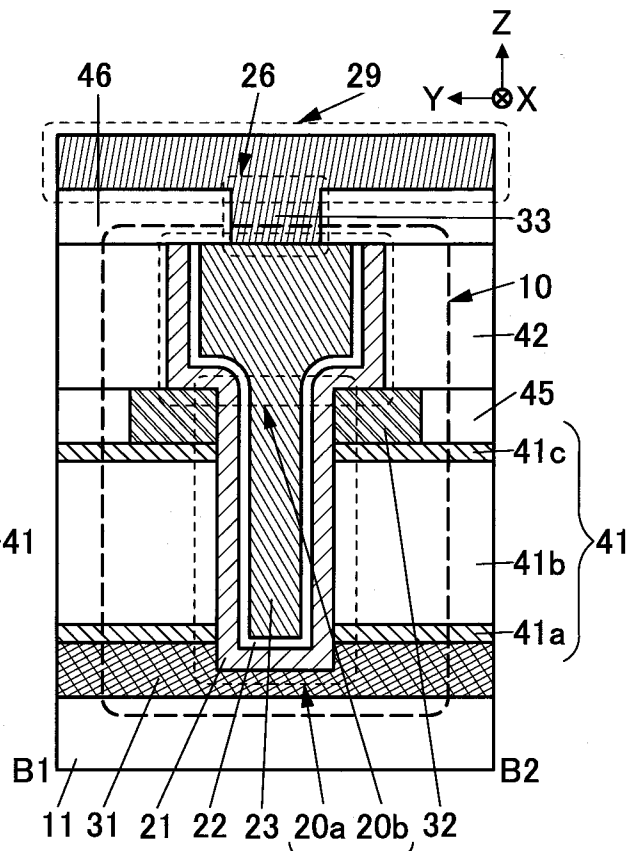
【圖9B】


46
26
29
33
10
42
28
45
41c
27
41a
44
B1
B2
11
31
21
22
23
20a
20b
32
20
Z
Y
X

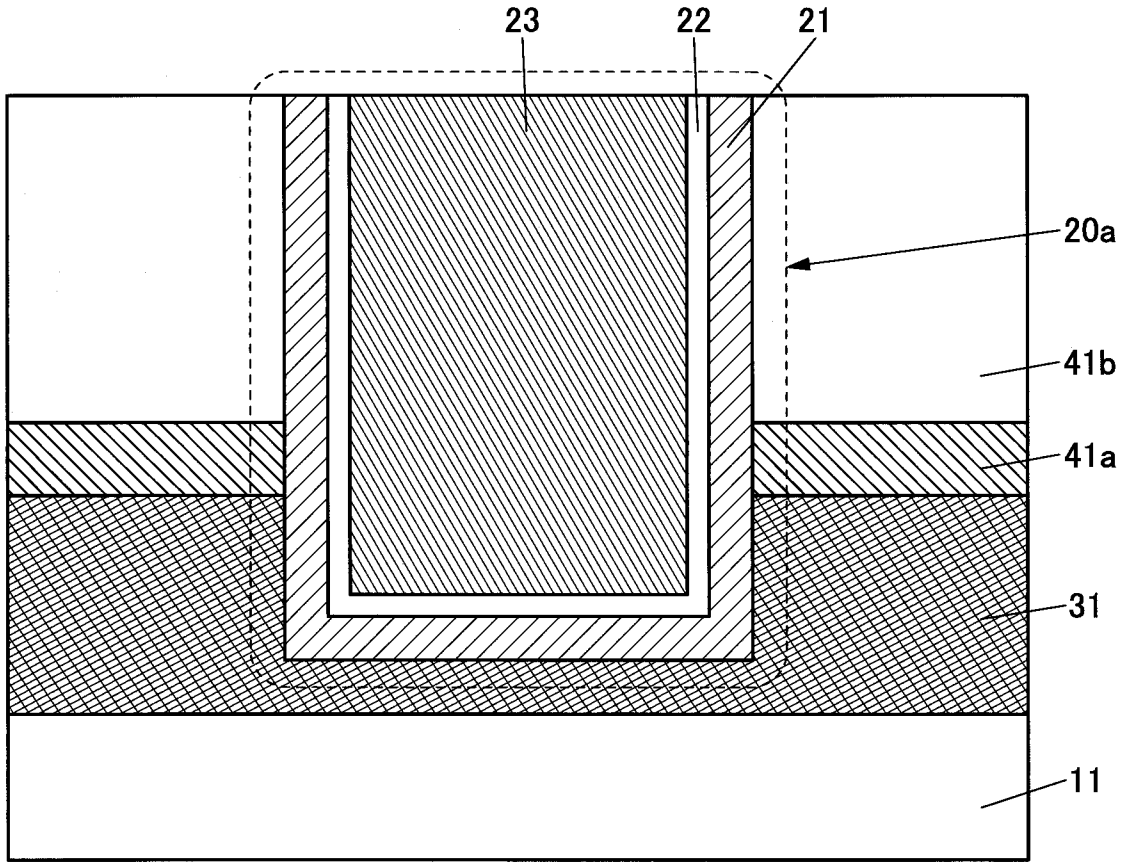
【圖9C】



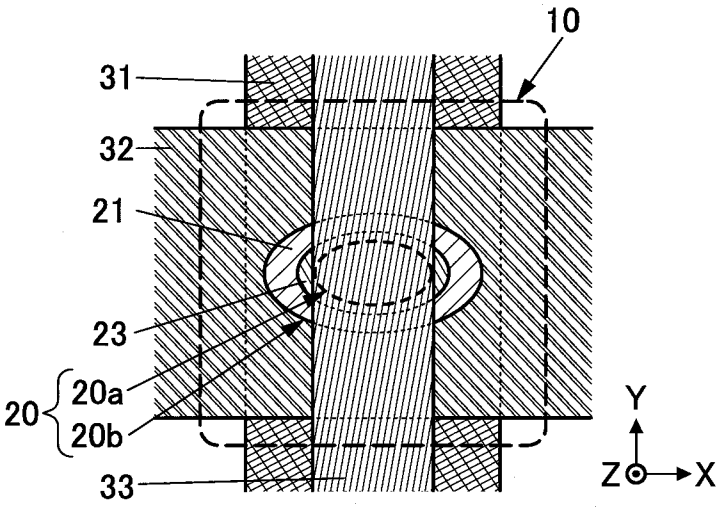
【圖10A】



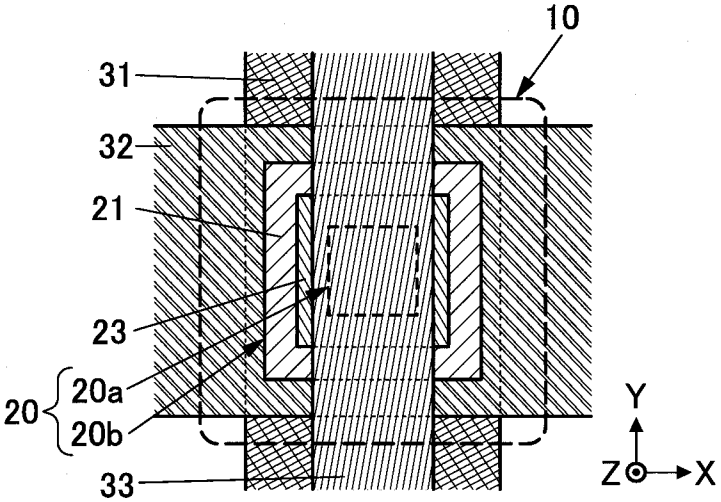
【圖10B】



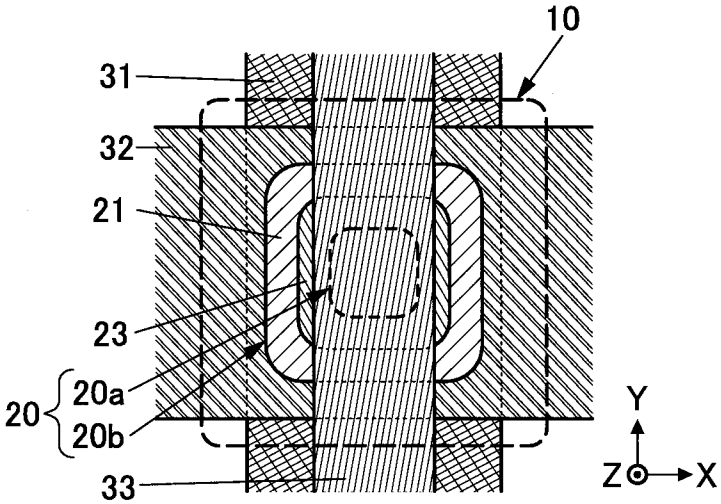
【圖10C】



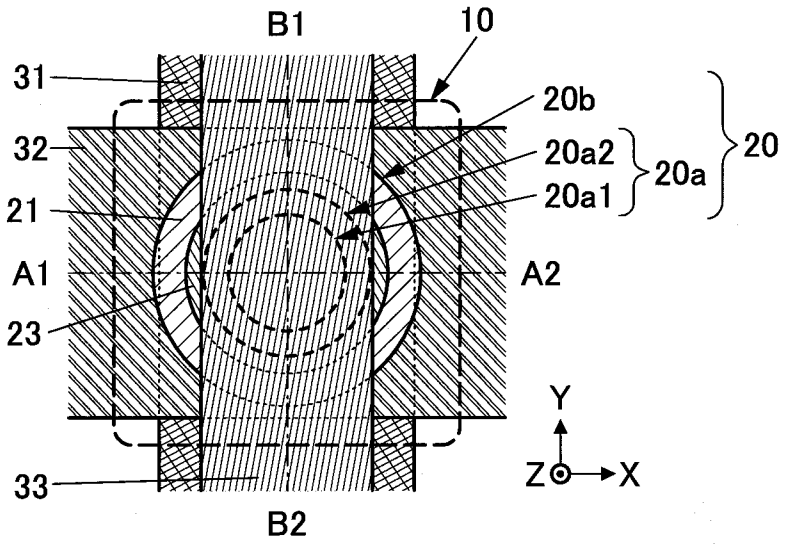
【圖11A】



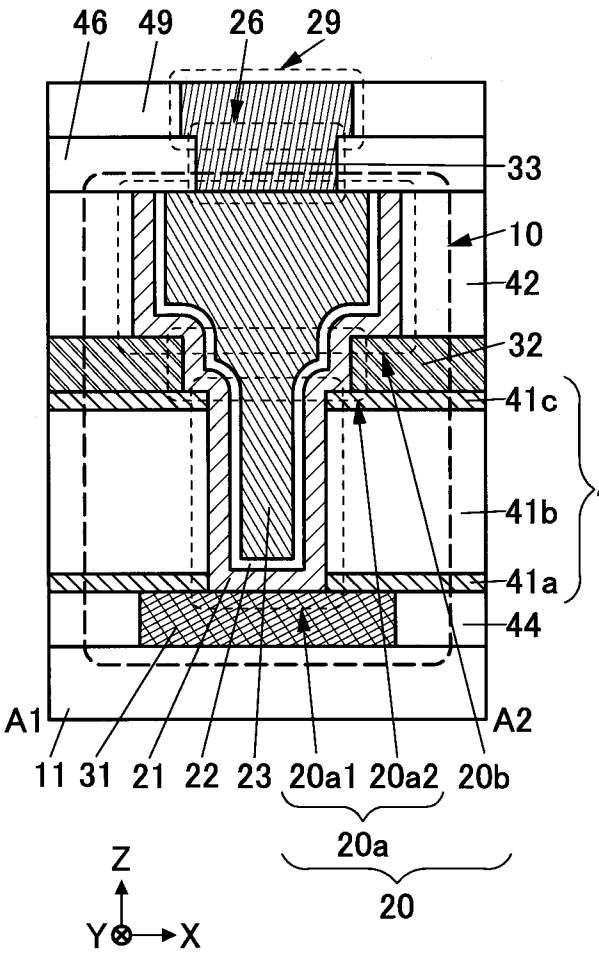
【圖11B】



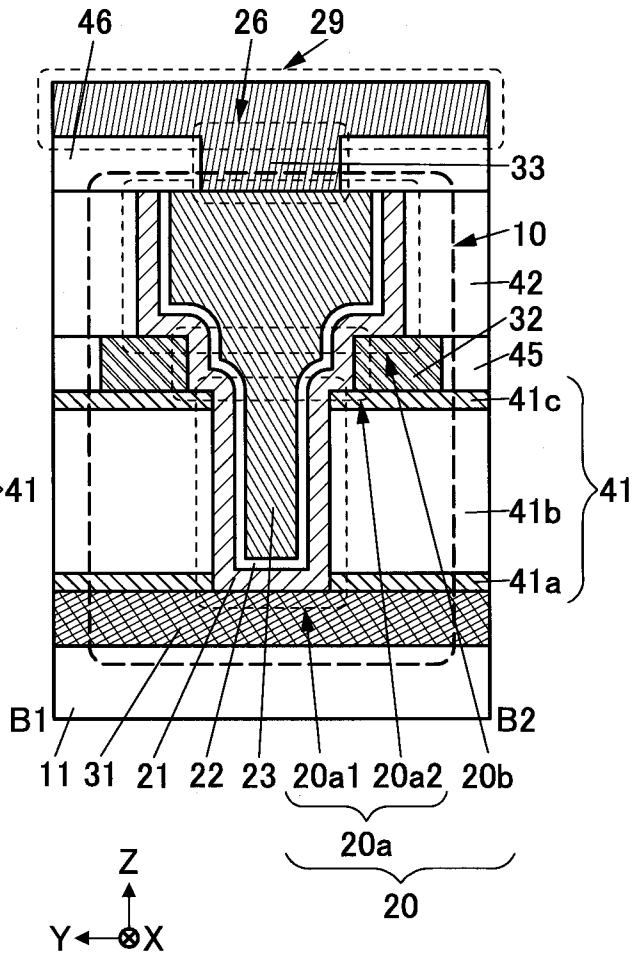
【圖11C】



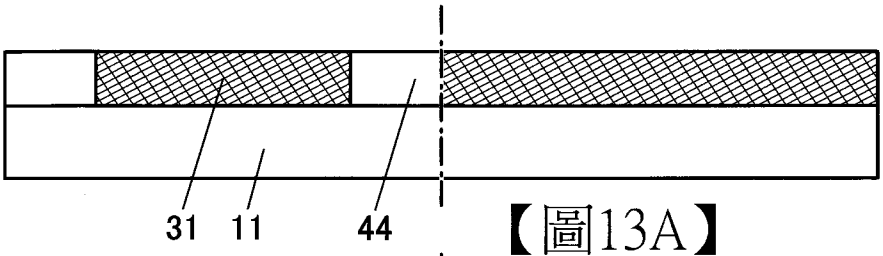
【圖12A】



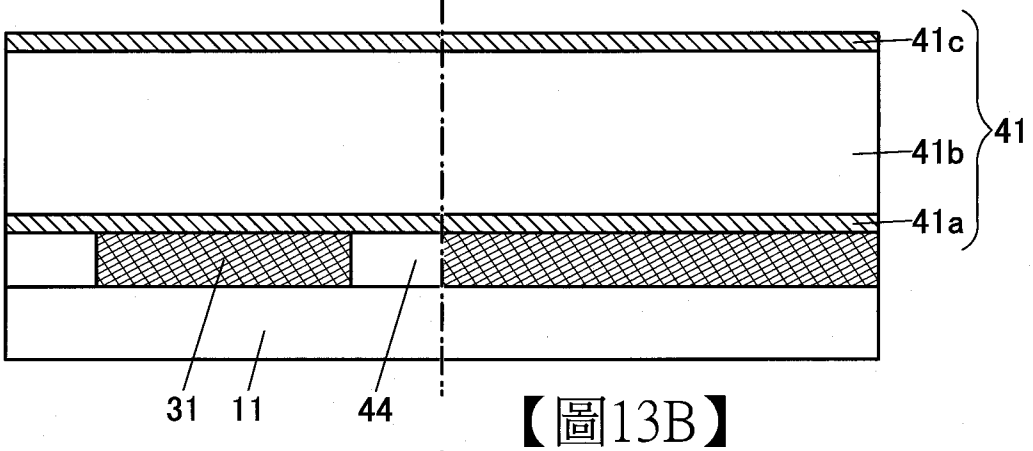
【圖12B】



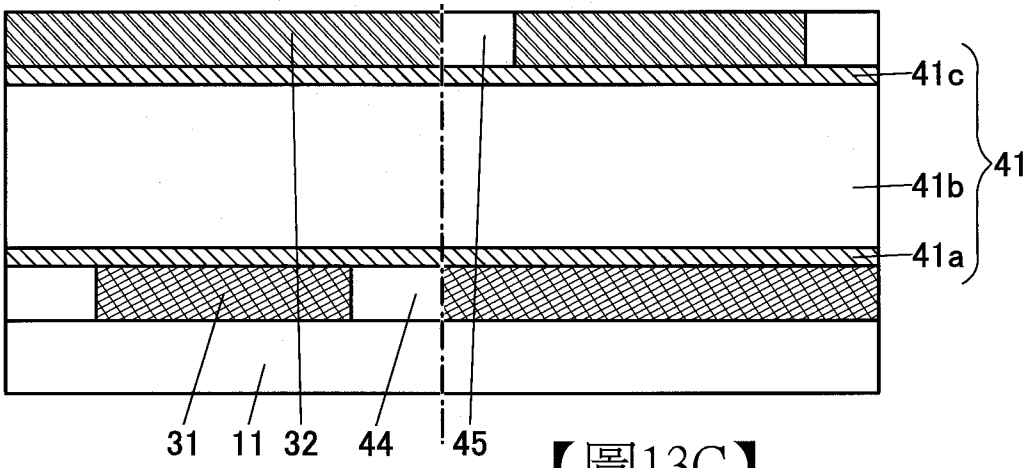
【圖12C】



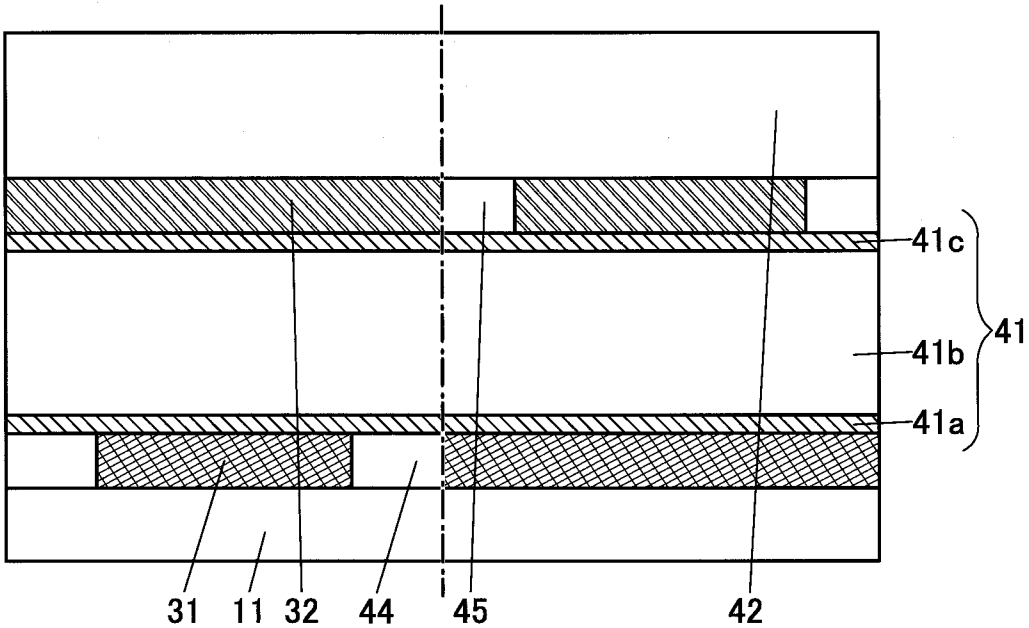
【圖13A】



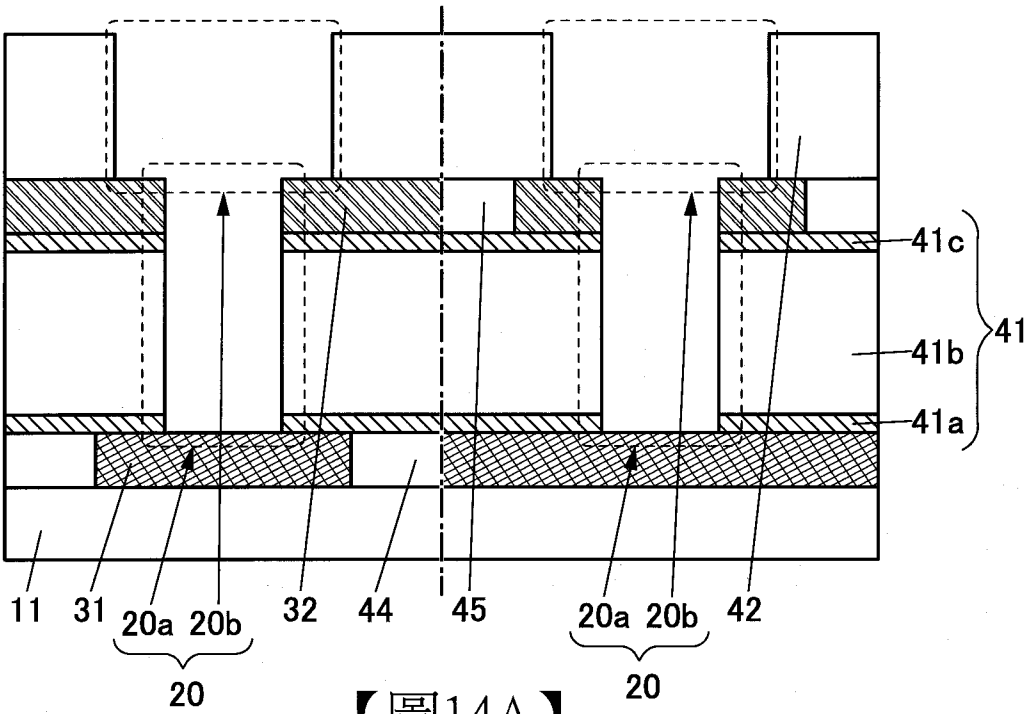
【圖13B】



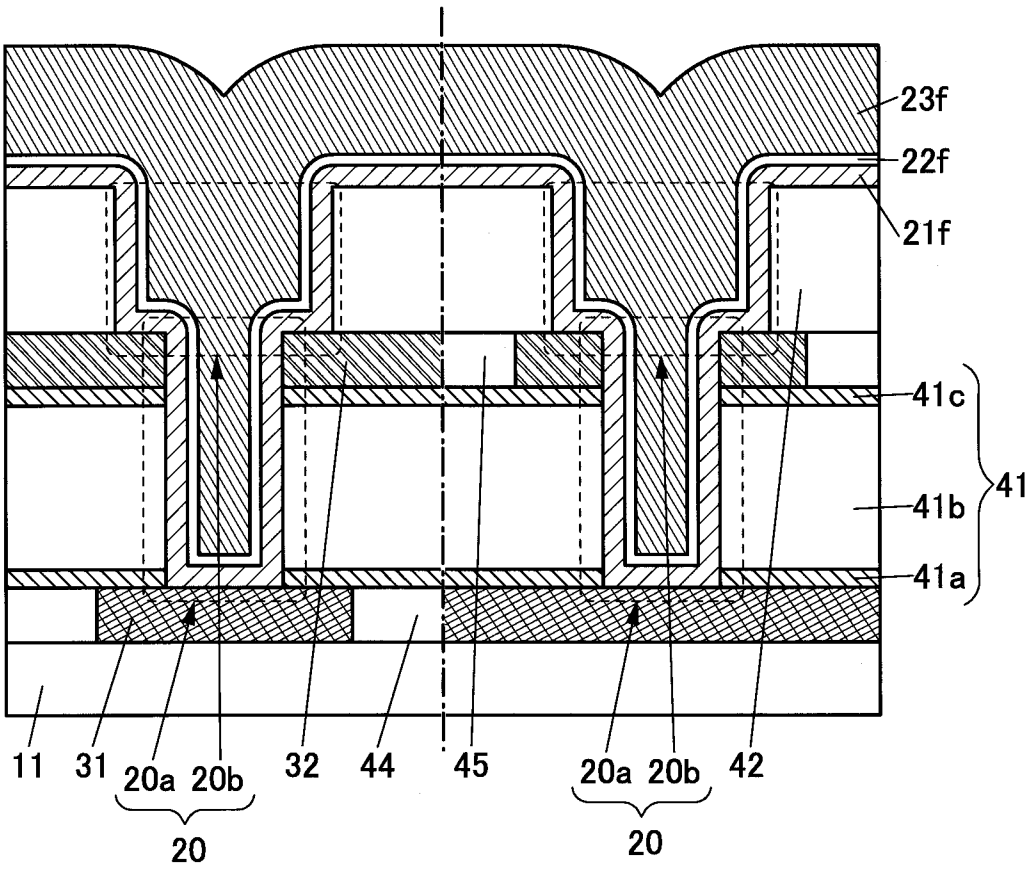
【圖13C】



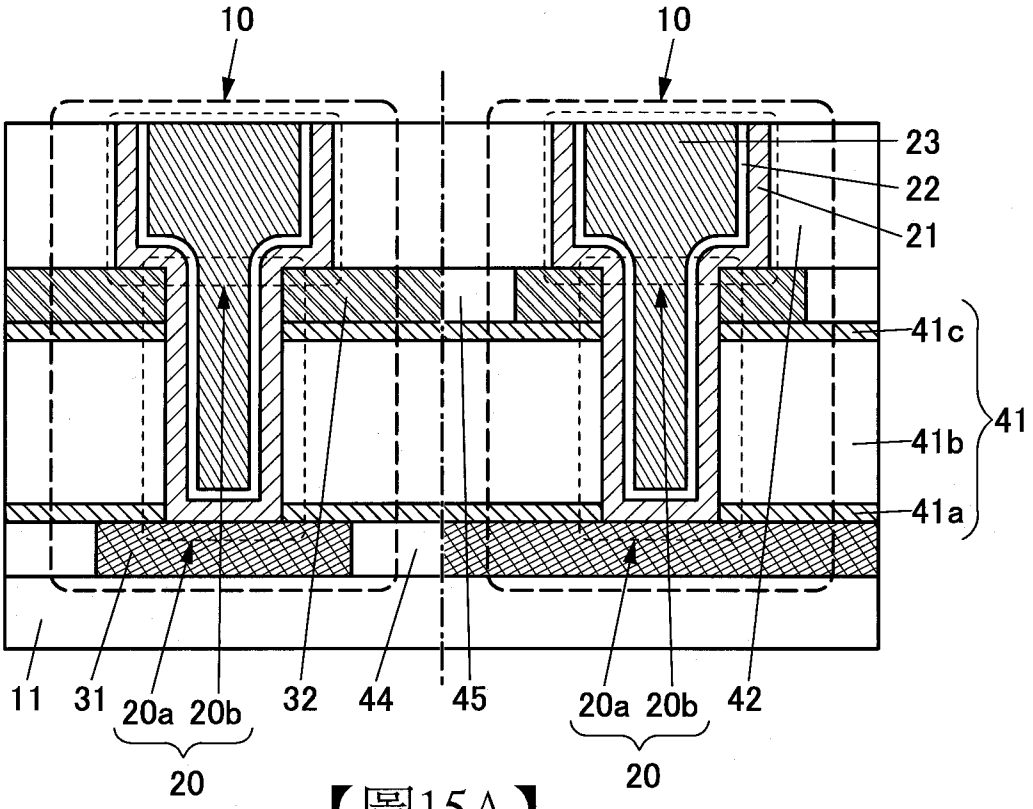
【圖13D】


41c
41b
41a
41
11
31
20a
20b
20
32
44
45
20a
20b
20
42

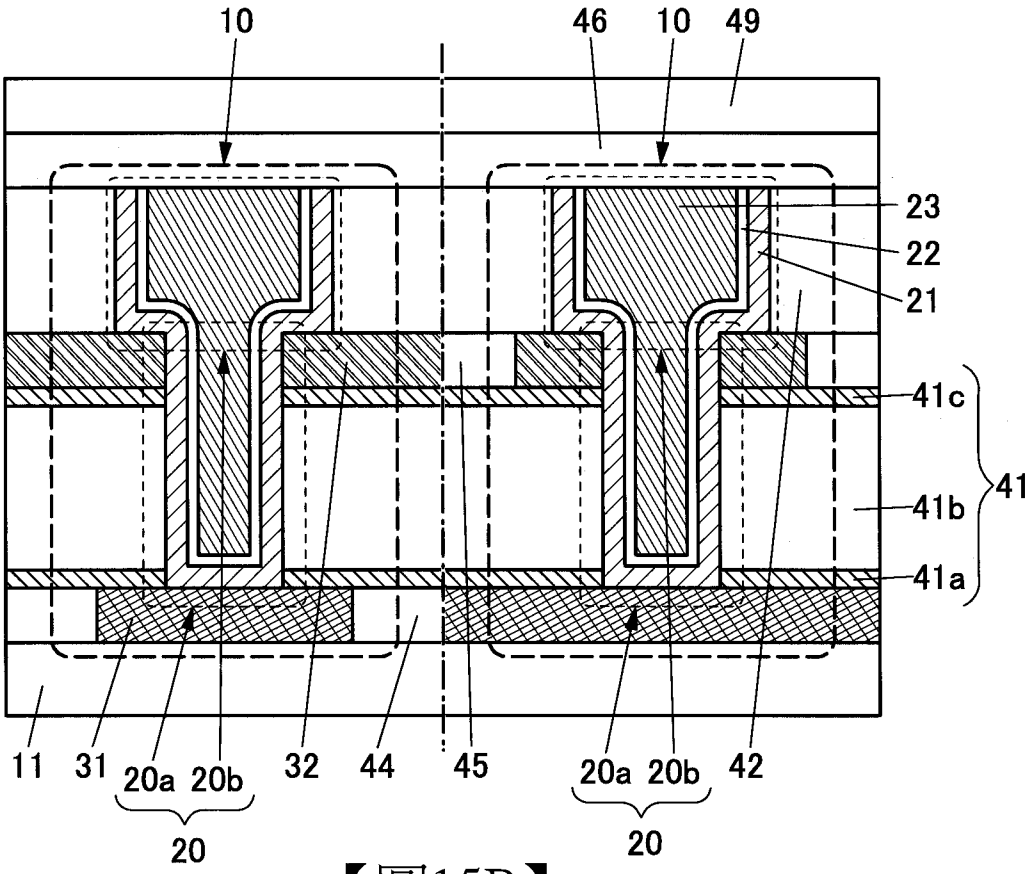
【圖14A】


23f
22f
21f
41c
41b
41a
41
11
31
20a
20b
20
32
44
45
20a
20b
20
42

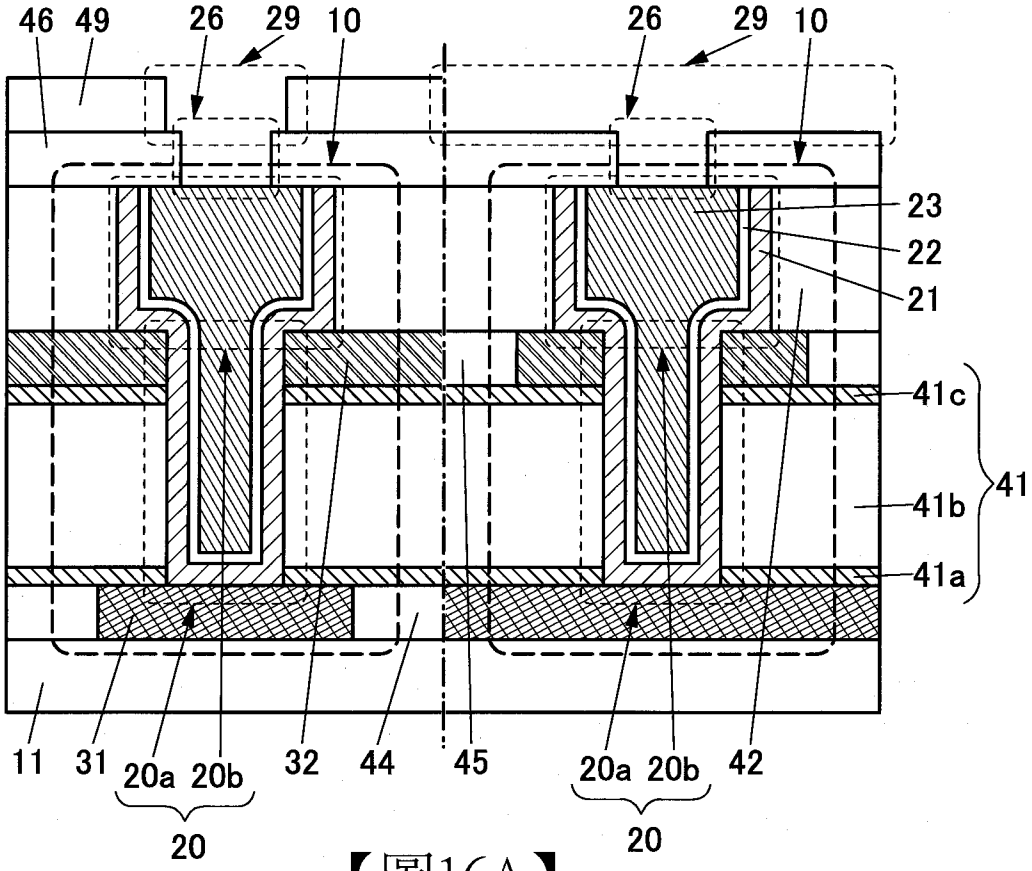
【圖14B】


10
10
23
22
21
41c
41
41b
41a
11
31
20a
20b
32
44
45
20a
20b
42
20
20

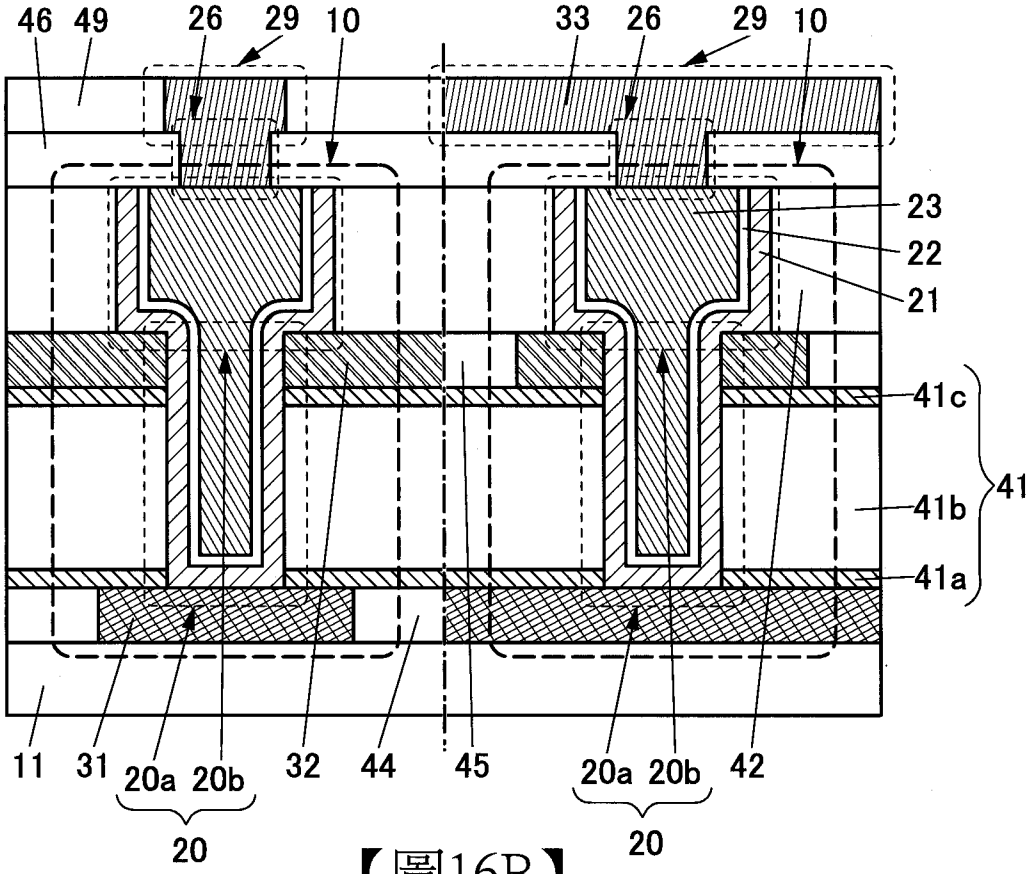
【圖15A】


10
46
10
49
23
22
21
41c
41
41b
41a
11
31
20a
20b
32
44
45
20a
20b
42
20
20

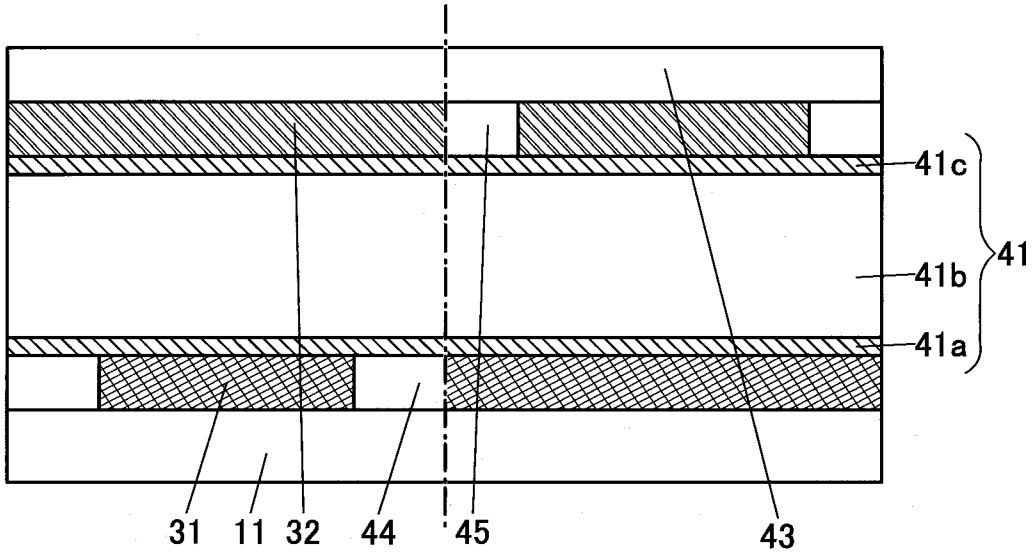
【圖15B】


46
49
26
29
10
26
29
10
23
22
21
41c
41
41b
41a
11
31
20a
20b
32
44
45
20a
20b
42
20
20

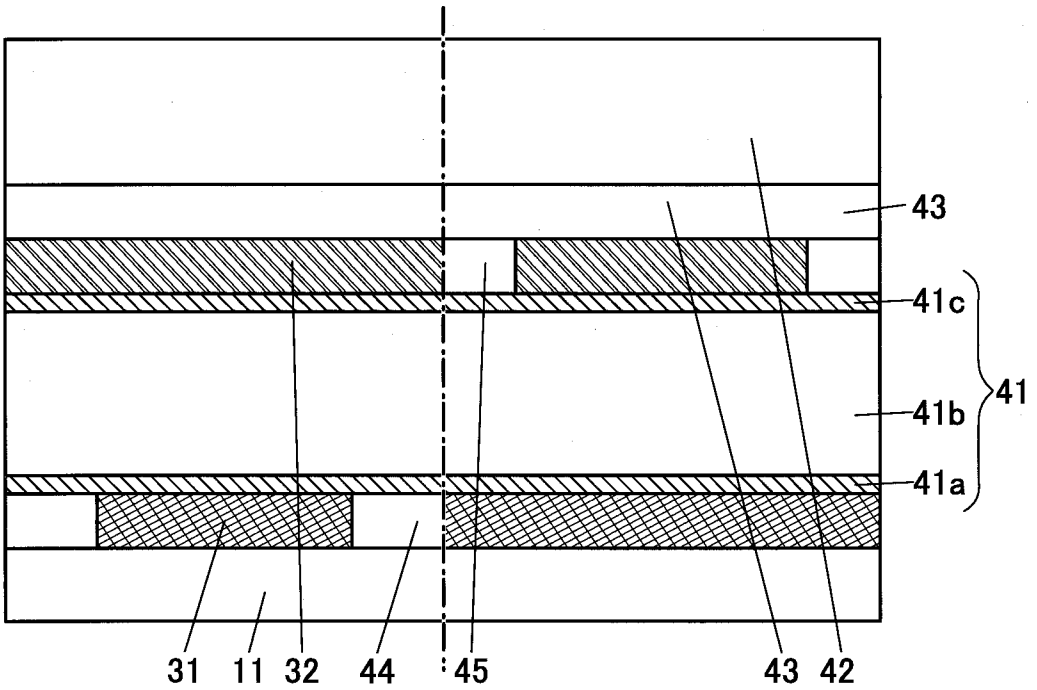
【圖16A】


46
49
26
29
10
33
26
29
10
23
22
21
41c
41
41b
41a
11
31
20a
20b
32
44
45
20a
20b
42
20
20

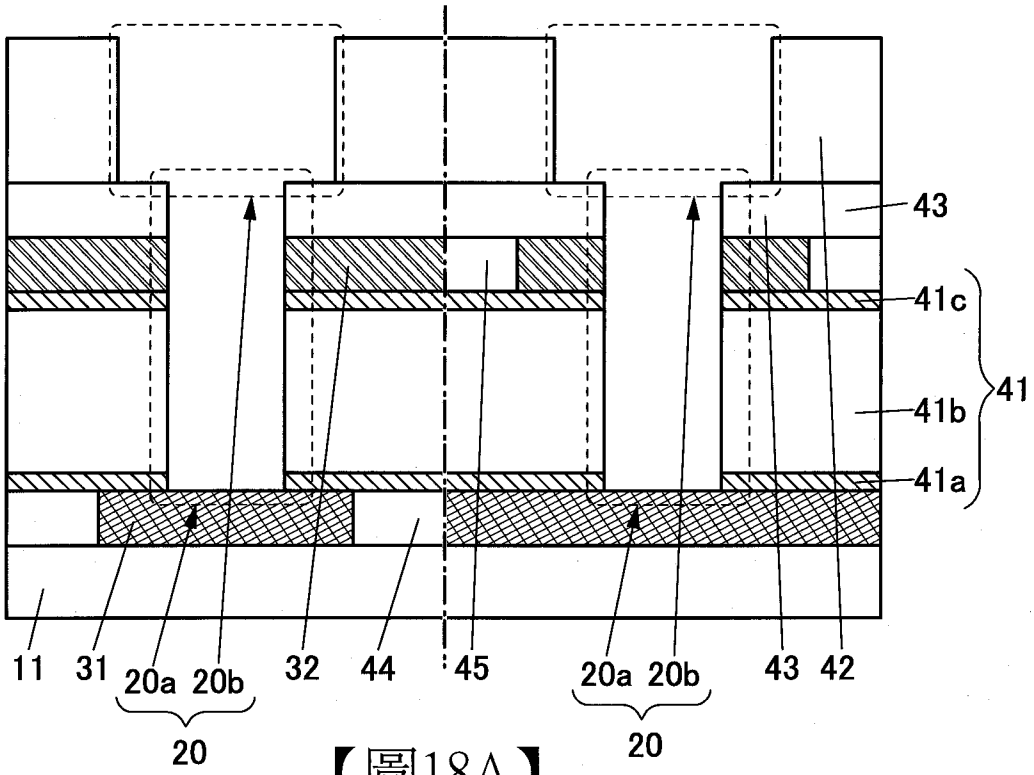
【圖16B】


41c
41b
41a
41
31
11
32
44
45
43

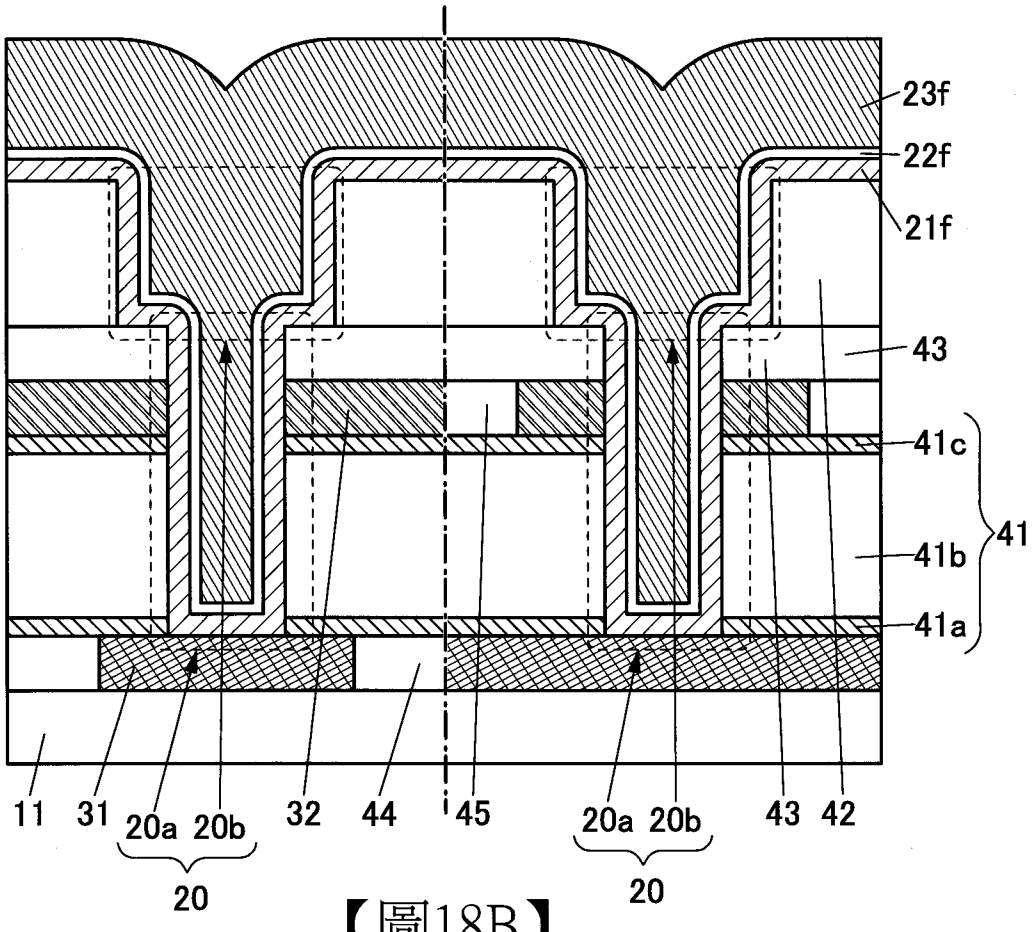
【圖17A】


43
41c
41b
41a
41
31
11
32
44
45
43
42

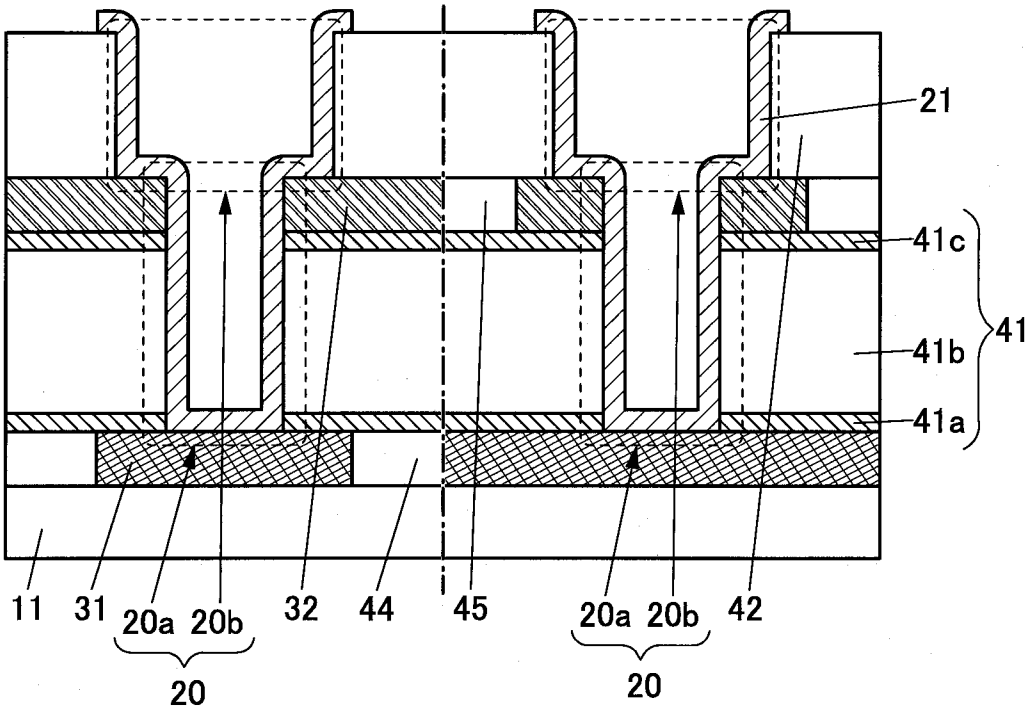
【圖17B】


43
41c
41
41b
41a
11
31
20a
20b
32
44
45
20a
20b
43
42
20
20

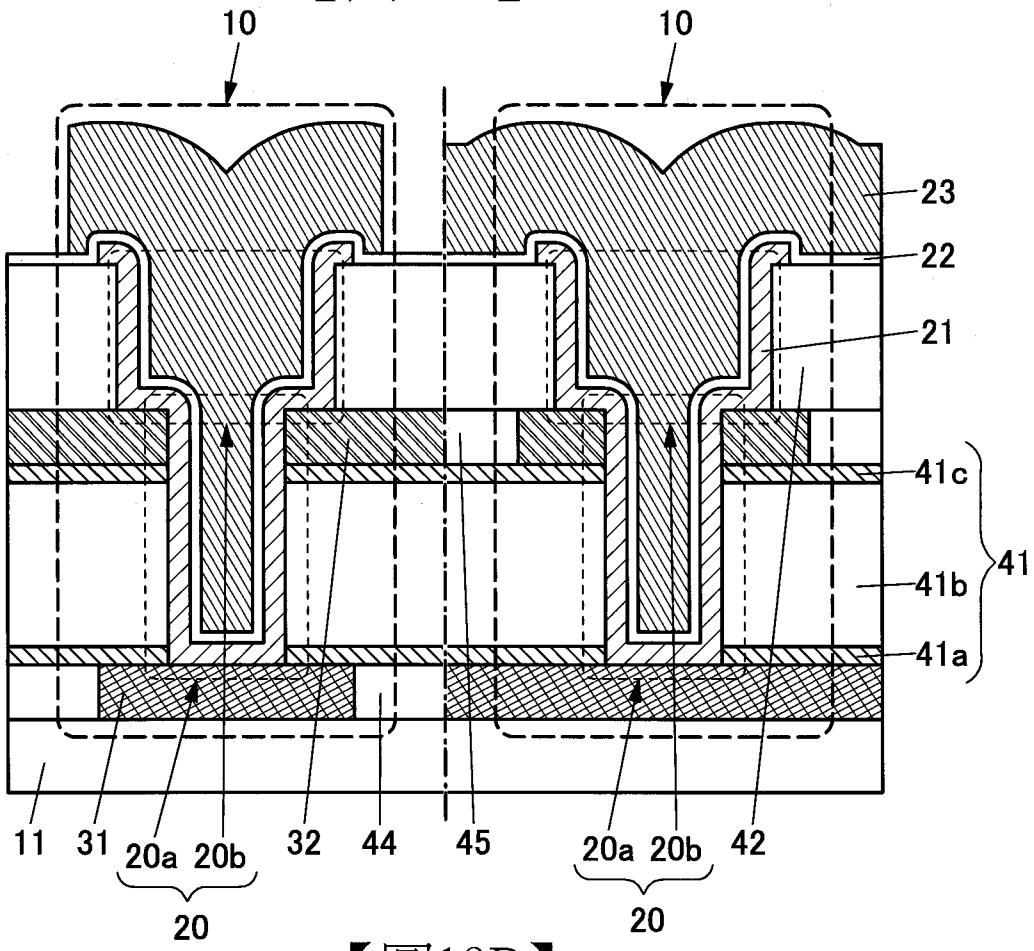
【圖18A】


23f
22f
21f
43
41c
41
41b
41a
11
31
20a
20b
32
44
45
20a
20b
43
42
20
20

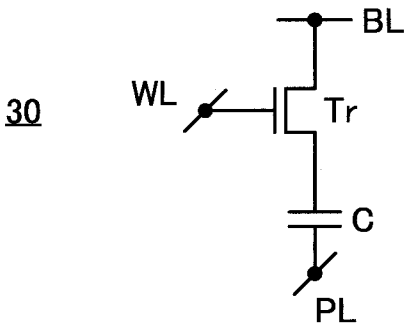
【圖18B】


21
41c
41
41b
41a
11
31
20a
20b
32
44
45
20a
20b
42
20
20

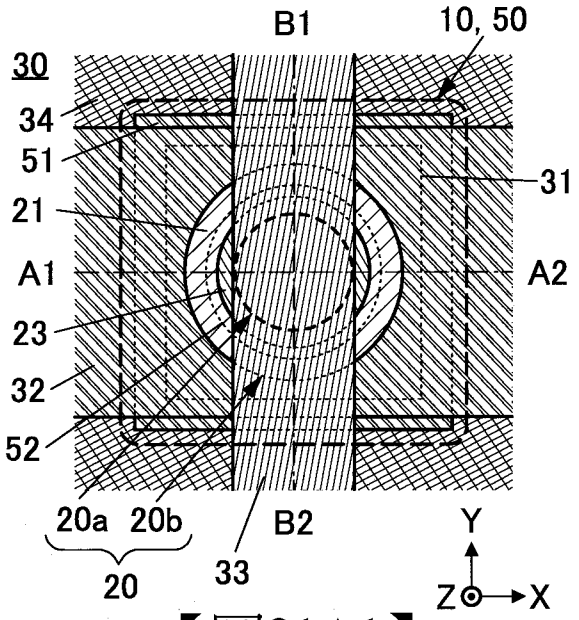
【圖19A】


10
10
23
22
21
41c
41
41b
41a
11
31
20a
20b
32
44
45
20a
20b
42
20
20

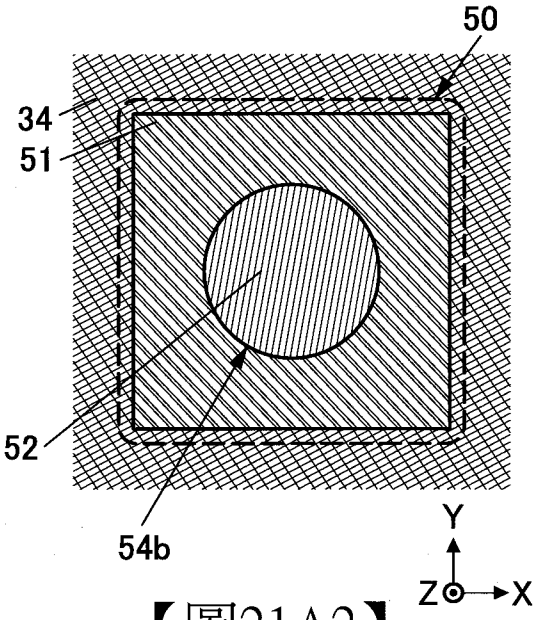
【圖19B】



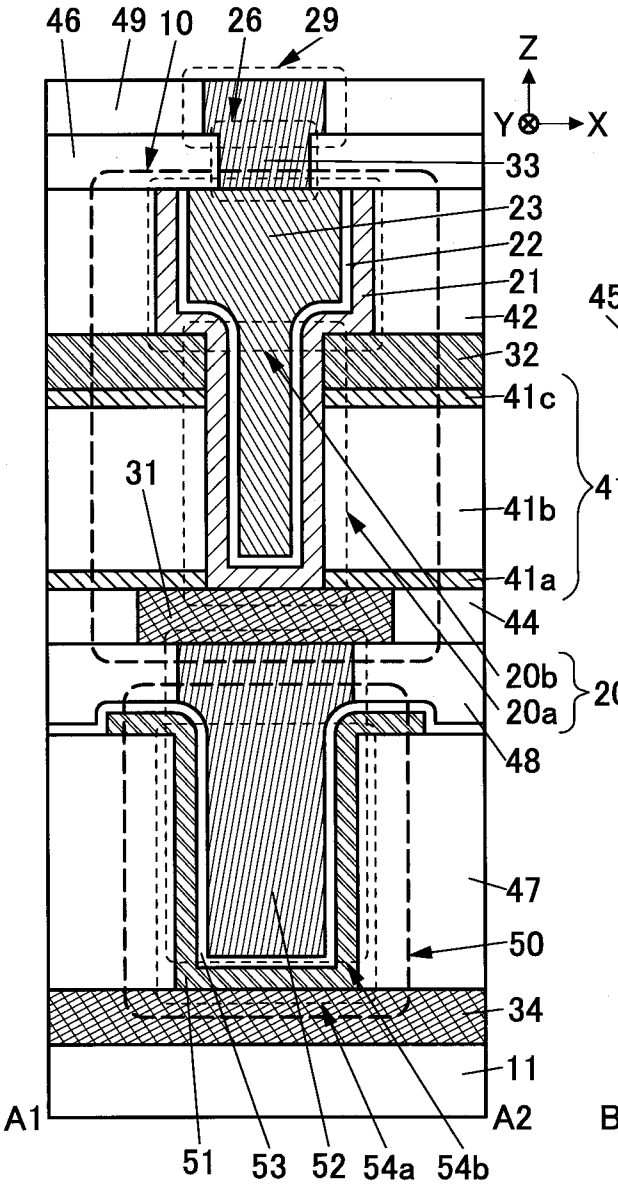
【圖20】



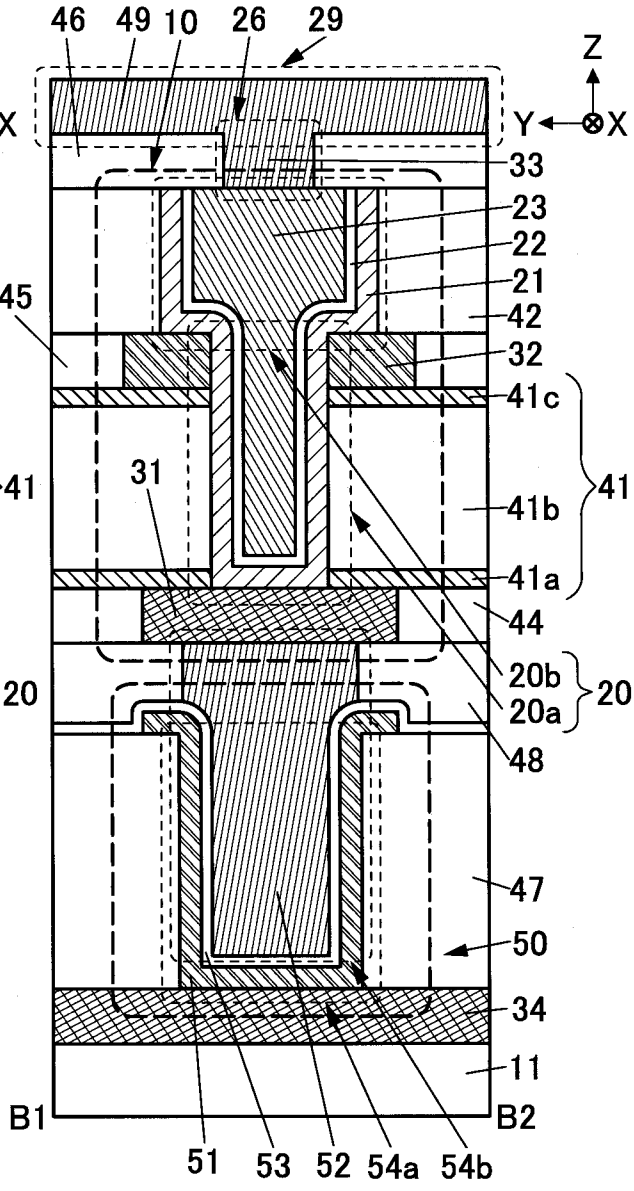
【圖21A1】



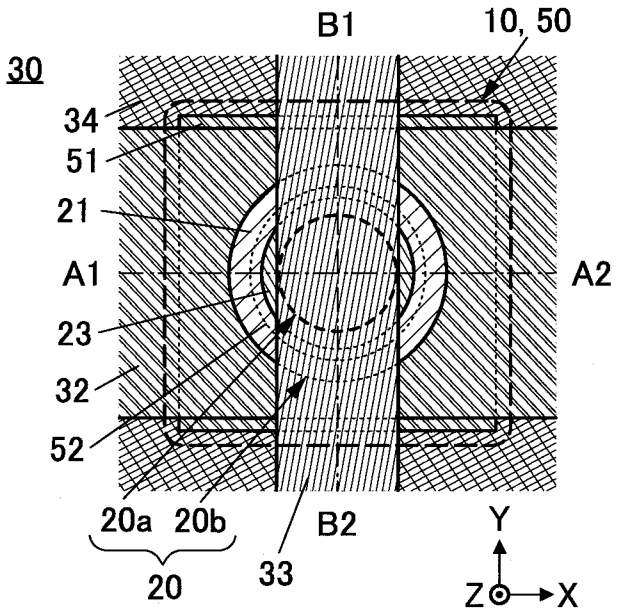
【圖21A2】



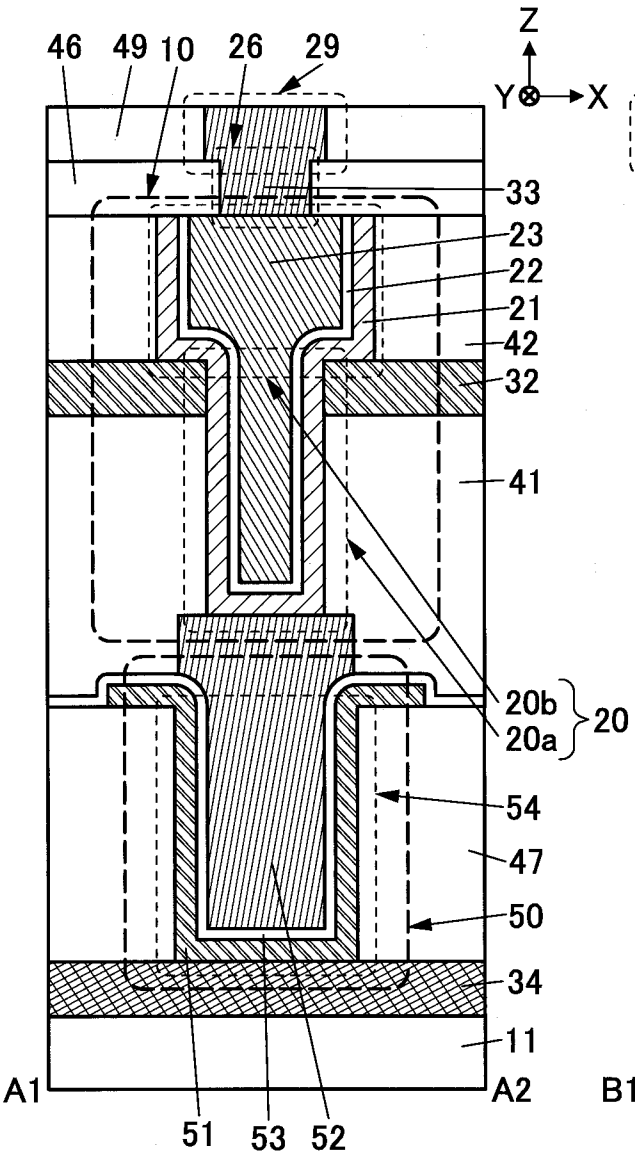
【圖21B】



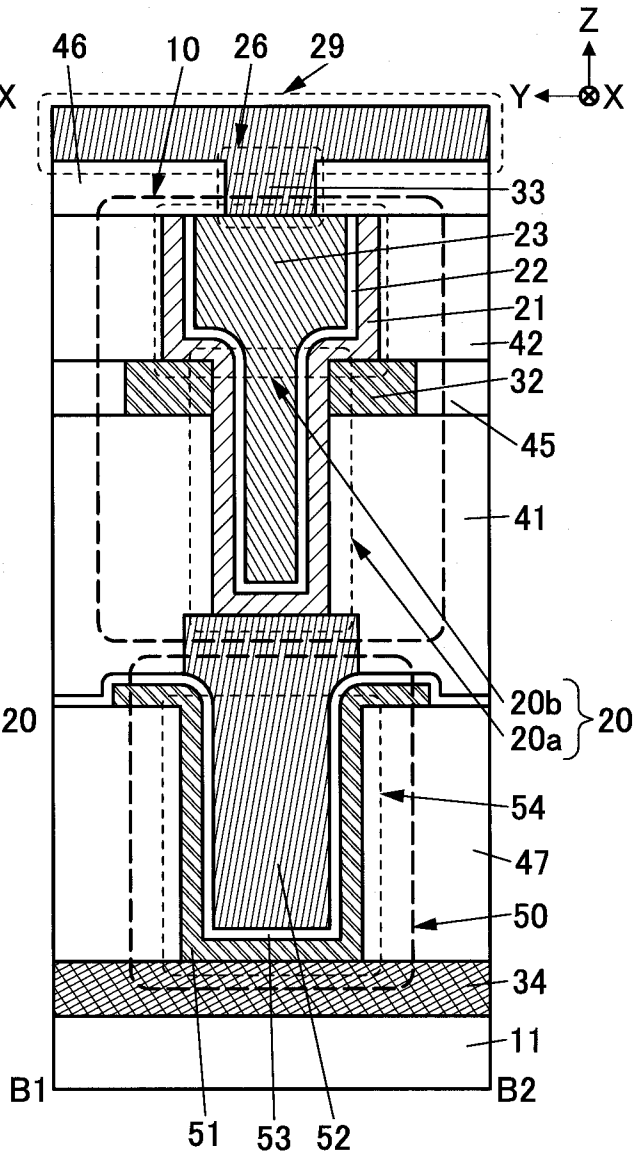
【圖21C】



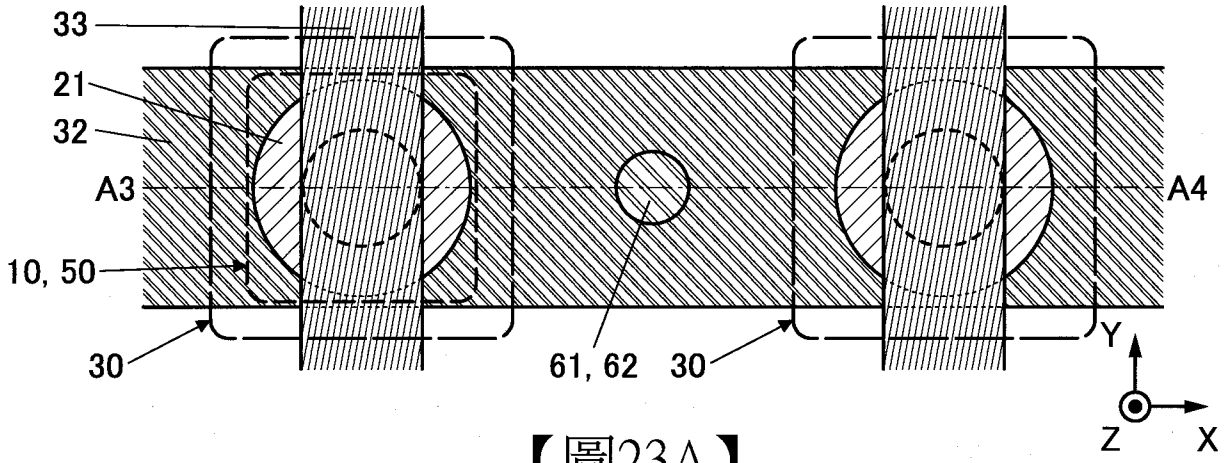
【圖22A】



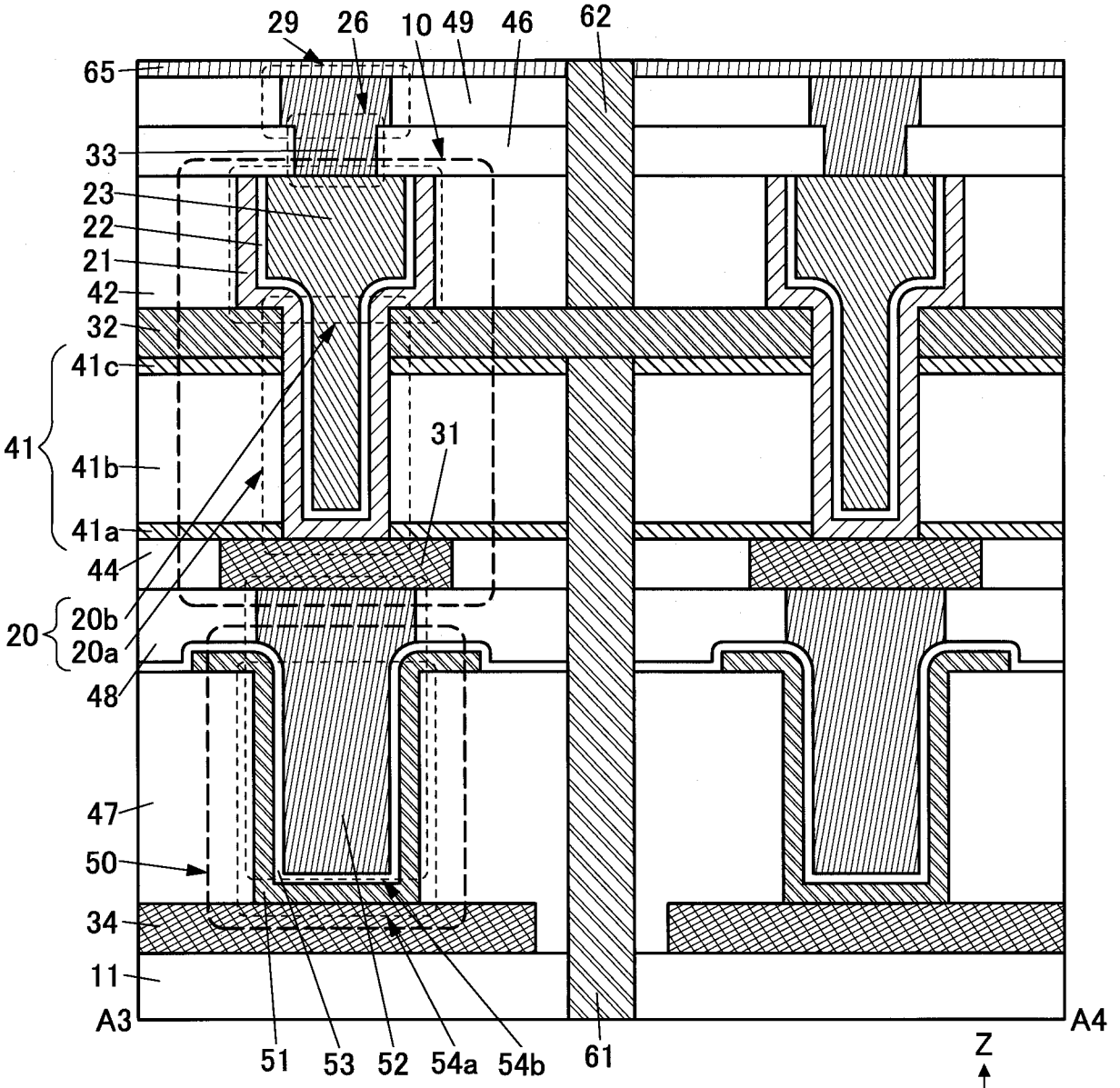
【圖22B】



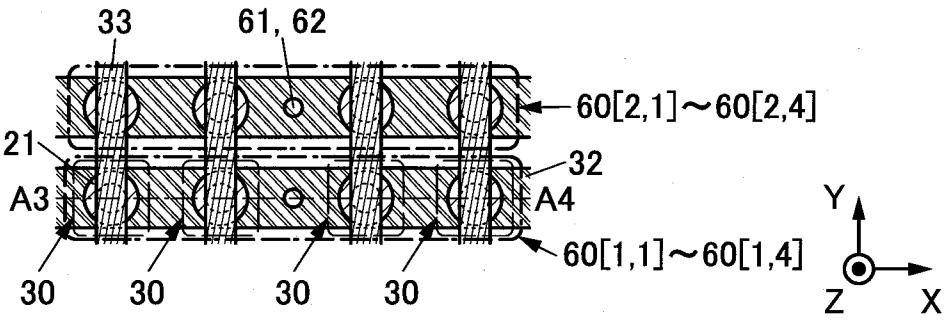
【圖22C】


33
21
32
A3
10, 50
30
61, 62
30
A4
Y
Z
X

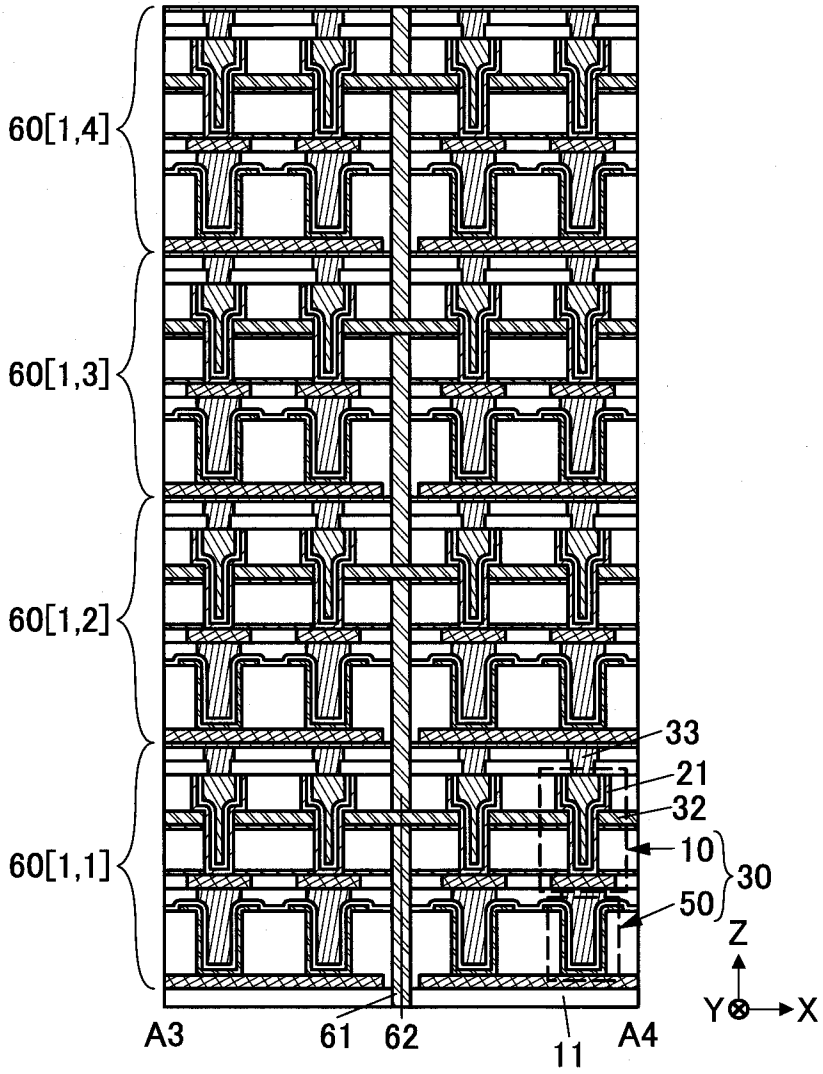
【圖23A】


29
26
10
49
46
62
65
33
23
22
21
42
32
41c
41
41b
41a
31
44
20
20b
20a
48
47
50
34
11
A3
51
53
52
54a
54b
61
A4
Z
Y
X

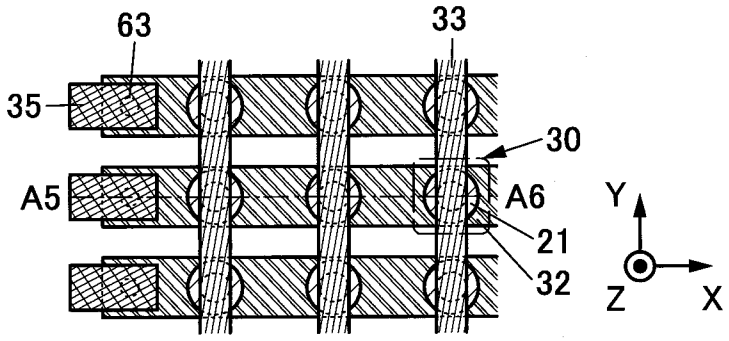
【圖23B】


33
61, 62
60[2,1]～60[2,4]
21
32
A3
A4
60[1,1]～60[1,4]
30
30
30
30
Y
Z
X

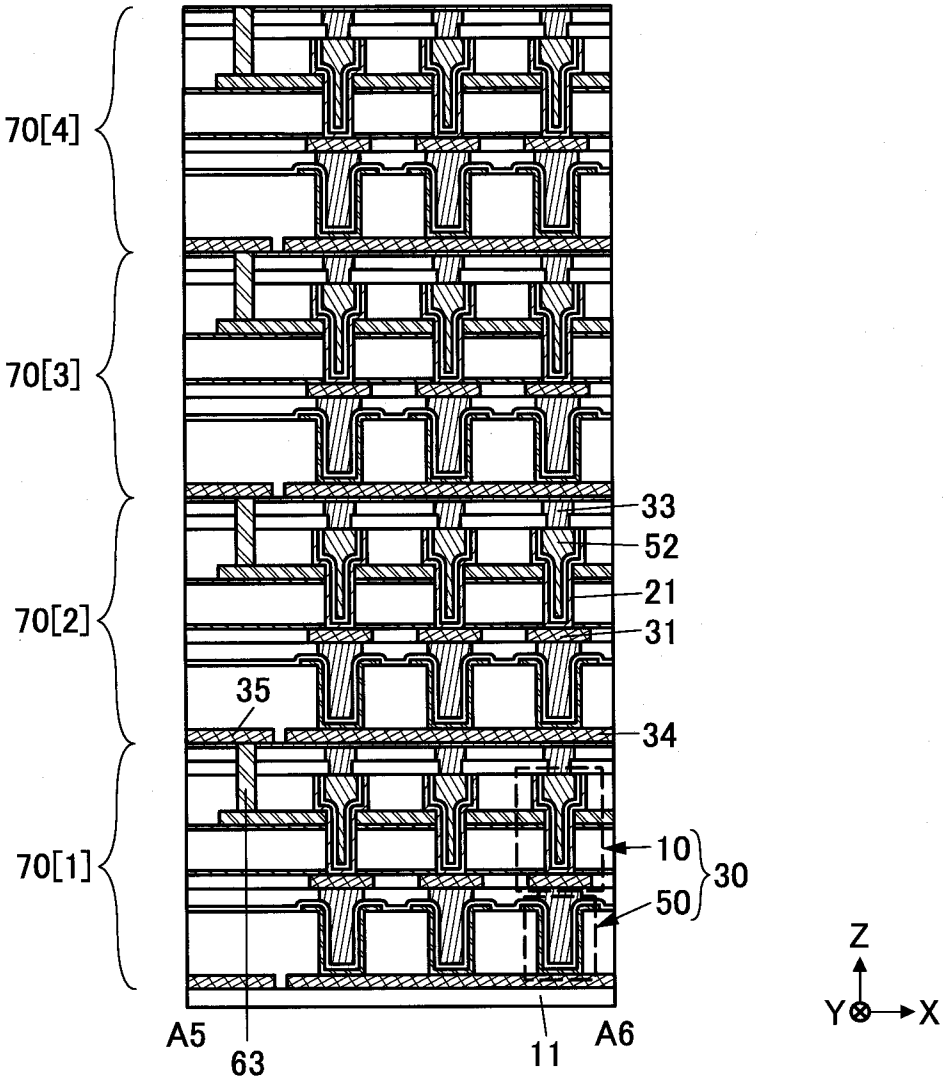
【圖24A】


60[1,4]
60[1,3]
60[1,2]
60[1,1]
33
21
32
10
30
50
Z
Y
X
A3
61
62
11
A4

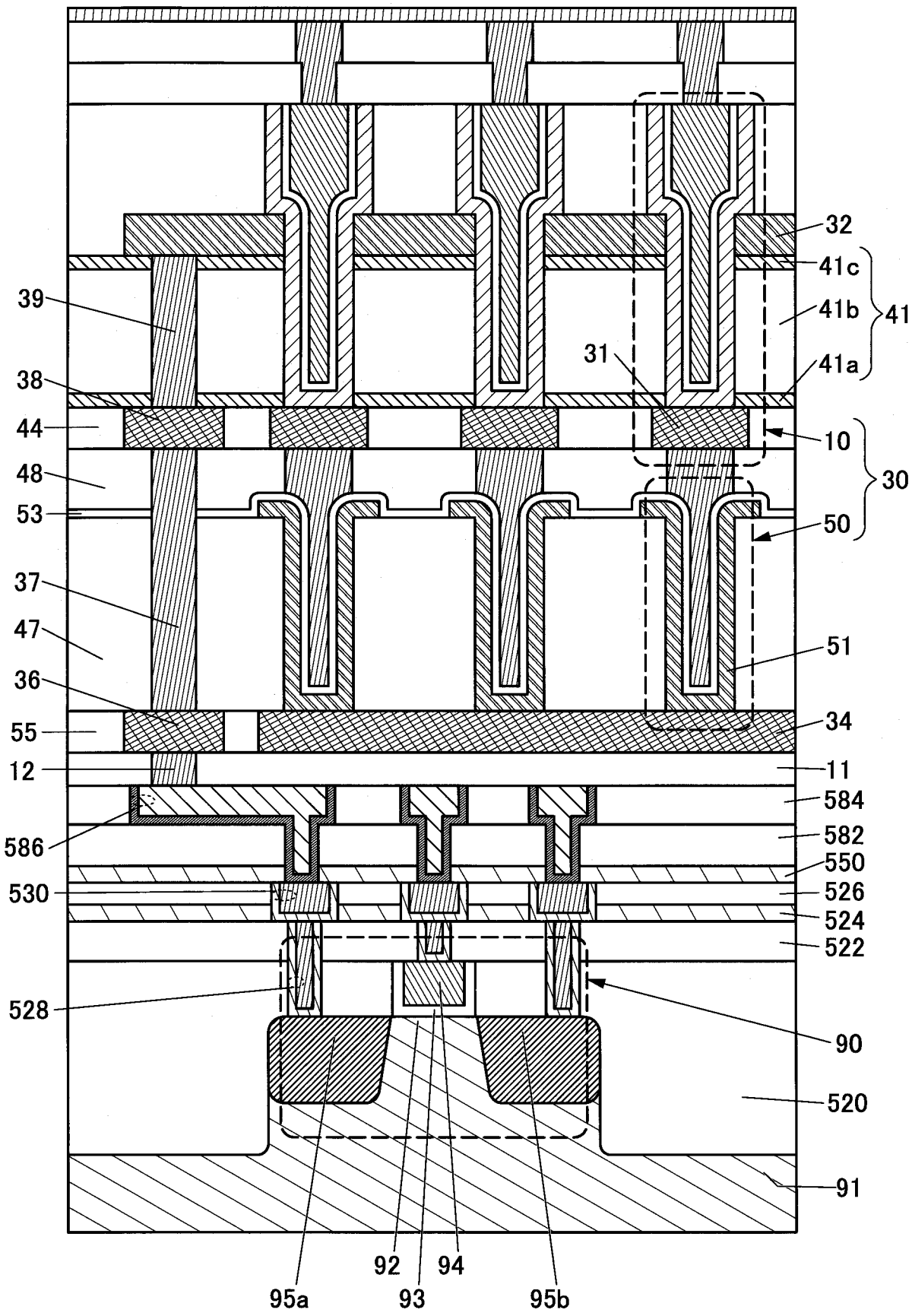
【圖24B】


63
33
35
30
A5
A6
21
32
Y
Z
X

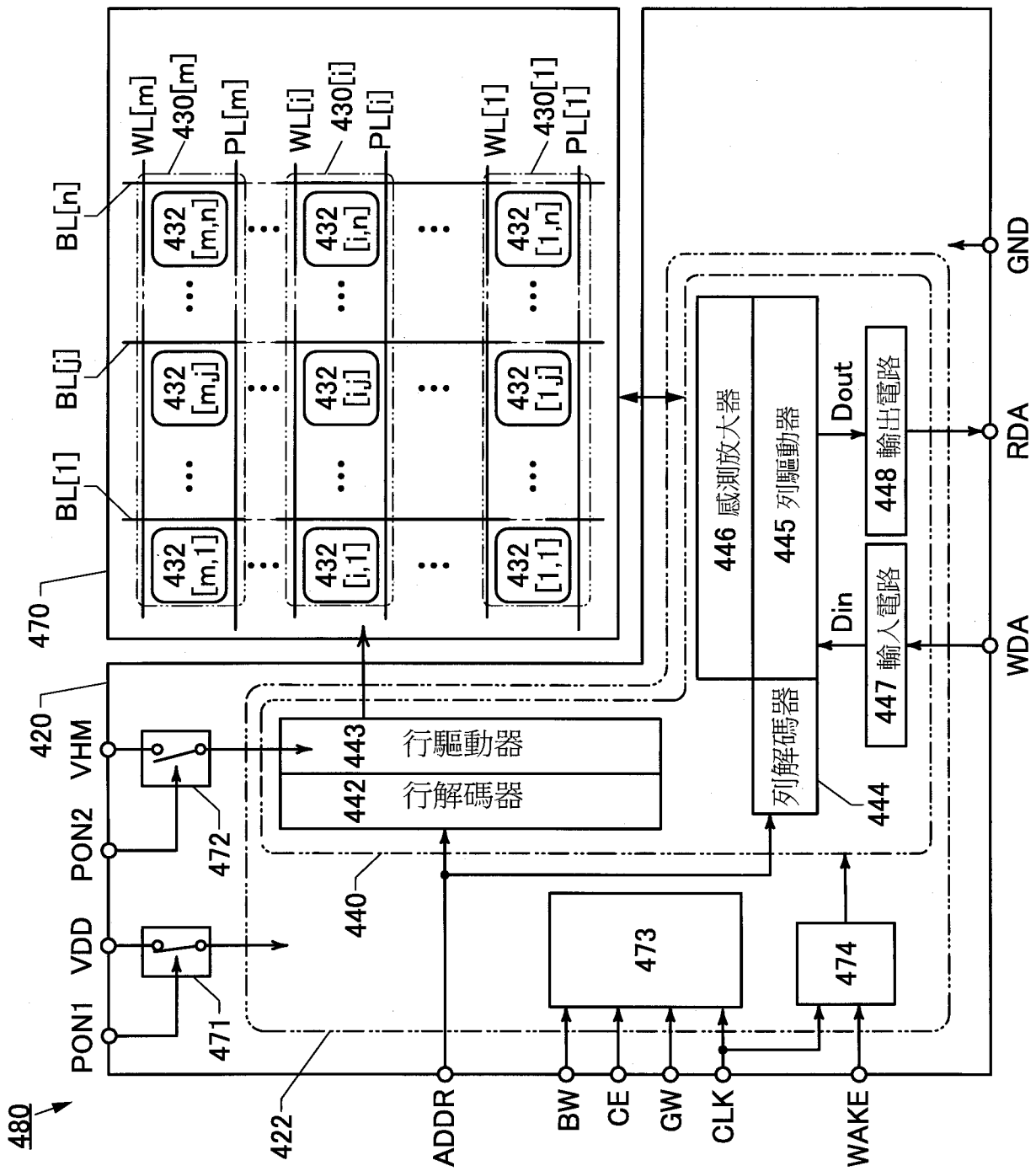
【圖25A】


70[4]
70[3]
70[2]
70[1]
33
52
21
31
35
34
10
30
50
A5
63
11
A6
Z
Y
X

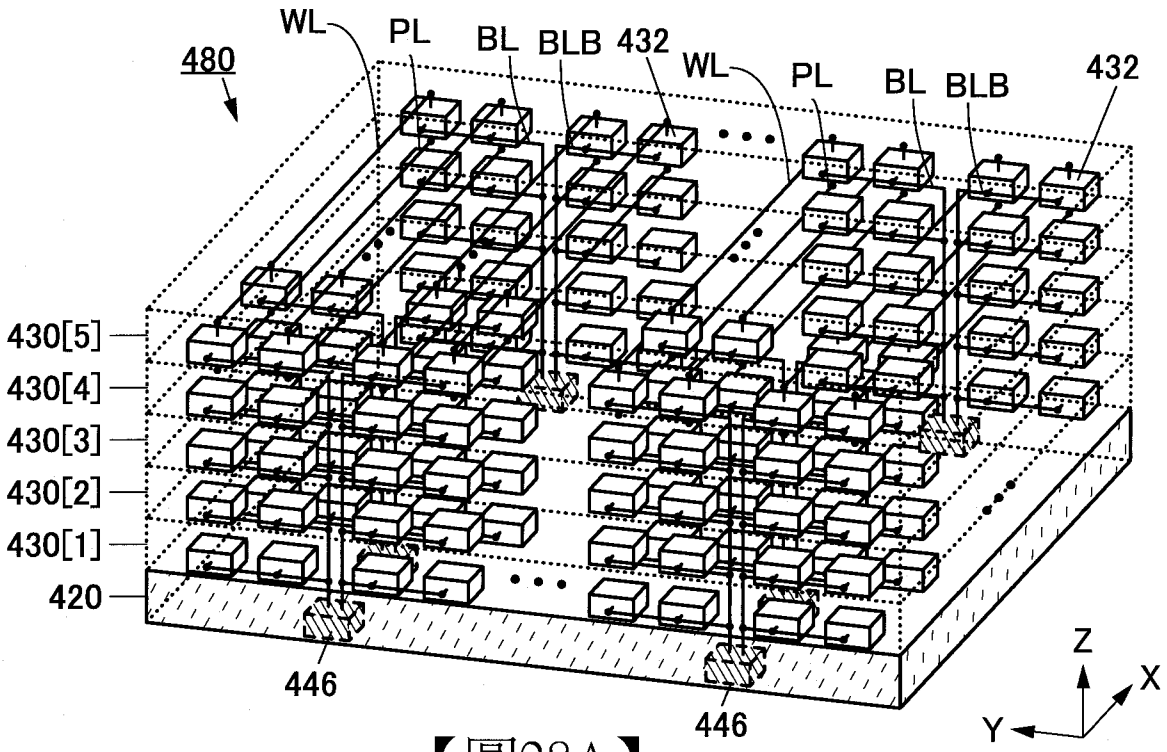
【圖25B】


32
41c
41b
41
41a
39
31
38
44
10
30
48
53
50
37
47
51
36
55
34
12
11
584
586
582
550
530
526
524
522
528
90
520
91
92
94
95a
93
95b

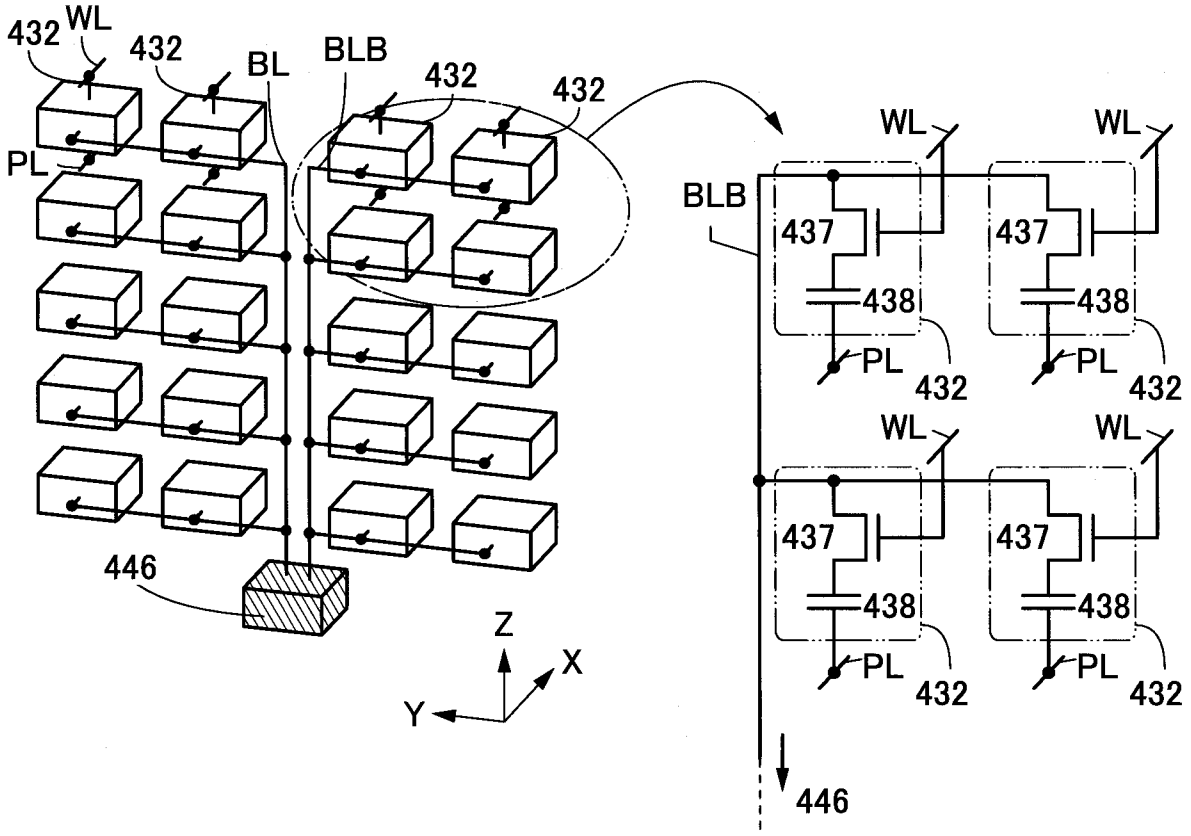
【圖26】


480
420
VHM
PON2
VDD
PON1
470
BL[n]
BL[j]
BL[1]
WL[m]
WL[i]
WL[1]
PL[m]
PL[i]
PL[1]
430[m]
430[i]
430[1]
432 [m,n]
432 [m,j]
432 [m,1]
432 [i,n]
432 [i,j]
432 [i,1]
432 [1,n]
432 [1,j]
432 [1,1]
443 行驅動器
442 行解碼器
446 感測放大器
445 列驅動器
444 列解碼器
447 輸入電路
448 輸出電路
Din
Dout
471
472
473
474
440
422
ADDR
BW
CE
GW
CLK
WAKE
WDA
RDA
GND

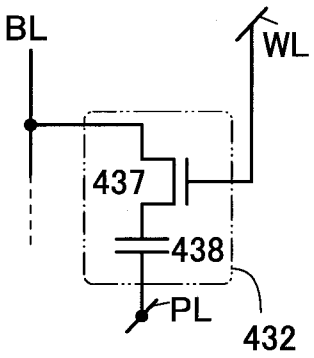
【圖27】


480
WL
PL
BL
BLB
432
430[5]
430[4]
430[3]
430[2]
430[1]
420
446
Z
X
Y

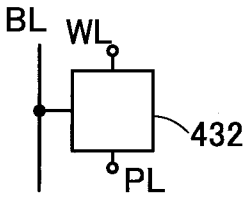
【圖28A】


432
WL
BL
BLB
PL
446
Z
X
Y
437
438

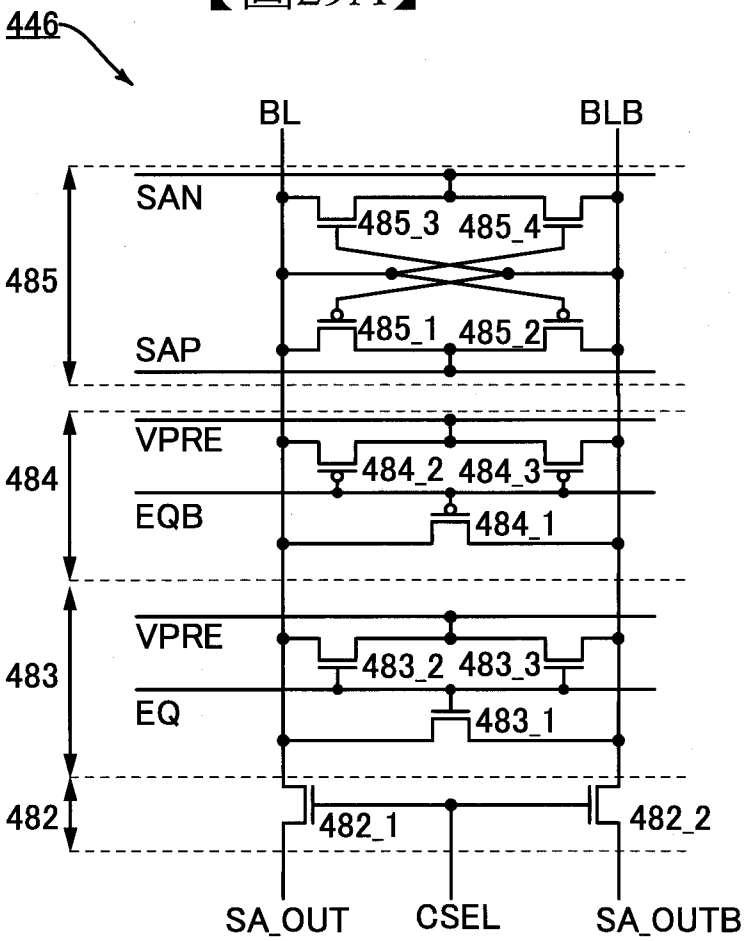
【圖28B】



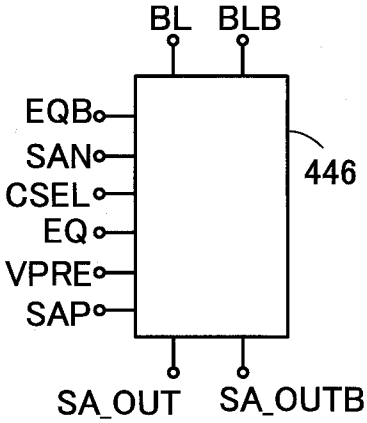
【圖29A】



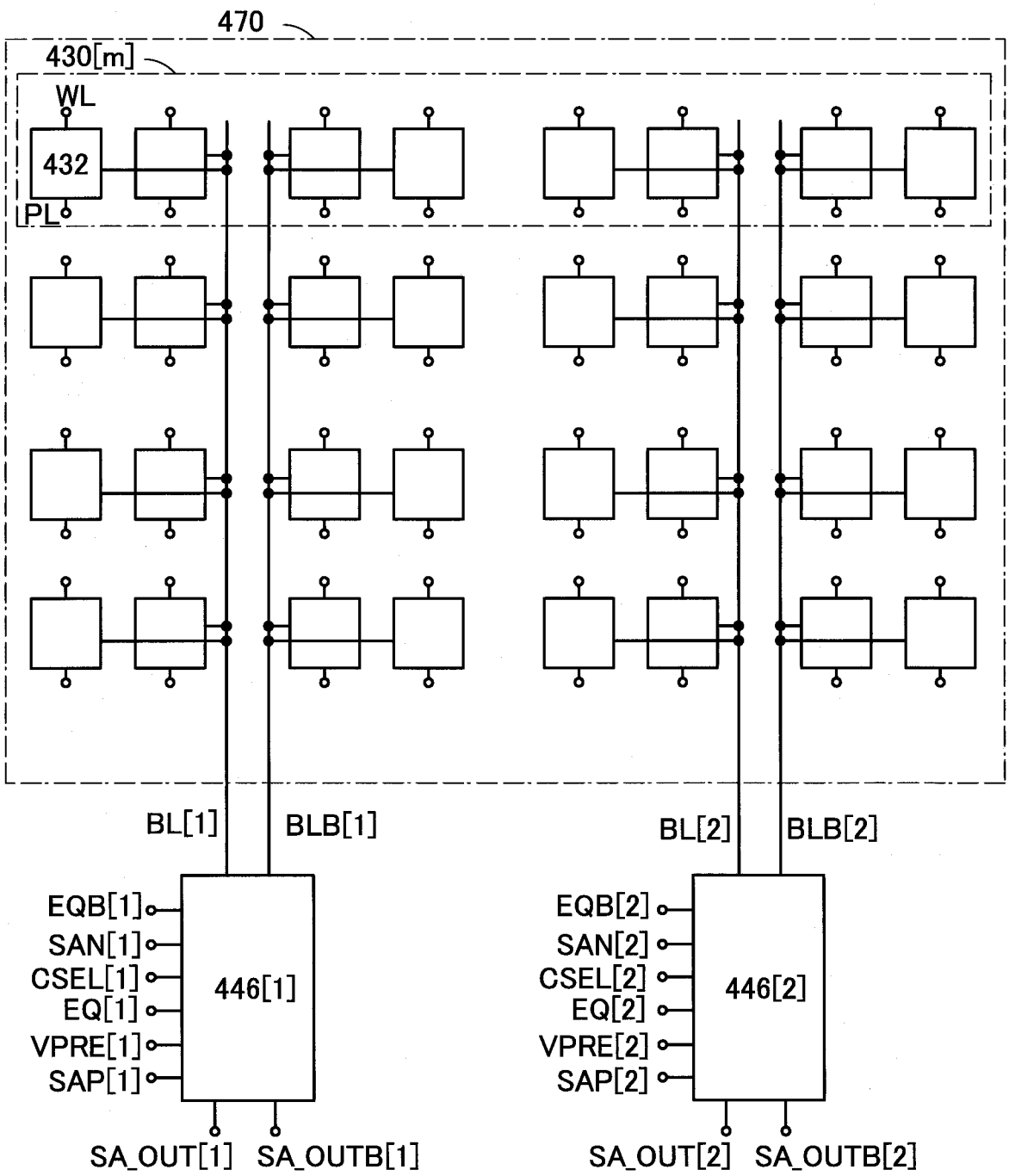
【圖29B】



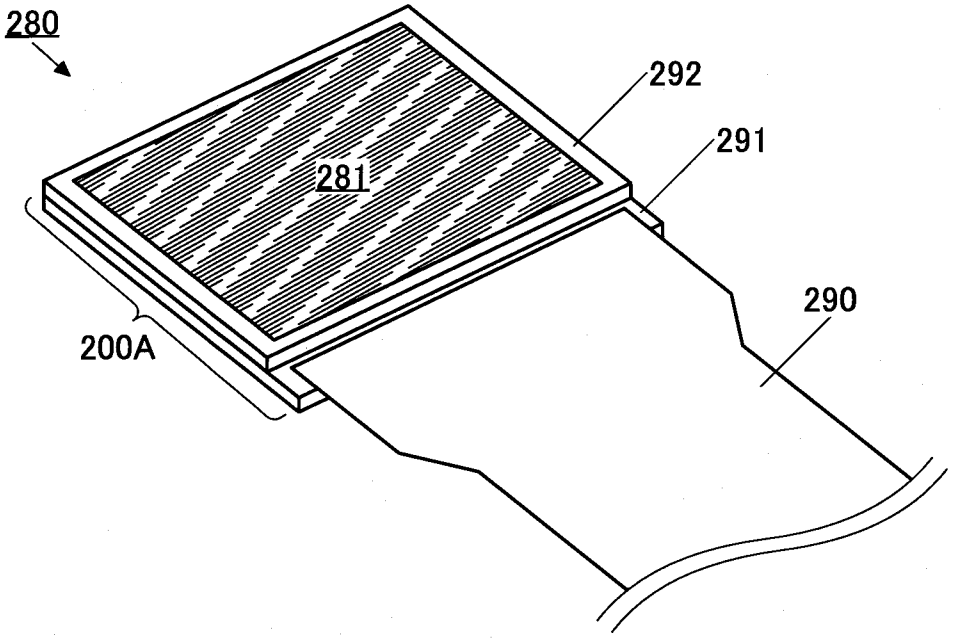
【圖29C】



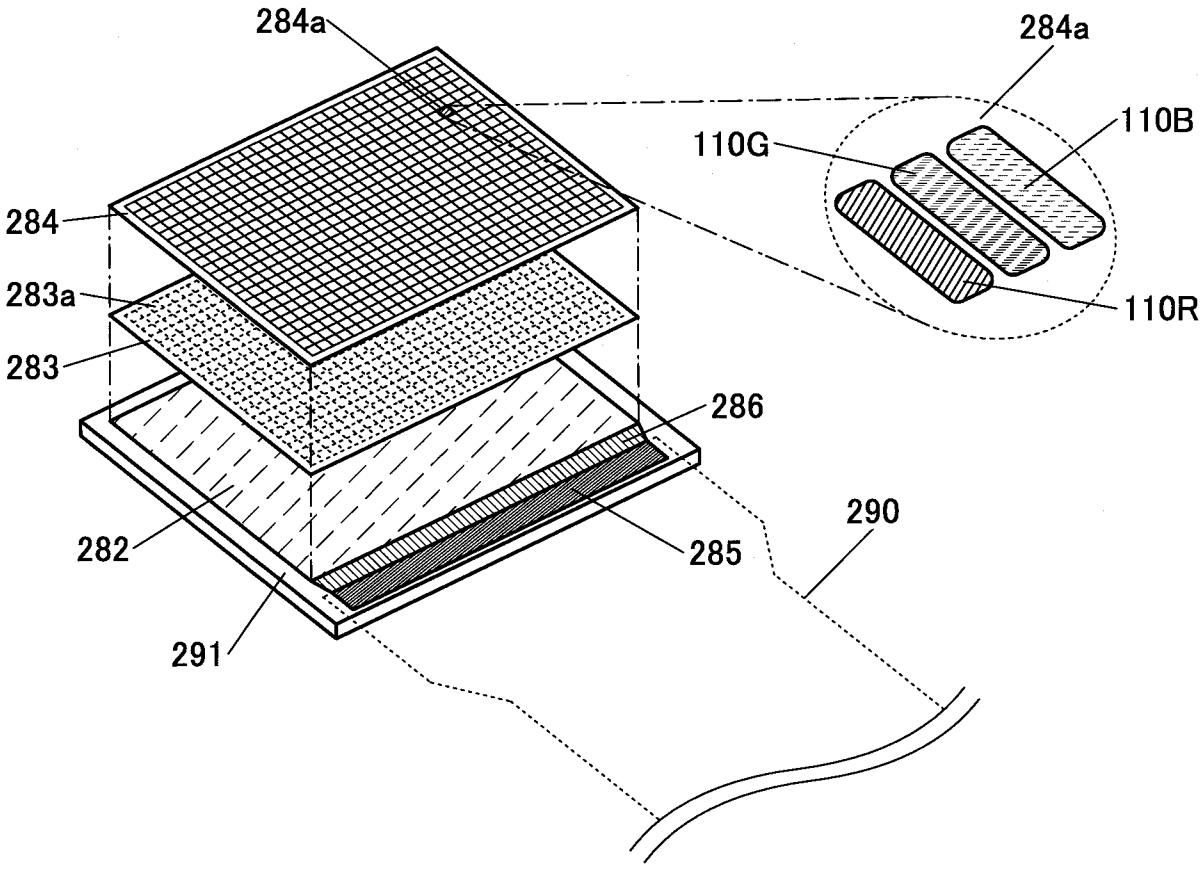
【圖29D】


470
430[m]
WL
432
PL
BL[1]
BLB[1]
BL[2]
BLB[2]
EQB[1]
SAN[1]
CSEL[1]
EQ[1]
VPRE[1]
SAP[1]
446[1]
EQB[2]
SAN[2]
CSEL[2]
EQ[2]
VPRE[2]
SAP[2]
446[2]
SA_OUT[1]
SA_OUTB[1]
SA_OUT[2]
SA_OUTB[2]

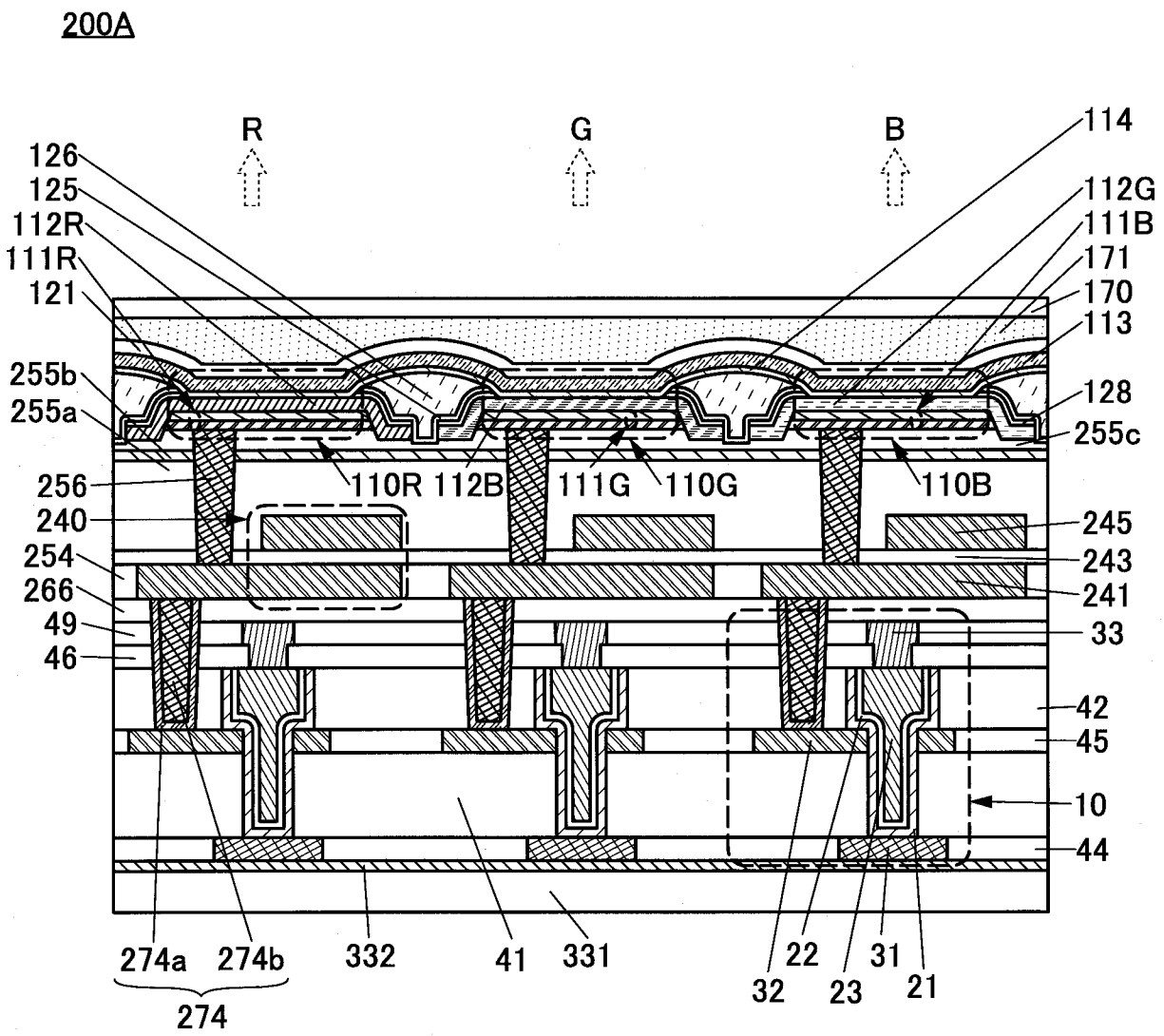
【圖30】


280
292
291
281
290
200A

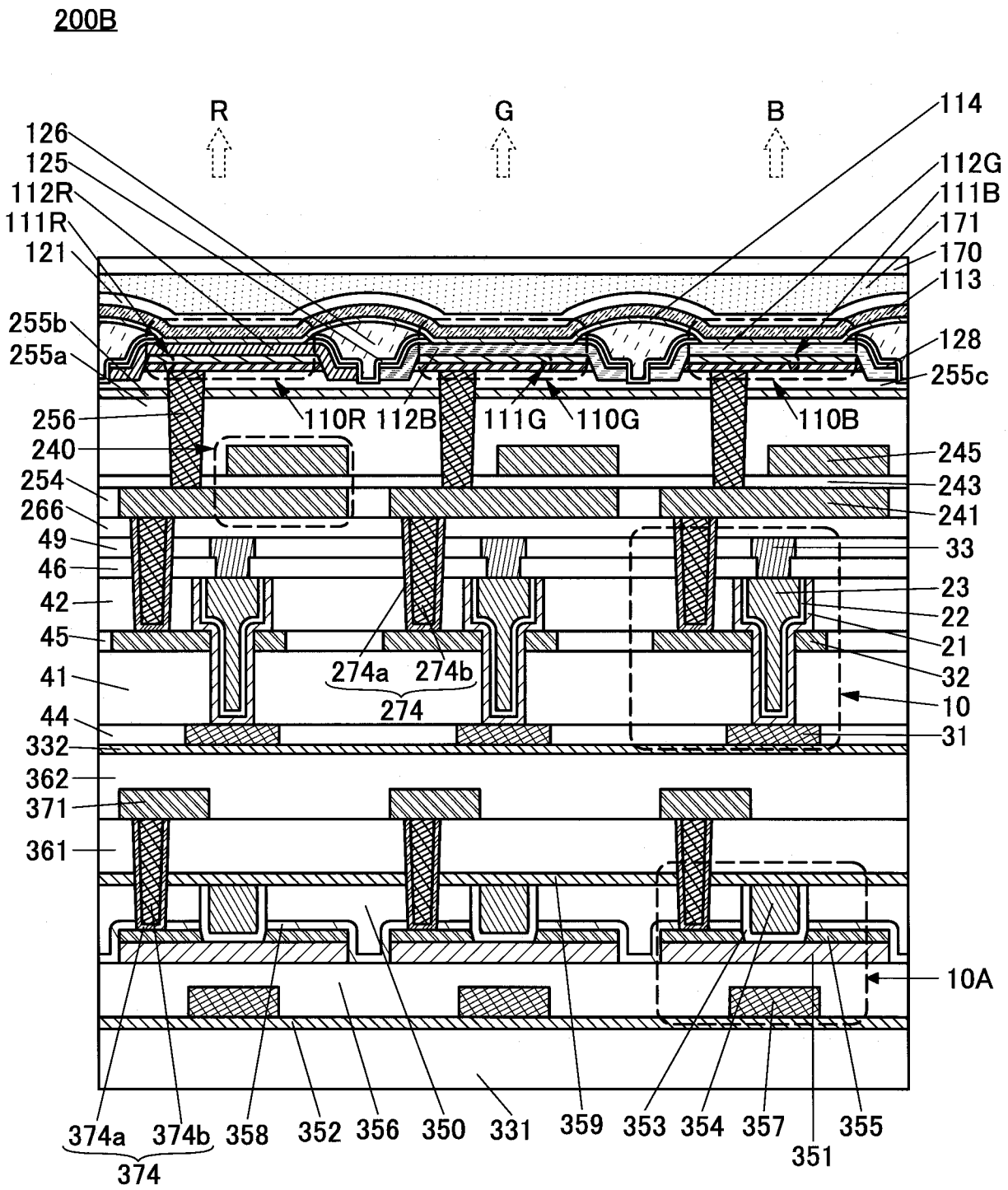
【圖31A】


284a
284a
110B
110G
284
283a
283
110R
286
290
282
285
291

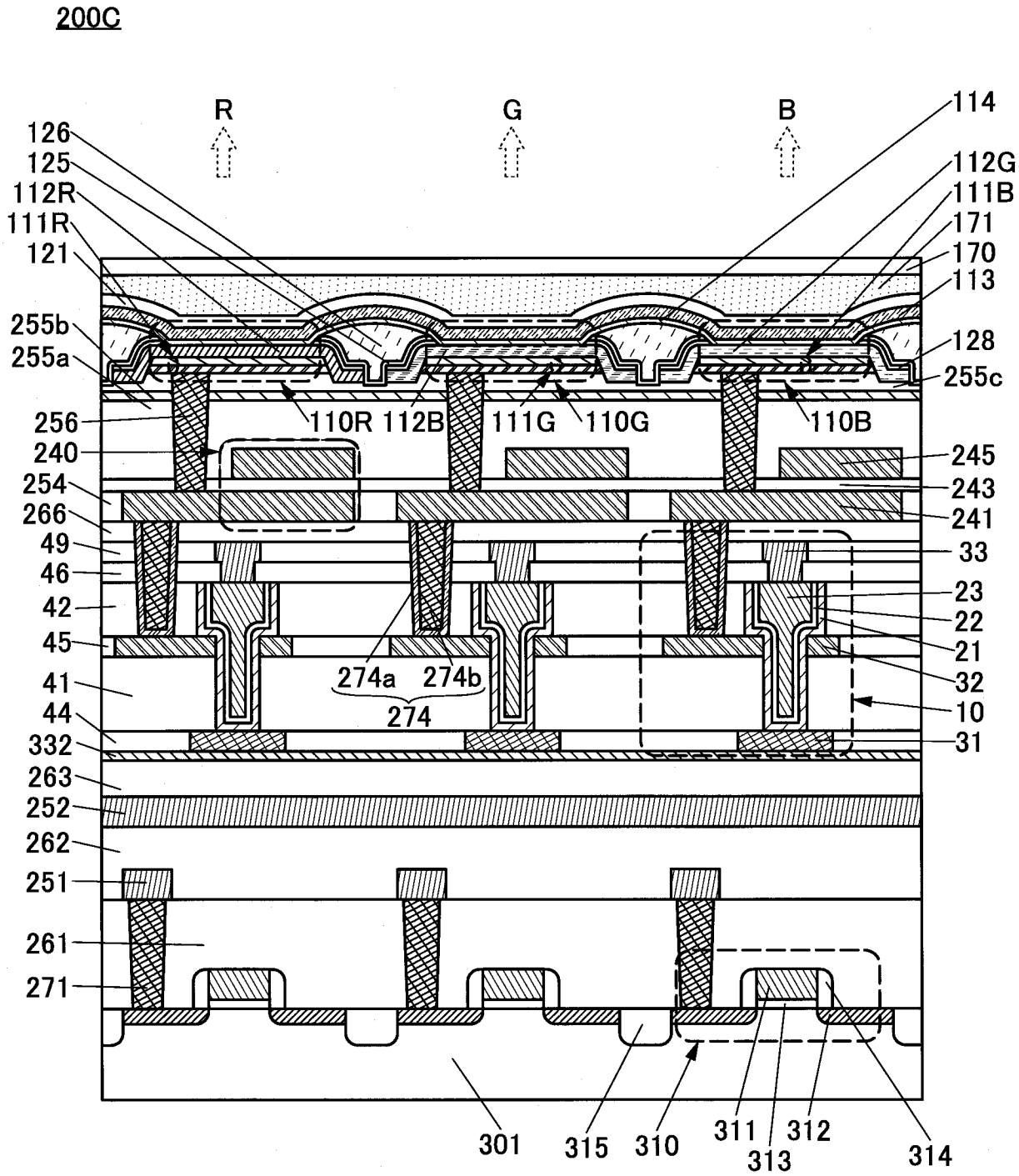
【圖31B】


200A
R
G
B
126
125
112R
111R
121
255b
255a
256
240
254
266
49
46
114
112G
111B
171
170
113
128
255c
110R
112B
111G
110G
110B
245
243
241
33
42
45
10
44
274a
274b
274
332
41
331
32
22
23
31
21

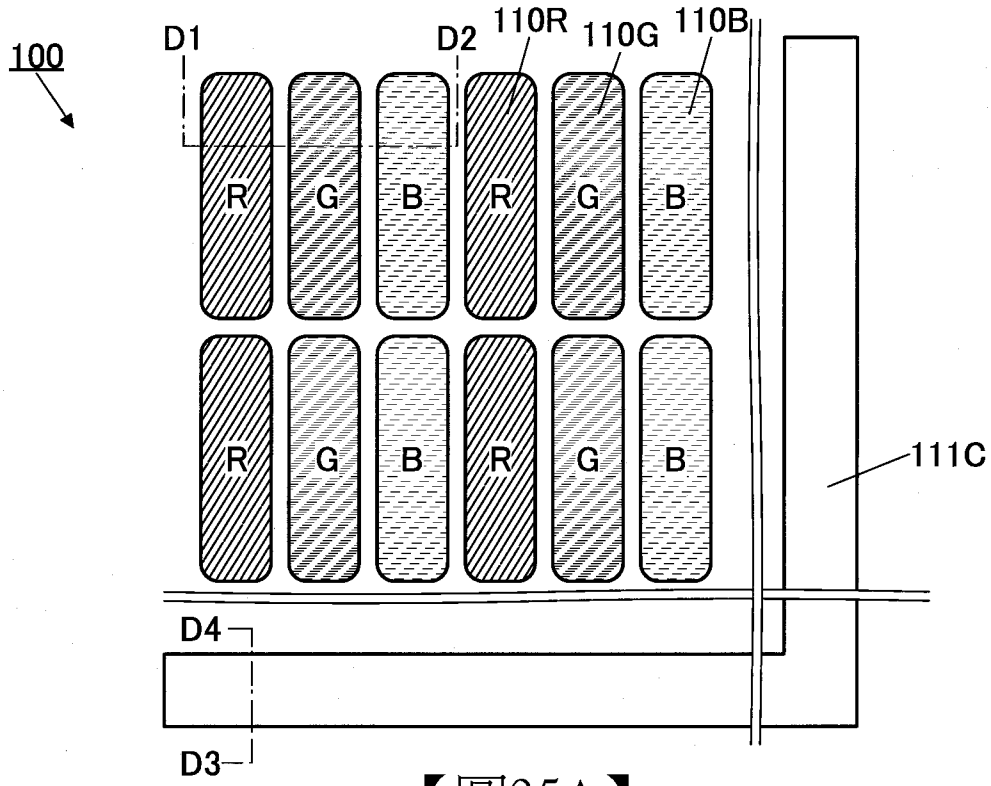
【圖32】


200B
R
G
B
126
125
112R
111R
121
255b
255a
256
240
254
266
49
46
42
45
41
44
332
362
371
361
114
112G
111B
171
170
113
128
255c
110R
112B
111G
110G
110B
245
243
241
33
23
22
21
32
10
31
274a
274b
274
10A
374a
374b
374
358
352
356
350
331
359
353
354
357
351
355

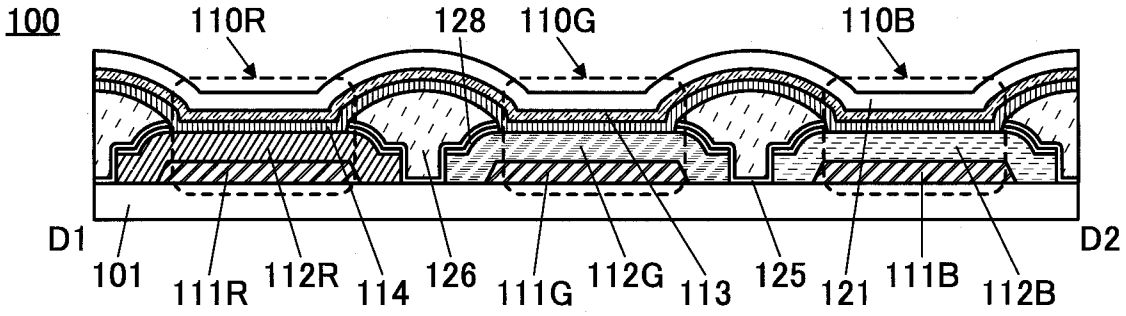
【圖33】


200C
R
G
B
126
125
112R
111R
121
255b
255a
256
240
254
266
49
46
42
45
41
44
332
263
252
262
251
261
271
110R
112B
111G
110G
110B
114
112G
111B
171
170
113
128
255c
245
243
241
33
23
22
21
32
10
31
274a
274b
274
301
315
310
311
312
313
314

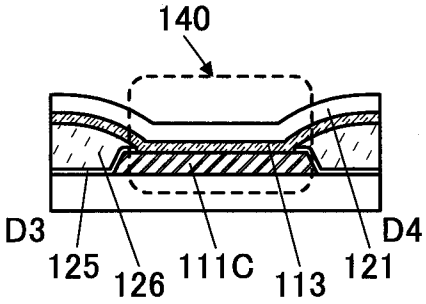
【圖34】



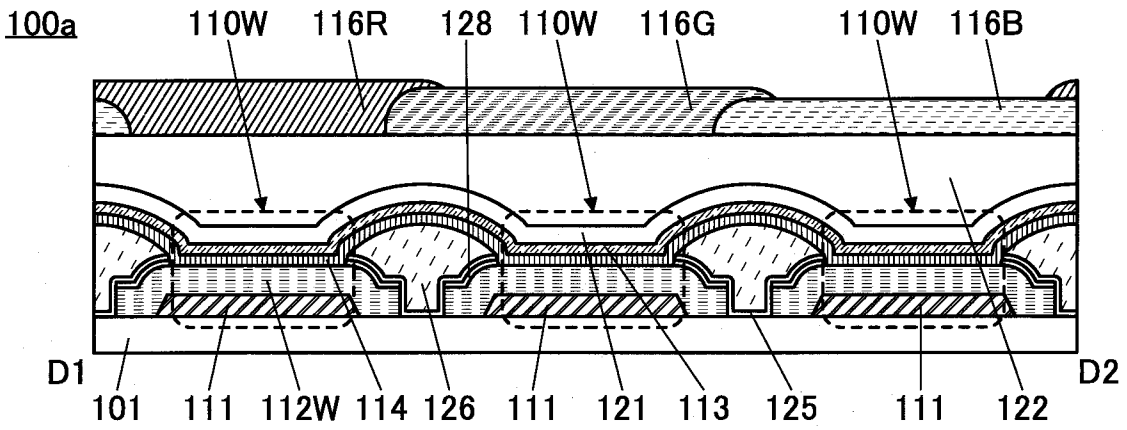
【圖35A】



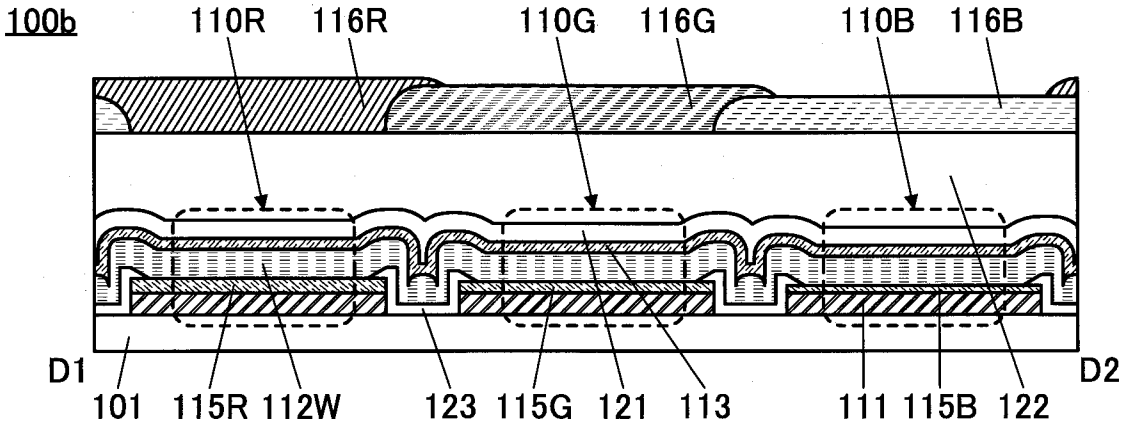
【圖35B】



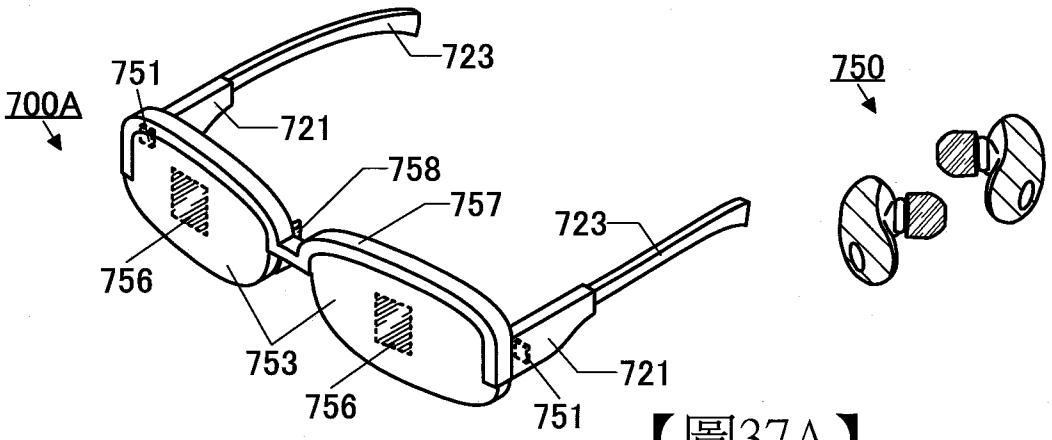
【圖35C】


100a
110W
116R
128
110W
116G
110W
116B
D1
D2
101
111
112W
114
126
111
121
113
125
111
122

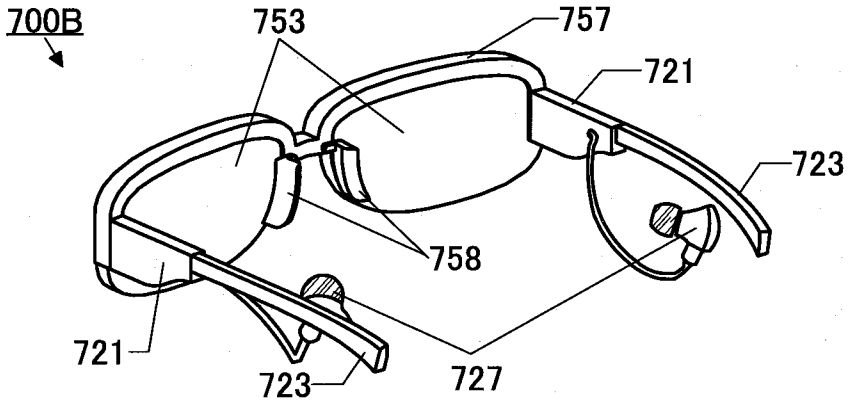
【圖36A】


100b
110R
116R
110G
116G
110B
116B
D1
D2
101
115R
112W
123
115G
121
113
111
115B
122

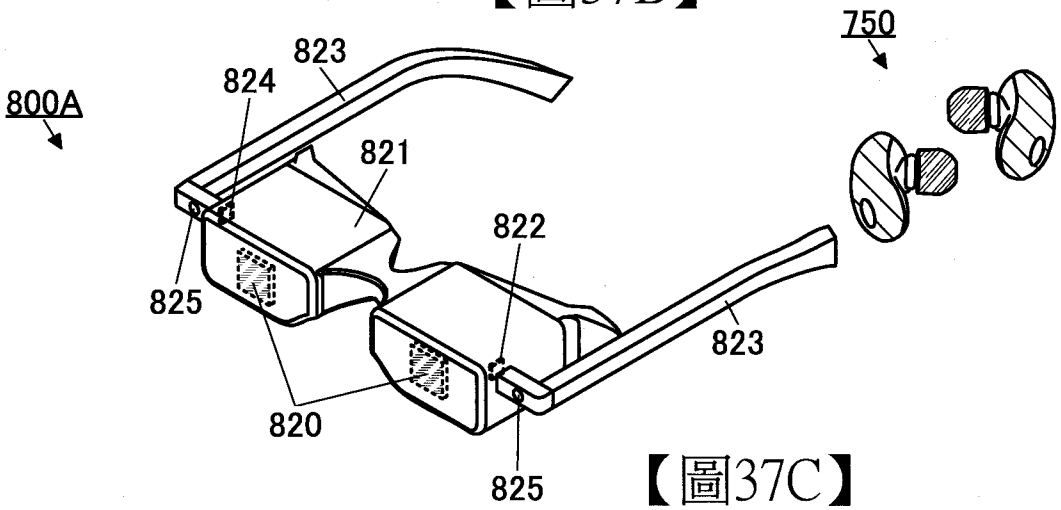
【圖36B】



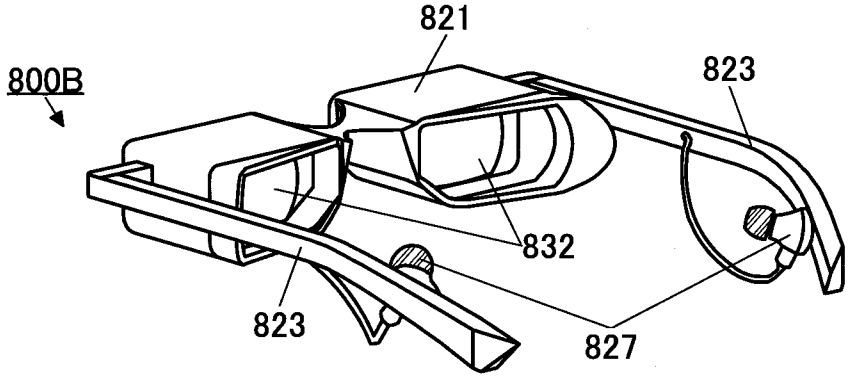
【圖37A】



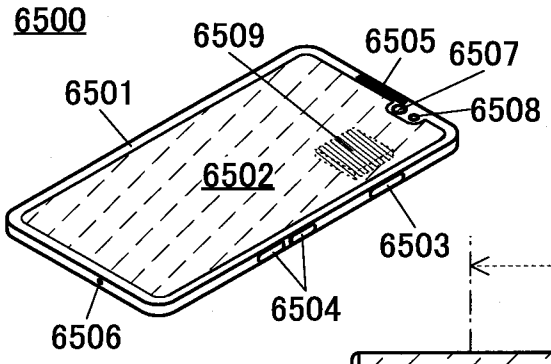
【圖37B】



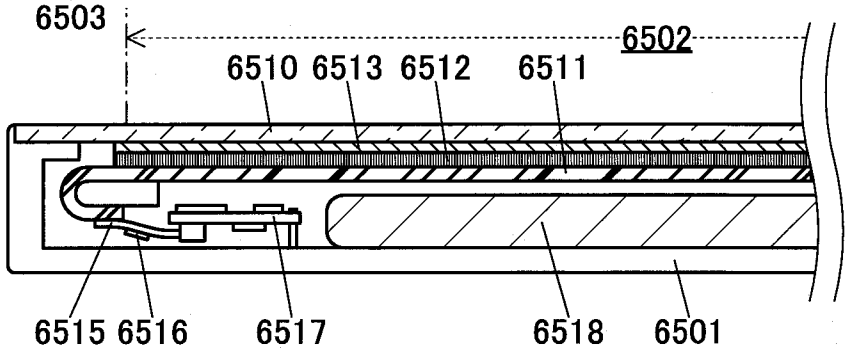
【圖37C】



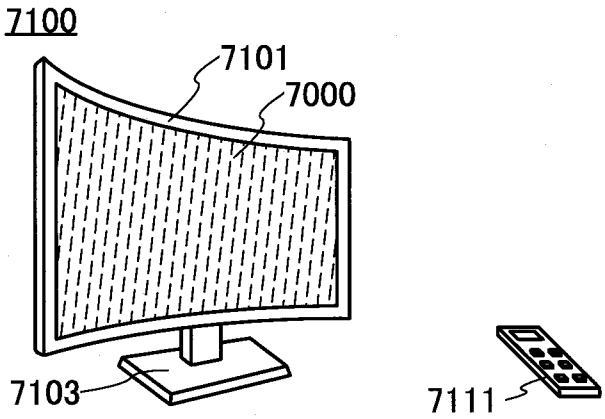
【圖37D】



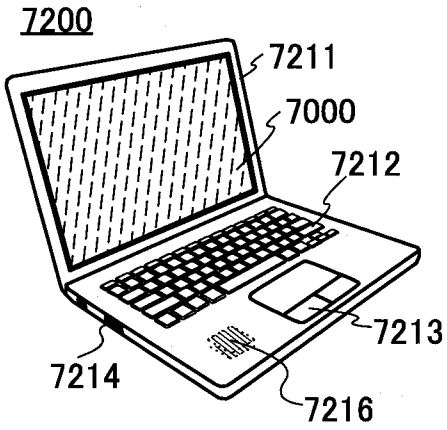
【圖38A】



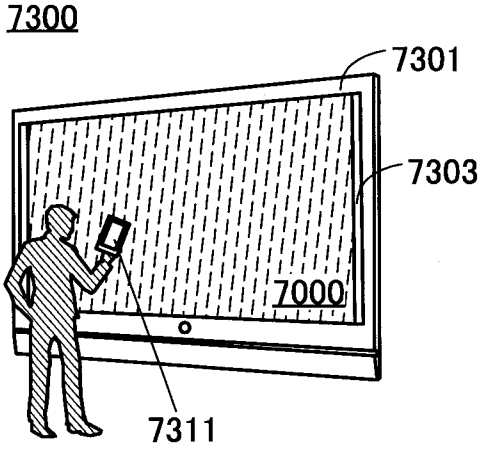
【圖38B】



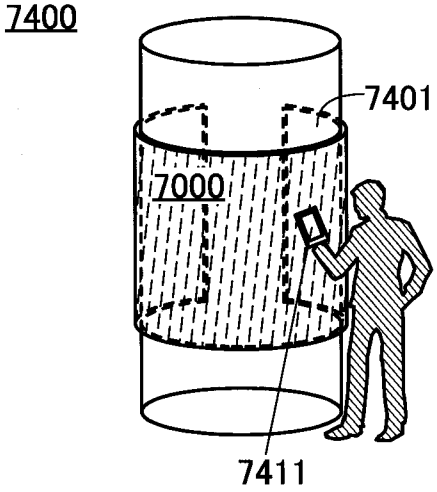
【圖38C】



【圖38D】

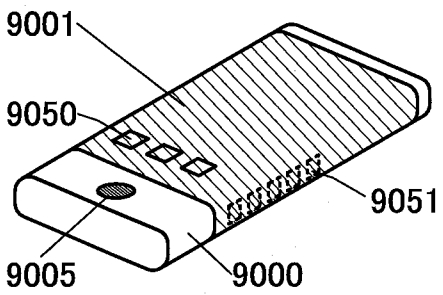


【圖38E】



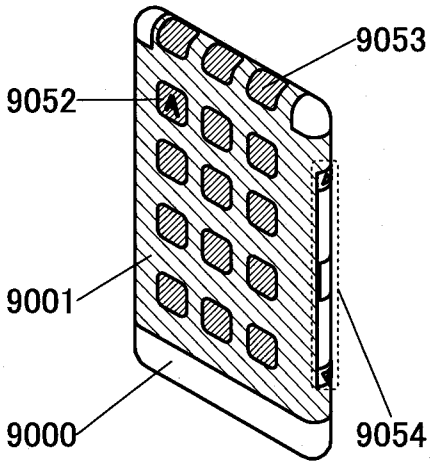
【圖38F】

9101



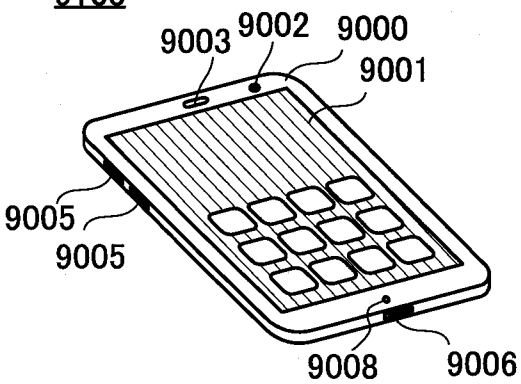
【圖39A】

9102



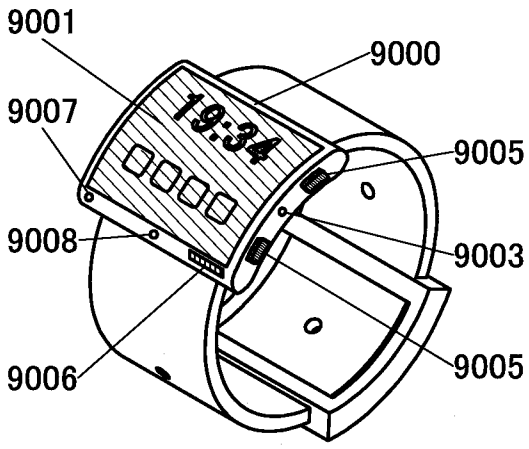
【圖39B】

9103



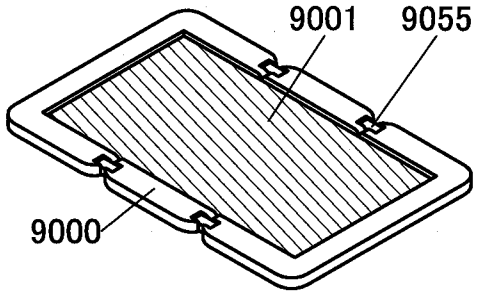
【圖39C】

9200



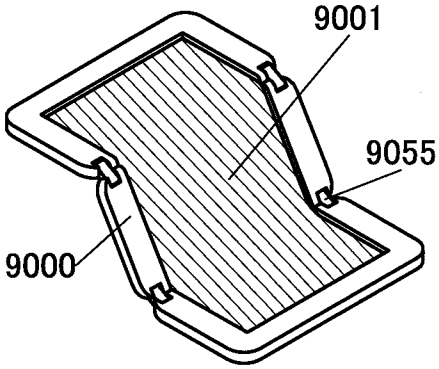
【圖39D】

9201



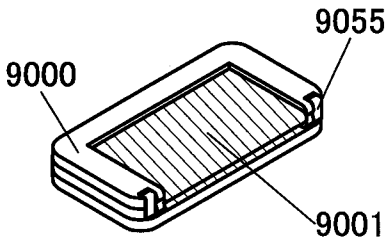
【圖39E】

9201

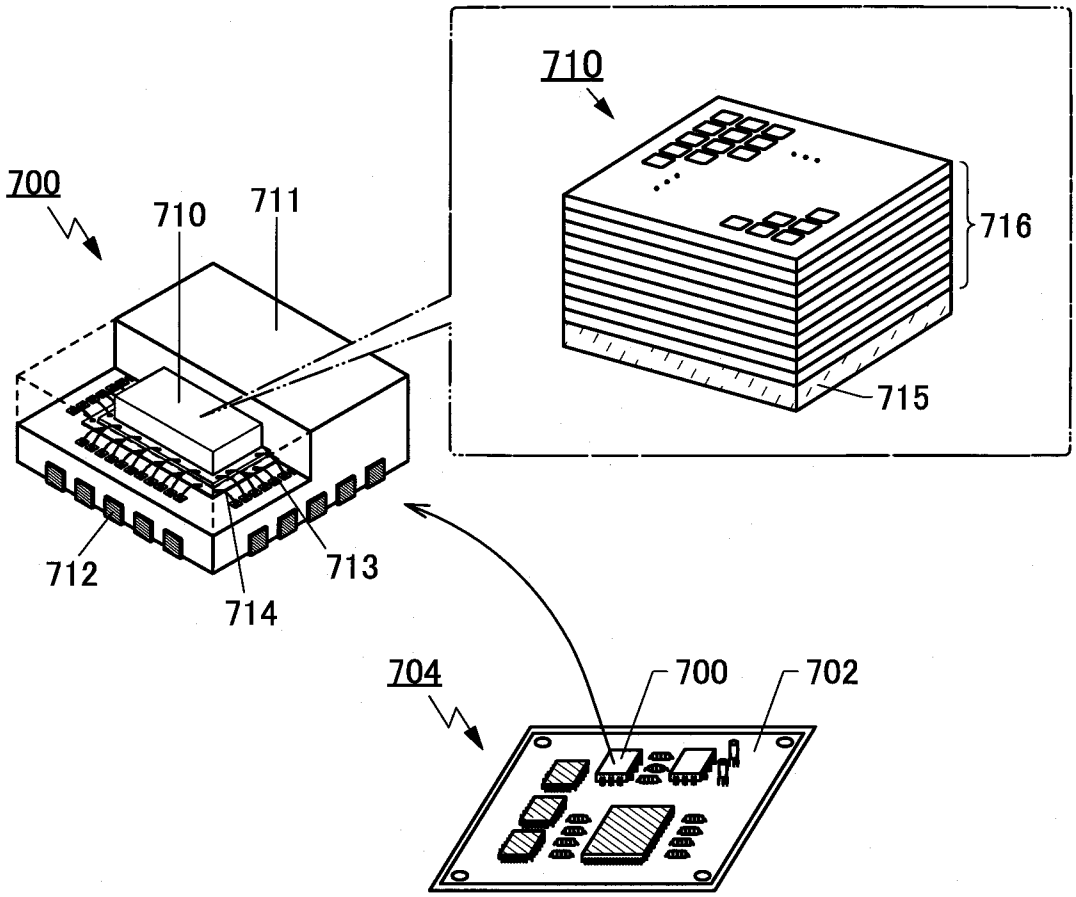


【圖39F】

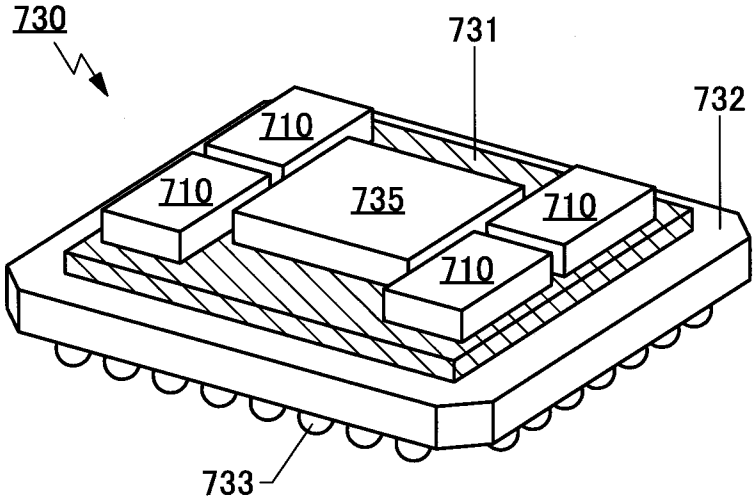
9201



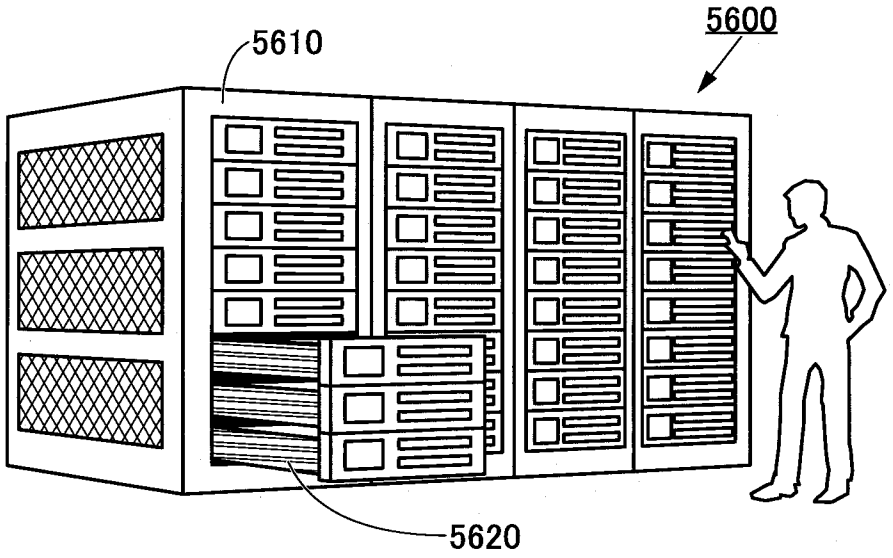
【圖39G】


710
700
710
711
716
715
712
713
714
704
700
702

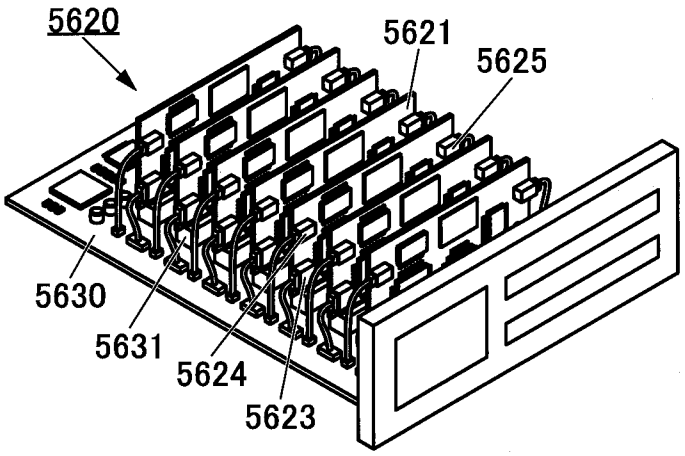
【圖40A】


730
731
732
710
710
735
710
710
733

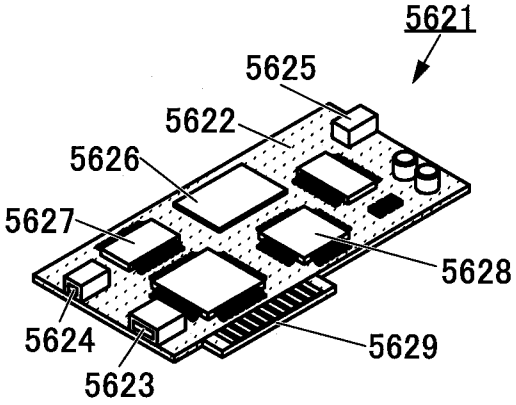
【圖40B】



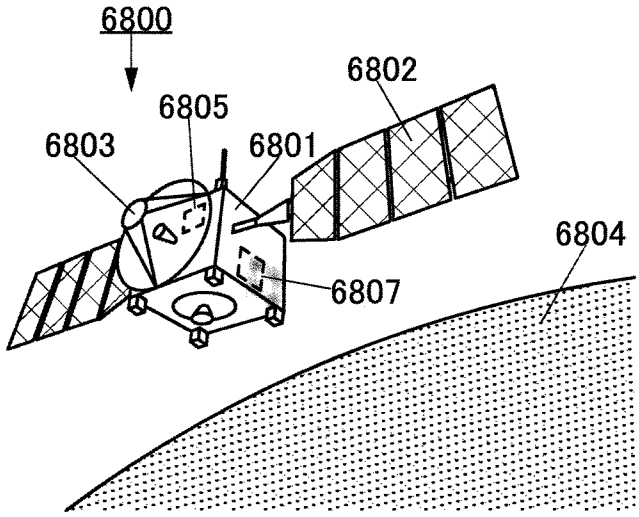
【圖41A】



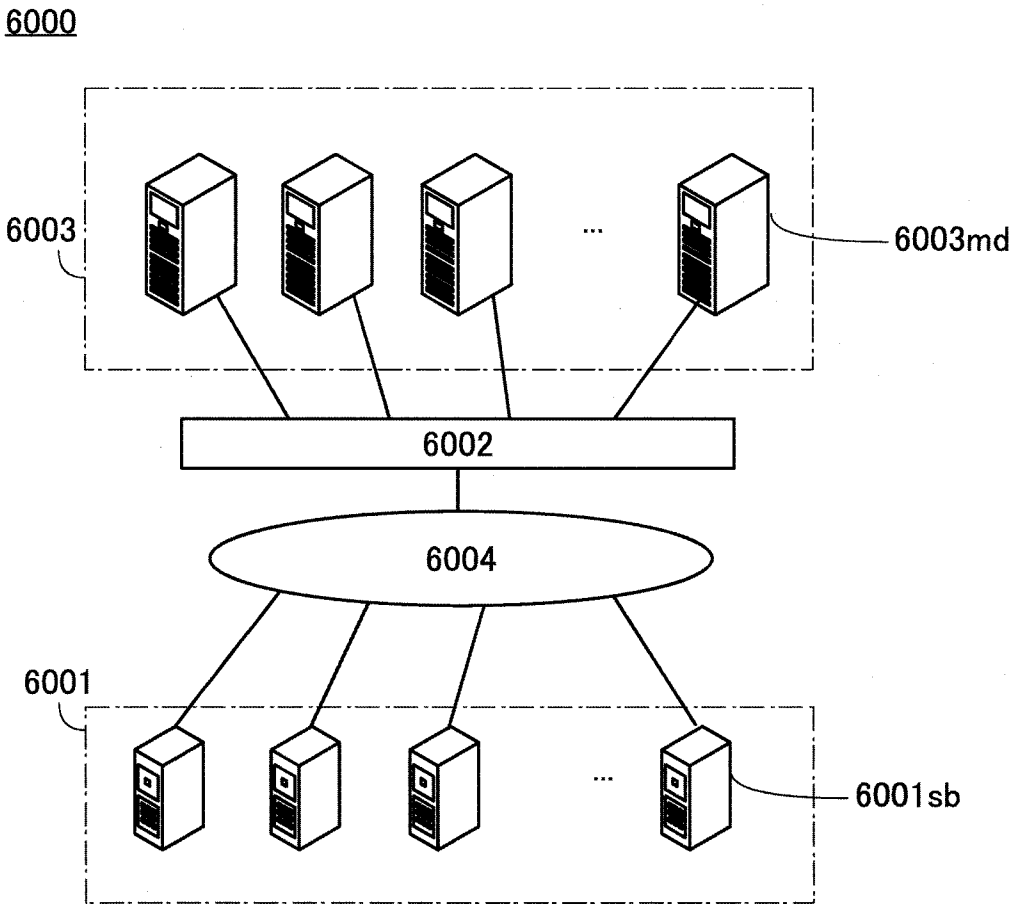
【圖41B】



【圖41C】


6800
6802
6805
6803
6801
6804
6807

【圖42A】


6000
6003
6003md
6002
6004
6001
6001sb

【圖42B】