(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G11C 11/407

(45) 공고일자 2005년10월05일
(11) 등록번호 10-0518708
(24) 등록일자 2005년09월26일

(21) 출원번호 10-2000-0015700
(22) 출원일자 2000년03월28일

(65) 공개번호 10-2000-0071493
(43) 공개일자 2000년11월25일

(30) 우선권주장 1999-085386 1999년03월29일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 세끼구찌도모노리
일본도꾜도고꾸분지시히가시꼬이가꾸보1쪼메280반지

다께무라리이찌로
일본도꾜도고꾸분지시히가시꼬이가꾸보1쪼메280반지

가지갸가즈히꼬
일본도꾜도오오메시싱마찌6쪼메16반지3

기무라가쯔따까
일본도꾜도고꾸분지시히가시꼬이가꾸보1쪼메280반지

다까하시쯔기오
일본도꾜도오오메시싱마찌6쪼메16반지3

(74) 대리인 장수길
구영창

심사관 : 안병일

(54) 반도체 장치

요약

미세 가공을 추구한 고집적 DRAM에 있어서는, 데이터선-워드선간의 커플링 용량이, 데이터선쌍간에 언밸런스하다. 데이터선-워드선간의 커플링 용량이 언밸런스하면, 데이터선을 증폭시킬 때에 워드선에 생기는 노이즈가 크기 때문에, 데이터선 상의 미소 신호가 열화하고, 데이터를 잘못하여 증폭시킬 위험이 크다.

하나의 데이터선에 접속되는 복수의 메모리셀에 접속되는 복수의 워드선을, 하나씩, 또는 복수개씩, 교대로, 상호 메모리 어레이의 반대측에 배치한 서브 워드 드라이버열에 접속한다.

데이터선 증폭시에, 플러스/마이너스의 워드선 노이즈가 서브 워드 드라이버 내에서 상쇄하여, 워드선 노이즈를 저감시킬 수 있다. 따라서, 감지 증폭기가 판독하는 신호의 열화를 방지할 수 있어, 메모리 동작의 신뢰성을 높일 수 있다.

대표도

도 4

색인어

워드선, 워드 드라이버, 메모리 어레이, 데이터 선, 워드선 노이즈

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 워드선 노이즈 저감 어레이의 레이아웃과 회로도.

도 2는 DRAM 칩의 구성도.

도 3은 본 발명의 워드선 노이즈 저감 어레이에 이용하는 제1 서브 워드 드라이버의 회로도.

도 4는 본 발명의 제1 워드선 노이즈 저감 어레이에서의 노이즈 저감의 원리를 나타낸 도면.

도 5는 본 발명의 제2 워드선 노이즈 저감 어레이의 레이아웃과 회로도.

도 6은 본 발명의 제3 워드선 노이즈 저감 어레이의 레이아웃과 회로도.

도 7은 본 발명의 제4 워드선 노이즈 저감 어레이의 레이아웃과 회로도.

도 8은 본 발명의 워드선 노이즈 저감 어레이에 이용하는 제2 서브 워드 드라이버의 회로도.

도 9는 본 발명의 워드선 노이즈 저감 어레이에 이용하는 제3 서브 워드 드라이버의 회로도.

도 10은 본원에 앞서 검토한 DRAM 메모리 어레이의 레이아웃과 회로도.

도 11은 도 10의 메모리셀의 레이아웃과 회로도의 확대도.

도 12는 도 11의 메모리 어레이의 메모리 주요부의 단면도.

도 13은 도 10의 메모리 어레이에서의 워드선 노이즈 발생의 원리를 나타낸 도면.

도 14는 도 10의 메모리 어레이의 감지 증폭기의 회로도와 동작 파형.

<도면의 주요 부분에 대한 부호의 설명>

WL : 워드선

SWD : 서브 워드 드라이버

DL : 데이터선

SA : 감지 증폭기

MC : 메모리셀

ACT : MOS 트랜지스터의 활성 영역

SNCT : 스토리지 노드 컨택트

DLCT : 데이터선 컨택트

TG : 선택 트랜지스터

CS : 셀 캐패시터

PL : 플레이트

SN : 셀 캐패시터 하부 전극

MWLB : 메인 워드선

FX : 서브 워드 드라이버 선택선

SHR : 공유 SA 선택선

CSP : PMOS 공통 소스

CSN : NMOS 공통 소스

BLEQ : 데이터선 이퀄라이즈선

VBLR : 데이터선 참조 전원

SIO, SIOB : 서브 I/O 선

M2, M3 : 배선층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 메모리 어레이를 포함하는 반도체 장치에 있어서의 메모리 어레이의 잡음의 저감에 관한 것이다.

본 명세서에서 참조하는 문헌의 리스트는 이하와 같고, 문헌의 참조는 문헌 번호를 갖고 하기로 한다. [문헌 1] : 초LSI 메모리 pp.214-217, 伊藤淸男저, 培風館, 1994년 11월 5일 초판 발행, [문헌 2] : K. Itoh, IEEE Journal of Solid State Circuit, Vo1.25, No.3, (1990), pp.778-789 ([문헌 2]는, [문헌 1]에서 인용되는 원래의 문헌임).

[문헌 1]에는, 다이내믹·랜덤·액세스 메모리 DRAM의 증폭시에 워드선을 통하는 잡음에 대해 기재되어 있다. 또한 워드선을 통하는 잡음의 하나로서, 데이터선과 워드선의 결합 용량에 기인하여 발생한 비선택 워드선 상의 잡음 전압이, 데이터쌍선에 잡음을 발생시키는 것에 대해 기재하고 있다. 그 잡음의 영향은, 데이터쌍선의 구조(개방형 데이터쌍선 구조, 또는 폴드형 데이터쌍선 구조)나 데이터선의 프리차지 방식(VD 프리차지 방식, 또는 VD/2 프리차지 방식)에 의존한다. 결과적으로, 폴드형 데이터쌍선 구조로 하고, VD/2 프리차지 방식으로 하면 상기 잡음이 경감되는 것이 기재되어 있다.

발명이 이루고자 하는 기술적 과제

본원 발명자 등은, 본원에 앞서 0.16~0.13㎛의 극미세 가공 기술을 이용한 1Gb DRAM 어레이의 구조와 데이터선과 워드선의 결합 용량에 기인하는 잡음의 관계에 대해 상세한 검토를 행하였다. 도 10에 본원에 앞서 검토한 DRAM 어레이의 평면 레이아웃과, 대응하는 회로도의 일부분을 나타낸다. (a)의 평면 레이아웃에 있어서, 데이터선(DL), 워드선(WL)의 소정의 교점에 메모리셀(MC)이 배치되어 있다. 이 데이터선 구조는, 소위 폴드형 데이터선 구조이다. 여기서는 메모리셀로부터의 신호를 판독하는 DL, 선택 트랜지스터의 게이트가 되는 WL, 확산층 영역(ACT), ACT와 DL을 접속하는 데이터선 컨택트(DLCT), ACT와 캐패시터 하부 전극을 접속하는 스토리지 노드 컨택트(SNCT)만 나타내고 있고, SNCT에 접속되는 캐패시터 하부 전극은 생략하고 있다. 메모리 어레이의 상하에서는 상측 서브 워드 드라이버열(SWDA-U) 및 하측 서브 워드 드라이버열(SWDA-D)이 배치되어 있고, 워드선 WL은 2개씩 교대로 상하의 서브 워드 드라이버열에 접속된다. 이하 필요에 따라 서브 워드 드라이버는 SWD라고 약기하기로 한다. 또한, 메모리 어레이의 좌우에는 좌측 감지 증폭기 열(SAA-L) 및 우측 감지 증폭기열(SAA-R)이 배치되고, 데이터선 DL은 2개씩 교대로 좌우의 감지 증폭기열에 접속된다. 이하 필요에 따라 감지 증폭기는 SA라고 약기하기로 한다.

이와 같이 SWD나 SA를 교대 배치하는 것은, SWD나 SA의 레이아웃 피치를 완화하기 위해서이다. 예를 들면, SWDA-U와 메모리 어레이의 경계부를 보면, WL은, 경계부를 통과하여 SWD로 들어가는 것(WL0, WL1, WL4, WL5)과 경계부에서 끝나는 것(WL2, WL3, WL6, WL7)이 2개 간격으로 반복되고 있다. 이와 같이 WL과 SWD를 접속하면, SWD 한 개분의 데이터선 방향의 레이아웃 피치는 WL 2개분의 피치에 완화 가능하다. SA의 레이아웃에 대해서도 교대 배치에 따라, 워드선 방향의 피치가 DL의 2쌍분의 피치(DL4개분)로 완화된다. DRAM에서는 메모리셀을 미세화하고 있기 때문에, WL, DL의 피치는 매우 작다. 따라서, SWD나 SA를 소정의 피치로 레이아웃하는 것이 어려워져, 교대 배치는 중요하다.

여기서, WL과 SWD 열의 접속 관계에 주목한다. DL0T에 접속되고, 인접하는 2개의 메모리셀인 MC0과 MC1에 주목하면, 이들 셀은 하나의 DLCT를 공유하고 있지만, 이들 셀에 접속되는 WL인 WL0과 WL1은 모두 SWDA-U에 접속되어 있다. 한편, DL0B에 접속되고, 인접하는 2개의 메모리셀인 MC2와 MC3에 주목하면, 이들도 하나의 DLCT를 공유하고 있지만, 이들 셀에 접속되는 WL인 WL2와 WL3은 모두 SWDA-D에 접속되어 있다. 따라서, 도 10의 메모리 어레이의 레이아웃에서 DLCT를 공유하는 2개의 메모리셀에 접속되는 WL이 모두 동일 SWD 열에 접속되어 있다. 메모리 어레이 전체로 보면, 도 10(a)에 도시된 패턴이 종횡으로 반복되고 있으므로, DL0T에 접속되는 MC에 접속되어 있는 WL(도면 중에서는 WL0, WL1, WL4, WL5)은 전부 SWDA-U에 접속되고, DL0B에 접속되는 MC에 접속되어 있는 WL(도면 중에서는 WL2, WL3, WL6, WL7)은 모두 SWDA-D에 접속된다. 따라서, 한개의 데이터선에 접속되는 메모리셀에 접속되어 있는 워드선은, 모두 동일 열의 서브 워드 드라이버열에 접속되어 있다.

이것을, 회로도에서 도시한 것이 도 10(b)이다. 폴드형 데이터선 구성으로는 데이터선과 워드선의 교점 중 반이 되는 교점에 메모리셀이 접속되어 있다. 예를 들면, DL0T와 WL0사이에는 메모리셀 MC0이 접속되어 있지만, DL0B와 WL0에 접속되는 MC는 존재하지 않는다. MC는 선택 트랜지스터 TG와 셀 캐패시터 CS로 이루어진다. CS의 한쪽 전극은 플레이트 PL이고, 어레이 내의 다른 메모리셀과 공통으로 접속된다. CS의 다른 전극은 TG의 소스 또는 드레인의 한쪽에 접속되고, TG의 다른 소스 또는 드레인은 DL에 접속된다. DL0T와 DL0B는 쌍을 이루어 SA열 L 중 SA0에 접속되고, DL1T와 DL1B는 SA열 R 중 SA1에 접속되어 있다. 이들 SA는 메모리셀로부터의 신호에 의해 DL쌍에 발생한 미소 전압차를, 한쪽 DL을 고레벨로, 다른 DL을 저레벨의 전압으로 증폭시킨다.

도 10의 MC0, MC1, MC2, MC3의 부분만을 확대하여, 도 11(a)에 레이아웃을 도 11(b)에 회로도를 도시하였다. 또한, 이들 MC의 WL과 DL 사이에 생기는 기생 캐패시터도 나타내고 있다. WL0, WL1과 DL0T 사이에는 각각 기생 용량 C00, C01이 생긴다. WL0, WL1과 DL0B사이에는 각각 기생 용량 C00B, C01B가 생긴다. 또한, WL2, WL3과 DL0B 사이에는 각각 기생 용량 C02, C03이 생긴다. WL2, WL3과 DL0T사이에는 각각 기생 용량 C02B, C03B가 생긴다.

도 11(a)의 레이아웃에 있어서의 화살표로 나타낸 부분의 단면 A-A', B-B', C-C'를 각각 도 12(a), (b), (c)에 도시하였다. 도 12의 단면도는, 도 11의 (a)에 도시된 화살표의 방향에서 2개의 워드선 WL0, WL1 부근의 단면을 나타내고 있다. 기판 상의 ACT 영역은 MOS 트랜지스터의 활성 영역이고, 기판의 그 외의 부분은 소자 분리 영역으로 되어 있다. 또한 WL, DL이 배선되고, DL은 타원형의 DLCT에 의해 ACT와 접속된다. SN은 셀 캐패시터 CS의 하부 전극이고, SNCT에 의해 ACT와 접속된다. CS의 상부 전극 PL은 어레이 내의 셀에서 공통으로 접속되어 있고, 그 상부에는 2층의 금속 배선 M2, M3이 배선된다.

여기서 C00과 C00B의 크기를 비교한다. 도 12(a)의 단면도 A-A'에 도시한 바와 같이, DL0T와 접속된 DLCT0은 WL0과 WL1사이를 매우 근접하게 하여 통과하고 있다. DLCT0과 WL0의 거리는 0.13㎛의 미세 가공을 행하여 메모리셀을 제작하는 경우, 30㎚ 정도이다. 따라서, DL0T-WL0간 용량인 C00은, 거의 DLCT0-WL0 사이의 부분으로 결정된다.

한편, 도 12(b)의 단면도 B-B'에 도시된 바와 같이, DL0B는 WL0의 상부를 통과하고 있을 뿐으로, DL0B-WL0간 용량인 C00B는 DL과 WL 층간의 거리로 정해지고, 0.13㎛ 세대에서는 250㎚ 정도이다. 따라서, C00B는 C00보다도 매우 작고, 상세한 용량 시뮬레이션을 행한 바 C00를 100%로 하면 C00B는 1% 정도였다. 즉, 도 11(b)과 같이, 폴드형 데이터선 구성에서는 DL0T와 DL0B에 대한 WL0의 커플링 용량은 일견 C00과 C00B로 밸런스하고 있는 것처럼 보이지만, 미세 메모리셀을 이용한 고집적 DRAM에서는 C00가 매우 커서, 언밸런스가 생긴다. 마찬가지로 함으로써 C01, C02, C03은 각각 C01B, C02B, C03B에 대해 매우 크다. 바꿔 말하면 DL-WL 커플링 용량은 그 DL과 WL 사이에 MC가 있는 경우에 커서, MC가 없는 경우에는, 거의 무시할 수 있다.

이 DL-WL 커플링 용량의 언밸런스는, DRAM을 고집적화함으로써, 기판에 수직인 방향의 층간 절연막의 두께에 대해 기판에 평행한 방향의 절연막의 두께가 얇아지기 때문에, 현재화된 새로운 문제이다. 이와 같이 DL-WL 커플링 용량이 언밸런스인 메모리 어레이에서는, 다음에 진술한 바와 같이 WL 노이즈가, 문제가 된다.

도 13에 도 10의 메모리 어레이와, 워드선 노이즈가 가장 커지는 경우의 데이터 패턴을 나타내고 있다. WL0으로부터 WL7은 각각 SWD0으로부터 SWD7에 접속되고, SWD0, SWD1, SWD4, SWD5는 SWDA-U에 배치되고, SWD2, SWD3, SWD6, SWD7은 SWDA-D에 배치된다. DL0T, DL0B는 SA열 L 중 SA0에 접속되고, DL1T, DL1B는 SA열 R 중 SA1에 접속된다. SA의 회로도를 도 14(a)에 도시하고, 어레이의 동작 파형을 도 14(b)에 도시한다.

도 13에서 WL0이 선택되는 경우를 생각한다. 어레이 중 WL0 외의 WL은, 각각의 SWD 중 N 채널 MOS 트랜지스터에 의해 VSSU 또는 VSSD에 접속된다. 도 14(b)에 도시된 바와 같이, 우선 대기시에는 모든 SWD는 WL에 0V를 출력하고 있다. MC에서는 선택 트랜지스터가 오프하고, 캐패시터에는 정보에 따라 VDL(예를 들면 1.8V) 또는 VSS(예를 들면 0V)의 전압이 기록되어 있다. SA에서는 SHRU, SHRD는 VPP(예를 들면 3.5V), CSP, CSN은 VBLR(예를 들면 0.9V), BLEQ는 VPP, YS는 0V로 되어 있고, DL은 VBLR의 전위로 프리차지되어 있다.

DRAM에 뱅크 액티베이트 커맨드와 어드레스가 입력되고, 도면의 메모리 어레이가 선택된 경우, SA0 중에서는 SHRL, BLEQ가 0V로 떨어지고, 프리차지가 중단된다. 계속해서 SWD0에 있어서 WL0이 3.5V로 활성화된다. 그렇게 하면, WL0에 연결되는 MC의 선택 트랜지스터가 ON하고, 0.9V로 프리차지된 DL0, DL1 등에 셀 캐패시터로부터 신호가 나온다. 이 때 예를 들면 1024쌍, 2048개의 DL 중 DLnT를 제외하고 DL0T로부터 DL1023T까지의 모든 T측의 DL에 저레벨(L)의 신호가 나오고, DLnT 에만 고레벨(H)의 신호가 나올 때를 생각한다. 이 때, 다른 DL인 DL0B로부터 DL1023B에는 신호는 나오지 않으므로 0.9V 그대로이다. 이 패턴 또는 이 H, L을 역전한 패턴이, WL 노이즈가 가장 커지는 최악의 조건이다. 계속해서, CSN을 0V, CSP를 l.8V로 구동하여 SA를 활성화하면 DLnT 외의 DL0T로부터 DL1023T는 0V까지 증폭되고, DLnB 외의 DL0B로부터 DL1023B는 1.8V로 증폭된다.

이 모습을 도 13에 도시하였다. DL0T, DL1T 상의 동그라미 L에서, DL0T, DL1T가 0V로 증폭되는 것을 나타내고, DL0B, DL1B 상의 동그라미 H에서 DL0B, DL1B가 1.8V로 증폭되는 것을 나타내고 있다. 이 때에 WL0에 생기는 노이즈는 다음과 같다. WL0은 DLnT 이외의 DL0T로부터 DL1023T까지의 데이터선으로부터 커플링 용량을 경유하여 마이너스의 노이즈를 받는다. 한편, WL0은 DLnB 외의 DL0B로부터 DL1023B까지의 데이터선으로부터 커플링 용량을 경유하여 플러스의 노이즈를 받는다. WL0에 생기는 노이즈는 이들 노이즈의 합이 되지만, 먼저 말한 바와 같이 WL0은 DL0T로부터 DL1023T까지의 T측의 DL에 접속되는 MC에 접속되기 때문에, 예를 들면 WL0-DL0B사이의 커플링 용량은 WL0-DL0T 사이의 커플링 용량의 1%정도이다. 즉, WL0과 B측의 데이터선의 커플링 용량은 WL0과 T측의 데이터선의 커플링 용량에 비하면 무시할 수 있을 정도로 작다. 따라서, WL0에 대해서는 마이너스의 노이즈가 거의 상쇄하지 않고 생기게 된다. 이것을 WL0 상의 ⊖기호로 나타내었다. 마찬가지로 함으로써, WL1, WL4, WL5에 마이너스의 노이즈가 생긴다. 이것과는 반대로 WL2, WL3, WL6, WL7은 DL0B로부터 DL1023B까지의 B측의 DL에 접속되는 MC에 접속되어 있으므로, 예를 들면 WL2-DL0T간 커플링 용량이 WL2-DL0B간 커플링 용량보다도 작아, 1%정도이다. 즉, WL2와 T측의 데이터선의 커플링 용량은 WL2와 B측의 데이터선의 커플링 용량에 비하면 무시할 수 있을정도로 작다. 따라서, 이들 WL에는 플러스의 노이즈가 생기고, 이것을 WL상의 ⊕기호로 나타내었다. 도 14(b)의 파형에서도 WL0, WL1, WL2에의 WL 노이즈를 나타내었다.

여기서, WL에 생긴 노이즈는 SWD 중 N채널 MOS 트랜지스터를 통해 SWD 상을 배선된 VSS로 전하가 되어 유입하게 된다. 이 VSS 배선은 DRAM에서는 칩 중앙의 전원 패드로부터 칩단까지 SWD 상을 수 ㎜에 걸쳐 배선되어 있으므로, 임피던스가 높다. 따라서, 워드선에 생긴 노이즈가 그대로 SWD 상의 VSS에 생기게 된다.

이 WL 노이즈는, 어레이 전체의 WL에 대해 보면 절반의 WL에 플러스의 노이즈가 생기고, 나머지 반에 마이너스의 노이즈가 생기는 것이지만, 도 13의 어레이에서는 SWD를 교대 배치하고 있으므로, SWDA-U에 접속되는 모든 WL에 마이너스의 노이즈가 생기고, SWDA-D에 접속되는 모든 WL에 플러스의 노이즈가 생기고 있다. 따라서, SWDA-U 상의 VSS 배선인 VSSU에 생긴 마이너스의 노이즈는 상호 강화하는 방향으로 기능하고, SWDA-D 상의 VSS 배선인 VSSD에 생긴 플러스의 노이즈도 상호 강화하는 방향으로 기능한다. 따라서 이들 노이즈는 매우 크다. 상세한 회로 시뮬레이션의 결과 각각 100㎷ 정도가 되는 것을 알 수 있었다. 또한, WL에 생긴 노이즈는 칩 중앙의 전원 패드까지 전해져 겨우 상쇄되기 때문에 감쇠 시간이 길다.

이 DL 증폭시의 WL 노이즈는, 다시 WL-DL 사이의 커플링 용량을 통해 DL로 복귀하고, 오동작을 초래하는 원인이 된다. 도 13에 도시된 바와 같이 DLnT에만 H 레벨의 신호가 나오는 경우, 이 DLnT에 WL0, WL1, WL4, WL5 등에서 마이너스의 노이즈가 복귀한다. 또한, DLnB에는 WL2, WL3, WL6, WL7 등으로부터 플러스의 노이즈가 복귀된다. 즉, DLn쌍으로부터 보면, 원래의 신호와는 역방향의 노이즈가 복귀되어, 신호량이 감소하게 된다. 만약 WL0과 DLnT의 교점에 존재하는 메모리셀의 셀 캐패시터에 축적되어 있는 전하가 누설 등의 이유로 감소하면, WL0 활성화시에 DLnT로 나오는 H 레벨의 신호가 감소하기 때문에, 이 WL 노이즈에 의해, 증폭시에 데이터가 반전하게 된다. 이 모습을 도 14에 도시하고 있지만, WL 활성화시에 DLnT와 DLnB에 생긴 미소 전위차와는 반전하는 방향으로 DLnT, DLnB가 증폭되어, 데이터가 잘못 판독되고 있다.

즉, 본원에 앞서서 검토한 도 10의 메모리 어레이에서는 최악의 케이스에 있어서, 워드선 WL 노이즈가 감지 증폭기 드라이버 SWD 중에 상호 강화하는 방향으로 작용하기 때문에, WL 노이즈가 커지는 문제가 있다. 이것은 감지 증폭기가 판독하는 신호를 열화시키기 때문에, 메모리 동작을 불안정하게 한다.

따라서, 본 발명의 목적은 미세 가공을 추구한 고집적 DRAM에서 데이터선을 증폭했을 때에 워드선에 생기는 노이즈를 저감시키고, 신뢰성이 높은 메모리 어레이를 제공하는 것에 있다.

본원 발명의 대표적인 수단은 이하와 같다. 하나의 데이터선에 접속되는 복수의 메모리셀에 접속되는 복수의 워드선을, 1개 간격으로, 또는 복수개 간격으로, 상호 메모리 어레이의 반대측에 배치한 서브 워드 드라이버열에 접속하도록 배치한다. 이와 같이 배치하면, 상술된 1쌍이 주목하는 데이터선쌍을 제외한 다른 데이터선쌍이 전부 주목 데이터선쌍과 역의 데이터를 판독한다고 하는 워드선 노이즈의 최악의 패턴에 있어서, 메모리 어레이의 한쪽 변에 배치한 서브 워드 드라이버열에 접속되는 워드선 중, 반수가 플러스의 노이즈를 받고, 나머지 반수가 마이너스의 노이즈를 받기 때문에, 이들 워드선 노이즈가 서브 워드 드라이버열 내의 접지 전원 배선에서 상쇄하여, 저감된다. 마찬가지로, 메모리 어레이의 다른 변에 배치한 서브 워드 드라이버열에서도, 접속되는 반수의 워드선이 플러스의 노이즈를 받고, 나머지 반수가 마이너스의 노이즈를 받기 때문에, 이들 워드선 노이즈가 서브 워드 드라이버열 내의 접지 전원 배선으로 상쇄하여, 저감된다.

발명의 구성 및 작용

이하 본 발명의 실시예를 도면을 이용하여 상세히 설명한다. 실시예의 각 블록을 구성하는 회로 소자는, 특별히 제한되지 않지만, 공지의 CMOS(상보형 MOS 트랜지스터) 등의 집적 회로 기술에 의해, 단결정 실리콘과 같은 1개의 반도체 기판 상에 형성된다. MOSFET(Metal Oxide Semiconductor Field Effect Transistor)의 회로 기호는 화살표를 붙이지 않은 것은 N형 MOSFET(NMOS)를 나타내고, 화살표를 붙인 P형 MOSFET(PMOS)와 구별된다. 단, 도 3, 8, 9에 있어서는, NMOS와 PMOS의 구별을 명확하게 하기 위해 NMOS에 PMOS의 역방향 모양의 화살표를 붙인다. 이하 MOSFET를 간략화하여 MOS라고 불러도 좋다. 단, 본원 발명은 금속 게이트와 반도체층 사이에 설치된 산화막 절연막을 포함하는 전계 효과 트랜지스터만으로 한정되는 것이 아니고 MISFET(Metal Insulator Semiconductor Field Effect Transistor) 등의 일반적인 FET를 이용한 회로에 적용된다.

(실시예 1)

도 1에 본 발명의 제1 워드선 노이즈 저감 어레이의 평면 레이아웃과, 대응하는 회로도의 일부분을 도시한다. (a)의 평면 레이아웃에 있어서, 데이터선(DL), 워드선(WL)의 소정의 교점에 메모리 셀(MC)을 배치하고 있다. 여기서는 메모리 셀로부터의 신호를 판독하는 DL, 선택 트랜지스터의 게이트가 되는 WL, 확산층 영역(ACT), ACT와 DL을 접속하는 데이터선 컨택트(DLCT), ACT와 캐패시터 하부 전극을 접속하는 스토리지 노드 컨택트(SNCT)만 도시하고 있고, SNCT에 접속되는 캐패시터 하부 전극은 생략되어 있다. 원래, 하나의 어레이에서는 DL의 갯수는 예를 들면 2048개 정도, WL의 갯수는 512개 정도 존재하지만, 여기서는 그 일부만을 도시한다. 메모리 어레이의 상하에는 상측 서브 워드 드라이버열 SWDA-

U 및 하측 서브 워드 드라이버열 SWDA-D가 배치되어 있고, 워드선 WL은 2개씩 교대로 상하의 서브 워드 드라이버열에 접속된다. 또한, 메모리 어레이의 좌우에는 좌측 감지 증폭기 열 SAA-L 및 우측 감지 증폭기열 SAA-R이 배치되고, 데이터선 DL은 2개씩 교대로 좌우의 감지 증폭기 열에 접속된다.

이와 같이 SWD나 SA를 교대로 배치하는 것은, SWD나 SA의 레이아웃 피치를 완화하기 위해서이다. 예를 들면, SWDA-U와 메모리 어레이의 경계부를 보면, WL은, 경계부를 통과하여 SWD로 들어가는 것(WL1, WL2, WL5, WL6)과 경계부에서 끝나는 것(WL0, WL3, WL4, WL7)이 2개씩 반복되고 있다. 이와 같이 WL과 SWD를 접속하면, SWD 1개분의 데이터선 방향의 레이아웃 피치는 WL2개분의 피치로 완화 가능하다. 또한, WL의 패터닝을 행하는 경우, 위상 시프트법이나 띠형상 조명(zonal illumination)등의 초해상 리소그래피가 필요해지지만, 인접한 2개의 WL을 SWD로 접속하면, 빛의 위상이 역상이 되는 2개의 WL을 SWD에 접속 가능하기 때문에, SWD의 레이아웃이 용이해지는 특징이 있다.

SA의 레이아웃에 대해서도 교대 배치에 의해, 워드선 방향의 피치가 DL의 2쌍분의 피치(DL 4개분)로 완화된다. DRAM에서는 메모리셀을 미세화하고 있기 때문에, WL, DL의 피치는 매우 작다. 따라서, SWD나 SA를 소정의 피치로 레이아웃하는 것이 어려워져, 교대 배치는 중요하다.

여기서, WL과 SWD 열의 접속 관계에 주목한다. 본 발명은 교대 배치한 SWD 열과 WL과의 접속 관계에 특징이 있다. DL0T에 접속하고, 인접하는 2개의 메모리셀인 MC0과 MC1에 주목하면, 이들 MC는 하나의 DLCT를 공유하고 있지만, 이들 셀에 접속하는 WL 중 WL0은 SWDA-D에 접속하는데 비해, WL1은 SWDA-U에 접속하고 있다. 한편, DL0B에 접속하고, 인접하는 2개의 메모리셀인 MC2와 MC3에 주목하면, 이들도 하나의 DLCT를 공유하고 있지만, 이들 셀에 접속하는 WL 중 WL2는 SWDA-U에 접속하고 있는데 비해 WL3은 SWDA-D에 접속하고 있다. 따라서, 실시예1의 워드선 노이즈 저감 어레이의 레이아웃에서는 DLCT를 공유하는 2개의 메모리셀에 접속하는 WL을 다른 SWD 열에 접속하고 있다.

메모리 어레이 전체에서 보면, 도 l(a)에 도시된 패턴을 종횡으로 반복하고 있으므로, DL0T에 접속하고 있는 MC에 접속하는 WL 중 반수(도면 중에서는 WL1, WL5)를 SWDA-U에 접속하고, 남은 반수(도면 중에서는 WL0, WL4)를 SWDA-D에 접속한다. 또한, DL0B에 접속하고 있는 MC에 접속하는 WL 중 반수(도면 중에서는 WL2, WL6)를 SWDA-U에 접속하고, 나머지 반수(도면 중에서는 WL3, WL7)를 SWDA-D에 접속한다. 따라서, 하나의 데이터선에 접속하고 있는 메모리셀에 접속하는 워드선 중, 반수를 한쪽 열의 서브 워드 드라이버열에 접속하고, 나머지 반수를 다른 열의 서브 워드 드라이버열에 접속한다. 또한, SWDA-U 내의 SWD는 공통적인 VSS 배선 VSSU에 접속되어 있다. 마찬가지로 SWDA-D 내의 SWD도 공통적인 VSS 배선 VSSD에 접속되어 있다. VSS를 이와 같이 배선함으로써, WL 노이즈를 VSS에서 상쇄하는 것이 가능해진다.

이것을, 회로도에서 도시한 것이 도 1(b)이다. 폴드형 데이터선 구성에서는 데이터선과 워드선의 교점 중 반의 교점에 메모리셀을 접속하고 있다. 예를 들면, DL0T와 WL0 사이에는 메모리셀 MC0을 접속하고 있지만, DL0B와 WL0사이에는 MC를 접속하지 않는다. MC는 선택 트랜지스터 TG와 셀 캐패시터 CS로 이루어진다. CS의 한쪽 전극은 플레이트 PL이고, 어레이 내의 다른 메모리셀과 공통으로 접속된다. CS의 다른 전극은 TG의 소스 또는 드레인의 한쪽에 접속되고, TG의 다른 소스 또는 드레인은 DL에 접속된다. DL0T와 DL0B는 쌍으로 하여 SA열 L 중 SA0에 접속하고, DL1T와 DL1B는 SA 열 R 중 SA1에 접속한다. 이들 SA는 메모리셀로부터의 신호에 의해 DL 쌍에 발생한 미소 전압차를, 한쪽 DL을 고레벨로, 다른 DL을 저레벨의 전압으로 증폭시킨다.

이러한 접속으로 하면 나중에 상세히 진술한 바와 같이, SA0에 의해 DL0T가 저레벨, DL0B에 고레벨로 증폭된 경우, WL0, WL1에는 마이너스의 노이즈, WL2, WL3에는 플러스의 노이즈가 인가되지만, SWDA-U 상의 전원 배선인 VSSU 상에서, WL1과 WL2에 인가된 플러스/마이너스의 노이즈가 상쇄한다. 마찬가지로 함으로써, SWDA-D 상의 전원 배선인 VSSD 상에서, WL0과 WL3에 가해진 플러스/마이너스의 노이즈가 상쇄한다. 본 발명의 메모리 어레이에서는 1 데이터선쌍으로부터의 WL 노이즈가 상호 캔슬되기 때문에, 어레이 내의 다른 데이터선쌍에 어떠한 데이터 패턴이 발생해도, 노이즈 소거의 효과가 생긴다.

본 발명의 워드선 노이즈 저감 어레이를 이용한 DRAM의 구성을 진술한다. 도 2에 DRAM 칩의 구성도를 도시한다. 칩의 중앙, 긴 변 방향으로는 본딩 패드(PAD)와 간접 주변 회로(PERI1, PERI2)를 배치하고 있다. 여기에는, 어드레스나 데이터의 입출력 회로, 전원 회로, 리프레시의 제어 회로, 메인 증폭기 등을 배치하고 있다. 짧은 변 방향으로는 SWD나 SA의 제어를 행하는 어레이 제어 회로(A-CTL)를 배치하고 있다. 상기한 회로에 의해 칩을 크게 4개의 블록으로 분할하고 있고, 각각을 메인 워드선에 접속한 행 디코더(R-DEC)와, 열 선택선에 접속한 열 디코더(C-DEC)로 둘러싸여 있다. 각 블록을 행 방향으로 감지 증폭기 열(SAA)로, 열 방향으로 서브 워드 드라이버열(SWDA)로 분할하고 있는, SA 열과 SWD 열에 의해 둘러싸인 부분이 도 1에 도시된 메모리 어레이(n)이다.

도 3에 도 1의 본 발명의 워드선 노이즈 저감 어레이에 이용하는 제1 서브 워드 드라이버를 나타낸다. 본 SWD에서는 동일 SWD열 내의 모든 SWD가 공통된 접지 배선 VSSU에 접속되어 있다. 또한, SWD는 메모리 어레이에 대해 교대 배치되어 있으므로, SWDA-U와 메모리 어레이의 경계부를 보면, 경계부를 통과하여 SWD에 들어가는 WL(WLl, WL2, WL5, WL6)과, 경계부에서 끝나는 WL(WL0, WL3, WL4, WL7)가, 2개씩 반복되고 있다. 본 발명의 WL 노이즈 저감 어레이에서는 도 l의 DL0T에 접속한 MC에 접속하는 WL(WL1, WL5)과 DL0B에 접속한 MC에 접속하는 WL(WL2, WL6)을 반수씩 SWDA-U 내의 SWD와 접속하는 것에 특징이 있다.

SWD1을 예로 들면, 하나의 SWD를 2개의 N 채널 MOS 트랜지스터 MN1, MN2와 1개의 P 채널 MOS 트랜지스터 MP1로 구성한다. MN1, NN2는 소스를 VSSU에 접속하고, 드레인을 WL1에 접속한다. MN1의 게이트를 메인 워드선(MWLB)에 접속하고, MN2의 게이트를 FX1B에 접속한다. MN1, MN2 모두 기판(백 게이트 또는 웰 전위)은 도면과 같이 VSSU에 접속하거나, 또는 별도로 설치한 VBB 배선에 접속해도 좋다. MP1에 대해서는 소스를 FX1, 드레인을 WL1, 게이트를 MWLB에 접속한다. MP1의 기판(백 게이트 또는 웰 전위)은 VPP(예를 들면 3.5V)에 접속한다. 또한, SWDA-U의 상측에 배치한 메모리 어레이의 WL과 하측에 배치한 메모리 어레이의 WL은 상호 SWDA-U를 통해 접속되어 있다.

여기서, NWLB와 FX1이 활성화되고, WL1이 선택되는 경우의 동작을 설명한다. 이 경우, MWLB는 0V, FX1은 3.5V, FX2, FX5, FX6은 0V, FXlB는 0V, FX2B, FX5B, FX6B는 3.5V가 된다. SWD1에서는 MP1이 온, MN1, MN2가 오프하여 WL1이 3.5V로 활성화된다. 한편, SWD2, SWD5, SWD6에서는 MN1에 상당하는 트랜지스터는 오프하고, MN2에 상당하는 트랜지스터는 온하고, WL2, WL5, WL6은 VSSU(0V)에 접속된다. MP1에 상당하는 트랜지스터의 게이트는 0V이지만, 소스도 0V이므로, 온하지 않는다. 따라서, 비선택 WL인 WL2, WL5, WL6은 MN2에 상당하는 트랜지스터만으로 VSSU에 접속되어 있다.

이 외의 WL1의 동작 모드로서는 (1) MWLB, FX1 모두 비선택, (2) MWLB가 비선택으로 FX1이 선택된 경우가 있지만, (1)에서는 MN1, MN2가 모두 온하여 VSSU에 접속되고, (2)에서는 MN1만이 온하여 VSSU에 접속된다. 다른 SWD에서도 마찬가지다.

계속해서, 본 발명의 워드선 노이즈 저감 어레이에 대해, WL 노이즈가 가장 커지는 최악의 패턴에 있어서의 WL 노이즈 저감 효과를 나타낸다. 도 4에 도시된 바와 같이 1024쌍, 2048개의 DL 중 DLnT를 제외하고 DL0T로부터 DL1023T까지의 모든 T측의 DL에 저레벨(L)의 신호가 나오고, DLnT에만 고레벨(H)의 신호가 나올 때를 생각한다. 이 패턴 또는 이 H, L을 역전한 패턴이, WL 노이즈가 가장 커지는 최악의 조건이다. SA를 활성화하면 DLnT 이외의 DL0T로부터 DLl023T는 0V까지 증폭되고, DLnB 외의 DL0B로부터 DL1023B는 1.8V로 증폭된다. DL0T, DL1T 상의 동그라미 L에서, DL0T, DL1T가 0V로 증폭되는 것을 나타내고, DL0B, DLlB 상의 동그라미 H에서 DL0B, DLlB가 1.8V로 증폭되는 것을 나타내고 있다. 이 때에 WL0에 생기는 노이즈는 다음과 같다. WL0에는 DLnT 외의 DL0T로부터 DL1023T까지의 데이터선으로부터 커플링 용량을 경유하여 마이너스의 노이즈가 인가된다. 한편, WL0에는 DLnB 이외의 DL0B로부터 DL1023B까지의 데이터선으로부터 커플링 용량을 경유하여 플러스의 노이즈가 인가된다. WL0에 생기는 노이즈는 이들 노이즈의 합이 되지만, 앞에서 말한 바와 같이 WL0은 DL0T로부터 DL1023T까지의 T측의 DL에 접속하는 MC에 접속하고 있으므로, 예를 들면 WL0-DL0B간의 커플링 용량은 WL0-DL0T 사이의 커플링 용량의 1% 정도이다. 즉, WL0과 B측의 데이터선의 커플링 용량은 WL0과 T측의 데이터선의 커플링 용량에 비하면 무시할 수 있을 정도로 작다. 따라서, WL0에 대해서는 마이너스의 노이즈가 거의 상쇄하지 않고 생기게 된다. 이것을 WL0 상의 ⊖ 기호로 나타내었다. 마찬가지로 함으로써, WL1, WL4, WL5에 마이너스의 노이즈가 생긴다. 이것과는 반대로 WL2, WL3, WL6, WL7은 DL0B로부터 DL1023B까지의 B측의 DL에 접속되는 MC에 접속되어 있으므로, 예를 들면 WL2-DL0T간 커플링 용량이 WL2-DL0B간 커플링 용량보다도 작아, 1% 정도이다. 즉, WL2와 T측의 데이터선의 커플링 용량은 WL2와 B측의 데이터선의 커플링 용량에 비교하면 무시할 수 있을 정도로 작다. 따라서, 이들 WL에는 플러스의 노이즈가 생겨, 이것을 WL 상의 ⊕ 기호로 나타내었다.

도 4에 도시된 바와 같이 본 발명의 워드선 노이즈 저감 어레이에서는, 도 13에 도시된 본원에 앞서 검토한 메모리 어레이와는 달리, SWDA-U에 접속되는 반수의 WL에 마이너스의 노이즈가 생겨, 반수의 WL에 플러스의 노이즈가 생기고 있다. 따라서, 플러스/마이너스의 노이즈는 SWDA-U 상의 전원 배선인 VSSU에서 상쇄하기 때문에, WL 노이즈가 저감된다. 마찬가지로, SWDA-D에서도, 접속되는 반수의 WL에 마이너스의 노이즈가 생겨, 반수의 WL에 플러스의 노이즈가 생기고 있다. 따라서, 플러스/마이너스의 노이즈는 SWDA-D 상의 전원 배선인 VSSD에서 상쇄하기 때문에, WL 노이즈가 저감된다.

이와 같이, 본 발명의 워드선 노이즈 저감 어레이에 있어서는, 데이터선 상에 어떠한 패턴의 신호가 나온 경우라도, 데이터선 증폭시에 플러스/마이너스의 WL 노이즈가 SWD 중에서 상쇄하는 방향으로 기능하기 때문에, WL 노이즈를 저감할 수 있다. 따라서, 감지 증폭기가 판독하는 신호의 열화를 막을 수 있어, 메모리 동작의 신뢰성을 높일 수 있다.

또한, 메모리 셀로부터 나오는 신호량에 주목하면, 도 10의 메모리 어레이보다도 작은 신호까지 정확하게 감지할 수 있기 때문에, 메모리 셀의 캐패시터 용량을 충분히 취할 수 없는 경우나, 누설 전류에 의해 메모리 셀 캐패시터에 축적되어 있는 전하가 감소한 경우에 대한 동작 마진을 넓일 수 있다.

또한, 본 어레이는 1쌍으로 하여 동작하는 데이터선 중 한쪽 데이터선과 1개의 워드선 사이의 커플링 용량과 다른 데이터선과 동일 워드선사이의 커플링 용량의 언밸런스에 대한 허용도가 크다. 따라서, 메모리 셀의 스토리지 노드 컨택트를 도 1에 도시된 바와 같이 타원형으로 할 수 있어, 확산층을 직선형으로 레이아웃할 수 있기 때문에 프로세스가 용이해진다.

즉, 본 발명의 어레이를 이용하면, DRAM의 리프레시 특성을 개선할 수 있다. 또한, DRAM의 제조 프로세스를 용이화할 수 있다.

(실시예 2)

도 5에 본 발명의 제2 워드선 노이즈 저감 어레이의 레이아웃과 회로도를 도시한다. 본 실시예에서는 SWD열과 메모리 어레이의 경계부에서, 경계부에서 끝나는 WL과, SWD열에 접속되는 WL이 1개씩 반복되고 있는 점이 실시예 1과 다르다.

본 예에서도, WL과 SWD 열의 접속 관계에 주목한다. DL0T에 접속하고, 인접하는 2개의 메모리 셀인 MC0과 MC1에 주목하면, 이들 MC는 하나의 DLCT를 공유하고 있지만, 이들 셀에 접속하는 WL 중 WL0은 SWD 열 U에 접속하고 있는데 비해, WLl은 SWD열 D에 접속하고 있다. 한편, DL0B에 접속하고, 인접하는 2개의 메모리 셀인 MC2와 MC3에 주목하면, 이들도 하나의 DLCT를 공유하고 있지만, 이들 셀에 접속하는 WL 중 WL2는 SWD 열 U에 접속하고 있는데 비해 WL3은 SWD 열 D에 접속하고 있다. 따라서, 실시예 2의 워드선 노이즈 저감 어레이의 레이아웃에 있어서도 DLCT를 공유하는 2개의 메모리 셀에 접속하는 WL을 다른 SWD 열에 접속하고 있다.

본예에서도 메모리 어레이 전체에서 보면, 도 5(a)에 도시된 패턴을 종횡으로 반복하고 있으므로, DL0T에 접속하고 있는 MC에 접속하는 WL 중 반수(도면 중에서는 WL0, WL4)를 SWD 열 U에 접속하고, 나머지 반수(도면 중에서는 WL1, WL5)를 SWD 열 D에 접속한다. 또한, DL0B에 접속하고 있는 MC에 접속하는 WL 중 반수(도면 중에서는 WL2, WL6)를 SWD 열 U에 접속하고, 남은 반수(도면 중에서는 WL3, WL7)를 SWD 열 D에 접속한다. 따라서, 하나의 데이터선에 접속하고 있는 메모리 셀에 접속하는 워드선 중, 반수를 한쪽 열의 서브 워드 드라이버열에 접속하고, 나머지 반수를 다른 열의 서브 워드 드라이버열에 접속하고 있다. 또한, SWD 열 U내의 SWD는 공통의 VSS 배선 VSSU에 접속되어 있다. 마찬가지로 SWD 열 D내의 SWD도 공통의 VSS 배선 VSSD에 접속되어 있다. VSS를 이와 같이 배선함으로써, WL 노이즈를 VSS에서 상쇄하는 것이 가능해진다.

본 발명의 제2 워드선 노이즈 저감 어레이에 있어서도, 데이터선 증폭시의 플러스/마이너스의 WL 노이즈를 SWD 중에서 상쇄할 수 있고, WL 노이즈를 저감할 수 있다. 따라서, 감지 증폭기가 판독하는 신호의 열화를 막을 수 있어, 메모리 동작의 신뢰성을 높일 수 있다.

(실시예 3)

도 6에 본 발명의 제3 워드선 노이즈 저감 어레이의 레이아웃과 회로도를 도시한다. 본 실시예에서는 SWD 열과 메모리 어레이의 경계부에서, SWD열에 접속되는 WL과, 경계부에서 끝나는 WL이, 4개씩 반복되는 점이 실시예 1, 2와 다르다.

본 예에서도, WL과 SWD 열의 접속 관계에 주목한다. DL0T에 접속하고, 인접하는 2개의 메모리 셀인 MC0과 NC1에 접속하는 WL0, WL1은 모두 SWD 열 U에 접속하고 있다. 한편, DL0B에 접속하고, 인접하는 2개의 메모리 셀인 MC2와 MC3에 접속하는 WL2, WL3도 모두 SWD 열 U에 접속하고 있다. 따라서, 본 실시예에서는 WL0, WL1에 생긴 노이즈는 WL2, WL3에 생긴 노이즈에 의해 VSSU 상에서 상쇄된다. 마찬가지로 함으로써 WL4, WL5에 생긴 노이즈는 WL6, WL7에 생긴 노이즈에 의해 VSSD 상에서 상쇄된다.

본 예에서도 메모리 어레이 전체에서 보면, 도 6(a)에 도시된 패턴을 종횡으로 반복하고 있으므로, DL0T에 접속하고 있는 MC에 접속하는 WL 중 반수(도면 중에서는 WL0, WL1)를 SWD 열 U에 접속하고, 나머지 반수(도면 중에서는 WL4,

WL5)를 SWD 열 D에 접속한다. 또한, DL0B에 접속하고 있는 MC에 접속하는 WL 중 반수(도면 중에서는 WL2, WL3)를 SWD 열 U에 접속하고, 남은 반수(도면 중에서는 WL6, WL7)를 SWD 열 D에 접속한다. 따라서, 하나의 데이터선에 접속하고 있는 메모리 셀에 접속하는 워드선 중, 반수를 한쪽 열의 서브 워드 드라이버열에 접속하고, 나머지 반수를 다른 열의 서브 워드 드라이버열에 접속하고 있다.

본 발명의 제3 워드선 노이즈 저감 어레이에 있어서도, 데이터선 증폭시의 플러스/마이너스의 WL 노이즈를 SWD 중에서 상쇄할 수 있고, WL 노이즈를 저감할 수 있다. 따라서, 감지 증폭기가 판독하는 신호의 열화를 막을 수 있어, 메모리 동작의 신뢰성을 높일 수 있다.

(실시예 4)

도 7에 본 발명의 제4 워드선 노이즈 저감 어레이의 레이아웃과 회로도를 도시한다. 본 실시예에서는 SWD 열과 메모리 어레이의 경계부는 도 11과 동일하지만, 메모리셀 어레이 MC4, MC5, MC6, MC7의 데이터선 컨택트 DLCT의 방향을 바꿔, 확산층이 DL 방향으로 배열하고 있는 메모리셀을 교대로 다른 DL에 접속하고 있는 점이 실시예 1, 2, 3과 다르다.

DL0T에 접속하고, 인접하는 2개의 메모리셀인 MC0과 MC1에 접속하는 WL0, WL1은 모두 SWDA-U에 접속하고 있다. 한편, DL0B에 접속하고, 인접하는 2개의 메모리셀인 MC2와 MC3에 접속하는 WL2, WL3은 모두 SWDA-D에 접속하고 있다. 또한, 인접하는 2개의 메모리셀인 MC4와 MC5는 타원형의 DLCT를 확산층의 하측에 배치하여 DL0B에 접속하고 있지만, 이들에 접속하는 WL4, WL5는 SWDA-U에 접속하고 있다. 마찬가지로, 인접하는 2개의 메모리셀인 MC6과 MC7은 타원형의 DLCT를 확산층의 하측에 배치하여 DL0T에 접속하고 있지만, 이들에 접속하는 WL6, WL7은 SWDA-U에 접속하고 있다.

따라서, 본 실시예에서는 WL0, WL1에 생긴 노이즈는 WL4, WL5에 생긴 노이즈에 의해 VSSU 상에서 상쇄된다. 마찬가지로 함으로써 WL2, WL3에 생긴 노이즈는 WL6, WL7에 생긴 노이즈에 의해 VSSD 상에서 상쇄된다.

본 예에서도 메모리 어레이 전체에서 보면, 도 7(a)에 도시된 패턴을 종횡으로 반복하고 있으므로, DL0T에 접속하고 있는 MC에 접속하는 WL 중 반수(도면 중에서는 WL0, WL1)를 SWDA-U에 접속하고, 나머지 반수(도면 중에서는 WL6, WL7)를 SWDA-D에 접속한다. 또한, DL0B에 접속하고 있는 MC에 접속하는 WL 중 반수(도면 중에서는 WL4, WL5)를 SWDA-U에 접속하고, 나머지 반수(도면 중에서는 WL2, WL3)를 SWDA-D에 접속한다. 따라서, 하나의 데이터선에 접속하고 있는 메모리셀에 접속하는 워드선 중, 반수를 한쪽 열의 서브 워드 드라이버열에 접속하고, 나마지 반수를 다른 열의 서브 워드 드라이버열에 접속하고 있다.

본 발명의 제4 워드선 노이즈 저감 어레이에 있어서도, 데이터선 증폭시의 플러스/마이너스의 WL 노이즈를 SWD 중에서 상호 상쇄할 수 있고, WL 노이즈를 저감할 수 있다. 따라서, 감지 증폭기가 판독하는 신호의 열화를 막을 수 있어, 메모리 동작의 신뢰성을 높일 수 있다.

(실시예 5)

본 실시예는 본 발명의 워드선 노이즈 저감 어레이에 이용하기 위한 제2 서브 워드 드라이버(SWD)이다. 여기서는 본 발명의 제1 워드선 노이즈 저감 어레이와 조합한 경우를 나타내지만, 다른 워드선 노이즈 저감 어레이에 대해서도 적용 가능하다.

도 8에 도시된 SWD에서는 도 3의 MWLB를 MWLB0과 MWLB1로 분리하고, 그 만큼 FX의 갯수를 반으로 줄이고 있다. 이 방식으로 하면 SWD의 레이아웃 면적을 저감할 수 있는 경우가 있다. 그리고, SWD의 배치를 상하 2단으로 하고, VSS를 VSSU1과 VSSU2의 2개로 분리하고 있다.

이러한 SWD를 이용한 경우에, WL 노이즈를 상쇄하기 위해서는, 각 VSSU에 대해, DL0T에 접속하는 MC에 접속하는 WL과, DL0B에 접속하는 MC에 접속하는 WL의 양방에 대응하는 SWD를 접속할 필요가 있다. 즉, 도 8에서는 도 1과 마찬가지로 WL1, WL5가 DL0T에 접속하는 MC에 접속하고 있다. 또한, WL2, WL6이 DL0B에 접속하는 MC에 접속하고 있다. 이러한 경우에는, WL1이 접속한 SWD1과 WL6이 접속한 SWD6을 VSSU1에 접속함으로써, 이들 WL에서의 WL 노이즈를 VSSU1에 있어서 상쇄할 수 있다. 또한, WL2가 접속한 SWD2와 WL5가 접속한 SWD5를 VSSU2에 접속함으로써, 이들 WL에서의 WL 노이즈를 VSSU2에서 상쇄할 수 있다.

따라서, 본 발명의 서브 워드 드라이버와 본 발명의 워드선 노이즈 저감 어레이를 조합하여 이용함으로써, 데이터선 증폭시의 플러스/마이너스의 WL 노이즈를 SWD 중에서 상호 상쇄할 수 있고, WL 노이즈를 저감할 수 있다. 따라서, 감지 증폭기가 판독하는 신호의 열화를 막을 수 있어, 메모리 동작의 신뢰성을 높일 수 있다.

(실시예 6)

본 실시예는 본 발명의 워드선 노이즈 저감 어레이에 이용하기 위한 제3 서브 워드 드라이버(SWD)이다. 여기서는 본 발명의 제1 워드선 노이즈 저감 어레이와 조합한 경우를 나타냈지만, 다른 워드선 노이즈 저감 어레이에 대해서도 적용 가능하다.

도 9에 도시된 SWD에서는 도 8의 SWD1의 MN2에 상당하는 트랜지스터를 SWD1과 SWD6에서 공유하고, 서로의 WL 사이를 접속하고 있다. 이 방식으로 하면 SWD에서 사용하는 트랜지스터수를 줄일 수 있기 때문에, SWD의 레이아웃 면적을 저감할 수 있다. SWD의 배치를 상하 2단으로 하고, VSS를 VSSU1과 VSSU2의 2개로 분리하는 것은 도 8과 마찬가지이다.

이러한 SWD를 이용한 경우에, WL 노이즈를 상쇄하기 위해서는, 각 VSSU에 대해, DL0T에 접속하는 MC에 접속하는 WL과, DL0B에 접속하는 MC에 접속하는 WL의 양방에 대응하는 SWD를 접속할 필요가 있다. 즉, 도 9에서는 도 1과 마찬가지로 WLl, WL5가 DL0T에 접속하는 MC에 접속하고 있다. 또한, WL2, WL6이 DL0B에 접속하는 MC에 접속하고 있다. 이러한 경우에는, WL1이 접속한 SWD1과 WL6이 접속한 SWD6을 VSSU1에 접속함으로써, 이들 WL에서의 WL 노이즈를 VSSU1에서 상쇄할 수 있다. 또한, WL2가 접속한 SWD2와 WL5가 접속한 SWD5를 VSSU2에 접속함으로써, 이들 WL에서의 WL 노이즈를 VSSU2에서 상쇄할 수 있다.

따라서, 본 발명의 서브 워드 드라이버와 본 발명의 워드선 노이즈 저감 어레이를 조합하여 이용함으로써, 데이터선 증폭시의 플러스/마이너스의 WL 노이즈를 SWD 중에서 상호 상쇄할 수 있고, WL 노이즈를 저감할 수 있다. 따라서, 감지 증폭기가 판독하는 신호의 열화를 막을 수 있어, 메모리 동작의 신뢰성을 높일 수 있다.

발명의 효과

본 발명의 워드선 노이즈 저감 어레이 DRAM에서는, 데이터선 상에 어떠한 패턴의 신호가 나온 경우라도, 데이터선 증폭시에, 플러스/마이너스의 워드선 노이즈가 서브 워드 드라이버 중에서 상쇄하는 방향으로 작용하기 때문에, 워드선 노이즈를 저감할 수 있다. 따라서, 감지 증폭기가 판독하는 신호의 열화를 막을 수 있어, 메모리 동작의 신뢰성을 높일 수 있다.

또한, 메모리셀로부터 나오는 신호량에 주목하면, 데이터선-워드선 사이의 커플링 용량의 밸런스가 나쁜 메모리 어레이보다도 작은 신호까지 정확하게 감지할 수 있기 때문에, 메모리셀의 캐패시터 용량을 충분히 취할 수 없는 경우나, 누설 전류에 의해 메모리셀 캐패시터에 축적되어 있는 전하가 감소한 경우에 대한 동작 마진을 넓게 할 수 있다. 따라서, 본 발명의 어레이를 이용하면, DRAM의 리프레시 특성을 개선할 수 있다. 또, DRAM의 제조 프로세스를 용이화할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 장치에 있어서,

인접하여 설치된 제1 데이터선 및 제2 데이터선과,

상기 제1 데이터선 및 제2 데이터선에 접속되는 감지 증폭기와,

상기 제1 데이터선 및 제2 데이터선과 교차하는 제l 내지 제4 워드선과,

상기 제l 워드선과 상기 제1 데이터선과의 교점에 배치되는 제1 메모리 셀과,

상기 제2 워드선과 상기 제1 데이터선과의 교점에 배치되는 제2 메모리 셀과,

상기 제3 워드선과 상기 제2 데이터선과의 교점에 배치되는 제3 메모리 셀과,

상기 제4 워드선과 상기 제2 데이터선과의 교점에 배치되는 제4 메모리 셀과,

상기 제l 내지 제4 워드선에 대응하여, 각각에 접속되는 제1 내지 제4 워드 드라이버를 포함하고,

상기 제1 내지 제4 워드선은, 제1, 제2, 제3, 제4 워드선의 순으로 배치되고,

상기 제l 및 제2 데이터선과, 상기 제1 내지 제4 워드선, 및 상기 제 l 내지 제4 메모리 셀은 사변형의 영역 내에 배치되고,

상기 제1 및 제4 워드 드라이버는 상기 사변형의 제1 변을 따라 배치되고,

상기 제2 및 제3 워드 드라이버는 상기 제1의 변과 마주보는 제2 변을 따라 배치되는 반도체 장치.

청구항 2.

삭제

청구항 3.

제1항에 있어서,

상기 제1 및 제2 메모리 셀은, 상기 제1 데이터선에 접속되는 제1 데이터선 컨택트에 공통으로 접속되고,

상기 제3 및 제4 메모리 셀은, 상기 제2 데이터선에 접속되는 제2 데이터선컨택트에 공통으로 접속되는 반도체 장치.

청구항 4.

제1항에 있어서,

상기 제1 내지 제4 메모리 셀은, 각각 M0S 트랜지스터와, 캐패시터를 포함하고,

상기 제1 내지 제4 메모리 셀이 포함하는 M0S 트랜지스터의 각각의 게이트는, 대응하는 상기 제1 내지 제4 워드선에 각각 접속되고,

상기 제1 메모리 셀 및 제2 메모리 셀이 포함하는 MOS 트랜지스터의 제l 확산층은, 제1 데이터선 컨택트를 통해 상기 제1 데이터선에 접속되며,

상기 제3 메모리 셀 및 제4 메모리 셀이 포함하는 MOS 트랜지스터의 제1 확산층은, 제2 데이터선 컨택트를 통해 상기 제2 데이터선에 접속되는 반도체 장치.

청구항 5.

제4항에 있어서,

상기 제1 내지 제4 메모리 셀이 포함하는 각각의 MOS 트랜지스터의 제2 확산층은, 대응하는 상기 제1 내지 제4 메모리 셀이 포함하는 캐패시터와, 스토리지 노드 컨택트를 통해 접속되고,

상기 제l 및 제2 데이터선은, 폴드형 데이터선 구성인 반도체 장치.

청구항 6.

반도체 장치에 있어서,

인접하여 설치된 제l 및 제2 데이터선과,

상기 제1 및 제2 데이터선에 접속되는 감지 증폭기와,

상기 제1 및 제2 데이터선과 교차하는 제1 내지 제8 워드선과,

상기 제1 데이터선과, 상기 제1, 제2, 제5, 제6 워드선과의 교점에 각각 배치되는 제l, 제2, 제5, 제6 메모리 셀과,

상기 제2 데이터선과, 상기 제3, 제4, 제7, 제8 워드선과의 교점에 각각 배치되는 제3, 제4, 제7, 제8 메모리 셀과,

상기 제1 내지 제8 워드선에 대응하여 접속되는 제l 내지 제8 워드 드라이버를 포함하고,

상기 제1 내지 제8 워드선은, 제1, 제2, 제3, 제4, 제5, 제6, 제7, 제8 워드선의 순으로 배치되고,

상기 제l 및 제2 데이터선과, 상기 제1 내지 제8 워드선, 및 상기 제1 내지 제8 메모리 셀은 사변형의 영역 내에 배치되고,

상기 제1 내지 제4 워드 드라이버는 상기 사변형의 제1 변을 따라 배치되고,

상기 제5 내지 제8 워드 드라이버는 상기 제1의 변과 마주보는 제2 변을 따라 배치되는 반도체 장치.

청구항 7.

삭제

청구항 8.

반도체 장치에 있어서,

인접하여 설치된 제1 및 제2 데이터선과,

상기 제1 및 제2 데이터선에 접속되는 감지 증폭기와,

상기 제1 및 제2 데이터선과 교차하는 제1 내지 제8 워드선과,

상기 제l 데이터선과, 상기 제1, 제2, 제7, 제8 워드선과의 교점에 각각 배치되는 제1, 제2, 제7, 제8 메모리 셀과,

상기 제2 데이터선과, 상기 제3, 제4, 제5, 제6 워드선과의 교점에 각각 배치되는 제3, 제4, 제5, 제6 메모리 셀과,

상기 제1 내지 제8 워드선에 대응하여 접속되는 제1 내지 제8 워드 드라이버를 포함하고,

상기 제1 내지 제8 워드선은, 제1, 제2, 제3, 제4, 제5, 제6, 제7, 제8 워드선의 순으로 배치되고,

상기 제1 및 제2 데이터선과, 상기 제1 내지 제8 워드선, 및 상기 제1 내지 제8 메모리 셀은 사변형의 영역 내에 배치되고,

상기 제1, 제2, 제5, 제6 워드 드라이버는 상기 사변형의 제1 변을 따라 배치되고,

상기 제3, 제4, 제7, 제8 워드 드라이버는 상기 제1의 변과 마주보는 제2 변을 따라 배치되는 반도체 장치.

청구항 9.

삭제

청구항 10.

제8항에 있어서,

상기 제1 메모리 셀과 상기 제2 메모리 셀은, 상기 제1 데이터선과 접속되는 제1 데이터선 컨택트를 공유하고,

상기 제3 메모리 셀과 상기 제4 메모리 셀은, 상기 제2 데이터선과 접속되는 제2 데이터선 컨택트를 공유하고,

상기 제5 메모리 셀과 상기 제6 메모리 셀은, 상기 제2 데이터선과 접속되는 제3 데이터선 컨택트를 공유하고,

상기 제7 메모리 셀과 상기 제8 메모리 셀은, 상기 제1 데이터선과 접속되는 제4 데이터선 컨택트를 공유하는 반도체 장치.

청구항 11.

제8항에 있어서,

상기 제1 내지 제8 메모리 셀은, 각각 MOS 트랜지스터와 캐패시터를 포함하고,

상기 제1 내지 제8 메모리 셀이 포함하는 MOS 트랜지스터의 각각의 게이트는, 대응하는 상기 제1 내지 제8 워드선에 각각 접속되고,

상기 제1 메모리 셀 및 제2 메모리 셀이 포함하는 MOS 트랜지스터의 제1 확산층은, 제1 데이터선 컨택트를 통해 상기 제1 데이터선에 접속되고,

상기 제3 메모리 셀 및 제4 메모리 셀이 포함하는 MOS 트랜지스터의 제1 확산층은, 제2 데이터선 컨택트를 통해 상기 제2 데이터선에 접속되고,

상기 제5 메모리 셀 및 제6 메모리 셀이 포함하는 MOS 트랜지스터의 제1 확산층은, 제3 데이터선 컨택트를 통해 상기 제2 데이터선에 접속되고,

상기 제7 메모리 셀 및 제8 메모리 셀이 포함하는 MOS 트랜지스터의 제1 확산층은, 제4 데이터선 컨택트를 통해 상기 제1 데이터선에 접속되는 반도체 장치.

청구항 12.

제11항에 있어서,

상기 제1 내지 제8 메모리 셀이 포함하는 각각의 MOS 트랜지스터의 제2 확산층은, 대응하는 상기 제1 내지 제8 메모리 셀이 포함하는 캐패시터와, 스토리지 노드 컨택트를 통해 접속되고,

상기 제1 및 제2 데이터선은, 폴드형 데이터선 구성인 반도체 장치.

청구항 13.

반도체 장치에 있어서,

인접하여 설치된 제1 및 제2 데이터선과,

상기 제1 및 제2 데이터선과 교차하여, 연속하여 배치되는 8개의 워드선을 포함하는 복수의 워드선과,

복수의 메모리 셀과,

상기 복수의 워드선과 접속되는 제1 내지 제4 워드 드라이버군과,

상기 제1 내지 제4 워드 드라이버군에 비선택 레벨 전압을 공급하고, 상기 제1 내지 제4 워드 드라이버군에 대응하여 접속되는 제1 내지 제4 전원선과,

상기 제1 및 제2 데이터선에 접속되는 감지 증폭기를 포함하고,

상기 메모리 셀은, 상기 제1 및 제2 데이터선과, 상기 복수의 워드선과의 교점에 각각 배치되고,

상기 8개의 워드선 중, 제 l 워드선쌍은 상기 제1 워드 드라이버군에 접속되고, 제2 워드선쌍은 상기 제2 워드 드라이버군에 접속되고, 제3 워드선쌍은 제3 후드 드라이버군에 접속되고, 제4 워드선쌍은 상기 제4 워드 드라이버군에 접속되고,

상기 제1 및 제2 데이터선은, 상기 제1 및 제2 워드 드라이버군과, 상기 제3 및 제4 워드 드라이버군의 사이에 배치되는 반도체 장치.

청구항 14.

제13항에 있어서,

상기 제1 및 제2 데이터선과, 상기 복수의 워드선과, 상기 복수의 메모리 셀은 사변형의 영역 내에 배치되고,

상기 제 l 워드 드라이버군은 상기 사변형의 제1 변을 따라 배치되고,

상기 제2 워드 드라이버군은 상기 제1 워드 드라이버군을 따라 배치되고,

상기 제3 워드 드라이버군은 상기 제1 변과 마주보는 제2 변을 따라 배치되고,

상기 제4 워드 드라이버군은 상기 제3 워드 드라이버군을 따라 배치되는 반도체 장치.

청구항 15.

제13항에 있어서,

상기 8개의 워드선은, 제1, 제2, 제3, 제4, 제5, 제6, 제7, 제8 워드선의 순으로 배치되고,

상기 제1 및 제8 워드선은 상기 제1 워드 드라이버군과 접속되고,

상기 제2 및 제7 워드선은 상기 제2 워드 드라이버군과 접속되고,

상기 제3 및 제6 워드선은 상기 제3 워드 드라이버군과 접속되고,

상기 제4 및 제5 워드선은 상기 제4 워드 드라이버군과 접속되는 반도체 장치.

청구항 16.

제15항에 있어서,

상기 제1 및 제2 데이터선과, 상기 복수의 워드선, 및 상기 복수의 메모리 셀은 사변형의 영역 내에 배치되고,

상기 제1 워드 드라이버군은 상기 사변형의 제1 변을 따라 배치되고,

상기 제2 워드 드라이버군은 상기 제1 워드 드라이버군을 따라 배치되고,

상기 제3 워드 드라이버군은 상기 제1 변과 마주보는 제2 변을 따라 배치되고,

상기 제4 워드 드라이버군은 상기 제3 워드 드라이버군을 따라 배치되는 반도체 장치.

청구항 17.

제16항에 있어서,

상기 복수의 메모리 셀은 각각 MOS 트랜지스터와 캐패시터를 포함하고,

상기 각각의 MOS 트랜지스터의 게이트는, 대응하는 상기 복수의 워드선과 접속되며,

상기 제1 데이터선과, 상기 복수의 워드선중 인접하는 2개의 워드선의 교점에 배치되는 2개의 메모리 셀은 제1 데이터선 컨택트를 통해 상기 제1 데이터선과 접속되는 반도체 장치.

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

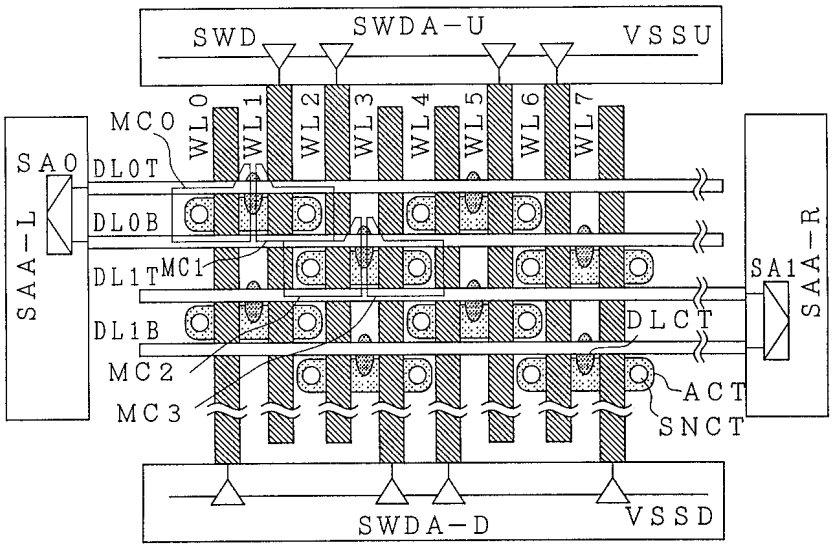
삭제

청구항 22.

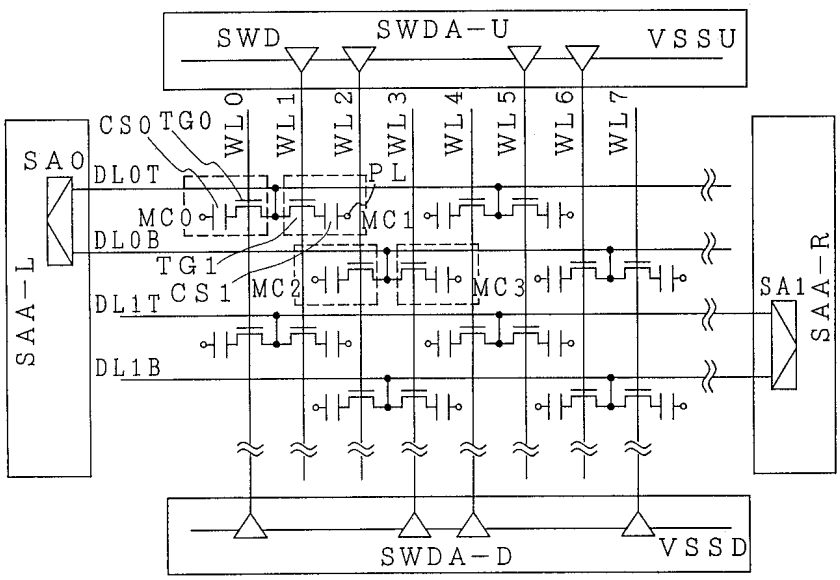
삭제

도면

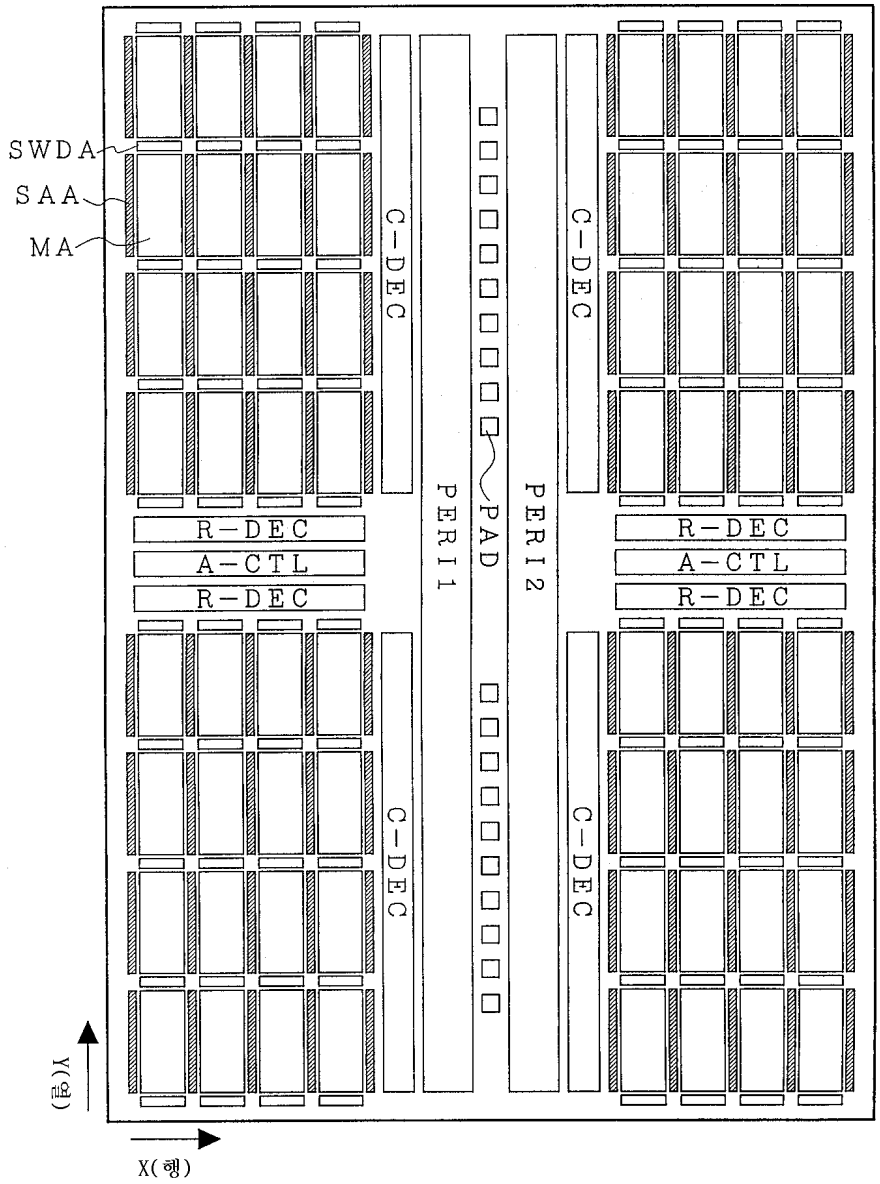
도면1a


SWD
SWDA-U
VSSU
MC0
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
SA0
DL0T
DL0B
SAA-L
DL1T
MC1
SA1
SAA-R
DL1B
DLCT
MC2
ACT
MC3
SNCT
SWDA-D
VSSD

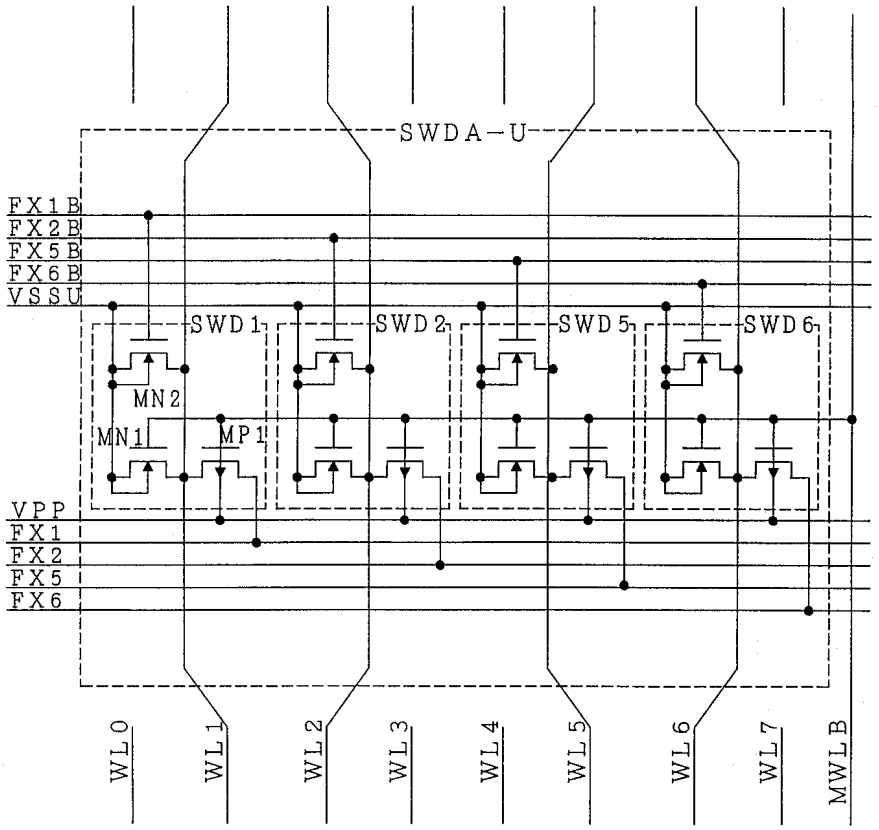
도면1b


SWD
SWDA-U
VSSU
CS0
TG0
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
SA0
DL0T
PL
MC0
MC1
DL0B
TG1
SAA-L
CS1
MC2
MC3
SA1
SAA-R
DL1T
DL1B
SWDA-D
VSSD

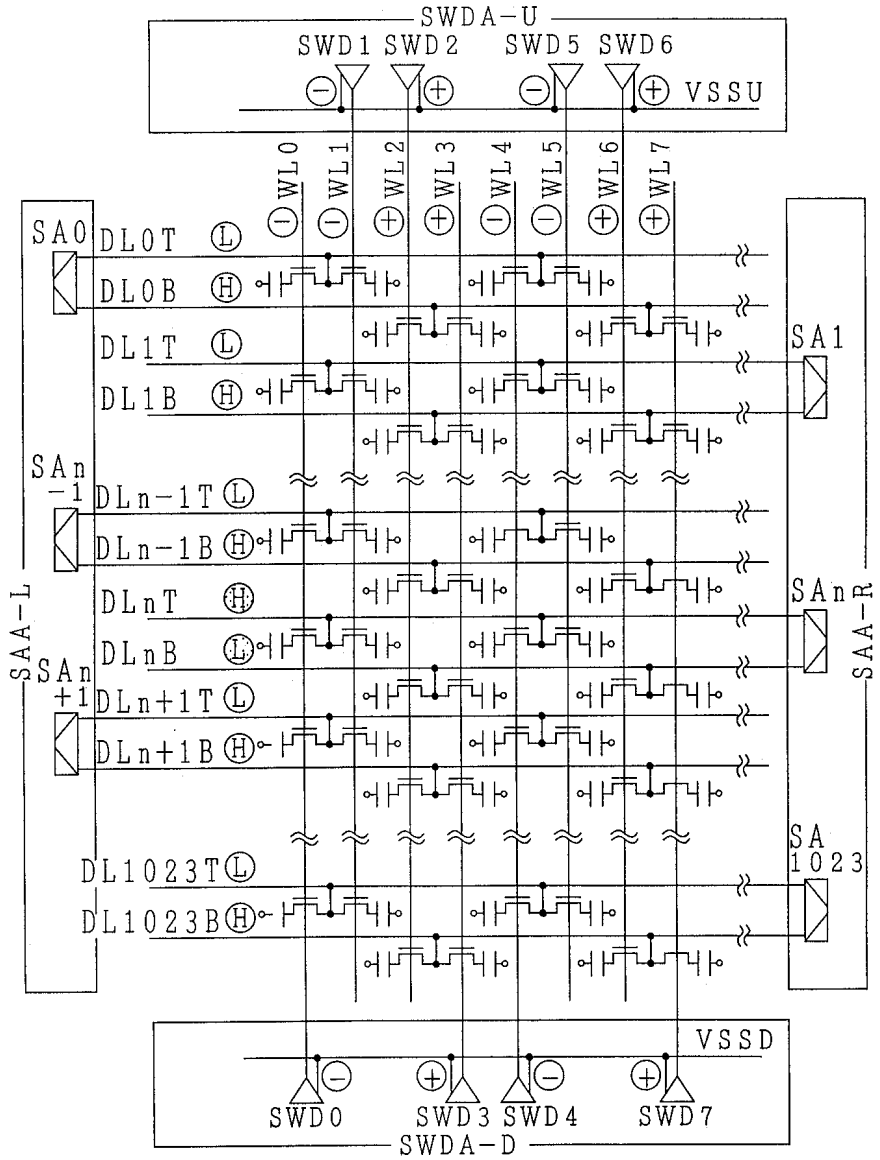
도면2


SWDA
SAA
MA
C-DEC
PERI1
PAD
PERI2
C-DEC
R-DEC
A-CTL
R-DEC
C-DEC
C-DEC
R-DEC
A-CTL
R-DEC
C-DEC
Y(열)
X(행)

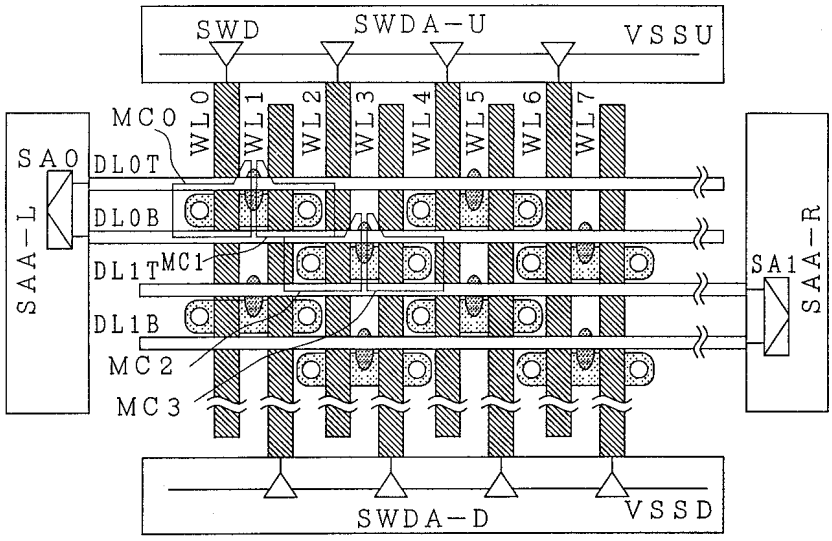
도면3


SWDA-U
FX1B
FX2B
FX5B
FX6B
VSSU
SWD1
SWD2
SWD5
SWD6
MN2
MN1
MP1
VPP
FX1
FX2
FX5
FX6
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
MWLB

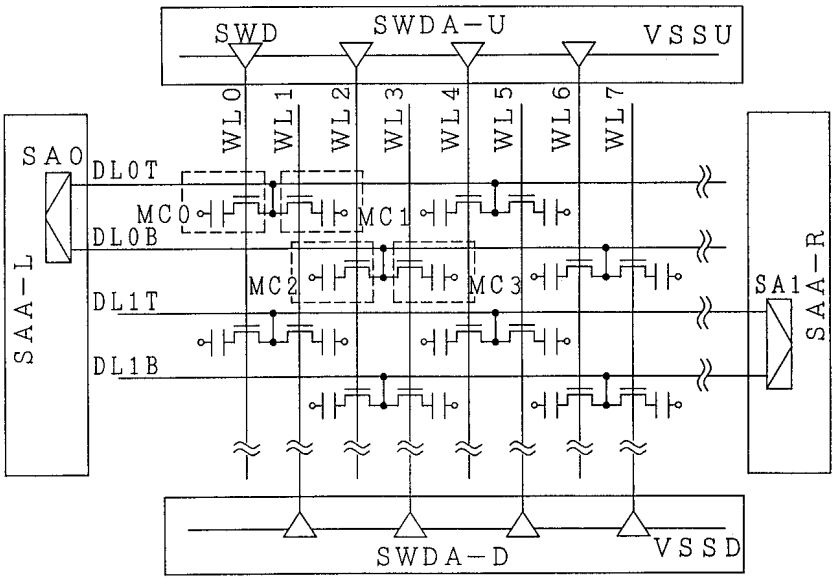
도면4


SWDA-U
SWD1 SWD2 SWD5 SWD6
VSSU
WL0 WL1 WL2 WL3 WL4 WL5 WL6 WL7
SA0
DL0T
DL0B
DL1T
DL1B
SA1
SAn-1
DLn-1T
DLn-1B
DLnT
DLnB
SAn
SAn+1
DLn+1T
DLn+1B
SAA-L
SAA-R
DL1023T
DL1023B
SA1023
VSSD
SWD0 SWD3 SWD4 SWD7
SWDA-D

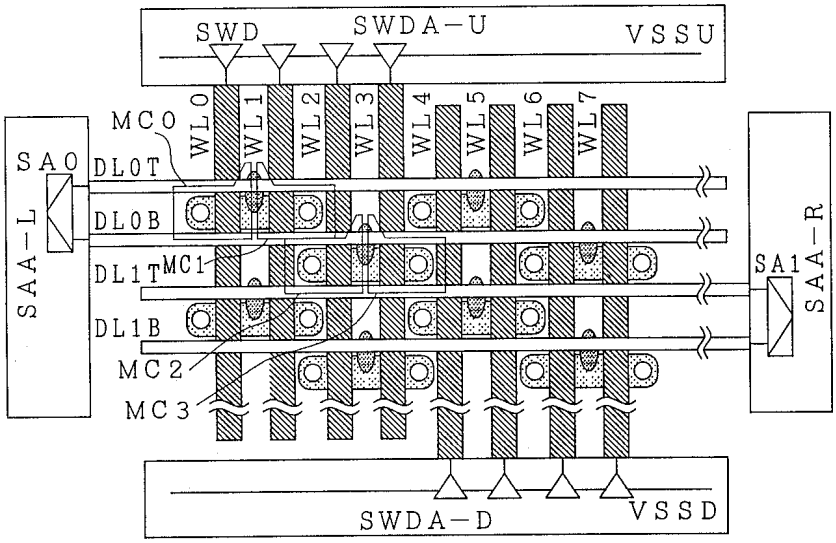
도면5a


SWD
SWDA-U
VSSU
MC0
WL0 WL1 WL2 WL3 WL4 WL5 WL6 WL7
SA0
DL0T
DL0B
DL1T
MC1
DL1B
MC2
MC3
SAA-L
SAA-R
SA1
SWDA-D
VSSD

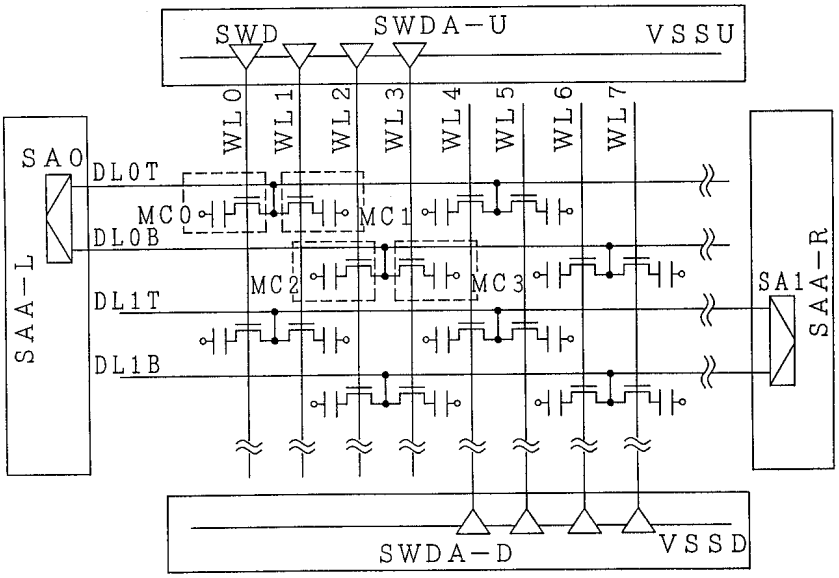
도면5b


SWD
SWDA-U
VSSU
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
SA0
DL0T
MC0
MC1
DL0B
MC2
MC3
SA1
SAA-L
SAA-R
DL1T
DL1B
SWDA-D
VSSD

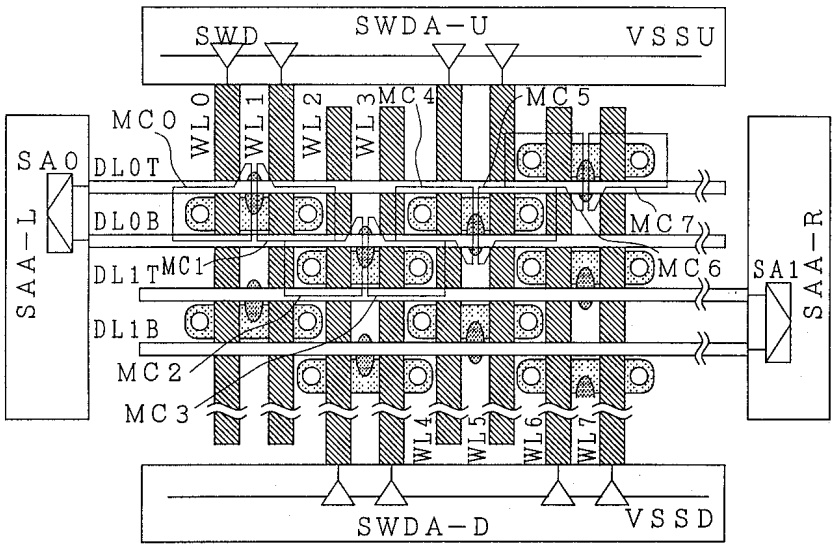
도면6a


SWD
SWDA-U
VSSU
MC0
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
SA0
DL0T
DL0B
DL1T
MC1
DL1B
MC2
MC3
SA1
SAA-L
SAA-R
SWDA-D
VSSD

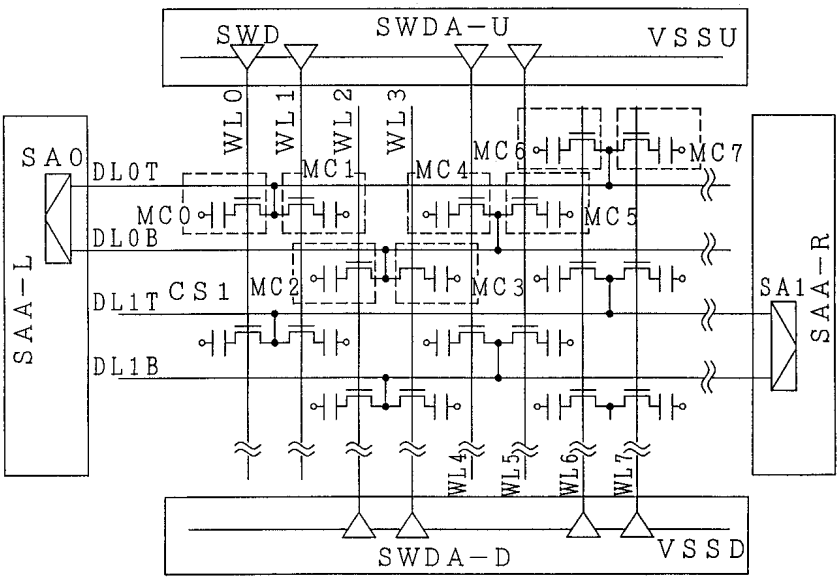
도면6b


SWD
SWDA-U
VSSU
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
SA0
SAA-L
DL0T
DL0B
DL1T
DL1B
MC0
MC1
MC2
MC3
SA1
SAA-R
SWDA-D
VSSD

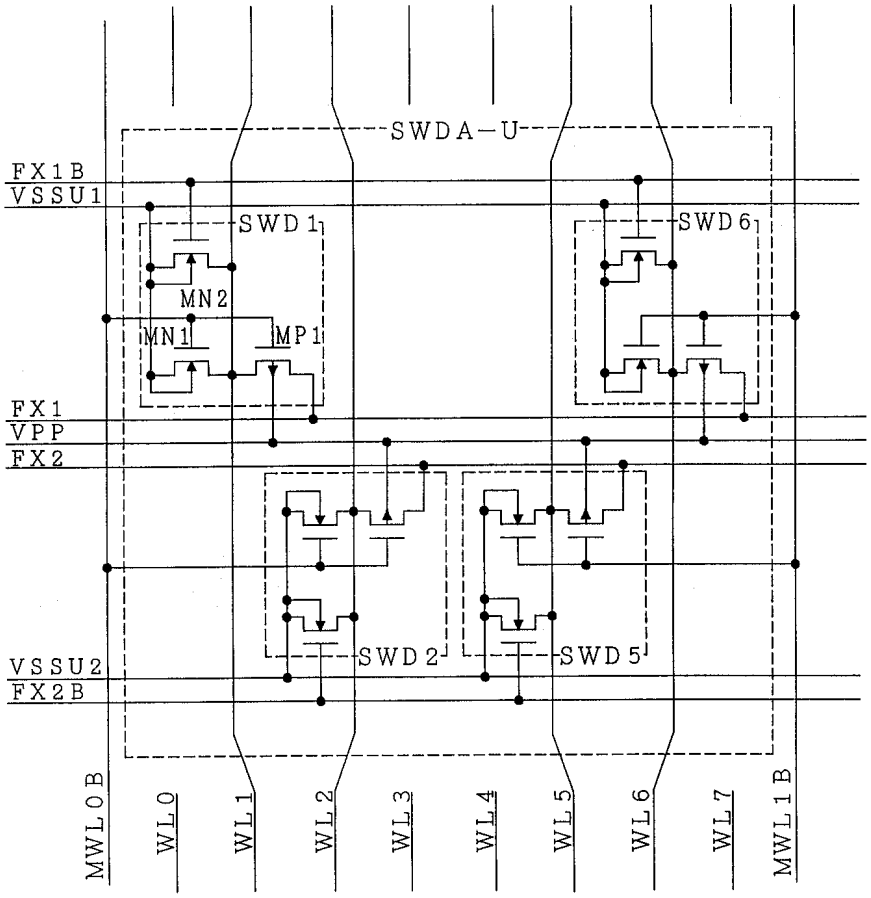
도면7a


SWD
SWDA-U
VSSU
MC0
WL0
WL1
WL2
WL3
MC4
MC5
SA0
SAA-L
DL0T
DL0B
DL1T
MC1
DL1B
MC2
MC3
MC7
MC6
SA1
SAA-R
WL4
WL5
WL6
WL7
SWDA-D
VSSD

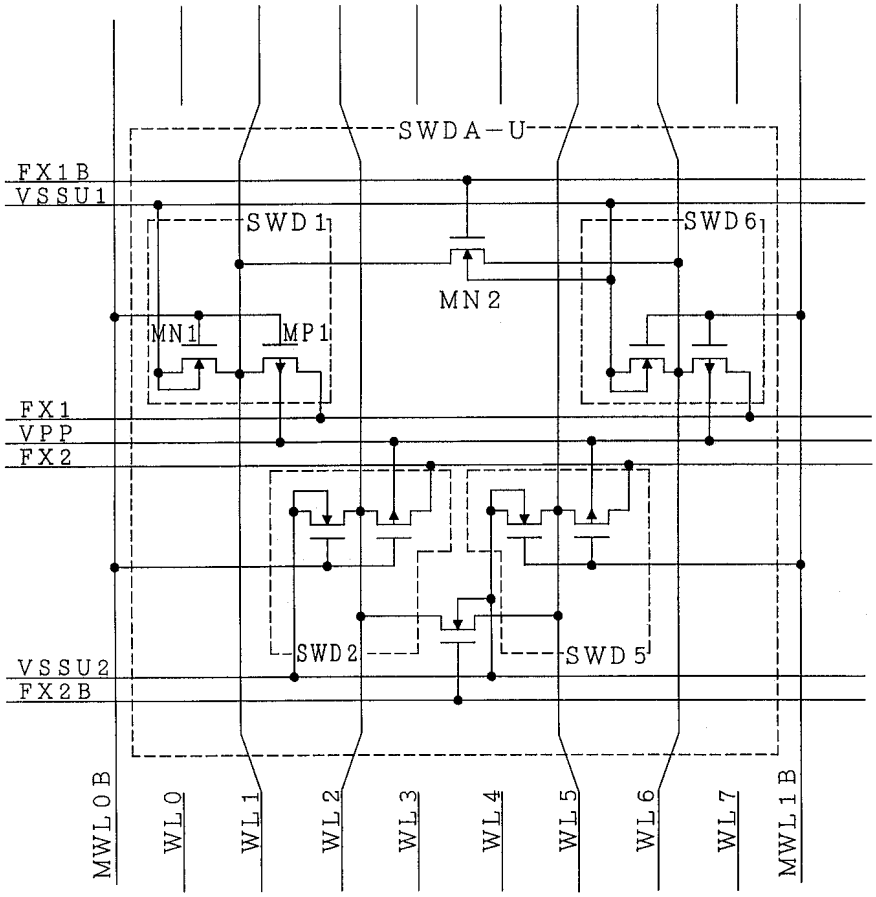
도면7b


SWD
SWDA-U
VSSU
WL0
WL1
WL2
WL3
SA0
DL0T
MC1
MC4
MC6
MC7
MC0
MC5
DL0B
SAA-L
DL1T
CS1
MC2
MC3
SA1
SAA-R
DL1B
WL4
WL5
WL6
WL7
SWDA-D
VSSD

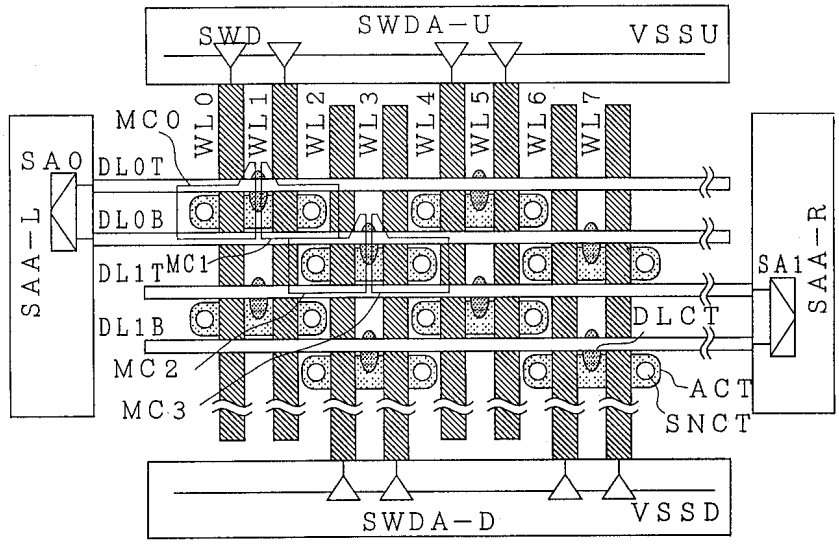
도면8


SWDA-U
FX1B
VSSU1
SWD1
SWD6
MN2
MN1
MP1
FX1
VPP
FX2
SWD2
SWD5
VSSU2
FX2B
MWL0B
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
MWL1B

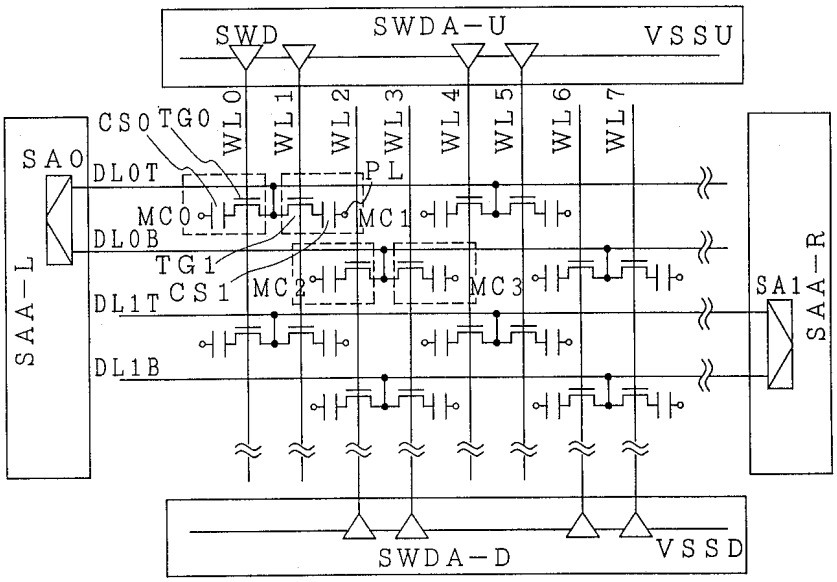
도면9


SWDA-U
FX1B
VSSU1
SWD1
SWD6
MN2
MN1
MP1
FX1
VPP
FX2
SWD2
SWD5
VSSU2
FX2B
MWL0B
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
MWL1B

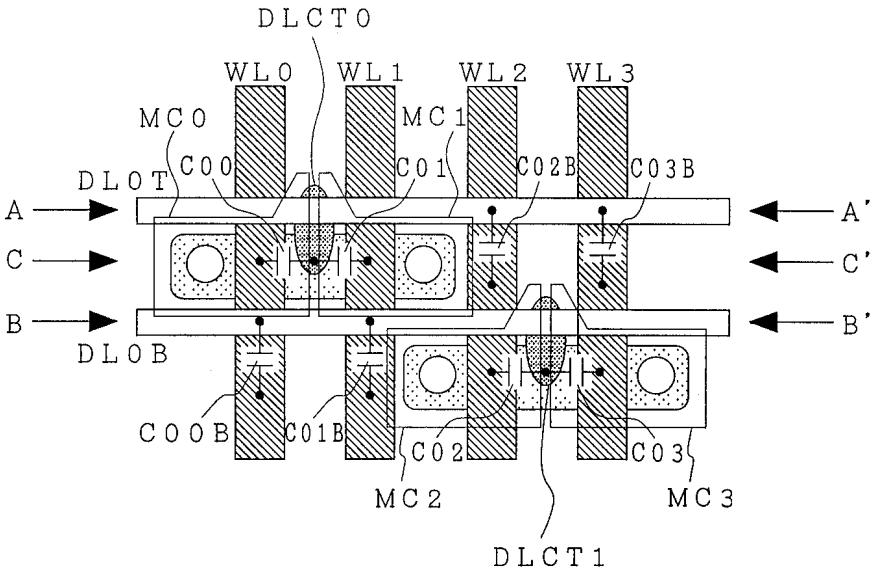
도면10a


SWD
SWDA-U
VSSU
MC0
WL0
WL1
WL2
WL3
WL4
WL5
WL6
WL7
SA0
DL0T
DL0B
SAA-L
DL1T
MC1
SA1
SAA-R
DL1B
DLCT
MC2
ACT
MC3
SNCT
SWDA-D
VSSD

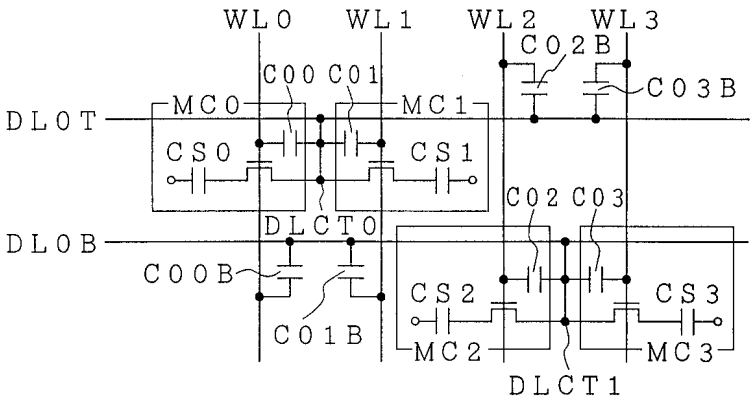
도면10b



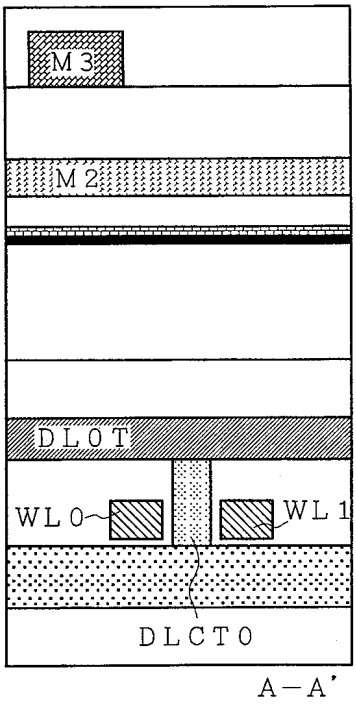
도면11a



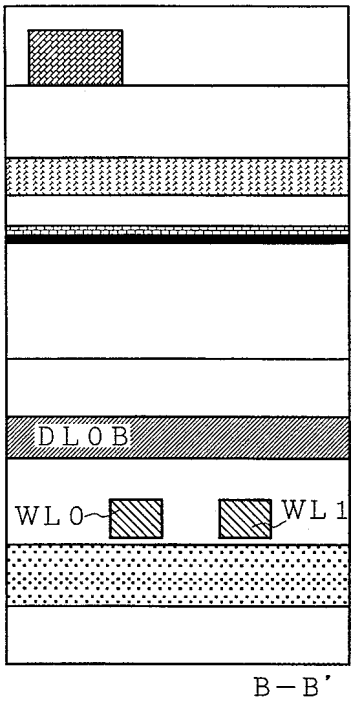
도면11b



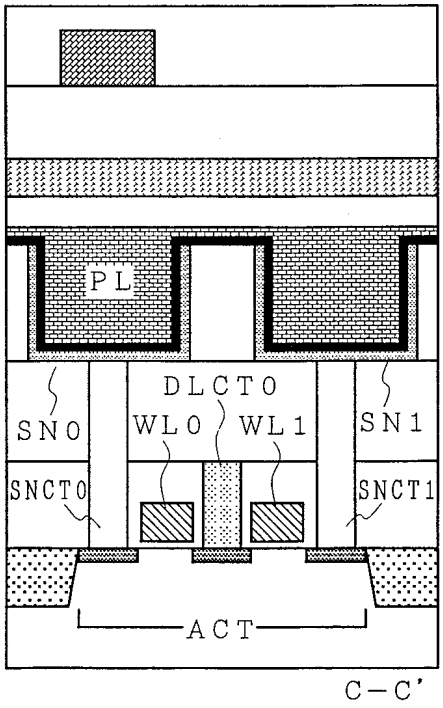
도면12a



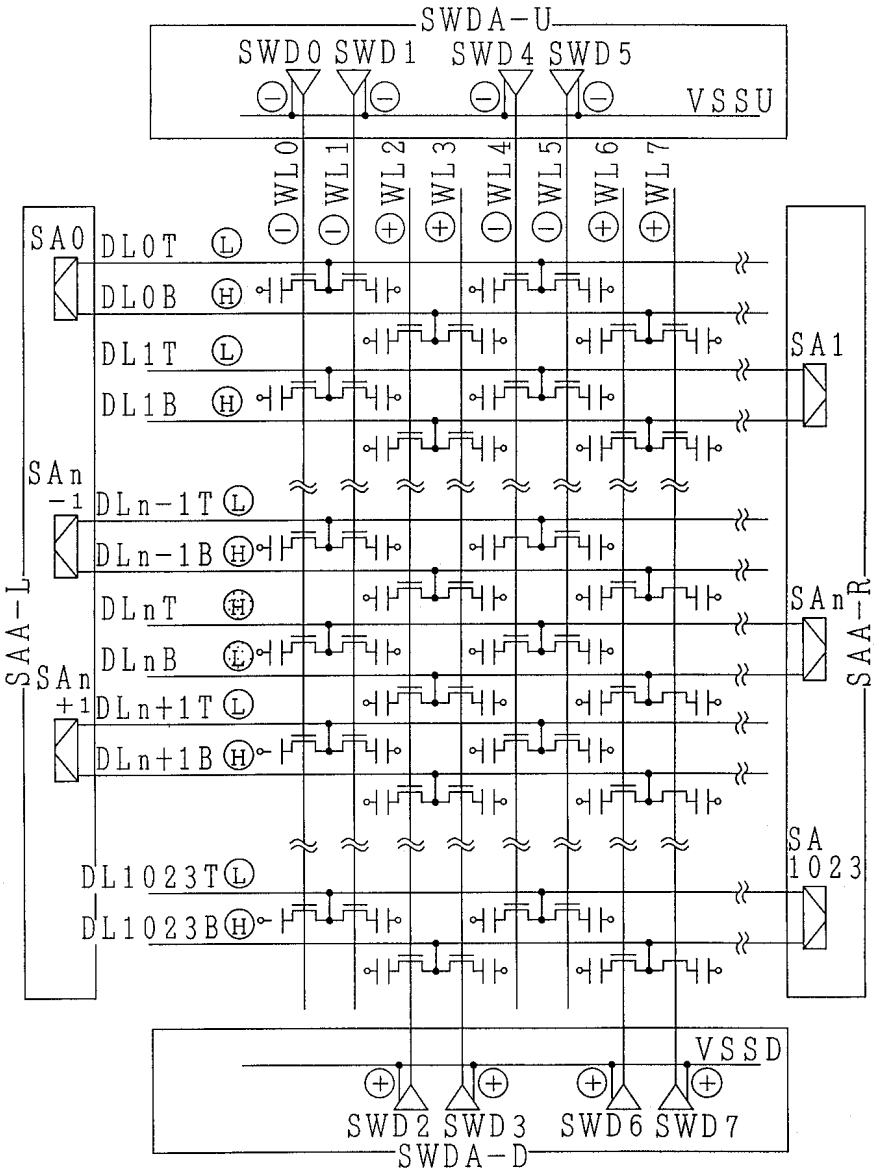
도면12b



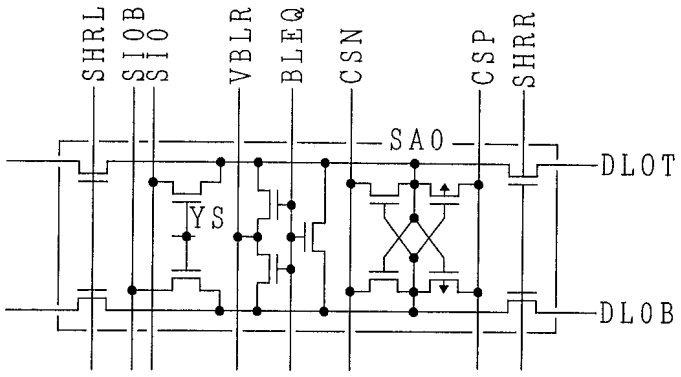
도면12c



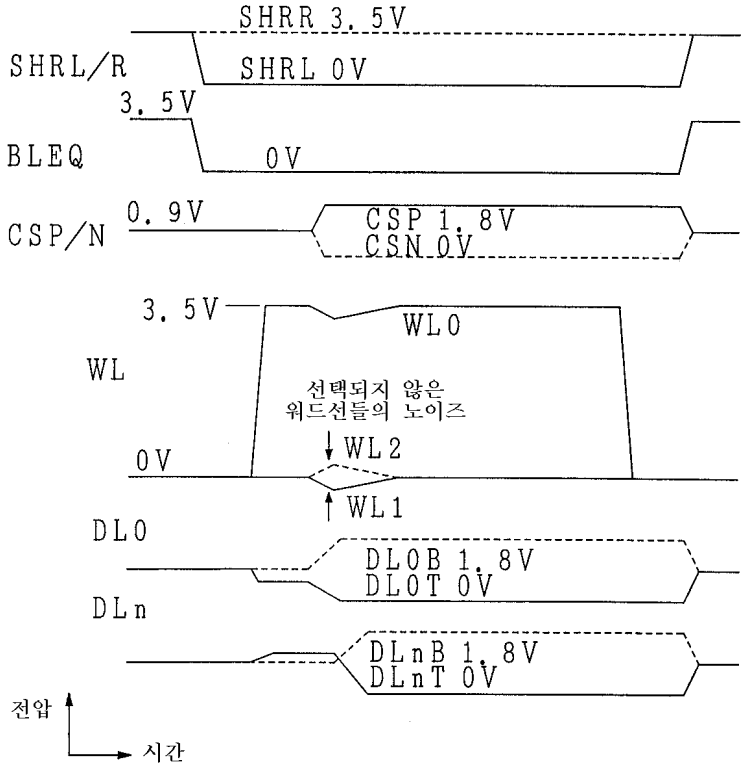
도면13


SWDA-U
SWD0 SWD1 SWD4 SWD5
VSSU
WL0 WL1 WL2 WL3 WL4 WL5 WL6 WL7
SA0
DL0T
DL0B
DL1T
DL1B
SA1
SAn-1
DLn-1T
DLn-1B
DLnT
DLnB
SAn-R
SAA-L
SAn+1
DLn+1T
DLn+1B
SA1023
DL1023T
DL1023B
VSSD
SWD2 SWD3 SWD6 SWD7
SWDA-D

도면14a


SHRL
SIOB
SIO
VBLR
BLEQ
CSN
CSP
SHRR
SA0
DL0T
YS
DL0B

도면14b


SHRR 3.5V
SHRL/R
SHRL 0V
3.5V
BLEQ
0V
0.9V
CSP/N
CSP 1.8V
CSN 0V
3.5V
WL0
WL
선택되지 않은
워드선들의 노이즈
0V
WL2
WL1
DL0
DL0B 1.8V
DL0T 0V
DLn
DLnB 1.8V
DLnT 0V
전압
시간