(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 5 月 4 日(04.05.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/073334 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/374* (2011.01)
H04N 5/357 (2011.01)

(21) 国際出願番号: PCT/JP2016/080298

(22) 国際出願日: 2016 年 10 月 13 日(13.10.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-210941 2015 年 10 月 27 日(27.10.2015) JP

(71) 出願人: ソニー株式会社(SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 Tokyo (JP).

(72) 発明者: 伊東 恭佑(ITO Kyosuke); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿７丁目５番２５号 西新宿木村屋ビルディング９階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

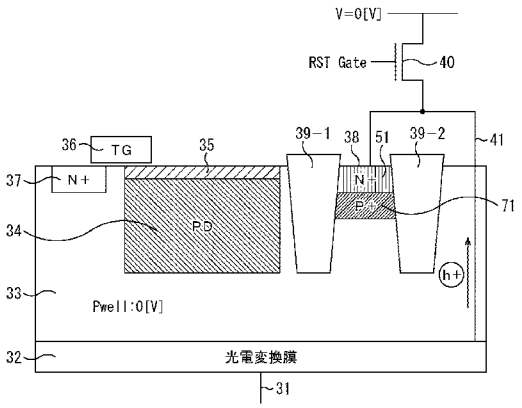
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SOLID-STATE IMAGING ELEMENT, METHOD FOR MANUFACTURING SOLID-STATE IMAGING ELEMENT, AND ELECTRONIC DEVICE

(54) 発明の名称 : 固体撮像素子および固体撮像素子の製造方法、並びに電子機器

[図2]



32 Photoelectric conversion film
40 RST Gate

(57) **Abstract**: The present technique relates to: a solid-state imaging element which is able to suppress the occurrence of both junction leakage and diffusion leakage in FD in an FD storage type sensor; a method for manufacturing a solid-state imaging element; and an electronic device. A solid-state imaging element which comprises: a photodiode which performs photoelectric conversion in accordance with the amount of incident light; a photoelectric conversion film which performs photoelectric conversion in accordance with the amount of incident light; a diffusion layer which stores the charge generated by photoelectric conversion of the photoelectric conversion film, and which has a second polarity that is different from a first polarity of the photodiode; and an impurity layer which is formed of an impurity having the first polarity. The photodiode and the diffusion layer are arranged side by side in a same substrate; and the impurity layer is arranged below the diffusion layer. This technique is applicable to a solid-state imaging element.

(57) 要約:

[続葉有]

WO 2017/073334 A1

本技術は、FD蓄積型センサにおいて、FDでのジャンクションリークと拡散リークとの発生を共に抑制できるようにする固体撮像素子および固体撮像素子の製造方法、並びに電子機器に関する。 入射光の光量に応じて光電変換するフォトダイオードと、入射光の光量に応じて光電変換する光電変換膜と、光電変換膜の光電変換により発生された電荷を蓄積する、フォトダイオードを形成する第１の極性と異なる第２の極性からなる拡散層と、第１の極性の不純物からなる不純物層とを含み、同一基板内に、フォトダイオードと拡散層とが並置されており、不純物層が、拡散層の下部に設けられるようにする。本技術は、固体撮像素子に適用することができる。

明　細　書

発明の名称 ：

固体撮像素子および固体撮像素子の製造方法、並びに電子機器

技術分野

[0001] 本技術は、固体撮像素子および固体撮像素子の製造方法、並びに電子機器に関し、特に、FD蓄積型センサにおいて、FDでのジャンクションリークと拡散リークとの発生を共に抑制できるようにした固体撮像素子および固体撮像素子の製造方法、並びに電子機器に関する。

背景技術

[0002] 近年、有機膜などの光電変換膜で光電変換を行い、その信号電荷をSi（シリコン）基板に形成された拡散層（以下、FD：Floating Diffusion）に直接蓄積させるセンサが提案されている。

[0003] 例えば、Si基板上に浅い溝を形成した後、SiO2などの酸化膜からなる絶縁物で埋め戻して形成されるSTI（Shallow Trench Isolation）などの素子分離によってFDとPD（Photo Diode）や画素トランジスタとが分け隔てられた状態で同一基板上に設けられている構造の場合、FDのRST Drain電圧を低電圧にすることで、PWellやSTIとの電界を緩和してジャンクションリークを抑制できる（例えば、特許文献１，２）。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１５－０７６７２２号公報

特許文献2：特開２０１５－０５０３３１号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、RST Drain電圧がPDの空乏電位や画素トランジスタのDrain電圧よりも低い場合、FDからPDや画素トランジスタに向けて拡散リークが発生する。

[0006] この拡散リークは、FDにおいてはh+暗電流として、またPD部が隣接している場合においてはPD部のe-暗電流として観測される。

[0007] また、FD部の拡散電流を抑制するためにRST Drain電圧を更に高く設定すると、FD部とPWellやSTIとの強電界より、ジャンクションリークが増大する。

[0008] 本技術は、このような状況に鑑みてなされたものであり、特に、FD蓄積型センサにおいて、FDでのジャンクションリークおよび拡散リークの発生をいずれも抑制できるようにするものである。

課題を解決するための手段

[0009] 本技術の一側面の固体撮像素子は、入射光の光量に応じて光電変換するフォトダイオードと、入射光の光量に応じて光電変換する光電変換膜と、前記光電変換膜の光電変換により発生された電荷を蓄積する、前記フォトダイオードを形成する第１の極性と異なる第２の極性からなる拡散層と、前記第１の極性の不純物からなる不純物層とを含み、同一基板内に、前記フォトダイオードと前記拡散層とが並置されており、前記不純物層が、前記拡散層の下部に設けられる固体撮像素子である。

[0010] 前記不純物層は、前記拡散層の下部に所定の濃度よりも高濃度に設けられるようにすることができる。

[0011] 前記不純物層は、前記拡散層の下部に2.00E+15/cm^{2}よりも高濃度に設けられるようにすることができる。

[0012] 前記不純物層は、前記拡散層の下部であって、前記拡散層との間に所定の間隔をおいて設けられるようにすることができる。

[0013] 前記不純物層は、前記拡散層の下部であって、前記拡散層との間に所定の物質を挟んで設けられるようにすることができる。

[0014] 前記所定の物質は、前記第２の極性の不純物層からなるようにすることができる。

[0015] 本技術の一側面の固体撮像素子の製造方法は、入射光の光量に応じて光電変換するフォトダイオードと、入射光の光量に応じて光電変換する光電変換膜と、前記光電変換膜の光電変換により発生された電荷を蓄積する、前記フ

ォトダイオードを形成する第１の極性と異なる第２の極性からなる拡散層と、前記第１の極性の不純物からなる不純物層とを含み、固体撮像素子の製造方法であって、同一基板内に、前記フォトダイオードと前記拡散層とが並置されており、前記不純物層が、前記拡散層の下部に設けられる固体撮像素子の製造方法である。

[0016] 本技術の一側面の電子機器は、入射光の光量に応じて光電変換するフォトダイオードと、入射光の光量に応じて光電変換する光電変換膜と、前記光電変換膜の光電変換により発生された電荷を蓄積する、前記フォトダイオードを形成する第１の極性と異なる第２の極性からなる拡散層と、前記第１の極性の不純物からなる不純物層とを含み、同一基板内に、前記フォトダイオードと前記拡散層とが並置されており、前記不純物層が、前記拡散層の下部に設けられる電子機器である。

[0017] 本技術の一側面においては、フォトダイオードにより、入射光の光量に応じて光電変換がなされ、光電変換膜により、入射光の光量に応じて光電変換がなされ、前記フォトダイオードを形成する第１の極性と異なる第２の極性からなる拡散層により、前記光電変換膜の光電変換により発生された電荷が蓄積され、前記第１の極性の不純物からなる不純物層が設けられ、同一基板内に、前記フォトダイオードと前記拡散層とが並置されており、前記不純物層が、前記拡散層の下部に設けられる。

発明の効果

[0018] 本技術の一側面によれば、FD蓄積型センサにおいて、FDでのジャンクションリークおよび拡散リークの発生をいずれも抑制することが可能となる。

図面の簡単な説明

[0019] [図1]一般的な固体撮像素子の構成例を説明する図である。

[図2]本技術を適用した固体撮像素子の第１の実施の形態を説明する図である。

[図3]図２の固体撮像素子の配線図である。

[図4]図２の固体撮像素子におけるP型不純物層におけるP型不純物濃度とPDに

流れ込む暗電流の関係を示す図である。

[図5]FDとP型不純物層との深さ方向の分布を説明する図である。

[図6]図２の固体撮像素子の製造処理を説明するフローチャートである。

[図7]図２の固体撮像素子の製造処理を説明する図である。

[図8]本技術を適用した固体撮像素子の第２の実施の形態の構成例を説明する図である。

[図9]図８の固体撮像素子の配線図である。

[図10]本技術を適用した固体撮像素子の第１の実施の形態の第１の変形例を説明する図である。

[図11]本技術を適用した固体撮像素子の第１の実施の形態の第２の変形例を説明する図である。

[図12]本技術に係る固体撮像素子が適用される電子機器の適用例を示す概略図である。

[図13]本技術に係る固体撮像素子の使用例を説明する図である。

発明を実施するための最良の形態

[0020] ＜第１の実施の形態＞

＜従来の固体撮像素子の実施の形態の構成例＞

本技術を適用した固体撮像素子の説明に当たって、図１の側面断面図を参照して、一般的な固体撮像素子の構成について説明する。

[0021] 図１の上段、および下段の固体撮像素子１１は、図中の下部から入射光を受光する構成となっており、入射光の光量に応じて、有機膜からなる光電変換膜３２により光電変換されて電荷が発生されると共に、さらに、その下に（図中では、その上に）設けられたフォトダイオード（以下、PDとも称する）３４においても、入射光の光量に応じた電荷が発生されるものである。尚、図１の上段および下段のそれぞれの固体撮像素子１１の構成については、基本的に同一であり、特に区別する必要が無い場合、それぞれの構成については、区別せずに説明するものとする。また、以降においては、特に断りがない限り、上下関係については、図中の表記を基準として説明するものとす

る。

[0022] より詳細には、図１の固体撮像素子１１は、図中の下部には、有機膜からなる光電変換膜３２が設けられており、その下に固体撮像素子１１における上部電極３１が設けられている。光電変換膜３２は、入射光の光量に応じてホール電荷（図中では、丸印に「h+」と表記されている）を発生し、配線４１を介して発生した電荷をFD３８に転送する。

[0023] 光電変換膜３２上には、Si基板からなるPwell３３が形成されている。Pwell３３における図中左部には、フォトダイオード（以下、PD：Photo Diodeとも称する）３４が形成されている。より詳細には、PD３４は、Ｎ型不純物層（電荷蓄積層）から構成され、その上部に空乏化防止層（ピニング層）をなす高濃度のＰ型不純物層３５が付加された構造とされている。

[0024] Ｐ型不純物層３５の図中左側には、PD３４において発生された電荷を蓄積する拡散層であるFD３７が形成されている。図１において、このＰ型不純物層３５とFD３７とを跨ぐように、図中左右方向に転送ゲート（TG）３６が形成されている。この転送ゲート３６は、オンに制御されると、PD３４に蓄積された電荷を、Ｐ型不純物層３５を介して高濃度のＮ型不純物層からなるPD３４用のFD３７に転送する。

[0025] 一方、Pwell３３の図中右部には、浅い溝を形成した後、SiO2などの酸化膜からなる絶縁物で埋め戻して形成されるSTI（Shallow Trench Isolation）３９－１，３９－２により挟まれた領域に、高濃度のＮ型不純物層５１からなる光電変換膜３２用の拡散層としてFD３８が形成されている。

[0026] さらに、光電変換膜３２とFD３８とを接続する配線４１が、リセットゲート（RST Gate）４０のソースに接続されている。

[0027] このような構成により、同一基板内に、PD３４と有機膜からなる光電変換膜３２とを設けることが可能になると共に、光電変換膜３２において、入射光の光量に応じて光電変換により発生するホール電荷が、FD３８に転送されて蓄積され、かつ、PD３４において、入射光の光量に応じて光電変換により発生する電荷が、FD３７に転送されて蓄積される。さらに、リセットゲート

（RST Gate）４０がオンにされることにより、FD３８に蓄積された光電変換膜３２より転送されてきた電荷は排出される。

[0028] ここで、図１の上段に示すように、STI３９－１，３９－２などの素子分離によってFD３８とPD３４とが分離された構造の場合、FD３８のリセットゲート４０のドレイン電圧を基板電位と同じの0[V]にすると、FD３８から拡散リークが発生する。

[0029] この拡散リークは、図１の上段で示されるように、矢印で示されるように電荷e-がPD３４に移動することにより、FD３８においてはh+暗電流（図中では、丸印に「h+」と表記されている）として観測され、隣接しているPD３４においてはe-暗電流（図中では、丸印に「e-」と表記されている）として観測される。

[0030] そこで、図１の下段で示されるように、リセットゲート４０のドレイン電圧を基板電位よりも少し高い電圧（例えば+0.3[V]ほど）に設定すると、FD３８の電位がPwell３３より高いためにFD３８からの拡散リークは大きく抑制され、PD３４の暗電流やFD３８の暗電流も抑制することが可能となる。

[0031] しかしながら、図１の下段おいてはFD３８でのPwell３３やSTI３９－１，３９－２との強電界により、ジャンクションリークが発生する懸念が高い。

[0032] すなわち、図１で示されるように、FD蓄積型センサにおいてはFD３８でのジャンクションリークと拡散リークとが共に懸念されるため、いずれの発生も抑制できる構成とすることが望ましい。

[0033] ＜本技術を適用した固体撮像素子の第１の実施の形態＞

次に、図２の側面断面図を参照して、本技術を適用した固体撮像素子の構成例について説明する。尚、図２の固体撮像素子の構成において、図１の固体撮像素子の構成と同一の機能を備えた構成については、同一の名称、および同一の符号を付しており、その説明は適宜省略するものとする。

[0034] すなわち、図２の固体撮像素子１１において、図１の固体撮像素子１１と異なる点は、光電変換膜３２により発生された電荷を蓄積するFD３８を構成するＮ型不純物層５１の図中の下部に高濃度のＰ型不純物からなるＰ型不純

物層７１を設けた点である。

[0035] Ｐ型不純物層７１は、光電変換膜３２からのホール電荷を蓄積するFD３８と、PD３４からの電荷を蓄積するFD３７と隔絶した構造としている。

[0036] ＜図２の固体撮像素子の等価回路＞

次に、図３の回路図を参照して、図２の固体撮像素子１１の等価回路について説明する。

[0037] 図３には、垂直転送線ＶＳＬに沿って、上段に有機膜等からなる光電変換膜３２により発生される電荷に基づいて、画素信号を発生する撮像素子の構成が接続され、下段にPD３４により発生される電荷に基づいて、画素信号を発生する撮像素子の構成が接続されている。

[0038] 図３の上段の撮像素子の構成は、光電変換膜３２のアノード側に図２の下部に設けられた上部電極３１が接続されており、カソード側にFD３８が接続されている。さらに、FD３８は、リセットゲート（RST Gate）４０のソース、および増幅トランジスタ９１のゲートに接続されている。

[0039] リセットゲート４０は、リセット信号がゲートより入力されるとオンの状態とされ、ドレイン側に接続された、Pwell３３と同電位のグランド電位（V=0[V]）がオンとされ、光電変換膜３２、およびFD３８に蓄積された電荷が排出される。

[0040] また、増幅トランジスタ９１のソースドレイン間には、電源ＶＤＤが印加されており、ゲートに入力される、FD３８に蓄積された電荷に応じた電圧により増幅されて画素信号を出力する。

[0041] 選択ゲート（SEL Gate）９２は、画素信号の転送が指示された画素として選択される場合、選択信号がゲートに入力されてオンにされ、選択信号によりオンにされるとき、増幅トランジスタ９１からの出力を、垂直転送線ＶＳＬを介して転送させる。

[0042] 図３の下段の撮像素子の構成は、PD３４のアノード側が接地されており、カソード側に転送ゲート（TG）３６のソースドレインを介して、FD３７が接続されている。転送ゲート３６は、転送信号がゲートに入力されるとオンに

され、PD３４に蓄積された電荷をFD３７に転送する。FD３７は、リセットゲート（RST Gate）１０１のソース、および増幅トランジスタ１０２のゲートに接続されている。

[0043] リセットゲート１０１は、リセット信号がゲートより入力されるとオンの状態とされ、ドレイン側に接続された、電源ＶＤＤがオンとされ、FD３７に蓄積された電荷が排出される。このとき、転送ゲート３６がオンであればPD３４に蓄積された電荷も排出される。

[0044] また、増幅トランジスタ１０２のソースドレイン間には、電源ＶＤＤが印加されており、ゲートに入力される、FD３７の電荷に応じた電圧により増幅されて画素信号を出力する。

[0045] 選択ゲート（SEL Gate）１０３は、画素信号の転送が指示された画素として選択される場合、選択信号がゲートに入力されるとオンにされ、選択信号によりオンにされると、増幅トランジスタ１０２からの出力を、垂直転送線ＶＳＬを介して転送させる。

[0046] すなわち、光電変換膜３２のリセット電圧Vは0[V]に設定され、PD３４のリセット電圧は電源電圧ＶＤＤに設定されている。FD３８の拡散リークはＰ型不純物層７１での少数キャリア濃度勾配にて発生する。このため、FD３８下部のＰ型不純物層７１を高濃度にすればするほど、FD３８での拡散リークおよび、隣接PD３４での暗電流を少なくすることができる。

[0047] また、PD３４における暗電流とFD３８下部のＰ型不純物層７１におけるＰ型不純物濃度の関係は、デバイスシミュレータによって算出すると、図４で示されるような関係となる。

[0048] すなわち、図４で示されるように、Ｐ型不純物層７１を形成しない場合（Ｐ型不純物濃度が0.00E+00[/cm²]の場合）のPD３４の暗電流に比べて、Ｐ型不純物濃度が5.00E+14[/cm²]を超えるとPD暗電流を1/3程度に抑制することができ、さらに、2.00E+15[/cm²]では、PD暗電流を1/5以下に抑制することができる。

[0049] また、Ｐ型不純物層７１が、PD３８を構成するＮ型不純物層５１の下層部

であって、かつ、高濃度に形成されると、拡散リークを抑制することが示されている。また、FD３８に印加されるリセット電圧を基板電位と同じ0[V]に設定することができるため、暗時のFD３８における電位も0[V]近傍となるので、FD３８とPwell３３間やFD３８とSTI３９－１，３９－２間でのジャンクションリークの発生も抑制することができる。

[0050] 結果として、いずれにおいても、図２で示されるような、FD３８を形成するＮ型不純物層５１の下部にＰ型不純物層７１が設けられた固体撮像素子１１が構成されることにより、FD３８での拡散リークおよびジャンクションリークを、いずれも抑制することが可能となる。

[0051] ＜FD３８におけるＮ型不純物層とＰ型不純物層の厚さ＞

また、FD３８におけるＮ型不純物層５１とＰ型不純物層７１の厚さは、例えば、図５の左部で示されるように、FD３８におけるＮ型不純物層５１およびＰ型不純物層７１における図中の矢印で示される方向におけるＮ型不純物層５１の図中上部を深さの基準としたときに、図５の右部で示されるような分布となる。尚、図５の左部は、横軸が深さ（depth）を示し、縦軸がＮ型不純物およびＰ型不純物の濃度を任意単位で示したものである。

[0052] すなわち、Ｎ型不純物は、イオン注入での加速エネルギーがＰ型不純物よりも弱いので、Ｎ型不純物層５１は、比較的薄く形成されている。これに対して、Ｐ型不純物は、Ｐ型不純物との干渉を避けるため、ある程度、I.I.エネルギーが必要となる。このため、Ｎ型不純物層５１は、Ｐ型不純物層７１に対して比較的厚く形成されている。

[0053] ＜製造処理について＞

次に、図６のフローチャート、および図７の製造処理を説明する図を参照して、図２の固体撮像素子１１の製造処理について説明する。

[0054] ステップＳ１１において、図７の左上段で示されるように、Pwell３３を構成するシリコンウェハ（Si Wafer）に対して、浅い溝からなるトレンチを形成した後、SiO2などの酸化膜からなる絶縁物が埋め戻されることにより、STI（Silicon Trench Isolation）３９－１，３９－２が形成される。後述する

処理により、このSTI３９－１，３９－２間に光電変換膜３２により発生された電荷を蓄積するためのFD３８が形成される。

[0055] ステップＳ１２において、図７の左中段で示されるように、イオンインプラントによりPD３４、Ｐ型不純物層３５、Ｎ型不純物層３７、FD３８を形成するＮ型不純物層５１、およびＰ型不純物層７１が形成される。ここでは、原則として、図中の下部に設けられる構成から順に形成される。したがって、図７の左中段の場合、一般に、Ｐ型不純物層７１、PD３４、Ｐ型不純物層３５、Ｎ型不純物層３７、およびＮ型不純物層５１の順序で形成される。ここで、Ｐ型不純物層７１は、例えば、5.00E+14[/cm^2]よりも高濃度に形成されることで、ジャンクションリーク、および拡散リークをより確実に抑制することが可能となる。

[0056] ステップＳ１３において、図７の左下段で示されるように、転送ゲート３６のトランジスタの配線８１、および光電変換膜３２への配線８２が形成される。

[0057] ステップＳ１４において、図７の右上段で示されるように、上下が反転されて、図中上部のPwell３３が形成されるシリコンウェハ（Si Wafer）側が研磨される。

[0058] ステップＳ１５において、図７の右中段で示されるように、Pwell３３が形成されるシリコンウェハ（Si Wafer）に光電変換膜３２への貫通電極である電極４１が形成され、配線８２と接続される。

[0059] ステップＳ１６において、図７の右下段で示されるように、Pwell３３が形成されるシリコンウェハ（Si Wafer）の図中の上面に有機膜からなる光電変換膜３２が形成され、さらに、上部電極３１が形成され、固体撮像素子１１が完成する。

[0060] 以上のような製造処理により、PD３４および光電変換膜３２が同一基板内に構成されて、かつ、光電変換膜３２により生成された電荷が蓄積されるFD３８を形成するＮ型不純物層５１の下部にＰ型不純物層７１が構成されるので、FD３８での拡散リークおよびジャンクションリークを抑制することが可

能となる。

[0061] ＜第２の実施の形態＞

以上においては、PD３４が、Ｎ型不純物層により形成され、光電変換膜３２が、ホール電荷を発生する例について説明してきたが、極性を反転したものを構成するようにしても、同様の効果を奏することが可能となる。

[0062] 図８は、図２の固体撮像素子１１の極性を反転させた固体撮像素子１１の構成例を示している。すなわち、図８の固体撮像素子１１は、図２の固体撮像素子１１における光電変換膜３２、Pwell３３、PD３４、Ｐ型不純物層３５、Ｎ型不純物層３７、Ｎ型不純物層５１、およびＰ型不純物層７１に代えて、いずれも極性が反転した光電変換膜１３５、Pwell１３１、PD１３２、Ｎ型不純物層１３３、Ｐ型不純物層１３４、Ｐ型不純物層１５１からなるFD３８、およびＮ型不純物層１５２が設けられている。

[0063] すなわち、この例においては、PD１３２が、Ｐ型不純物層により形成されており、光電変換膜１３５においては、電荷（図中では、丸印に「e+」と表記されている）を発生し、配線４１を介してFD３８に転送する。

[0064] ただし、図８の固体撮像素子１１においては、図９の配線図で示されるように、光電変換膜１３５のリセットゲート４０におけるドレインが、電源電圧ＶＤＤとなり、PD１３２のリセットゲート１０１におけるドレインが電圧V＝0[V]となる。

[0065] 尚、図９の配線図については、図３における配線図と同様の構成については、同一の符号、および同一の名称を付しており、その説明は省略するものとする。すなわち、図９の配線図において、図３の配線図と異なるのは、光電変換膜３２、およびPD３４に代えて、光電変換膜１３５、およびPD１３２が設けられており、光電変換膜１３５のリセットゲート４０におけるドレインが、電源電圧ＶＤＤとされ、PD１３２のリセットゲート１０１におけるドレインが電圧V＝0[V]とされている点である。

[0066] したがって、図８の構成においては、Ｎ型不純物層１５２を高濃度にすればするほどFD３８における拡散リーク、およびジャンクションリークを抑制

することが可能となる。

[0067] 尚、図８の固体撮像素子１１の製造処理については、図２における固体撮像素子１１と対応する構成を同様に製造する処理であるので、その説明は省略するものとする。

[0068] ＜第１の変形例＞

以上においては、図２の固体撮像素子１１で示されるように、FD３８を構成するＮ型不純物層５１の直下にＰ型不純物層７１が設けられる例について説明してきたが、Ｐ型不純物層７１をＮ型不純物層５１に対して、より深い位置に設けるようにしてもよい。

[0069] 図１０は、Ｐ型不純物層７１をＮ型不純物層５１に対して、より深い位置にＰ型不純物層７１’を設けるようにした固体撮像素子１１の構成例を示している。

[0070] すなわち、図１０で示されるように、FD３８を構成するＮ型不純物層５１の下部であって、所定の距離だけ接触しない空間を設け、Ｎ型不純物層５１よりもさらに深い位置にＰ型不純物層７１’が設けられることにより、FD３８とＰ型不純物層７１’との電界が緩和されることになるので、ジャンクションリークをより低減させることが可能となる。

[0071] 尚、第２の実施の形態である図８の固体撮像素子１１においては、FD３８を構成するＰ型不純物層１５１に対して、Ｎ型不純物層１５２を深い下部に設ける構成となる。

[0072] ＜第２の変形例＞

以上においては、図１０の固体撮像素子１１で示されるように、FD３８を構成するＮ型不純物層５１の直下であって、Ｎ型不純物層５１より深部にＰ型不純物層７１’が設けられるようにすることで、ジャンクションリークを、より低減させる例について説明してきた。

[0073] しかしながら、さらに、Ｎ型不純物層５１と深部にＰ型不純物層７１’との間にＮ型不純物層１７１を設けるようにしてもよい。

[0074] 図１１は、Ｎ型不純物層５１とＰ型不純物層７１’との間に、低濃度のＮ

型不純物層１７１を設けるようにした固体撮像素子１１の構成例を示している。

[0075] すなわち、図１１で示されるように、FD３８を構成するＮ型不純物層５１とＰ型不純物層７１’との間にＮ型不純物層１７１が設けられることにより、FD３８近傍のＰ型不純物層７１’は、Ｎ型不純物層１７１により、FD３８とＰ型不純物層７１’との電界が緩和されることになるので、ジャンクションリークをより低減させることが可能となる。

[0076] 尚、第２の実施の形態である図８の固体撮像素子１１においては、FD３８を構成するＰ型不純物層１５１に対して、Ｎ型不純物層１５２を深い下部に設け、さらに、FD３８を構成するＰ型不純物層１５１と、Ｎ型不純物層１５２との間にＰ型不純物層を設ける構成となる。

[0077] ＜電子機器への適用例＞

上述した固体撮像素子は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像装置、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0078] 図１２は、本技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[0079] 図１２に示される撮像装置２０１は、光学系２０２、シャッタ装置２０３、固体撮像素子２０４、駆動回路２０５、信号処理回路２０６、モニタ２０７、およびメモリ２０８を備えて構成され、静止画像および動画像を撮像可能である。

[0080] 光学系２０２は、１枚または複数枚のレンズを有して構成され、被写体からの光（入射光）を固体撮像素子２０４に導き、固体撮像素子２０４の受光面に結像させる。

[0081] シャッタ装置２０３は、光学系２０２および固体撮像素子２０４の間に配置され、駆動回路１００５の制御に従って、固体撮像素子２０４への光照射期間および遮光期間を制御する。

[0082] 固体撮像素子２０４は、上述した固体撮像素子１１を含むパッケージによ

り構成される。固体撮像素子２０４は、光学系２０２およびシャッタ装置２０３を介して受光面に結像される光に応じて、一定期間、信号電荷を蓄積する。固体撮像素子２０４に蓄積された信号電荷は、駆動回路２０５から供給される駆動信号（タイミング信号）に従って転送される。

[0083] 駆動回路２０５は、固体撮像素子２０４の転送動作、および、シャッタ装置２０３のシャッタ動作を制御する駆動信号を出力して、固体撮像素子２０４およびシャッタ装置２０３を駆動する。

[0084] 信号処理回路２０６は、固体撮像素子２０４から出力された信号電荷に対して各種の信号処理を施す。信号処理回路２０６が信号処理を施すことにより得られた画像（画像データ）は、モニタ２０７に供給されて表示されたり、メモリ２０８に供給されて記憶（記録）されたりする。

[0085] このように構成されている撮像装置２０１においても、上述した固体撮像素子２０４に代えて、固体撮像素子１１を適用することにより、拡散リークおよびジャンクションリークを、いずれも低減することが可能となる。

＜固体撮像素子の使用例＞

[0086] 図１３は、上述の固体撮像素子を使用する使用例を示す図である。

[0087] 上述した固体撮像素子は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0088] ・ディジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアーコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0089] 尚、本技術は、以下のような構成も取ることができる。

＜１＞ 入射光の光量に応じて光電変換するフォトダイオードと、

入射光の光量に応じて光電変換する光電変換膜と、

前記光電変換膜の光電変換により発生された電荷を蓄積する、前記フォトダイオードを形成する第１の極性と異なる第２の極性からなる拡散層と、

前記第１の極性の不純物からなる不純物層とを含み、

同一基板内に、前記フォトダイオードと前記拡散層とが並置されており、前記不純物層が、前記拡散層の下部に設けられる

固体撮像素子。

＜２＞ 前記不純物層は、前記拡散層の下部に所定の濃度よりも高濃度に設けられる

＜１＞に記載の固体撮像素子。

＜３＞ 前記不純物層は、前記拡散層の下部に2.00E+15/cm^{2}よりも高濃度に設けられる

＜２＞に記載の固体撮像素子。

＜４＞ 前記不純物層は、前記拡散層の下部であって、前記拡散層との間に所定の間隔をおいて設けられる

＜１＞乃至＜３＞のいずれかに記載の固体撮像素子。

＜５＞ 前記不純物層は、前記拡散層の下部であって、前記拡散層との間に所定の物質を挟んで設けられる

＜１＞乃至＜３＞のいずれかに記載の固体撮像素子。

＜６＞　前記所定の物質は、前記第２の極性の不純物層からなる

＜１＞に記載の固体撮像素子。

＜７＞　入射光の光量に応じて光電変換するフォトダイオードと、

入射光の光量に応じて光電変換する光電変換膜と、

前記光電変換膜の光電変換により発生された電荷を蓄積する、前記フォトダイオードを形成する第１の極性と異なる第２の極性からなる拡散層と、

前記第１の極性の不純物からなる不純物層とを含み、

固体撮像素子の製造方法であって、

同一基板内に、前記フォトダイオードと前記拡散層とが並置されており、前記不純物層が、前記拡散層の下部に設けられる

固体撮像素子の製造方法。

＜８＞　入射光の光量に応じて光電変換するフォトダイオードと、

入射光の光量に応じて光電変換する光電変換膜と、

前記光電変換膜の光電変換により発生された電荷を蓄積する、前記フォトダイオードを形成する第１の極性と異なる第２の極性からなる拡散層と、

前記第１の極性の不純物からなる不純物層とを含み、

同一基板内に、前記フォトダイオードと前記拡散層とが並置されており、前記不純物層が、前記拡散層の下部に設けられる

電子機器。

符号の説明

[0090]　１１　固体撮像素子，　３１　上部配線，　３２　光電変換膜，　３３　P well，　３４　PD，　３５　P型不純物層，　３６　転送ゲート，　３７　N型不純物層，　３８　FD，　３９－１，３９－２　STI，　４０　リセットゲート，　４１　配線，　５１　N型不純物層，　７１，７１’　P型不純物層，　９１　増幅トランジスタ，　９２　選択ゲート，　１０１　リセットゲート，　１０２　増幅トランジスタ，　１０３　選択ゲート，　１３１　Nwell，　１３２　PD，　１３３　N型不純物層，　１３４　P型不純物層，　１３５　光電変換膜，　１５１　P型不純物層，　１５２　N型不純物層，　１

７１　N型不純物層

請求の範囲

[請求項1] 入射光の光量に応じて光電変換するフォトダイオードと、

入射光の光量に応じて光電変換する光電変換膜と、

前記光電変換膜の光電変換により発生された電荷を蓄積する、前記フォトダイオードを形成する第１の極性と異なる第２の極性からなる拡散層と、

前記第１の極性の不純物からなる不純物層とを含み、

同一基板内に、前記フォトダイオードと前記拡散層とが並置されており、前記不純物層が、前記拡散層の下部に設けられる

固体撮像素子。

[請求項2] 前記不純物層は、前記拡散層の下部に所定の濃度よりも高濃度に設けられる

請求項１に記載の固体撮像素子。

[請求項3] 前記不純物層は、前記拡散層の下部に2.00E+15/cm^{2}よりも高濃度に設けられる

請求項２に記載の固体撮像素子。

[請求項4] 前記不純物層は、前記拡散層の下部であって、前記拡散層との間に所定の間隔をおいて設けられる

請求項１に記載の固体撮像素子。

[請求項5] 前記不純物層は、前記拡散層の下部であって、前記拡散層との間に所定の物質を挟んで設けられる

請求項１に記載の固体撮像素子。

[請求項6] 前記所定の物質は、前記第２の極性の不純物層からなる

請求項１に記載の固体撮像素子。

[請求項7] 入射光の光量に応じて光電変換するフォトダイオードと、

入射光の光量に応じて光電変換する光電変換膜と、

前記光電変換膜の光電変換により発生された電荷を蓄積する、前記フォトダイオードを形成する第１の極性と異なる第２の極性からなる

拡散層と、

前記第１の極性の不純物からなる不純物層とを含み、

固体撮像素子の製造方法であって、

同一基板内に、前記フォトダイオードと前記拡散層とが並置されており、前記不純物層が、前記拡散層の下部に設けられる

固体撮像素子の製造方法。

[請求項8] 入射光の光量に応じて光電変換するフォトダイオードと、

入射光の光量に応じて光電変換する光電変換膜と、

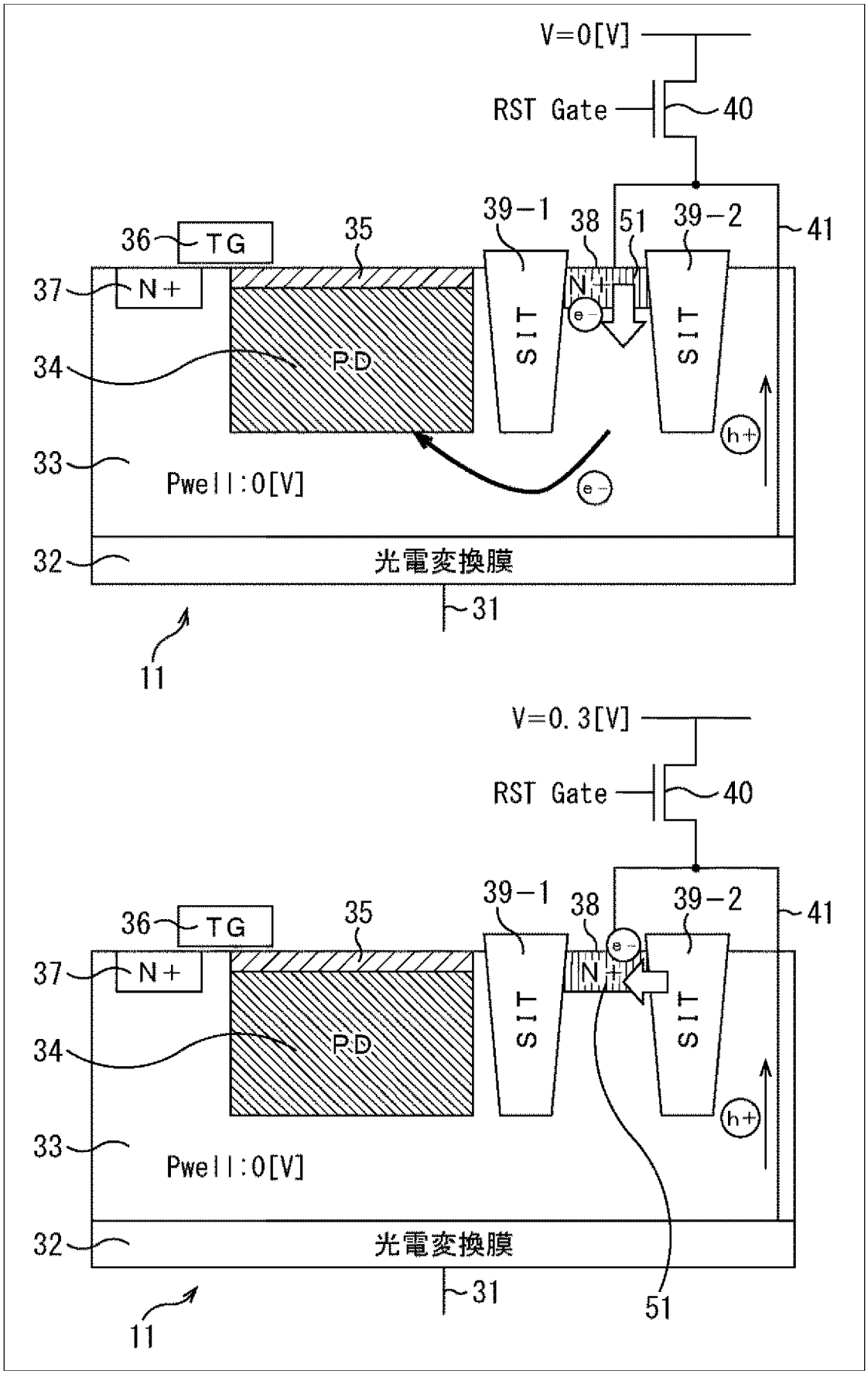
前記光電変換膜の光電変換により発生された電荷を蓄積する、前記フォトダイオードを形成する第１の極性と異なる第２の極性からなる拡散層と、

前記第１の極性の不純物からなる不純物層とを含み、

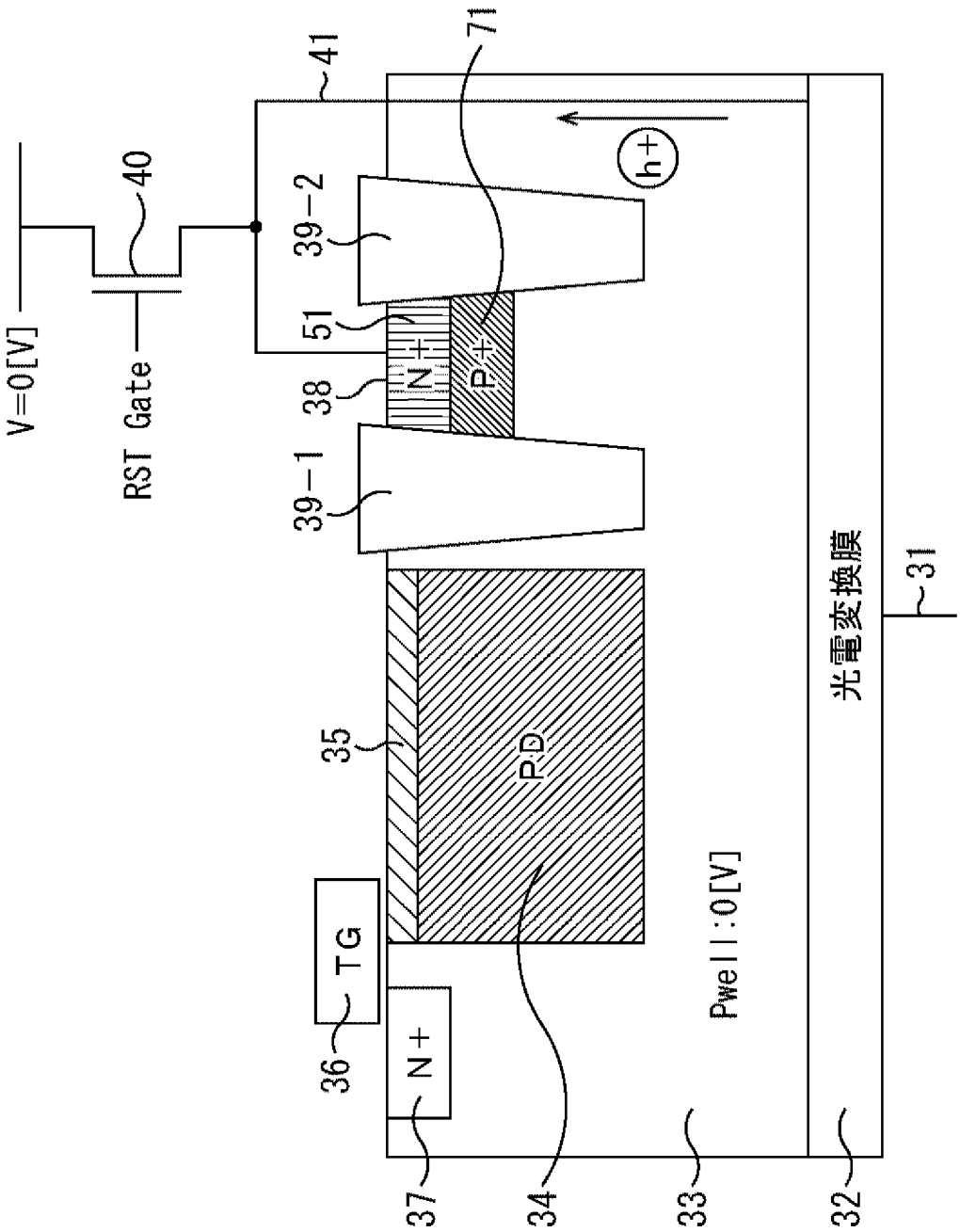
同一基板内に、前記フォトダイオードと前記拡散層とが並置されており、前記不純物層が、前記拡散層の下部に設けられる

電子機器。

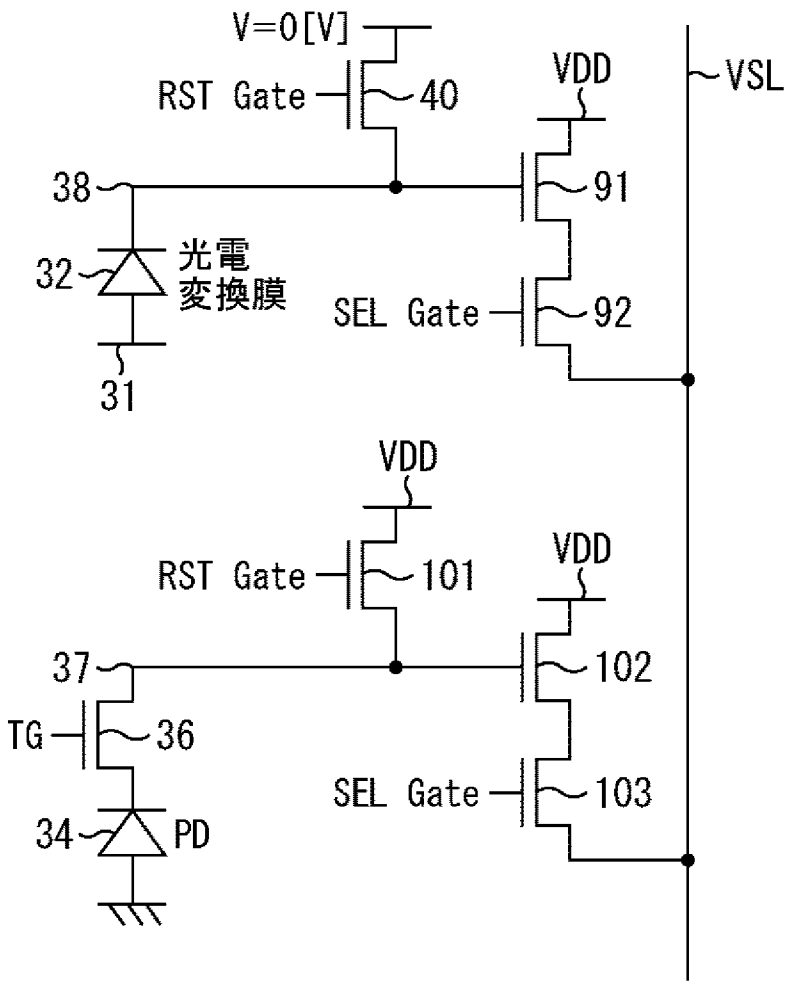
[図1]
FIG. 1


V=0[V]
RST Gate
40
41
39-1
38
51
39-2
36
TG
35
37
N+
34
PD
SIT
SIT
33
Pwell:0[V]
32
光電変換膜
31
11
V=0.3[V]
RST Gate
40
41
39-1
38
39-2
36
TG
35
37
N+
34
PD
SIT
SIT
33
Pwell:0[V]
32
光電変換膜
31
11
51

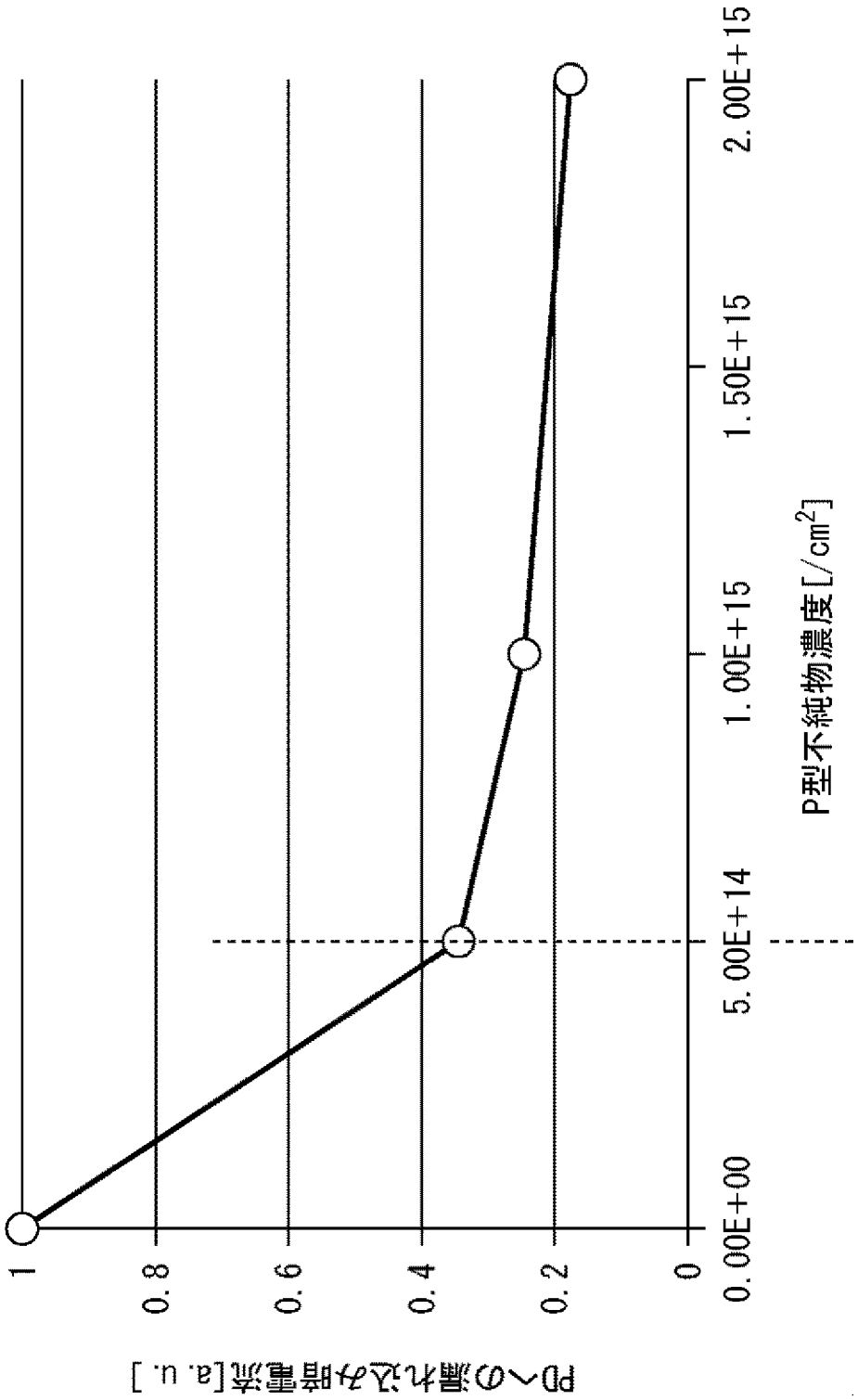
[図2]
FIG. 2


V=0[V]
RST Gate
40
41
71
39-2
51
N+
P+
38
39-1
35
PD
TG
36
N+
37
34
33
32
Pwell:0[V]
光電変換膜
31
h+

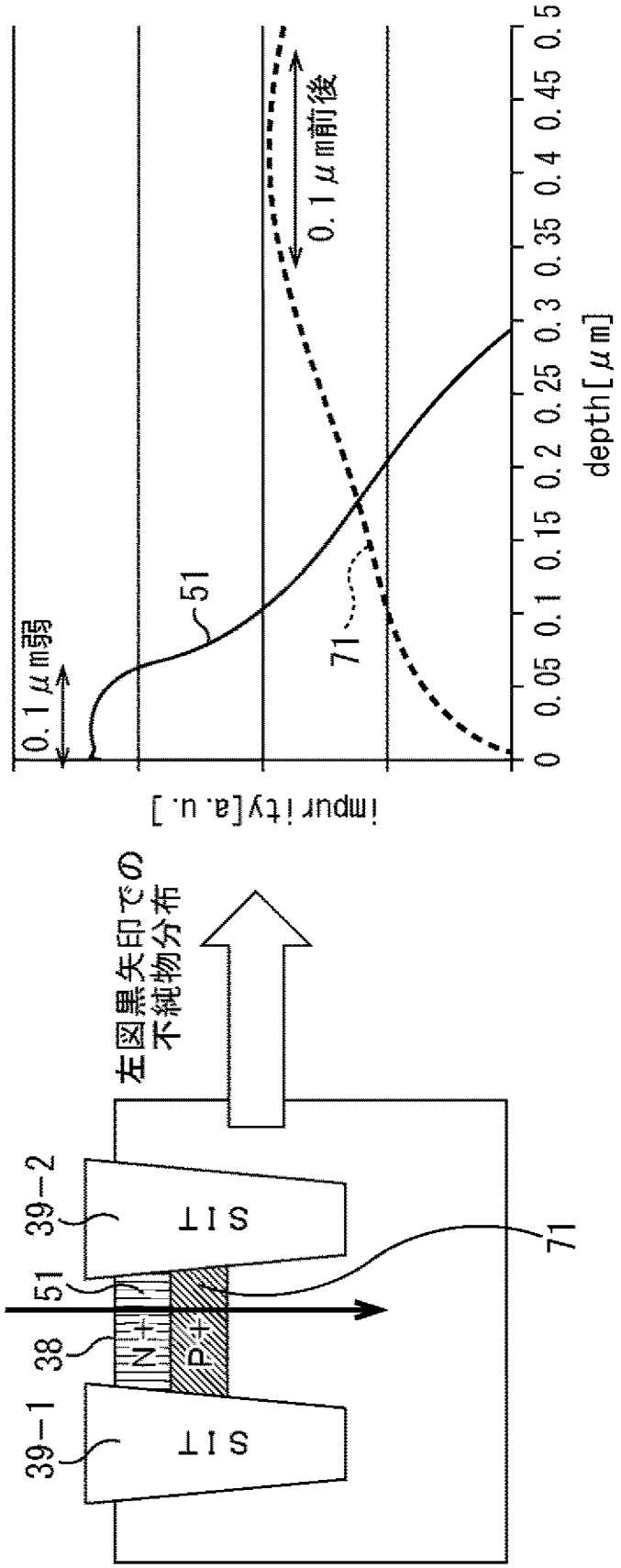
[図3]
FIG. 3


V=0[V]
RST Gate
40
VDD
VSL
38
91
32
光電
変換膜
SEL Gate
92
31
VDD
RST Gate
101
VDD
37
102
TG
36
SEL Gate
103
34
PD

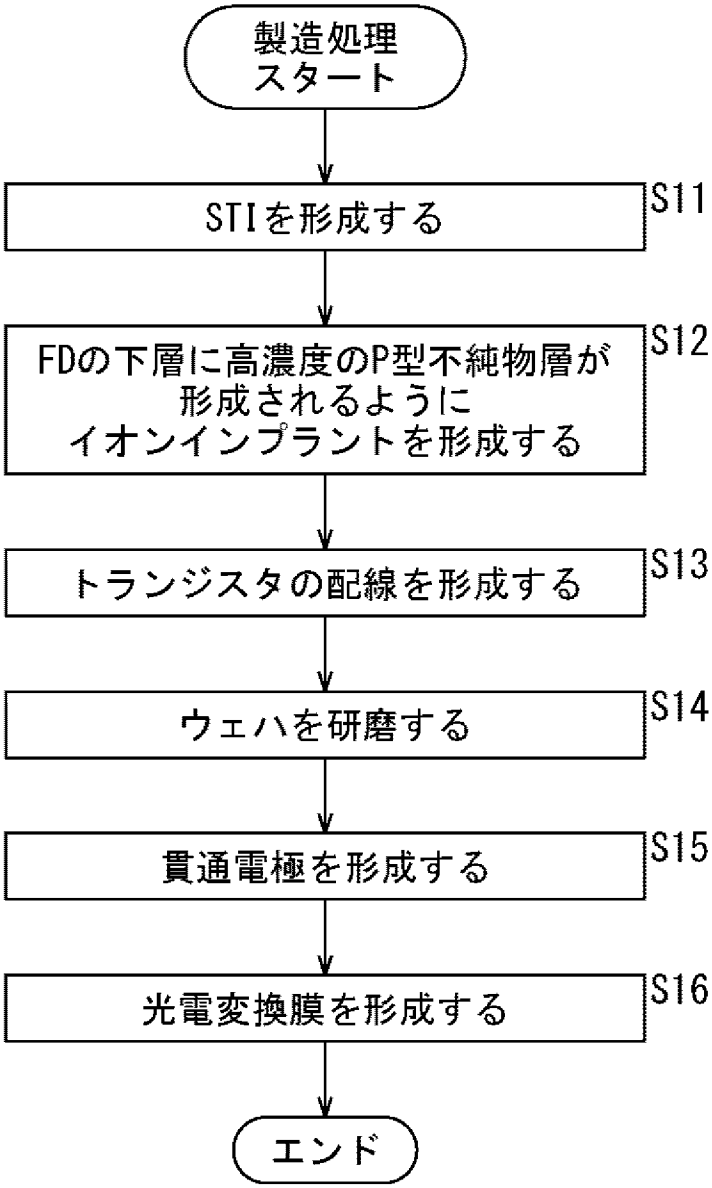
[図4]
FIG. 4


PDへの漏れ込み暗電流[a. u.]
1
0.8
0.6
0.4
0.2
0
0.00E+00
5.00E+14
1.00E+15
1.50E+15
2.00E+15
P型不純物濃度[/cm2]

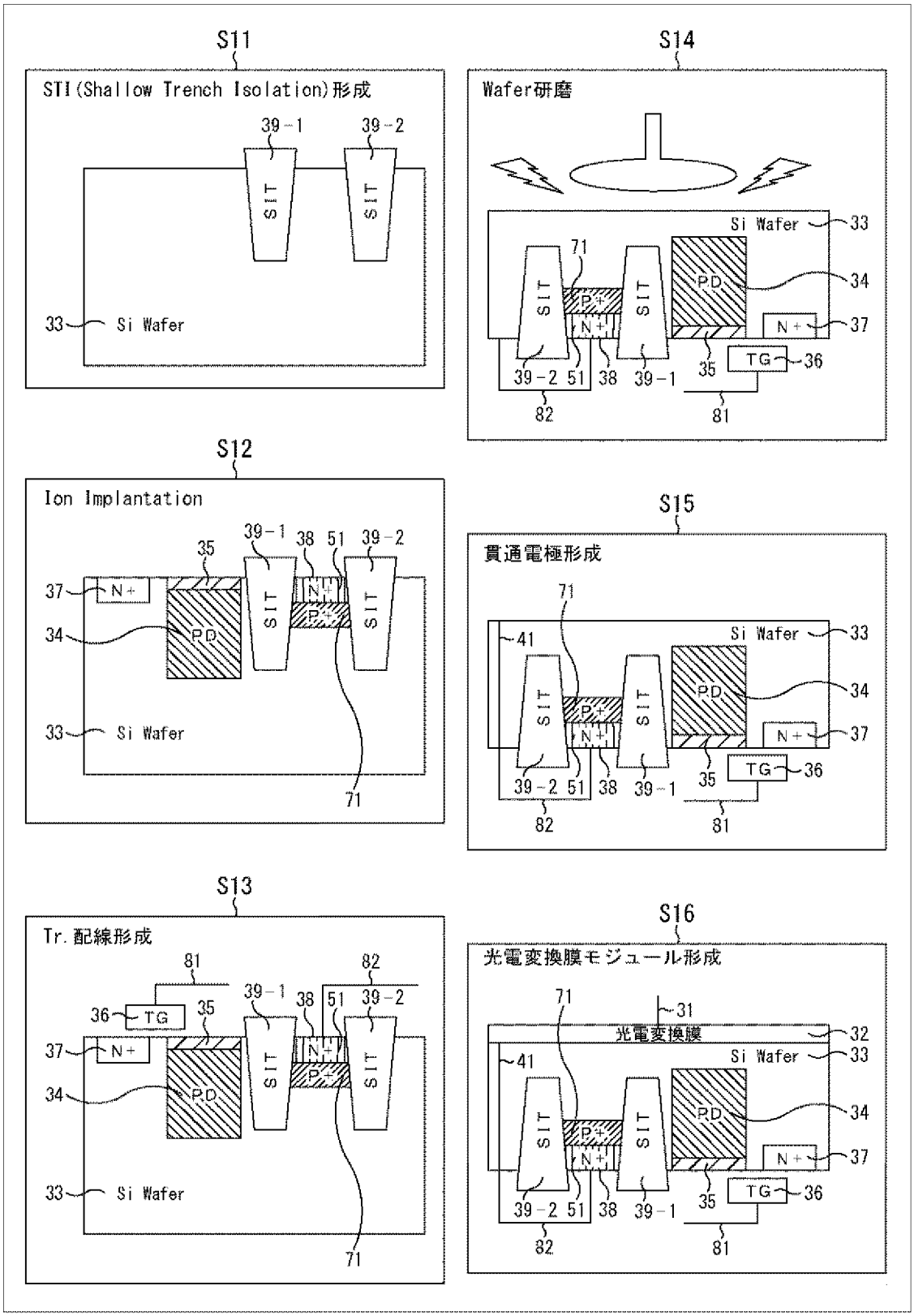
[図5]
FIG. 5


0 0.05 0.1 0.15 0.2 0.25 0.3 0.35 0.4 0.45 0.5
depth[μm]
impurity[a.u.]
0.1μm弱
0.1μm前後
51
71
左図黒矢印での
不純物分布
39-2
39-1
38
51
71
STI
STI
N+
P+

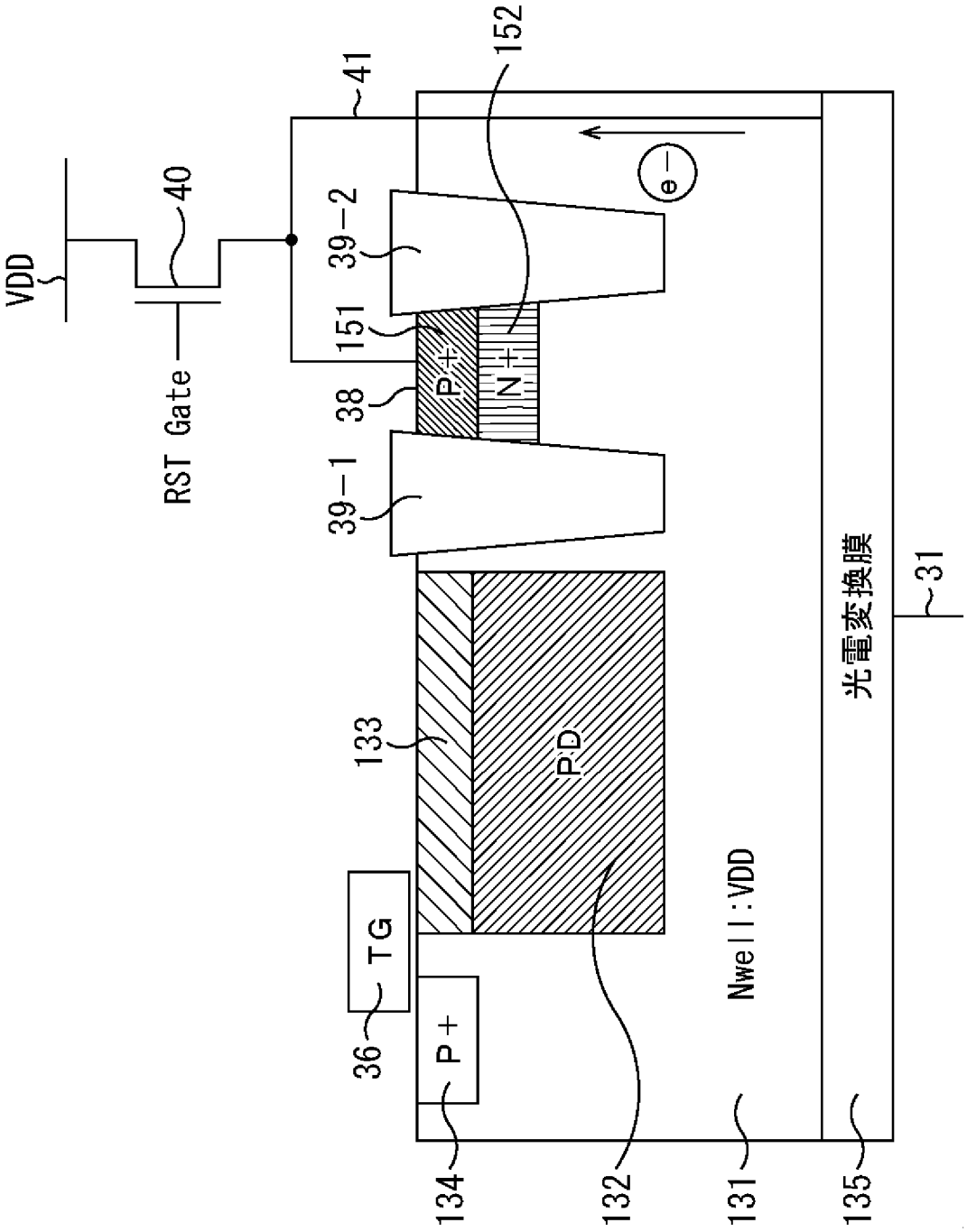
[図6]
FIG. 6


製造処理
スタート
STIを形成する
S11
FDの下層に高濃度のP型不純物層が
形成されるように
イオンインプラントを形成する
S12
トランジスタの配線を形成する
S13
ウェハを研磨する
S14
貫通電極を形成する
S15
光電変換膜を形成する
S16
エンド

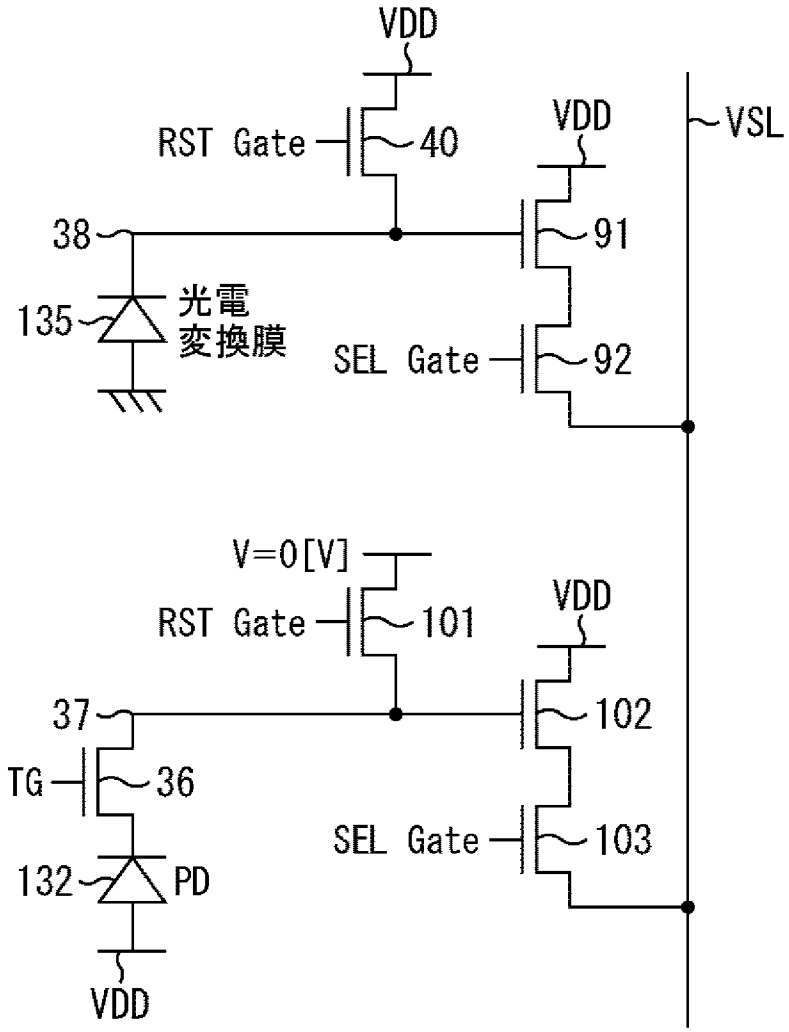
[図7]
FIG. 7


S11
STI(Shallow Trench Isolation)形成
39-1
39-2
SIT
SIT
33
Si Wafer
S12
Ion Implantation
35
39-1
38
51
39-2
37
N+
34
PD
P+
N+
SIT
SIT
33
Si Wafer
71
S13
Tr.配線形成
81
82
36
TG
35
39-1
38
51
39-2
37
N+
34
PD
P+
N+
SIT
SIT
33
Si Wafer
71
S14
Wafer研磨
Si Wafer
33
71
SIT
P+
N+
SIT
PD
34
N+
37
39-2
51
38
39-1
35
TG
36
82
81
S15
貫通電極形成
71
41
Si Wafer
33
SIT
P+
N+
SIT
PD
34
N+
37
39-2
51
38
39-1
35
TG
36
82
81
S16
光電変換膜モジュール形成
71
31
光電変換膜
32
41
Si Wafer
33
SIT
P+
N+
SIT
PD
34
N+
37
39-2
51
38
39-1
35
TG
36
82
81

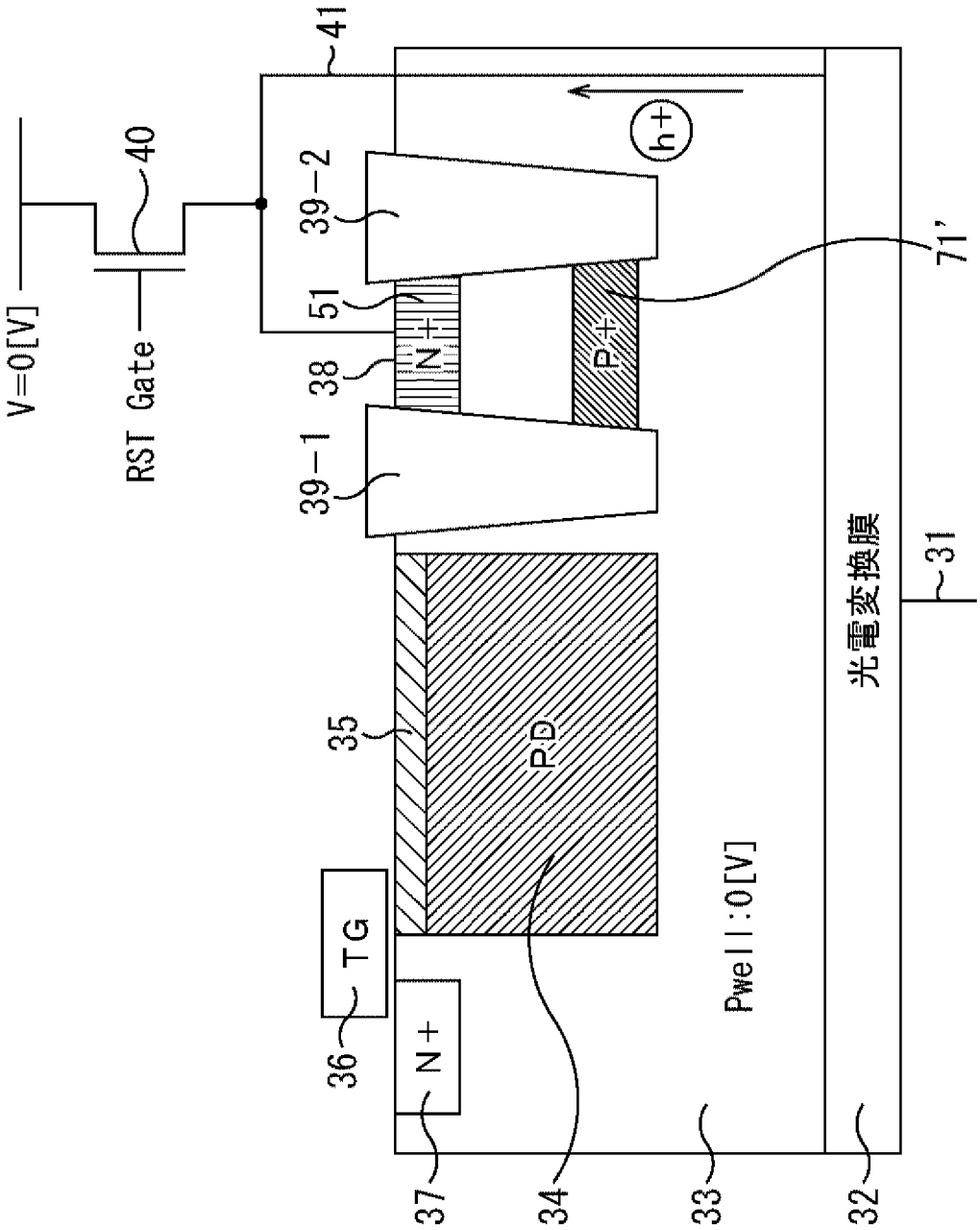
[図8]
FIG. 8


VDD
40
RST Gate
41
152
39−2
151
P+
N+
38
39−1
e−
光電変換膜
31
133
P:D
TG
36
P+
Nwell:VDD
134
132
131
135

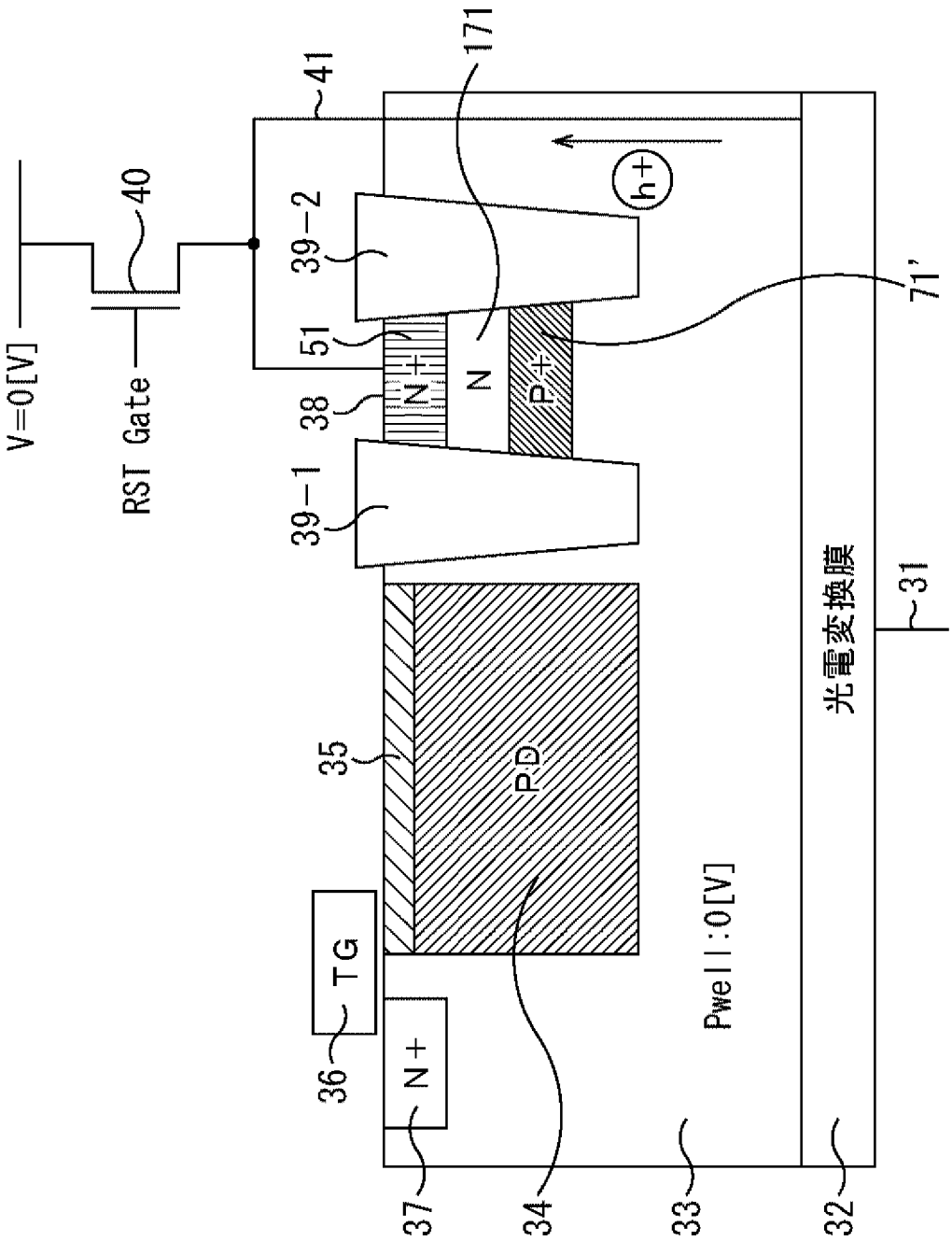
[図9]
FIG. 9


VDD
RST Gate
40
VDD
VSL
38
91
135
光電
変換膜
SEL Gate
92
V=0[V]
RST Gate
101
VDD
37
102
TG
36
SEL Gate
103
132
PD
VDD

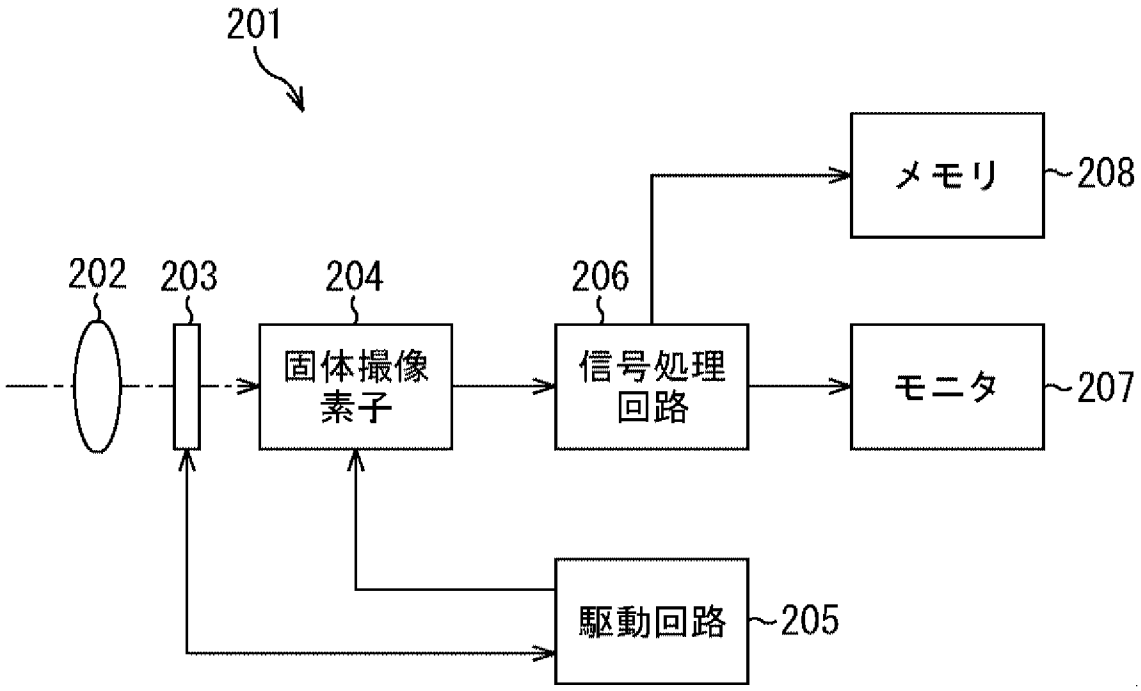
[図10]
FIG. 10


41
40
39-2
h+
71'
V=0[V]
RST Gate
51
N+
P+
38
39-1
光電変換膜
31
35
PD
TG
36
N+
Pwell:0[V]
37
34
33
32

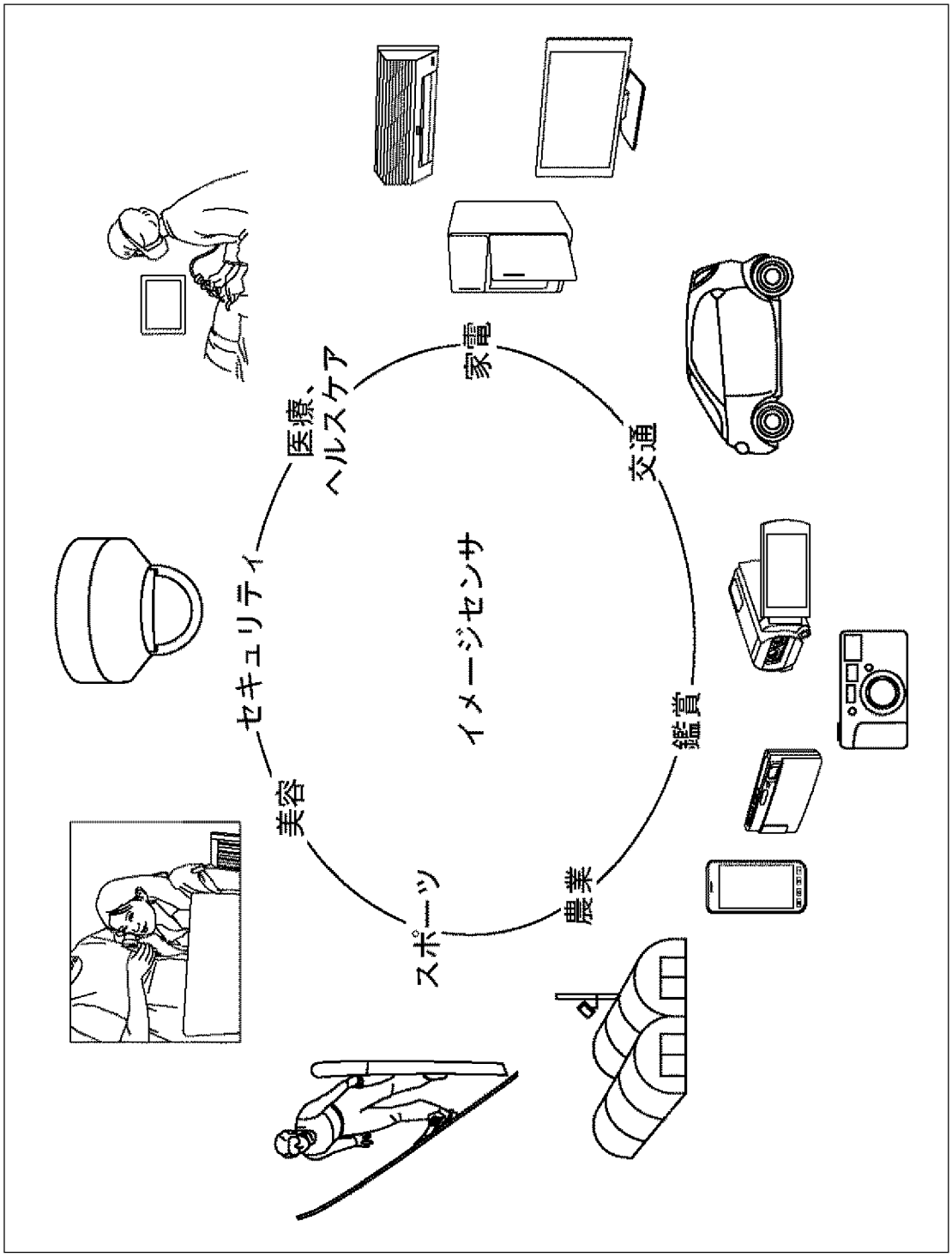
[図11]
FIG. 11


V=0[V]
RST Gate
40
41
171
39-2
h+
71'
51
N+
N
P+
38
39-1
光電変換膜
31
35
PD
TG
36
N+
Pwell:0[V]
37
34
33
32

[図12]
FIG. 12



[図13]
FIG. 13



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/080298

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/146(2006.01)i, *H04N5/357*(2011.01)i, *H04N5/374*(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/146, H04N5/357, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-273945 A (Fujifilm Corp.), 18 October 2007 (18.10.2007), fig. 11 and explanation thereof & US 2007/0205477 A1 fig. 11 and explanation thereof & JP 2012-160770 A	1,2,7,8 3-6
Y	US 2009/0250733 A1 (ADKISSON et al.), 08 October 2009 (08.10.2009), fig. 1 to 5 and explanations thereof (Family: none)	3

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 December 2016 (05.12.16)	13 December 2016 (13.12.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/080298

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-16242 A (Toshiba Corp.), 18 January 2002 (18.01.2002), fig. 1 to 10 and explanations thereof & US 2002/0001039 A1 fig. 1 to 10 and explanations thereof & EP 1178534 A2 & TW 503571 B & KR 10-2002-0001635 A & CN 1330409 A	3
Y	JP 2015-53296 A (Sony Corp.), 19 March 2015 (19.03.2015), fig. 1 to 16, 28 to 29C and explanations thereof & US 2014/0209876 A1 fig. 1 to 16, 28 to 29C and explanations thereof & US 2016/0064440 A1 & CN 103972254 A	4-6
A	WO 2013/021577 A1 (Panasonic Corp.), 14 February 2013 (14.02.2013), entire text; all drawings & US 2014/0146211 A1 & CN 103703759 A	1-8
A	JP 2011-82426 A (Canon Inc.), 21 April 2011 (21.04.2011), entire text; all drawings & US 2012/0199933 A1 & US 2015/0228692 A1 & WO 2011/043035 A1 & EP 2486588 A1 & CN 102576717 A	1-8
A	JP 2004-193547 A (Canon Inc.), 08 July 2004 (08.07.2004), entire text; all drawings & US 2004/0000681 A1 & EP 1376701 A2 & TW 200400627 A & KR 10-2004-0002790 A & CN 1471311 A	1-8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０８０２９８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146(2006.01)i, H04N5/357(2011.01)i, H04N5/374(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146, H04N5/357, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2007-273945 A (富士フイルム株式会社) 2007.10.18, 図11及びその説明箇所 & US 2007/0205477 A1, 図11及びその説明箇所 & JP 2012-160770 A	1, 2, 7, 8 3-6
Y	US 2009/0250733 A1 (ADKISSON et al.) 2009.10.08, 図1-5及びその説明箇所 (ファミリーなし)	3

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０５．１２．２０１６	１３．１２．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　４６６６
今井　聖和
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2002-16242 A (株式会社東芝) 2002.01.18, 図 1-10 及びその説明箇所 & US 2002/0001039 A1, 図 1-10 及びその説明箇所 & EP 1178534 A2 & TW 503571 B & KR 10-2002-0001635 A & CN 1330409 A	3
Y	JP 2015-53296 A (ソニー株式会社) 2015.03.19, 図 1-16, 28-29C 及びその説明箇所 & US 2014/0209876 A1, 図 1-16, 28-29C 及びその説明箇所 & US 2016/0064440 A1 & CN 103972254 A	4-6
A	WO 2013/021577 A1 (パナソニック株式会社) 2013.02.14, 全文全図 & US 2014/0146211 A1 & CN 103703759 A	1-8
A	JP 2011-82426 A (キヤノン株式会社) 2011.04.21, 全文全図 & US 2012/0199933 A1 & US 2015/0228692 A1 & WO 2011/043035 A1 & EP 2486588 A1 & CN 102576717 A	1-8
A	JP 2004-193547 A (キヤノン株式会社) 2004.07.08, 全文全図 & US 2004/0000681 A1 & EP 1376701 A2 & TW 200400627 A & KR 10-2004-0002790 A & CN 1471311 A	1-8