



(12) 发明专利

(10) 授权公告号 CN 102854458 B

(45) 授权公告日 2016.01.20

(21) 申请号 201210297863.0

(22) 申请日 2012.08.21

(73) 专利权人 浪潮电子信息产业股份有限公司

地址 250014 山东省济南市高新区舜雅路
1036 号

(72) 发明人 宗艳艳 李鹏翀 张柯柯

(51) Int. Cl.

G01R 31/317(2006.01)

(56) 对比文件

CN 102495354 A, 2012.06.13,

CN 101191819 A, 2008.06.04,

CN 1980062 B, 2011.08.10,

CN 1175837 A, 1998.03.11,

US 6208161 B1, 2001.03.27,

审查员 郭凤华

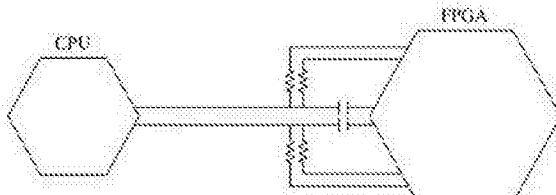
权利要求书1页 说明书2页 附图4页

(54) 发明名称

一种兼容高速和低速布局的验证设计方法

(57) 摘要

本发明提供一种兼容高速和低速布局的验证设计方法，是把电容的两个焊盘分别和两个电阻的一个相同网络焊盘重叠，在运行低速链路的时候，电容不上件，运行高速链路的时候，电阻不上件，电容两个焊盘由于走线短路，使用工具刀把走线割开，然后再焊接上需要的电容，通过这样的方式验证高速链路，这样不存在多余的焊盘，不会产生因存在多余焊盘导致的信号反射，本发明的方法能够更好的兼容高速和低速设计，这样既节约了成本和缩短了设计周期，也不会在运行高速链路的情况下，由于存在多余的焊盘，增加了信号的反射，从而产生了对高速信号传输性能的影响。



1. 一种兼容高速和低速布局的验证设计方法，其特征在于把电容的两个焊盘分别和两个相同电阻的网络焊盘重叠，在运行低速链路的时候，电容不上件，运行高速链路的时候，电阻不上件，电容的两个焊盘由于走线短路，使用工具刀把走线割开，然后再焊接上需要的电容，通过这样的方式验证高速链路，这样不存在多余的焊盘，不会产生因存在多余焊盘导致的信号反射，验证原理图设计上的变化步骤如下：

- 1) 在运行低速时，CPU 一对差分管脚输出链路分别并联两个电阻，四个电阻的另一端分别连接 FPGA 的四个低速管脚，电容链路断开，即让电容不起作用；
- 2) 运行高速的时候，CPU 的一对差分管脚输出链路连接 FPGA 的一对高速管脚，中间分别串联一个电容，即让电阻不起作用；
- 3) 将步骤 1)、2) 这两种方式做到一块 PCB 板上，通过摆放器件和通断走线进行布局的验证，就能更好的实现布局的高低速兼容。

一种兼容高速和低速布局的验证设计方法

技术领域

[0001] 本发明涉及一种 PCB 设计以及制作技术领域，具体地说是一种兼容高速和低速布局的验证设计方法。

背景技术

[0002] 根据 FPGA 具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点。我们在设计一款新的大型服务器等大型设备时，尤其涉及到需要我们自己独立设计芯片的时候，往往需要使用 FPGA 接口设计来进行验证。因为自己设计芯片时，流一次片就需要花费几百万美金。并且芯片设计也不是一次两次就能够设计成功的。其中流片也需要花费时间。为了节约资金以及缩短设计周期。我们都会使用 FPGA 接口设计来做验证。现在的 FPGA 芯片一般都是兼容高速和低速设计的。一般的情况针我们都是对高速部分与低速部分分别进行设计验证。为了节约成本和缩短设计周期，我们也会把高速设计和低速设计兼容在一个设计里。这样不仅在原理图的连接关系上有变化，在 PCB 的设计上也需要特殊的布局方式，才能够更好的兼容两种设计。在这个技术背景下，我们研究出一个既能运行低速设计又能运行高速设计，而且运行高速设计时，不会由于存在多余的焊盘，增加了信号的反射，从而产生了对高速信号传输性能的影响的布局的方法。

发明内容

[0003] 本发明的目的是提供一种兼容高速和低速布局的验证设计方法。

[0004] 本发明的目的是按以下方式实现的，把电容的两个焊盘分别和两个相同电阻的网络焊盘重叠，在运行低速链路的时候，电容不上件，运行高速链路的时候，电阻不上件，电容两个焊盘由于走线短路，使用工具刀把走线割开，然后再焊接上需要的电容，通过这样的方式验证高速链路，这样不存在多余的焊盘，不会产生因存在多余焊盘导致的信号反射，验证原理图设计上的变化步骤如下：

[0005] 1)在运行低速时，CPU 一对差分管脚输出链路分别并联两个电阻，四个电阻的另一端分别连接 FPGA 的四个低速管脚，电容链路断开，即让电容不起作用；

[0006] 2)运行高速的时候，CPU 的一对差分管脚输出链路连接 FPGA 的一对高速管脚，中间分别串联一个电容，即让电阻不起作用；

[0007] 3)将步骤 1)、2)这两种方式做到一块 PCB 板上，通过摆放器件和通断走线进行布局的验证，就能更好的实现布局的高低速兼容。

[0008] 本发明的兼容高速和低速布局的验证设计方法优异效果如下：

[0009] 现在的 FPGA 接口设计往往都是兼容高速和低速的，我们一般的情况针对高速部分与低速部分分别进行设计验证，但是有时为了项目开发的时间和节约成本，我们会考虑接口高低速兼容的设计。这样不仅在原理图的设计上有所变化，在 PCB 的设计上我们更应该思考如何设计才能够更好的实现高低速兼容。本文提出的这种布局的方法能够更好的兼

容高速和低速设计。这样既节约了成本和缩短了设计周期,也不会在运行高速链路的情况下,由于存在多余的焊盘,增加了信号的反射,从而产生了对高速信号传输性能的影响。

附图说明

- [0010] 图 1 是图 1 高低速兼容设计链路拓扑结构示意图;
- [0011] 图 2 是传统的拓扑的结构示意图;
- [0012] 图 3 是把电容的两个焊盘分别和两个电阻的一个相同网络焊盘重叠的结构示意图;
- [0013] 图 4 是在运行高低速链路时电容和电阻分别不上件的结构示意图;
- [0014] 图 5 是断开走线位置的示意图。

具体实施方式

[0015] 参照说明书附图对本发明的兼容高速和低速布局的验证设计方法作以下详细地说明。

[0016] 如下图 1 高低速兼容设计链路拓扑说明图所示,原理图设计上的变化,在运行低速时,CPU 一对差分管脚输出链路分别并联两个电阻,四个电阻的另一端分别连接 FPGA 的四个低速管脚,电容链路断开,即电容不起作用。

[0017] 运行高速的时候,CPU 的一对差分管脚输出链路连接 FPGA 的一对高速管脚脚,中间分别串联一个电容,即电阻不起作用。电阻和电容的封装是相同的。

[0018] 下列图 2 示,斜填充线的部分为电容,交叉填充线的部分为电阻。如图 2 所示是我们一般常使用的拓扑形势。运行低速的时候,对信号要求的质量不是很高,所以在不上电容的情况下运行良好,但是运行高速的时候,这时我们对信号的质量要求比较高,尤其阻抗和损耗对信号的影响。运行高速链路时,电阻不上件,只焊接电容。这样链路上的两个焊盘将影响链路的阻抗,产生阻抗不连续,从而产生信号反射。

[0019] 本发明提到的这种布局方法可以有效的控制由于多余焊盘引起的信号反射,同时也节约焊盘和空间。

[0020] 如图 3 所示,把电容的两个焊盘分别和两个电阻的一个相同网络焊盘重叠。这样在运行低速链路的时候,如图 4 所示电容不上件。运行高速链路的时候,电阻不上件。如图 5 所示,电容的两个焊盘由于走线短路,所以需要我们手动,使用工具刀把图 5 中连接两个电容之间的连线割开,然后再焊接上我们需要的电容。这样就可以验证我们高速链路。不存在多余的焊盘。不会产生因存在多余焊盘导致的信号反射。

实施例

- [0021] 1) 按照图 3 所示,把电容的两个焊盘分别和两个电阻的一个相同网络焊盘重叠;
- [0022] 2) 运行低速的时候,如图 4 所示电容是不上件的;
- [0023] 3) 运行高速的时候,电阻不上件。如图 5 所示,电容两个焊盘这时是短路的,所以需要我们手动,使用工具刀把图 5 断线点部分的线割开,然后再焊上我们需要的电容。
- [0024] 除说明书所述的技术特征外,均为本专业技术人员的已知技术。

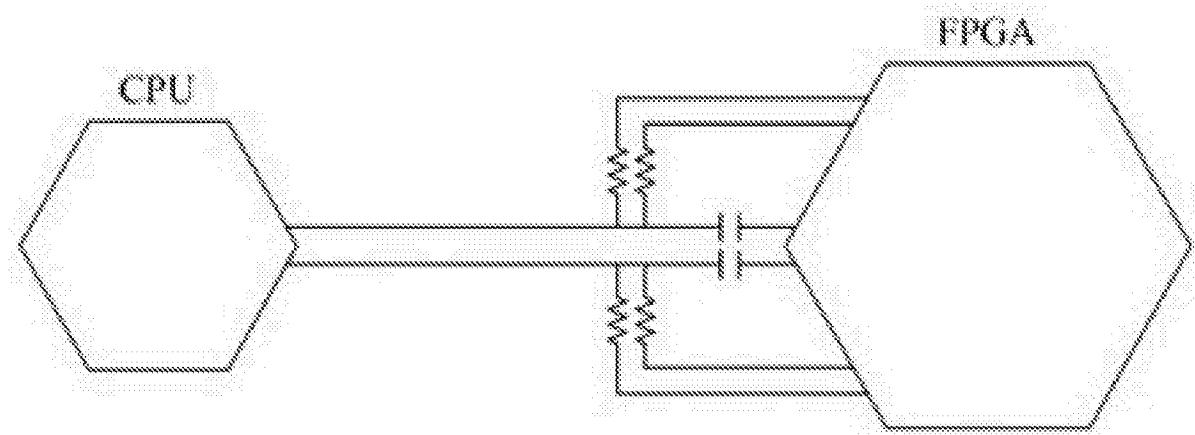


图 1

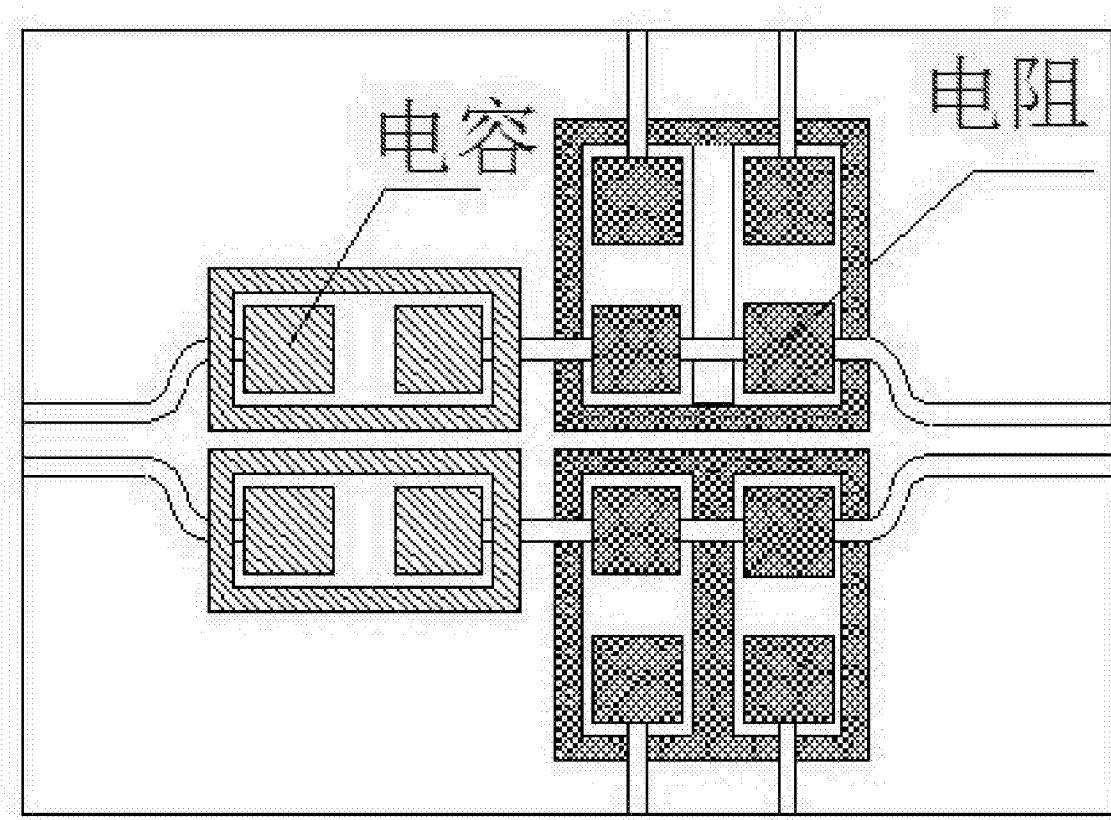


图 2

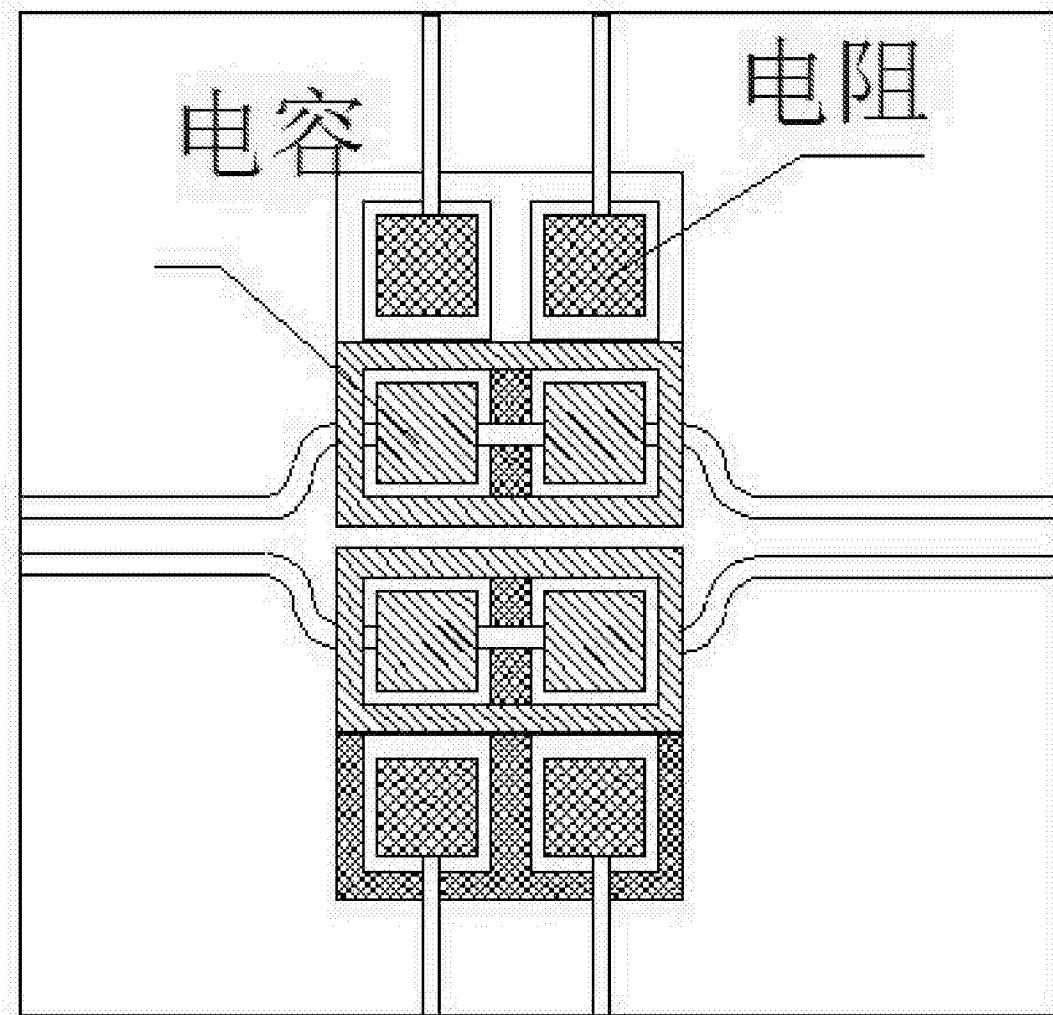


图 3

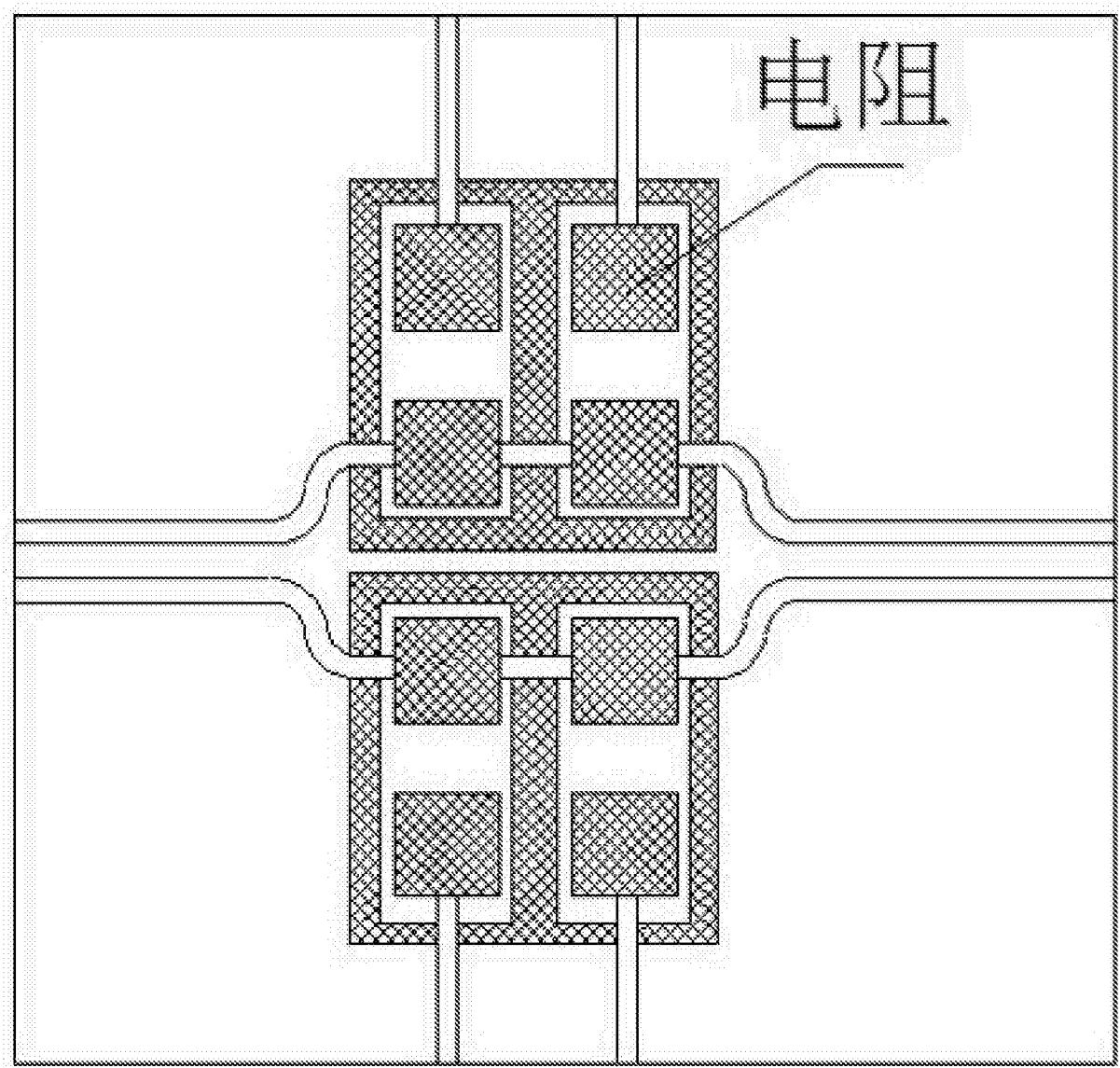


图 4

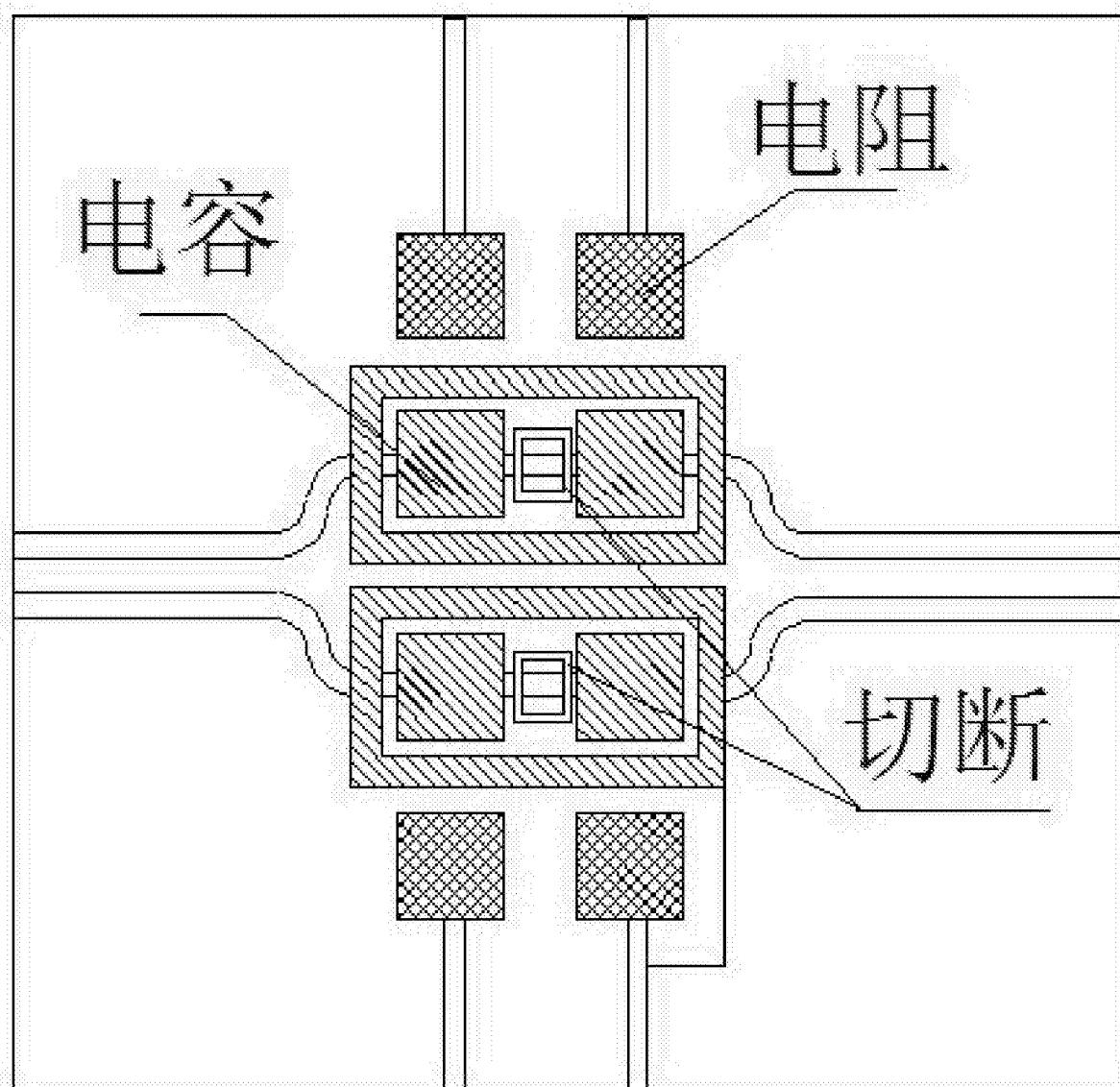


图 5