

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4981307号
(P4981307)

(45) 発行日 平成24年7月18日 (2012. 7. 18)

(24) 登録日 平成24年4月27日 (2012. 4. 27)

(51) Int. Cl.	F I
HO 1 L 29/66 (2006. 01)	HO 1 L 29/66 S
HO 1 L 29/06 (2006. 01)	HO 1 L 29/06 6 O 1 N
HO 1 L 29/78 (2006. 01)	HO 1 L 29/78 3 O 1 J
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 3 O 1 X
HO 1 L 29/792 (2006. 01)	HO 1 L 29/78 3 7 1

請求項の数 22 (全 35 頁) 最終頁に続く

(21) 出願番号	特願2005-334333 (P2005-334333)	(73) 特許権者	000005049
(22) 出願日	平成17年11月18日 (2005. 11. 18)		シャープ株式会社
(65) 公開番号	特開2007-142180 (P2007-142180A)		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成19年6月7日 (2007. 6. 7)	(74) 代理人	100084146
審査請求日	平成20年2月28日 (2008. 2. 28)		弁理士 山崎 宏
		(74) 代理人	100100170
			弁理士 前田 厚司
		(74) 代理人	100138896
			弁理士 森川 淳
		(72) 発明者	洗 暢俊
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	原田 真臣
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 電子装置、電子回路及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

電気抵抗が高い高抵抗体と、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第1領域と、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第2領域と、

上記高抵抗体中の上記第1領域と第2領域との間に形成された第3領域と

を備え、

上記第1領域と、上記第2領域と、上記第3領域とは、互いに同一の金属又は半導体元素を含み、

上記第3領域は、上記金属又は半導体を含む微粒子を有し、

上記第3領域における上記金属又は半導体の平均濃度が、上記第1領域及び第2領域における上記金属又は半導体の平均濃度よりも低く、上記第1領域と、第2領域と、第3領域とを含む平面上またはこの平面下の位置であって、上記第1領域および第2領域に対する距離よりも第3領域に対する距離が近い位置に形成された電極を備え、上記第3領域に含まれる微粒子はチャンネル微粒子であり、上記電極は浮遊微粒子からなり、上記浮遊微粒子は、上記チャンネル微粒子が並ぶ方向と略平行に、かつ、上記チャンネル微粒子の密度と略同じ密度に形成されていることを特徴とする電子装置。

【請求項 2】

10

20

請求項 1 に記載の電子装置において、
上記第 1 領域と第 2 領域との間の距離は、 1.0 nm 以上 $0.1\text{ }\mu\text{ m}$ 以下であることを特徴とする電子装置。

【請求項 3】

請求項 1 または 2 に記載の電子装置において、
上記第 1 及び第 2 領域には、金属または半導体の連続体と、この連続体の厚み方向の両側に形成された微粒子とが含まれることを特徴とする電子装置。

【請求項 4】

請求項 1 に記載の電子装置において、
上記第 3 領域の微粒子は、平面状に配列されていることを特徴とする電子装置。

10

【請求項 5】

請求項 1 に記載の電子装置において、
上記第 3 領域の微粒子は、直線状に配列されていることを特徴とする電子装置。

【請求項 6】

請求項 1 に記載の電子装置において、
上記第 1 領域及び第 2 領域は、上記金属又は半導体元素で形成された複数の微粒子を含み、

上記第 1 領域及び第 2 領域における上記微粒子の平均密度は、上記第 3 領域における上記微粒子の平均密度よりも大きいことを特徴とする電子装置。

20

【請求項 7】

請求項 6 に記載の電子装置において、
上記第 1 領域の微粒子と、上記第 2 領域の微粒子と、上記第 3 領域の微粒子とは、互いに同一の平面上又は直線上に配列されており、上記第 1 領域及び第 2 領域における上記微粒子の配列間隔は、上記第 3 領域における上記微粒子の配列間隔よりも小さいことを特徴とする電子装置。

【請求項 8】

請求項 1 に記載の電子装置において、
上記第 1 領域及び第 2 領域は、上記金属又は半導体元素で形成された複数の微粒子を含み、

上記第 1 領域の微粒子と、上記第 2 領域の微粒子と、上記第 3 領域の微粒子とは、互いに同一の平面上又は直線上に配列されており、

30

上記第 1 領域及び第 2 領域における上記微粒子の直径は、上記第 3 領域における上記微粒子の直径よりも大きいことを特徴とする電子装置。

【請求項 9】

請求項 1 に記載の電子装置において、
上記第 1 領域及び第 2 領域は、上記金属又は半導体元素で形成された複数の微粒子を含み、

上記第 1 領域及び第 2 領域の上記第 3 領域から遠い部分には、上記金属又は半導体元素の連続体が形成されていることを特徴とする電子装置。

40

【請求項 10】

請求項 9 に記載の電子装置において、
上記第 1 領域または第 2 領域に含まれる微粒子の配置間隔は、上記第 1 領域または第 2 領域と、上記第 3 領域との間の境界から、上記第 1 領域または第 2 領域の連続体が形成されている部分に向かって徐々に狭まるように形成されていることを特徴とする電子装置。

【請求項 11】

請求項 9 に記載の電子装置において、
上記第 1 及び第 2 領域に含まれる微粒子は、上記第 3 領域に含まれる微粒子よりも、直径が大きく、かつ、互いの離隔が小さいことを特徴とする電子装置。

【請求項 12】

請求項 9 に記載の電子装置において、

50

上記第 1 及び第 2 領域の互いに最も近い部分を結ぶ線に沿った断面において、上記第 3 領域に 1 個の上記微粒子が含まれることを特徴とする電子装置。

【請求項 13】

請求項 9 に記載の電子装置において、

上記第 1 及び第 2 領域の互いに最も近い部分を結ぶ線に沿った断面において、上記第 3 領域に 2 個の上記微粒子が含まれることを特徴とする電子装置。

【請求項 14】

請求項 9 に記載の電子装置において、

上記第 1 及び第 2 領域の互いに最も近い部分を結ぶ線に沿った断面において、上記第 3 領域に 3 個の上記微粒子が含まれることを特徴とする電子装置。

10

【請求項 15】

請求項 9 に記載の電子装置において、

上記高抵抗体は、酸化シリコン又は窒化シリコンであり、

上記微粒子は、融点が 600 以上の材料で形成されていることを特徴とする電子装置

。

【請求項 16】

請求項 1 に記載の電子装置において、

上記浮遊微粒子および上記チャンネル微粒子のそれぞれの個数は 1 個であることを特徴とする電子装置。

【請求項 17】

20

電気抵抗が高い高抵抗体と、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第 1 領域と、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第 2 領域と、

上記高抵抗体中の上記第 1 領域と第 2 領域との間に形成された第 3 領域と

を備え、

上記第 1 領域と、上記第 2 領域と、上記第 3 領域とは、互いに同一の金属又は半導体元素を含み、

上記第 3 領域は、上記金属又は半導体を含む微粒子を有し、

上記第 3 領域における上記金属又は半導体の平均濃度が、上記第 1 領域及び第 2 領域における上記金属又は半導体の平均濃度よりも低く、

30

上記第 1 領域と、第 2 領域と、第 3 領域とを含む平面上またはこの平面下の位置であって、上記第 1 領域および第 2 領域に対する距離よりも第 3 領域に対する距離が近い位置に形成された電極を備え、

上記第 1 領域、上記第 2 領域、及び、上記電極のうちの少なくとも 1 つは、上記第 3 領域に向かう先端部分が尖った形状を有することを特徴とする電子装置。

【請求項 18】

電気抵抗が高い高抵抗体と、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第 1 領域と、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第 2 領域と、

上記高抵抗体中の上記第 1 領域と第 2 領域との間に形成された第 3 領域と

40

を備え、

上記第 1 領域と、上記第 2 領域と、上記第 3 領域とは、互いに同一の半導体元素を含むと共に、互いに同一の不純物が添加されており、

上記第 3 領域は、上記半導体元素で形成された微粒子を含み、

上記第 3 領域における上記不純物の平均濃度が、上記第 1 領域及び第 2 領域における上記不純物の平均濃度よりも低いことを特徴とする電子装置。

【請求項 19】

請求項 18 に記載の電子装置において、

上記第 1 乃至第 3 領域において、平均して同程度の大きさの微粒子を備え、

上記第 3 領域の上記不純物の濃度は、上記第 1 及び第 2 領域における上記不純物の濃度

50

と異なり、

上記第 1 及び第 2 領域に対する上記第 3 領域の電気容量が小さいことを特徴とする電子装置。

【請求項 20】

電気抵抗が高い高抵抗体と、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第 1 領域と、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第 2 領域と、

上記高抵抗体中の上記第 1 領域と第 2 領域との間に形成された第 3 領域と

を備え、

上記第 1 領域と、上記第 2 領域と、上記第 3 領域とは、互いに同一の金属又は半導体元素を含み、

上記第 3 領域は、上記金属又は半導体を含む微粒子を有し、

上記第 3 領域における上記金属又は半導体の平均濃度が、上記第 1 領域及び第 2 領域における上記金属又は半導体の平均濃度よりも低く、

上記第 1 領域と、第 2 領域と、第 3 領域とを含む平面上またはこの平面下の位置であって、上記第 1 領域および第 2 領域に対する距離よりも第 3 領域に対する距離が近い位置に形成された電極を備え、

上記電極は金属の連続体と微粒子とを有し、

上記電極が有する微粒子の径は、上記第 3 領域に含まれる微粒子の径よりも大きく、

上記第 3 領域に含まれる微粒子の密度は、上記電極が有する微粒子の密度よりも小さいことを特徴とする電子装置。

【請求項 21】

請求項 1 に記載の電子装置を備えた電子回路。

【請求項 22】

請求項 21 に記載の電子回路を備えた電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子装置に関し、特に、導電性の微粒子を用いて単一電子素子を構成するのに好適な電子装置に関する。

【背景技術】

【0002】

スイッチング素子は、電子機器の基本的な構成要素である。そのため、スイッチング素子の低消費電力化を行うことで、電子機器の低消費電力化を行うことができる。また、スイッチング素子の低消費電力化は、スイッチング素子及び電子機器の発熱を抑制することができる。

【0003】

スイッチング素子の低消費電力化は、バッテリー駆動の電子機器のみでなく、例えば発熱を抑えるために処理速度等の性能が制限されるすべての電子機器において、重要な課題である。この低消費電力化の課題を解決すべく、いわゆるクーロンブロッケード現象を利用して単一電子をスイッチングするスイッチング素子の研究が精力的になされている。クーロンブロッケード現象を利用することにより、非常に微小なキャパシタを通過するトンネル電流に現れる量子効果を使ってスイッチング動作を行うスイッチング素子が得られる。また、このようなスイッチング素子を用いて様々な論理回路やメモリ回路を構成することができる。

【0004】

上記単一電子をスイッチングするスイッチング素子としては、従来、図 17 に示すようなものがある（特開平 11 - 195780 号公報（特許文献 1）参照）。このスイッチング素子は、 SiO_2 からなる絶縁膜 1712 中に、典型的には 20 nm 以下の大きさの Sn からなる微粒子 1714 を、Si 基板 1710 の表面と略平行の同一平面上に、略等間

10

20

30

40

50

隔かつ互いに孤立した状態で配列している。上記Sn微粒子1714が形成されたSiO₂絶縁膜1712上に、Alからなるソース又はドレイン電極1726を設けると共に、上記SiO₂絶縁膜1712の側方に、Alからなるゲート電極1727を設け、上記Si基板1710をドレイン又はソースとして、トランジスタを構成している。

【0005】

しかしながら、上記従来のスイッチング素子は、特性が不安定であるという問題がある。その原因は、上記Alからなるソース又はドレイン電極1726と、上記ドレイン又はソースとなるSi基板1710と、上記Sn微粒子1714とが、互いに異なる元素で構成されている点にある。これにより、上記絶縁膜1712に、合金や化合物による障壁や、仕事関数差に起因する障壁が生じる場合があるからである。

10

【0006】

また、上記ソース又はドレイン電極1726と、基板1710と、微粒子1714とが互いに異なる元素で構成され、各部を別個の工程で作成する必要があるため、スイッチング素子の製造工程数が多くなる。したがって、製造コストの上昇を招くという問題がある。また、歩留まりの低下要因となって高集積化を行い難いという問題がある。

【0007】

さらに、上記Sn微粒子1714の多くは浮遊ゲートとして機能するので、チャンネル電流が比較的大きくて、スイッチング素子の消費電力の低減効果が有効に得られないという問題がある。

【特許文献1】特開平11-195780号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0008】

そこで、本発明の課題は、特性を安定にでき、製造コストが安価で、高集積化を行い易く、また、効果的に消費電力の低減を行うことができる電子装置を提供することにある。

【課題を解決するための手段】

【0009】

上記課題を解決するため、本発明の電子装置は、

電気抵抗が高い高抵抗体と、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第1領域と、

30

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第2領域と、

上記高抵抗体中の上記第1領域と第2領域との間に形成された第3領域と

を備え、

上記第1領域と、上記第2領域と、上記第3領域とは、互いに同一の金属又は半導体元素を含み、

上記第3領域は、上記金属又は半導体元素を含む微粒子を有し、

上記第3領域における上記金属又は半導体の平均濃度が、上記第1領域及び第2領域における上記金属又は半導体の平均濃度よりも低く、

上記第1領域と、第2領域と、第3領域とを含む平面上またはこの平面下の位置であって、上記第1領域および第2領域に対する距離よりも第3領域に対する距離が近い位置に形成された電極を備え、

40

上記第3領域に含まれる微粒子はチャンネル微粒子であり、

上記電極は浮遊微粒子からなり、

上記浮遊微粒子は、上記チャンネル微粒子が並ぶ方向と略平行に、かつ、上記チャンネル微粒子の密度と略同じ密度に形成されていることを特徴としている。

【0010】

上記構成によれば、上記第3領域における上記金属又は半導体の平均濃度が、上記第1領域及び第2領域における上記金属又は半導体の平均濃度よりも低いことにより、上記第3領域の電気抵抗は、上記第1領域及び第2領域の電気抵抗よりも高くなる。上記第3領域は、上記金属又は半導体元素を含む微粒子を有するので、クーロンブロッケード現象に

50

より、上記微粒子を介して、上記第1領域と第2領域との間に電流を流すことができる。ここで、上記第1乃至第3領域に含まれる金属又は半導体元素は、互いに同一であるので、従来のSi微粒子を含む絶縁膜にAl電極とSi基板が接触する場合のような、合金や化合物による障壁や、仕事関数差による障壁に起因する特性のばらつきを防止できる。

【0011】

また、上記第1乃至第3領域に含まれる金属又は半導体元素は、互いに同一であるので、少ない工程で上記第1領域乃至第3領域を形成することができるから、この電子装置は、従来よりも少ない工程で製造できる。その結果、この電子装置は、製造コストの低減を図ることができ、また、高集積化を容易に行うことができる。

【0012】

また、上記第1乃至第3領域は、互いに同一の金属又は半導体元素を含むので、上記第1及び第2領域によってソース/ドレインを形成し、上記第3領域によってチャンネルを形成した場合、上記各領域の金属又は半導体元素が他の領域に拡散しても、特性の大幅な変化を防止できる。したがって、この電子装置は、微細化が進んで拡散の影響を受け易くなっても、特性を安定にできる。

また、上記電極に電圧を印加することにより、上記第3領域に対して効率良く電界を印加することができる。これにより、上記電極への印加電圧に応じて、上記第1領域と第2領域との間の電流を変化させて、スイッチング動作が可能な電子装置が得られる。

【0013】

一実施形態の電子装置は、上記第1領域と第2領域との間の距離は、 1.0 nm 以上 $0.1\text{ }\mu\text{ m}$ 以下である。

【0014】

上記実施形態によれば、上記第1領域と第2領域との間の距離が、 $1.0\text{ }\mu\text{ m}$ 以下であることにより、上記第3領域の電気抵抗が不必要に高くなって動作速度が遅くなる不都合や、上記第1領域及び第2領域に印加すべき電圧が不必要に高くなる不都合を防止できる。また、この電子装置の高集積化を行うことができる。一方、上記第1領域と第2領域との間の距離が、 1.0 nm 以上であることにより、上記第3領域の電気抵抗が不必要に低くなって過大な電流が流れる不都合を防止できる。

【0015】

なお、上記第1領域と第2領域との間の距離とは、上記第1領域と第2領域との互いに最も近い部分が隔たる距離をいう。つまり、上記第1領域と第2領域との間に形成される最も狭い隙間の距離をいう。

【0016】

また、上記第3領域に含まれる微粒子は、適切にクーロンブロッケード現象を用いるために、 1 nm 以上 20 nm 以下の直径を有するのが好ましい。

一実施形態の電子装置は、上記第1及び第2領域には、金属または半導体の連続体と、この連続体の厚み方向の両側に形成された微粒子とが含まれる。

【0017】

一実施形態の電子装置は、上記第3領域の微粒子は、平面状に配列されている。

【0018】

上記実施形態によれば、上記第3領域に微粒子が平面状に配列されることにより、上記第3領域に微粒子が3次的に配置された場合よりも、この第3領域を流れる電流に関する特性を安定にできる。したがって、製造された電子装置毎の特性のばらつきを少なくできるので、量産性に優れた電子装置が得られる。

【0019】

一実施形態の電子装置は、上記第3領域の微粒子は、直線状に配列されている。

【0020】

上記実施形態によれば、上記第3領域に微粒子が直線状に配列されることにより、上記第3領域に微粒子が平面状に配置された場合よりも、この第3領域を流れる電流に関する特性を安定にできる。したがって、製造された電子装置毎の特性のばらつきを少なくでき

10

20

30

40

50

るので、量産性に優れた電子装置が得られる。

【0021】

一実施形態の電子装置は、上記第1領域及び第2領域は、上記金属又は半導体元素で形成された複数の微粒子を含み、

上記第1領域及び第2領域における上記微粒子の平均密度は、上記第3領域における上記微粒子の平均密度よりも大きい。

【0022】

上記実施形態によれば、上記第1領域及び第2領域が上記複数の微粒子を含むことにより、上記第1領域と第3領域との間の境界と、上記第2領域と第3領域との間の境界とについて、例えばバルク金属と絶縁体との接触境界におけるような障壁のばらつきに起因する特性のばらつきを少なくできる。したがって、製造された電子装置毎の特性のばらつきを少なくできるので、量産性に優れた電子装置が得られる。

10

【0023】

また、上記第1領域及び第2領域における上記微粒子の平均密度が、上記第3領域における上記微粒子の平均密度よりも大きいことにより、上記第1領域及び第2領域は、上記第3領域よりも電流が流れやすい。したがって、上記第1領域及び第2領域を、電極や配線として用いることができる。

【0024】

なお、上記微粒子の平均密度とは、各領域における単位体積あたりの微粒子の数を意味する。

20

【0025】

一実施形態の電子装置は、上記第1領域の微粒子と、上記第2領域の微粒子と、上記第3領域の微粒子とは、互いに同一の平面上又は直線上に配列されており、上記第1領域及び第2領域における上記微粒子の配列間隔は、上記第3領域における上記微粒子の配列間隔よりも小さい。

【0026】

上記実施形態によれば、上記第1乃至第3領域の微粒子を、互いに同一の平面上または直線上に配列することにより、電子装置の薄型化や小型化を図ることができる。

【0027】

また、上記第1領域及び第2領域における上記微粒子の配列間隔を、上記第3領域における上記微粒子の配列間隔よりも小さくすることにより、上記第1領域及び第2領域の電気抵抗を第3領域の電気抵抗よりも小さくして、上記第1領域及び第2領域を電極や配線として用いることができる。

30

【0028】

一実施形態の電子装置は、上記第1領域及び第2領域は、上記金属又は半導体元素で形成された複数の微粒子を含み、

上記第1領域の微粒子と、上記第2領域の微粒子と、上記第3領域の微粒子とは、互いに同一の平面上又は直線上に配列されており、

上記第1領域及び第2領域における上記微粒子の直径は、上記第3領域における上記微粒子の直径よりも大きい。

40

【0029】

上記実施形態によれば、上記第1領域及び第2領域が上記複数の微粒子を含むことにより、製造された電子装置毎の特性のばらつきを少なくできるので、量産性に優れた電子装置が得られる。

【0030】

また、上記第1領域乃至第3領域の微粒子は、互いに同一の平面上又は直線上に配置されているので、電子装置の薄型化や小型化を図ることができる。

【0031】

また、上記第1領域及び第2領域における上記微粒子の直径は、上記第3領域における上記微粒子の直径よりも大きいので、上記第1及び第2領域は、上記第3領域に比べてク

50

ーロンブロッケード現象等のナノサイズ効果によって電気伝導が抑制される効果を少なくできる。したがって、上記第1及び第2領域の電気抵抗を第3領域の電気抵抗よりも小さくできる。

【0032】

一実施形態の電子装置は、上記第1領域及び第2領域は、上記金属又は半導体元素で形成された複数の微粒子を含み、

上記第1領域及び第2領域の上記第3領域から遠い部分には、上記金属又は半導体元素の連続体が形成されている。

【0033】

上記実施形態によれば、上記第1領域及び第2領域が上記複数の微粒子を含むことにより、上記第1領域と第3領域との間の境界と、上記第2領域と第3領域との間の境界とについて、例えば障壁のばらつき等に起因する特性のばらつきを少なくできる。

【0034】

また、上記第1領域及び第2領域の上記第3領域から遠い部分には、上記金属又は半導体元素の連続体が形成されているので、上記第1領域及び第2領域の電気抵抗を効果的に低減できる。

【0035】

なお、上記第1領域と第3領域との間の境界から、この第1領域の連続体が形成されている部分に向かって、微粒子の配置間隔が徐々に狭まるように形成するのが好ましい。また、上記第2領域と第3領域との間の境界から、この第2領域の連続体が形成されている部分に向かって、微粒子の配置間隔が徐々に狭まるように形成するのが好ましい。

一実施形態の電子装置は、上記第1領域または第2領域に含まれる微粒子の配置間隔は、上記第1領域または第2領域と、上記第3領域との間の境界から、上記第1領域または第2領域の連続体が形成されている部分に向かって徐々に狭まるように形成されている。

【0036】

一実施形態の電子装置は、上記第1及び第2領域に含まれる微粒子は、上記第3領域に含まれる微粒子よりも、直径が大きく、かつ、互いの離隔が小さい。

【0037】

上記実施形態によれば、上記第3領域においては、クーロンブロッケード現象等のナノサイズ効果によって、単一電荷の流れの制御を行うことができる。一方、上記第1及び第2領域は、ナノサイズ効果を抑制して、電極や配線等として機能させることができる。

【0038】

一実施形態の電子装置は、上記第1及び第2領域の互いに最も近い部分を結ぶ線に沿った断面において、上記第3領域に1個の上記微粒子が含まれる。

【0039】

上記実施形態によれば、極微細であり、かつ、応答速度の速い電子装置を実現できる。

【0040】

一実施形態の電子装置は、上記第1及び第2領域の互いに最も近い部分を結ぶ線に沿った断面において、上記第3領域に2個の上記微粒子が含まれる。

【0041】

上記実施形態によれば、上記第1及び第2領域の間に、上記第3領域の微粒子を経由しないで電荷が流れる確率を低減できる。したがって、電子装置の動作を安定にできる。

【0042】

一実施形態の電子装置は、上記第1及び第2領域の互いに最も近い部分を結ぶ線に沿った断面において、上記第3領域に3個の上記微粒子が含まれる。

【0043】

上記実施形態によれば、電子装置が高温環境にある場合においても、上記第1及び第2領域の間のリーク電流を抑制することができる。特に、電子装置を小型にしつつリーク電流を抑制できる点で、上記第3領域に含まれる上記微粒子は、3個であるのが好ましい。

【0044】

10

20

30

40

50

一実施形態の電子装置は、上記高抵抗体は、酸化シリコン又は窒化シリコンであり、上記微粒子は、融点が600以上の材料で形成されている。

【0045】

上記実施形態によれば、半導体産業で一般的に用いられる酸化シリコン又は窒化シリコンを高抵抗体として用いることにより、従来の半導体製造装置を用いて電子装置を製造できる。また、本発明の電子装置と従来の他の半導体装置とを容易に混載できる。

【0046】

【0047】

また、上記実施形態によれば、電子装置の製造工程において、上記微粒子の形成後に熱処理を行っても、微粒子の特性が変化することが防止できる。また、電子装置の構成部分に欠陥が発見された場合、微粒子の特性の変化させることなく、例えばアニール処理によって上記欠陥を回復することができる。

10

【0048】

一実施形態の電子装置は、上記高抵抗体は半導体であり、上記第3領域に含まれる微粒子は不純物を含む半導体である。

【0049】

上記実施形態によれば、従来の半導体製造装置を用いて電子装置を製造できるので、製造コストの削減を図ることができる。

【0050】

【0051】

20

【0052】

【0053】

【0054】

【0055】

【0056】

【0057】

【0058】

【0059】

一実施形態の電子装置は、上記浮遊微粒子および上記チャンネル微粒子のそれぞれの個数は1個である。

30

【0060】

本発明の電子装置は、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第1領域と、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第2領域と、

上記高抵抗体中の上記第1領域と第2領域との間に形成された第3領域と
を備え、

上記第1領域と、上記第2領域と、上記第3領域とは、互いに同一の金属又は半導体元素を含み、

上記第3領域は、上記金属又は半導体を含む微粒子を有し、

上記第3領域における上記金属又は半導体の平均濃度が、上記第1領域及び第2領域における上記金属又は半導体の平均濃度よりも低く、

40

上記第1領域と、第2領域と、第3領域とを含む平面上またはこの平面下の位置であって、上記第1領域および第2領域に対する距離よりも第3領域に対する距離が近い位置に形成された電極を備え、

上記第1領域、上記第2領域、及び、上記電極のうちの少なくとも1つは、上記第3領域に向かう先端部分が尖った形状を有する。

【0061】

上記実施形態によれば、上記尖った形状を有する先端部分により、上記第3領域に対する電荷の注入効率を向上できて、電子装置の動作速度を高速にできる。

【0062】

50

【 0 0 6 3 】

【 0 0 6 4 】

一実施形態の電子装置は、上記高抵抗体は、導電性基板の表面が酸化されて形成された酸化膜である。

【 0 0 6 5 】

上記実施形態によれば、上記導電性基板の表面の酸化膜中に、本発明の電子装置を形成することにより、上記導電性基板を上記電極として用いることができる。したがって、安定してスイッチング動作を行う電子装置が得られる。

【 0 0 6 6 】

特に、上記導電性基板としてシリコン基板を用いて、このシリコン基板の表面に形成されたシリコン酸化膜に第1乃至第3領域を形成することにより、本発明の電子装置を、一般的な半導体製造装置を用いて容易に製造できる。また、本発明の電子装置と従来の半導体装置とを、共通のシリコン基板上に容易に混載できる。

【 0 0 6 7 】

なお、上記酸化膜の表面に、上記第2電極を形成してもよい。

【 0 0 6 8 】

本発明の他の側面による電子装置は、

電気抵抗が高い高抵抗体と、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第1領域と、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第2領域と、

上記高抵抗体中の上記第1領域と第2領域との間に形成された第3領域とを備え、

上記第1領域と、上記第2領域と、上記第3領域とは、互いに同一の半導体元素を含むと共に、互いに同一の不純物が添加されており、

上記第3領域は、上記半導体元素で形成された微粒子を含み、

上記第3領域における上記不純物の平均濃度が、上記第1領域及び第2領域における上記不純物の平均濃度よりも低いことを特徴としている。

【 0 0 6 9 】

上記構成によれば、上記第1及び第2領域に対して、上記第3領域の電気抵抗を容易に高くできる。これにより、上記第1及び第2領域を電極又は配線として用いる一方、上記第3領域の微粒子における電荷の通過を制御して、単一電荷で動作する電子装置が得られる。

【 0 0 7 0 】

一実施形態の電子装置は、上記第1乃至第3領域において、平均して同程度の大きさの微粒子を備え、

上記第3領域の上記不純物の濃度は、上記第1及び第2領域における上記不純物の濃度と異なり、

上記第1及び第2領域に対する上記第3領域の電気容量が小さい。

上記実施形態によれば、上記第1乃至第3領域に、互いに同一の大きさの微粒子を形成して、上記不純物の濃度を変えることにより、上記第1及び第2領域に対する上記第3領域の電気容量を、容易に小さくすることができる。

本発明の電子装置は、

電気抵抗が高い高抵抗体と、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第1領域と、

上記高抵抗体中に形成され、この高抵抗体よりも電気抵抗が低い第2領域と、

上記高抵抗体中の上記第1領域と第2領域との間に形成された第3領域とを備え、

上記第1領域と、上記第2領域と、上記第3領域とは、互いに同一の金属又は半導体元素を含み、

上記第3領域は、上記金属又は半導体を含む微粒子を有し、

10

20

30

40

50

上記第3領域における上記金属又は半導体の平均濃度が、上記第1領域及び第2領域における上記金属又は半導体の平均濃度よりも低く、

上記第1領域と、第2領域と、第3領域とを含む平面上またはこの平面下の位置であって、上記第1領域および第2領域に対する距離よりも第3領域に対する距離に近い位置に形成された電極を備え、

上記電極は金属の連続体と微粒子とを有し、

上記電極が有する微粒子の径は、上記第3領域に含まれる微粒子の径よりも大きく、

上記第3領域に含まれる微粒子の密度は、上記電極が有する微粒子の密度よりも小さい。

【0071】

10

本発明の電子装置の製造方法は、上記電子装置を製造する方法であって、上記高抵抗体上に、所定パターンの制御層を形成する工程と、

上記高抵抗体に、上記制御層が形成された側から上記金属又は半導体を注入する工程と、

上記制御層を除去する工程と、

上記金属又は半導体が注入された高抵抗体に熱処理を行う工程とを備える。

【0072】

上記実施形態によれば、上記高抵抗体中のうち、上記制御層が配置されない位置に対応する部分に、第1及び第2領域が形成され、上記制御層が配置された位置に対応する部分に、第3領域が形成される。上記高抵抗体上に上記制御層が存在する状態で、上記金属又は半導体を注入することにより、単一の工程による単一のエネルギーの注入によって、上記高抵抗体中の注入深さを異ならせることができる。したがって、エネルギーが異なる注入を複数回行って注入深さを異ならせるよりも、工程数を少なくでき、また、アライメント工程を削除できる。

20

【0073】

一実施形態の電子装置の製造方法は、上記高抵抗体上に、所定パターンの制御層を形成する工程と、

上記高抵抗体に、上記制御層が形成された側から上記金属又は半導体を注入する工程と、

上記制御層を除去する工程と、

上記制御層が除去された高抵抗体に、上記金属又は半導体を注入する工程と、

上記金属又は半導体が注入された高抵抗体に熱処理を行う工程と

を備える。

30

【0074】

上記実施形態によれば、上記金属又は半導体が透過しない制御層を用いることにより、上記高抵抗体中の上記制御層が配置された位置に対応する部分に、薄い注入を行う一方、上記高抵抗体中の上記制御層が配置されない位置に対応する部分に、濃い注入を行うことができる。上記制御層の除去前の注入と、上記制御層の除去後の注入とについて、各注入量を調節することにより、上記薄い注入の濃度と濃い注入の濃度とを、いずれも精度良く設定できる。

40

【0075】

また、上記注入のエネルギーを調節することにより、上記金属及び半導体の注入深さを設定できる。したがって、上記高抵抗体の上記制御層が配置された位置に対応する部分に、浅い注入を行う一方、上記高抵抗体の上記制御層が配置されない位置に対応する部分に、深い注入を行うことができる。上記制御層の除去前の注入と、上記制御層の除去後の注入とについて、各注入エネルギーを調節することにより、浅い注入の深さと、深い注入の深さとをいずれも制御良く設定できる。

【0076】

一実施形態の電子装置の製造方法は、上記高抵抗体に、上記金属又は半導体を注入する

50

工程と、

上記金属又は半導体が注入された高抵抗体上に、所定パターンの制御層を形成する工程と、

上記制御層が形成された高抵抗体に、上記制御層が形成された側から金属又は半導体を注入する工程と、

上記制御層を除去する工程と、

上記金属又は半導体が注入された高抵抗体に熱処理を行う工程とを備える。

【0077】

上記実施形態によれば、上記制御層を配置していない状態で、上記高抵抗体に注入を行っているので、上記高抵抗体の表面部分には所定の均一濃度の金属又は半導体が存在する。したがって、上記制御層を配置した状態で注入を行うとき、注入が行われる領域と注入が行われない領域との間で、金属又は半導体の濃度の差が比較的小さくなる。したがって、金属又は半導体の濃度の差が比較的大きいことによって高濃度の部分から金属又は半導体が拡散する不都合を、効果的に抑制できる。特に、電子装置を微細化したときに、上記拡散による注入領域の境界の変動を防止できる。

【0078】

一実施形態の電子装置の製造方法は、上記高抵抗体上に制御層を形成する工程と、

上記制御層が形成された高抵抗体上に、上記第1及び第2領域を形成するための材料を堆積又は塗布する工程と、

上記制御層を除去する工程と、

上記制御層が除去された高抵抗体上に、第3領域を形成するための材料を堆積または塗布する工程と、

上記第1乃至第3領域を形成するための材料が配置された高抵抗体に熱処理を行う工程とを含む。

【0079】

上記実施形態によれば、上記第1乃至第3領域を形成するための材料は、安価な装置によって堆積又は塗布することができるので、電子装置の製造コストを削減することができる。

【0080】

一実施形態の電子装置の製造方法は、電気抵抗が低い基板の上に、上記高抵抗体を形成する工程と、

上記高抵抗体の上に制御層を形成する工程と、

上記高抵抗体に、上記制御層が形成された側から上記金属又は半導体を注入して、上記高抵抗体中に、上記基板の表面に接する注入領域と、上記基板の表面から離れた注入領域とを形成する工程と、

上記制御層を除去する工程と、

上記金属又は半導体が注入された高抵抗体に熱処理を行う工程とを備える。

【0081】

上記実施形態によれば、上記高抵抗体中の上記基板の表面から離れた注入領域により、上記第1及び第2領域を形成すると共に、上記高抵抗体中の上記基板に接する注入領域により、上記電極を形成することができる。上記基板に接する注入領域のうち、上記基板に接する部分から遠い部分であって注入濃度が低い部分により、上記第3領域を形成することができる。この製造方法によって製造された電子装置は、上記基板に電圧を印加することにより、上記第3領域に対して電界を効果的に与えることができる。特に、上記基板を経由することにより、比較的低い電圧を上記基板に印加することにより、上記第3領域に所定の電界を印加することができる。

【0082】

一実施形態の電子装置の製造方法は、

上記所定パターンの制御層を形成する工程は、この制御層の側壁を上記高抵抗体の表面に対して傾斜させるテーパーエッチングを行う工程を含む。

【0083】

上記実施形態によれば、上記制御層の表面に対して直角方向から上記金属又は半導体の注入を行うことにより、上記高抵抗体中に、注入深さが連続的に変化した注入領域を形成できる。すなわち、上記高抵抗体中に、同一の深さにおいて注入濃度が異なる部分を形成できる。これにより、同一深さにおいて注入濃度が高い部分によって第1及び第2領域を形成すると共に、同一深さにおいて注入濃度が低い部分によって第3領域を形成することができる。

10

【0084】

一実施形態の電子装置の製造方法は、上記高抵抗体に金属又は半導体を注入する工程は、上記高抵抗体中に、上記金属又は半導体の最大濃度の1/10以上の濃度を有する部分の厚みが10nm以下になる条件で、注入を行う。

【0085】

上記実施形態によれば、上記高抵抗体中に、粒径の揃った上記微粒子を形成することができる。また、適切に上記熱処理を行うことにより、上記高抵抗体中に、上記微粒子を平面状に形成することができる。

【0086】

一実施形態の電子装置の製造方法は、上記高抵抗体中に、Ti, V, Cr, Mn, Fe, Co, Ni, Zr, Nb, Mo, Ta, Ru, Rh, Pd, Hf, W, Re, Os, Ir、及びPtを含む群から選択される元素を注入する。

20

【0087】

上記実施形態によれば、上記元素が高抵抗体中に注入された後、比較的高い温度の熱処理工程が行われた場合においても、上記元素の拡散を低減できる。したがって、安定した特性の電子装置を量産できる。

【0088】

一実施形態の電子装置の製造方法は、上記高抵抗体中に、酸化によって不動態を形成する元素を注入する。

【0089】

30

上記実施形態によれば、上記高抵抗体中に上記元素を注入した後、酸化工程を行うことにより、表面に強固な酸化膜を有する微粒子を形成することができる。したがって、上記微粒子に蓄積された電荷のリークの抑制や、上記微粒子への電荷の閉じ込め効果を高めることができる。その結果、電子装置の信頼性を高めることができる。上記元素としては、例えば、Fe, Ni, Co, Cr, Ti, Nb, Ta及びAlなどを用いることができる。特に、Ni, Cr, Ti及びAlは、薄い酸化皮膜が容易に形成される点で好ましい。

【0090】

本発明の電子回路は、上記電子装置を備えたことを特徴としている。

【0091】

40

上記構成によれば、低消費電力で小型の電子回路が得られる。

【0092】

なお、上記電子回路として、例えば論理回路やメモリ回路等、あらゆる回路に上記電子装置を用いることができる。

【0093】

本発明の電子機器は、上記電子回路を備えたことを特徴としている。

【0094】

上記構成によれば、低消費電力で小型の電子機器が得られる。

【0095】

なお、上記電子機器として、例えば携帯型情報端末、携帯型録音再生装置、携帯電話、

50

携帯型大容量記憶装置、パーソナルコンピュータ、家庭用電化機器等、あらゆる電子機器に上記電子回路を用いることができる。

【0096】

本発明において、上記高抵抗体は、絶縁体であるのが好ましいが、微粒子に対して障壁として働くものであれば、絶縁体以外のものでもよい。

【0097】

また、微粒子とは、形状が限定されるものではなく、ナノサイズ効果が得られる大きさ及び形状を有するものを広く含む。上記微粒子の形状は、電荷に対する障壁が均一に得られる点で、球形状が好ましいが、球形状に限らず、直方体や多面体等の形状であってもよく、要は、ナノサイズ効果が得られるものであればよい。この場合、微粒子の直径とは、この微粒子の表面の互いに最も遠い部分の間の寸法をいう。

10

【0098】

また、微粒子とは、例えば、半導体中のナノレベルの狭い領域に不純物を注入して得られるような導電性の微小な領域をも含む概念である。

【0099】

また、上記微粒子の材料は、電荷を蓄積する性質を有するものであれば、金属及び半導体に限られず、無機化合物や有機化合物を用いることもできる。

【0100】

また、上記微粒子間を電荷が通過するときの抵抗は、いわゆる電気抵抗やトンネル抵抗を含む。

20

【0101】

また、本明細書中において平均濃度とは、体積密度、充填率と言い換えることができる。

【発明の効果】

【0102】

以上のように、本発明の電子装置は、電気抵抗が高い高抵抗体と、この高抵抗体中に形成されて上記高抵抗体よりも電気抵抗が低い第1領域及び第2領域と、上記高抵抗体中の上記第1領域と第2領域との間に形成された第3領域とを備え、上記第1乃至第3領域は、互いに同一の金属又は半導体元素を含み、上記第3領域は、上記金属又は半導体元素を含む微粒子を有するので、クーロンブロッケード現象により、上記第3領域の微粒子を介して上記第1領域と第2領域との間に電流を流すことができる。上記第1乃至第3領域は、互いに同一の金属又は半導体元素を含むので、従来のような互いに異なる金属と絶縁体との間に、仕事関数差による障壁等に起因して生じていた特性のばらつきを防止できる。また、上記第1乃至第3領域は、互いに同一の金属又は半導体元素を含むので、上記第1及び第2領域によってソース/ドレインを形成し、上記第3領域によってチャンネルを形成することにより、上記各領域の金属又は半導体元素が、他の領域に拡散しても、特性の大幅な変化を防止できる。したがって、この電子装置は、特性を安定にしつつ微細化を図ることができる。

30

【発明を実施するための最良の形態】

【0103】

以下、本発明を図示の実施の形態により詳細に説明する。

40

【0104】

(第1実施形態)

図1A乃至1Dは、本発明の第1実施形態の電子装置を説明するための模式図である。

【0105】

本実施形態の電子装置は、典型的な例として、図1Aに示すように、絶縁体101の中に、第1領域102および第2領域103と、この第1領域と第2領域との間に挟まれた第3領域104を備える。

【0106】

上記第3領域104は、図1Bに示すように、少なくとも1つの小領域105を含み、

50

第1領域102および第2領域103に対して、絶縁体106によって電氣的に各々絶縁されている。

【0107】

上記第1及び第2領域102, 103は、典型的には、金属層である。上記第3領域104の小領域105は、典型的には、図1Cに示すように、上記第1及び第2領域102, 103を形成する金属元素と同じ金属元素によって形成され、直径が20nm以下の金属微粒子107である。

【0108】

上記第3領域は、小領域として複数の金属微粒子107を有してもよく、例えば、図1Dに示すように、3つの金属微粒子107を有してもよい。

10

【0109】

図2は、上記第1、第2及び第3領域102, 103, 104に含まれる上記金属の濃度分布を示す図である。図2から分かるように、上記第1及び第2領域102, 103の金属の平均濃度は、上記第3領域104の金属の平均濃度よりも高い。図2において、Bは、上記各領域102, 103, 104に関して、平均濃度を算出する対象部分の厚みである。また、上記各領域の幅方向(X方向)については、上記小領域105の幅の約2倍の幅を有する部分を対象として平均濃度を算出している。

【0110】

図3A乃至3Gは、本実施形態の電子装置において、第1乃至第3領域が取り得る形態を例示した模式図である。

20

【0111】

図3Aの電子装置は、絶縁体101中の第1、第2及び第3領域のいずれも、微粒子を含んで構成されており、第1及び第2領域の微粒子112, 113の密度(単位体積当たりの微粒子の数)は、第3領域の微粒子107の密度よりも大きい。これにより、第1及び第2領域の電気抵抗が、第3領域の電気抵抗よりも低くなる。

【0112】

図3Bの電子装置は、絶縁体101中の第1、第2及び第3領域が、平面状又は直線状に配列された微粒子112, 113, 107を含んでいる。微粒子112, 113, 107が平面状に配列されている場合、各領域において、奥行き方向にも微粒子が同様に配列されている。図3Bから分かるように、第1及び第2領域では、微粒子112, 113間の距離が、第3領域の微粒子107間の距離よりも狭く形成されている。これにより、第1及び第2領域の電気抵抗が、第3領域の電気抵抗よりも低くなる。

30

【0113】

図3Cの電子装置は、絶縁体101中の第1乃至第3領域が、平面状又は直線状の微粒子112, 113, 107を含み、上記第1及び第2領域の微粒子112, 113は、第3領域の微粒子107よりも直径が大きい。これにより、第1及び第2領域の微粒子112, 113は、ナノサイズ効果が抑制されて、電極として機能する。

【0114】

図3Dの電子装置は、第1及び第2領域に、金属の連続体112, 113が形成されている。また、絶縁体101中の第3領域には、上記金属を含む微粒子107が、3次的に配列されている。

40

【0115】

図3Eの電子装置は、絶縁体101中の第3領域の微粒子107が、平面状又は直線状に配列されている。また、絶縁体101中の第1及び第2領域には、上記第3領域の微粒子107が配列された平面又は直線の延長上に、金属の連続体112, 113が形成されている。

【0116】

図3Fの電子装置は、絶縁体101中の第1乃至第3領域に、平面状又は直線状に配列された微粒子112, 113, 107を含み、第1及び第2領域の微粒子112, 113が、第3領域の微粒子107よりも微粒子径が大きく、かつ、粒子間の距離が狭い。

50

【 0 1 1 7 】

図 3 G の電子装置は、絶縁体 1 0 1 中の第 1 及び第 2 領域に、金属の連続体と、この連続体の厚み方向の両側に形成された微粒子とを含む。この連続体及び微粒子で、第 1 及び第 2 電極 1 2 2 , 1 2 3 を形成している。絶縁体 1 0 1 中の第 3 領域には、第 1 及び第 2 領域の連続体と同一平面上に、微粒子 1 0 7 が形成されている。

【 0 1 1 8 】

図 4 A 乃至 4 C は、本実施形態の電子装置において、効果的に小型化が可能な構成を示す模式図である。なお、図 4 A 乃至 4 C において、第 1 および第 2 領域の連続体 1 1 2 , 1 1 3 は、図 3 A 乃至 3 G のように、微粒子や、連続体と微粒子で形成してもよい。

【 0 1 1 9 】

図 4 A の電子装置は、絶縁体 1 0 1 中の第 3 領域が、単一の微粒子 1 0 7 を有する。この場合、最も効果的に小型化を図ることができる。

【 0 1 2 0 】

図 4 B の電子装置は、絶縁体 1 0 1 中の第 3 領域が、2 つの微粒子 1 0 7 を有する。この場合、第 1 領域と第 2 領域との間の障壁が、図 4 A の電子装置よりも 1 つ増えるので、微粒子 1 0 7 からのトンネル現象によるリークを抑制することができる。

【 0 1 2 1 】

図 4 C の電子装置は、絶縁体 1 0 1 中の第 3 領域が、3 つの微粒子 1 0 7 を有する。この第 3 領域の微粒子 1 0 7 は 3 つ以上でもよい。この場合、中央の微粒子 1 0 7 は、両側の微粒子 1 0 7 , 1 0 7 によって、第 1 及び第 2 領域からの影響が低減されるので、例えば第 3 領域に近接した電極などにより、中央の微粒子 1 0 7 のポテンシャルを制御し易くなる。

【 0 1 2 2 】

本実施形態では、第 1 乃至第 3 領域は、金属で形成された微粒子や連続体を有したが、半導体で形成された微粒子や連続体を有してもよい。また、金属や半導体の単体に限られず、合金や化合物、あるいは、有機化合物で形成された微粒子や連続体であってもよい。

【 0 1 2 3 】

また、上記第 1 乃至第 3 領域は絶縁体 1 0 1 に形成されたが、必ずしも絶縁体である必要はなく、微粒子 1 0 7 に対して障壁として働く物質や、電気抵抗が高い物質であればよい。

【 0 1 2 4 】

図 5 A 乃至 5 D は、本実施形態の電子装置の製造方法を示した工程図である。この電子装置は、シリコン基板 5 0 1 中の第 1 及び第 2 領域に、シリコンがリンドーブされてなる連続体で形成された第 1 及び第 2 電極 5 0 2 , 5 0 3 を有し、この第 1 及び第 2 電極 5 0 2 , 5 0 3 の間に、シリコンがリンドーブされてなる 2 つの微粒子 5 0 4 , 5 0 4 を有する。なお、上記微粒子 5 0 4 の数は 2 つに限られない。

【 0 1 2 5 】

この電子装置の製造工程では、まず、図 5 A に示すように、通常の半導体製造装置を用いて、シリコン基板 5 0 1 上に熱酸化膜 5 0 5 を形成し、この熱酸化膜 5 0 5 上に、注入マスクとしてレジスト 5 0 6 をフォトリソグラフィーによって形成する。その後、リンのイオン注入により、第 1 及び第 2 電極 5 0 2 , 5 0 3 及び微粒子 5 0 4 を形成する。上記注入によって形成される微粒子 5 0 4 の大きさはナノメートルサイズであり、典型的には、数 nm から数十 nm である。この注入によって形成される微粒子 5 0 4 の大きさは、例えば MOS のウエルのような従来の半導体において注入で形成されるものよりも小さい点に特徴がある。また、上記微粒子 5 0 4 の間の距離も、同様のナノメートルサイズであることが好ましい。

【 0 1 2 6 】

次に、熱酸化膜 5 0 5 上のレジスト 5 0 6 を除去し、この熱酸化膜 5 0 5 上に、図 5 C に示すように、第 3 電極 5 0 7 を形成する。この第 3 電極 5 0 7 は、電圧が印加されたときに、微粒子 5 0 4 に電界を印加するように設置する。

10

20

30

40

50

【 0 1 2 7 】

上記熱酸化膜 5 0 5 上に層間絶縁膜 5 0 9 を形成し、上記第 1 乃至第 3 電極 5 0 2 , 5 0 3 , 5 0 7 に、導電体で形成された配線 5 0 8 を接続する。

【 0 1 2 8 】

図 6 A 乃至 6 F は、本実施形態の他の電子装置の製造方法を示す工程図である。この電子装置は、酸化膜 5 0 5 直下に第 1 及び第 2 電極 5 0 2 , 5 0 3 と微粒子 5 0 4 を形成している。この電子装置は、第 3 領域に微粒子 5 0 4 を 3 個有するが、微粒子の数はこれに限られない。この電子装置は、図 5 A 乃至 5 D に示した方法と同様の方法で製造できる。図 6 A 乃至 6 D において、図 5 A 乃至 5 D において実質的に同じ部分には同じ参照番号を付して、詳細な説明を省略する。

10

【 0 1 2 9 】

図 6 D の電子装置の特徴は、第 3 電極 5 0 7 への印加電圧に伴う電界によって微粒子 5 0 4 に対してポテンシャルを変化させる以外に、微粒子 5 0 4 間及び微粒子 5 0 4 と第 1 及び第 2 電極 5 0 2 , 5 0 3 との間の小領域に対して電界を印加することにより、微粒子 5 0 4 間の障壁のポテンシャル高さを変化させて、この微粒子 5 0 4 間を流れるトンネル電流を変化させる点にある。

【 0 1 3 0 】

この電子装置は、第 1 電極 5 0 2 がソース電極として、第 2 電極 5 0 3 がドレイン電極として、第 3 電極 5 0 7 がゲート電極として機能することにより、スイッチング素子として機能する。微粒子 5 0 4 間及び微粒子 5 0 4 と第 1 及び第 2 電極 5 0 2 , 5 0 3 との間の小領域は、寸法が 2 0 n m 以下と十分に小さいため、上記第 3 電極 5 0 7 への印加電圧の制御により、上記第 1 及び第 2 電極 5 0 2 , 5 0 3 の間に微小なトンネル電流を流すことができる。

20

【 0 1 3 1 】

なお、図 6 C 及び 6 D に示すように、第 3 電極 5 0 7 を中央の微粒子 5 0 4 上に形成したが、図 6 E 及び 6 F に示すように、微粒子 5 0 4 の間のシリコン基板の部分（小領域）上に、第 3 電極 5 0 7 を形成してもよい。これにより、微粒子 5 0 4 間の障壁のポテンシャル高さを変化させて、この微粒子 5 0 4 間を流れるトンネル電流を変化させることができる。

【 0 1 3 2 】

30

以上のように、本実施形態の電子装置は、単一あるいは複数の微粒子 1 0 7 , 5 0 7 を非常に狭い電極 1 1 2 , 1 1 3 , 1 2 2 , 1 3 3 , 5 0 2 , 5 0 3 間に整列させることにより、上記微粒子 1 0 7 , 5 0 7 同士の間や、電極 1 1 2 , 1 1 3 , 1 2 2 , 1 3 3 , 5 0 2 , 5 0 3 と微粒子 1 0 7 , 5 0 7 との間の小領域を、少ない電荷が低電位差でトンネルすることができる。したがって、電荷の量を、従来技術のデバイスに比較して飛躍的に少なくすることができ、極低消費の電子装置が実現できる。また、上記第 3 電極 5 0 7 を設けることにより、この第 3 電極 5 0 7 への低い印加電圧によって、第 1 及び第 2 電極 5 0 2 , 5 0 3 の間を流れる電荷の量を制御することができる。

【 0 1 3 3 】

40

なお、第 3 電極を設けてスイッチング素子を構成した場合、図 3 A 乃至 3 G に示した第 1 乃至第 3 領域を用いてもよい。例えば、図 7 に示すように、図 3 G の第 1 乃至第 3 領域を、絶縁膜 7 1 0 上に形成されたシリコン層 7 0 1 中に形成し、このシリコン層 7 0 1 の表面に第 3 電極 7 0 7 を設けてもよい。図 7 において、7 1 2 は、シリコンにリンドーブされて形成された連続体及び微粒子からなる第 1 電極であり、7 1 3 は、シリコンにリンドーブされて形成された連続体及び微粒子からなる第 2 電極であり、7 1 4 は、シリコンにリンドーブされて平面状に形成された微粒子であり、7 0 8 は、第 1 乃至第 3 電極 7 1 2 , 7 1 3 , 7 0 7 に各々接続された配線である。

【 0 1 3 4 】

本実施形態の電子装置は、第 3 電極を浮遊化して例えば浮遊ゲートとして用いることで、メモリ素子として動作することも可能である。

50

【 0 1 3 5 】

特に、本実施形態のメモリ素子は、従来のMOS型の例えばフラッシュメモリと異なり、上記第3電極をナノメートルサイズに微細化することができるので、書き込み及び消去に第3電極に与えるべき電荷が少なくできて、消費電力を抑制できる点で好ましい。

【 0 1 3 6 】

図8Aは、本実施形態の電子装置としてのメモリ素子の一例を示す模式図である。

【 0 1 3 7 】

このメモリ素子は、第1領域と第2領域で挟まれた第3領域に隣接して、第3電極が形成されている。すなわち、第1領域の第1電極812と、第2領域の第2電極813の間の第3領域に、上記第1電極812と第2電極813が並ぶ方向に沿って配列されたチャンネル微粒子814が形成されている。上記第1電極812と第2電極813とチャンネル微粒子814が並ぶ平面に含まれない位置であって、上記チャンネル微粒子814の図8Aにおける上側の位置に、微粒子で形成された第3電極としての浮遊微粒子815を備える。この浮遊微粒子815は、上記チャンネル微粒子814が並ぶ方向と略平行に、かつ、上記チャンネル微粒子814の密度と略同じ密度に形成されている。上記チャンネル微粒子814及び浮遊微粒子815は、ナノメートルサイズの金属又は半導体で形成されている。上記浮遊微粒子815の上側に、制御電極807が形成されている。このメモリ素子は、絶縁体基板801上に形成されており、上記チャンネル微粒子814及び浮遊微粒子815は、絶縁体817中に形成されている。この絶縁体817は、微粒子814、815に対して障壁となる材料であればよく、絶縁体以外に半導体等であってもよい。絶縁体基板801は、例えば、ガラス基板を用いることができる。上記ガラス基板801上にシリコン等の導体性物質をCVDで堆積して、第1電極812及び第2電極813を形成することができる。また、上記絶縁基板801は、ガラス以外にアクリル、プラスチック、ポリプロピレン、ポリイミド及びビニール等を用いることも可能である。また、絶縁体基板801に代えて、半導体基板、例えばシリコン基板を用いてもかまわない。

【 0 1 3 8 】

図8Bは、図8Aのメモリ素子におけるチャンネル微粒子814と浮遊微粒子815との位置関係を示した図である。

【 0 1 3 9 】

図8Bに示すように、チャンネル微粒子814と浮遊微粒子815との間の最も小さい距離D1と、上記第3領域中のチャンネル微粒子814とチャンネル微粒子との間の最も小さい距離D2とを比較すると、D1をD2よりも大きく形成している。これにより、チャンネル微粒子814同士の間隔の障壁よりも、チャンネル微粒子814と浮遊微粒子815との間の障壁を高くしている。これにより、上記浮遊微粒子815の電荷の保持特性が高くなる。なお、上記チャンネル微粒子814及び浮遊微粒子815は、共通の絶縁体817中に形成されているので、D1をD2よりも大きくすることによって浮遊微粒子815とチャンネル微粒子814との間の障壁を高くしたが、以下のようにして障壁高さを変えてもよい。すなわち、浮遊微粒子815の周りを囲む物質と、チャンネル微粒子814の周りを囲む物質とを異ならせて、浮遊微粒子815とチャンネル微粒子814との間の障壁をチャンネル微粒子814同士の間隔の障壁よりも高くしてもよい。この場合、必ずしもD1をD2よりも大きくする必要はない。

【 0 1 4 0 】

なお、図8A及び8Bにおいて、分かり易さのため、浮遊微粒子815及びチャンネル微粒子814は、夫々複数の微粒子で形成したが、浮遊微粒子815及びチャンネル微粒子814を構成する微粒子は少ないのが好ましく、特に、夫々1個の微粒子で浮遊微粒子815及びチャンネル微粒子814を構成するのが、極微細化が可能となる点で好ましい。

【 0 1 4 1 】

本実施形態の電子装置は、第1領域と第2領域の間の距離を、例えば1.0nm~0.1μmのような非常に小さい距離に形成するので、第1電極及び第2電極への印加電圧が

10

20

30

40

50

小さくても、また、第3領域の微粒子が小さくても、第1領域と第2領域の間に電流を流すことができる。また、第3領域と第3電極との間の距離を、例えば $1.0\text{ nm} \sim 0.1\text{ }\mu\text{m}$ のような非常に小さい距離に形成するので、この第3電極に印加した電圧によって生じる電界を第3領域に印加し易くなり、したがって、小さい印加電圧によって電子装置を動作できるので、消費電力の低減を図ることができる。また、第3電極を浮遊電極として用いた場合においても、この浮遊電極への電荷の出し入れの際に制御電極や第1及び第2電極に印加する電圧を小さくできるので、メモリ素子の消費電力の低減を図ることができる。

【0142】

本実施形態の電子装置では、ソース/ドレインとしての第1及び第2電極の間に電流が流れる際、第1及び第2電極と微粒子の間や、微粒子同士の間複数の障壁を電荷がトンネルする。ここで、第1及び第2電極、あるいは、第3電極の形状を所定形状にすることによって、障壁及び微粒子に印加される電界を適切に調整することができる。

【0143】

図9A乃至9Jは、本実施形態の電子装置が有する電極及び微粒子の形状の例を示した模式図である。

【0144】

図9Aでは、第1及び第2領域の第1及び第2電極901、902を、互いに対向する部分が尖った形状にすることにより、第3領域の微粒子911に対する電荷の出し入れを効率良く行うことができる。

【0145】

図9Bでは、第3電極903を、第3領域内の所定の微粒子912に向かって尖った形状にすることにより、上記微粒子911に対して電界を強く印加できる。

【0146】

図9Cでは、第3電極を微粒子で形成して浮遊電極904とし、制御電極905を上記浮遊電極904に向かって尖った形状にすることにより、上記浮遊電極904への電荷の出し入れを容易にすることができる。

【0147】

図9Dは、第1及び第2領域の第1及び第2電極901、902を、互いに対向する部分が尖った形状にする。さらに、第3電極を微粒子で形成して浮遊電極904とし、制御電極905を上記浮遊電極904に向かって尖った形状にする。これにより、第1及び第2電極901、902間の電流の流れ易さと、浮遊電極904への電荷の出し入れのし易さとを向上できる。

【0148】

図9Eは、第3領域の微粒子912に関して浮遊電極904と反対側に、第4電極907を配置している。この第4電極907によって、第3電極903からの電界を引き込んで、上記第3領域に印加する電界の強度と精度を向上することが可能である。

【0149】

図9Fは、第4電極907の形状を、第3領域の所定の微粒子912に向かって尖らせて、この微粒子912に集中的に電界を印加できるようにしている。

図9A乃至9Fにおいて、図9Gのように先端が尖った形状の電極は、図9Hのように、先端に矩形状の突起を有する形状の電極としてもよい。また、図9Gのように2等辺三角形形状の電極を、図9Iのように先端の両側の辺が不等の直角三角形形状の電極にしてもよい。さらに、図9Jのように、先端に向かって径が小さくなるように複数の微粒子が連結された電極にしてもよい。さらに、先端が尖った形状の電極は、先端が多少丸みを帯びていてもよい。

【0150】

以上のように、電極の形状を所定の形状にすることにより、電子装置のオンオフ比を増大することができる。また、所定の微粒子に効果的に電荷を蓄えることができる。

【0151】

本実施形態において、微粒子は、単体の金属で形成する必要はなく、例えば金属酸化膜の中に金属結晶が含まれるような構造であってもよい。あるいは、不純物が半導体中に導入されて形成されてもよい。要は、クーロンブロッケード現象を用いて、単一電荷を扱うことができれば、その材質は限定されない。また、上記微粒子の形状は、球状に限られず、ナノサイズ効果が得られる限り、いかなる形状であってもよい。

【0152】

(第2実施形態)

図10A乃至10Eは、本発明の第2実施形態の電子装置の製造方法を説明する図である。

【0153】

まず、図示しないシリコン基板上に、熱酸化によって、高抵抗体としてのシリコン酸化膜1001を形成する。このシリコン酸化膜1001は、5～100nmの厚み、典型的には30nmの厚みを有する。

【0154】

続いて、上記シリコン酸化膜1001上に、CVD装置を行いて、厚さ3～60nm、典型的には、15nmの厚みのポリシリコン膜を成膜する。このポリシリコンは、場合によっては酸化を行う。

【0155】

次に、図10Aに示すように、ポリシリコン膜に異方性エッチングを行って、シリコン酸化膜1001の後に第3領域となる部分の上に、制御層1002を形成する。

【0156】

その後、上記制御層1002が表面に形成されたシリコン酸化膜1001に金属注入を行う。

【0157】

図10Cは、シリコン酸化膜1001及び制御層1002中に注入された金属の濃度分布を模式的に示した図である。金属濃度は、通常、厚み方向に連続的に変化するように注入されるが、分かり易さのため、3段階に分けて示している。すなわち、シリコン酸化膜1001の所定深さに形成された高濃度領域1003と、この高濃度領域1003の表裏両面側に形成された中濃度領域1004と、この中濃度領域1004のさらに表裏両面側に形成された低濃度領域1005とが形成される。

【0158】

続いて、図10Dに示すように、制御層1002を除去する。そして、熱処理を行って、注入された金属を凝集して微粒子及び連続体を形成する。

【0159】

上記シリコン酸化膜1001に注入された金属の濃度に応じて、図10Eに示すように、第1及び第2領域に、金属の連続体及び微粒子1012、1013が形成され、第3領域に、比較的低い密度の微粒子1014が形成される。詳しくは、シリコン酸化膜1001中の高濃度領域1003に金属の連続体1012が形成され、中濃度領域1004に大径の微粒子1013が形成され、低濃度領域に小径の微粒子1014が形成される。

【0160】

本実施形態において、制御層1002を除去した後に熱処理を行って微粒子を形成したが、熱処理を行って微粒子を形成した後に、制御層1002を除去してもよい。また、熱処理は、注入工程で微粒子が直ちに形成される場合は不要である。ただし、この場合でも、熱処理を行った方が、欠陥の回復や、不要な界面準位の抑制を行うことができ、信頼性を向上できる点で好ましい。

【0161】

図11A乃至11Eは、他の電子装置の製造方法を示す図である。本実施形態の電子装置は、制御層がテーパー形状を有している点が、図10A乃至10Eの製造方法と異なる。

【0162】

すなわち、シリコン酸化膜 1101 上に形成されたポリシリコン膜に、図 10A の制御層 1002 を形成したエッチングの条件よりも HBr の流量比率を増加させた条件により、テーパーエッチングを行う。これにより、図 11A に示すように、表面からシリコン酸化膜 1101 側に向かうにつれて幅が広がるテーパー形状の制御層 1102 が形成される。

【0163】

テーパーエッチングを行う他の方法としては、等方性のドライエッチングやウェットエッチングがある。この場合は、制御層 1102 の上部の側面が概ね平行である一方、シリコン酸化膜 1101 の表面近傍部分の側面が末広がりになる裾引き形状となる。

【0164】

続いて、図 11B に示すように、上記制御層 1102 が表面に形成されたシリコン酸化膜 1101 に、金属注入を行う。注入された金属濃度は、最も高い高濃度領域 1103、中濃度領域 1104、低濃度領域 1105 の順に低くなる。

【0165】

続いて、図 11C に示すように、制御層 1102 を除去する。

【0166】

そして、熱処理を行って、図 11E に示すように、第 1 及び第 2 領域に、金属の連続体及び微粒子 1112、1113 を形成し、第 3 領域に、比較的低い密度の微粒子 1114 を形成する。

【0167】

この後、図 11E に示すように、必要に応じて、シリコン酸化膜 1101 の表面部分を酸化して絶縁膜を形成し、あるいは、シリコン酸化膜 1101 の表面に絶縁体を堆積して、絶縁膜 1106 を形成する。この絶縁膜 1106 上に、図示しないが、第 3 電極を形成することが可能となる。

【0168】

本実施形態の製造方法で製造した電子装置は、第 1 及び第 2 領域と、第 3 領域との間の境界近傍に、第 3 領域の微粒子よりも直径が大きい微粒子が形成される。これにより、第 1 及び第 2 領域と、第 3 領域との間の電荷の移動が容易になり、安定した特性の電子装置が得られる。

【0169】

図 12A 乃至 12E は、本実施形態のスイッチング素子の製造工程を示した図である。

【0170】

まず、図 12A に示すように、シリコン基板 1210 に熱酸化を行って、このシリコン基板 1210 の表面部分に、厚みが 20 nm のシリコン酸化膜 1201 を形成する。そして、このシリコン酸化膜 1201 の表面に、イオン注入によって金属を注入する際の制御層となるマスク 1202 をレジストによって形成する。

【0171】

次に、上記マスク 1202 の存在の下、上記シリコン酸化膜 1201 に、金属としての Ag をイオン注入法によって注入する。このイオン注入は、100 keV 以下の加速エネルギー、典型的には 15 keV の加速エネルギーと、 $5 \times 10^{16} \text{ cm}^{-2}$ のドーズで行う。

【0172】

このように、Ag イオンを低い加速エネルギーで注入するので、Ag イオン種は、シリコン酸化膜 1201 のマスク 1202 が表面に形成されていない部分には、深く注入される一方、シリコン酸化膜 1201 のマスク 1202 が表面に形成された部分には、浅く注入される。

【0173】

そして、不活性ガス雰囲気中で、500 ~ 700 °C の温度で 60 分間アニールを行う。これにより、上記シリコン酸化膜 1201 中にイオン注入された Ag 原子が凝集し、Ag からなる金属微粒子 1214 が第 3 領域に形成される。一方、銀微粒子が表面に融着し

10

20

30

40

50

たような銀の連続体が第1及び第2領域に形成されて、第1及び第2電極1212, 1213が形成される。

【0174】

次に、図12Bに示すようにマスク1202を除去する。

【0175】

そして、図12Cに示すように、シリコン酸化膜1201の表面部分を更に酸化することにより、あるいは、シリコン酸化膜1201の表面に絶縁体を堆積することにより、上記シリコン酸化膜1201の表面に絶縁膜1206を形成する。

【0176】

続いて、図12Dに示すように、上記絶縁膜1206上にポリシリコン膜を堆積し、パターニングすることにより、第3電極（ゲート電極）1207を形成する。

10

【0177】

そして、図12Eに示すように、上記絶縁膜1206及び第3電極1207上に層間絶縁膜1215を堆積し、コンタクト工程やメタル配線工程を行って、上記第1乃至第3電極1212, 1213, 1207に接続するコンタクト配線1208を形成する。

【0178】

以上のようにして、第3電極1207への印加電極によって第1電極1212と第2電極1213との間の電流を単一電荷の単位で制御可能なスイッチング素子を製造できる。

【0179】

本実施形態の製造方法は、従来の一般的な半導体プロセスを用いて行うことができるので、上記スイッチング素子を既存の半導体製造ラインを用いて安価に製造できる。また、本実施形態のスイッチング素子と、従来の一般的な例えばMOSデバイスとを容易に混載して製造できる。

20

【0180】

なお、上記実施形態において、微粒子及び連続体を形成するための金属種や、注入およびアニール条件は、微粒子及び連続体を形成すべき位置に応じて、適宜変更が可能である。

【0181】

また、上記実施形態において、高抵抗体として、シリコン酸化膜1001, 1101, 1201を用いたが、ガラス基板を用いてもよい。また、高抵抗体としてプラスチック基板を用いてもよく、例えば、ビニールのような柔軟な材料で形成されたプラスチック基板を用いてもよい。この場合は、熱耐性を考慮して、微粒子を形成するのに用いる材料を選択する。

30

【0182】

また、制御層1002, 1102, 1202をポリシリコンやレジストを用いて形成したが、酸化膜や窒化膜で形成しても構わない。この制御層1002, 1102, 1202の材料と、注入を行うべき高抵抗体の材料に応じて、注入する金属又は半導体の材料や、注入エネルギーや、注入量などを調整する。

【0183】

また、微粒子1014, 1114, 1214を形成する材料は、Ag以外の他の材料を用いても構わない。特に、高温での熱処理を行うことが困難な場合には、低融点材料を用いればよい。また、熱処理を行わなくても注入工程のみによって微粒子が形成されるような注入種、注入エネルギー及び注入量等を設定すればよい。

40

【0184】

また、微粒子1014, 1114, 1214を形成する材料を高抵抗体中に導入する方法としては、注入法を用いたが、固層拡散法など他の方法を用いても構わない。

【0185】

（第3実施形態）

第3実施形態では、他の電子装置の製造方法を説明する。本実施形態の電子装置の製造方法は、第1及び第2領域への金属又は半導体の注入と、第3領域への金属又は半導体の

50

注入とを、互いに異なる工程で行う点が、第2実施形態と異なる。

【0186】

まず、図13Aに示すように、シリコン酸化膜1301の表面に、制御層としてのマスク1302をレジストによって形成する。

【0187】

続いて、上記マスク1302の存在の下、上記シリコン酸化膜1301に、金属としてのAgをイオン注入法によって注入して、第1領域及び第2領域となる部分に中濃度領域1304と低濃度領域1305とを形成する。

【0188】

上記マスク1302は、上記Agイオンが通過しない厚みに形成されているので、このマスク1302が表面に形成されて第3領域となるシリコン酸化膜1301の部分には、Agイオンは注入されない。換言すれば、シリコン酸化膜1301の第1及び第2領域となる部分のみに、Agイオンが注入される。

【0189】

続いて、図13Cに示すように、上記マスク1302を除去する。そして、シリコン酸化膜1301に、再度Agイオンの注入を行う。これにより、図13Dのように、シリコン酸化膜1301中の第1領域及び第2領域に、高濃度領域1303、中濃度領域1304、低濃度領域1305が形成される。一方、シリコン酸化膜1301の第3領域に、低濃度領域1307が形成される。

【0190】

続いて、所定条件でアニールを行うことにより、シリコン酸化膜1301に注入されたAg原子が凝集されて、図13Eに示すように、連続体及び微粒子で形成された第1及び第2電極1312、1313が、第1及び第2領域に形成される。また微粒子1314が第3領域に形成される。

【0191】

この後、図示しないが、シリコン酸化膜1301の表面に絶縁膜を形成し、この絶縁膜上にゲート電極を形成する。そして、層間絶縁膜を堆積し、第1電極1312、第2電極1313及びゲート電極に接続するコンタクト配線を形成することにより、本実施形態の電子装置が完成する。

【0192】

本実施形態では、典型的には、2回の注入で用いられる材料は同一であり、注入エネルギーは略同じである。なお、シリコン酸化膜1301の表面のスパッタリングが無視できない場合は、注入エネルギーを低減する必要がある。この場合、第1領域及び第2領域に形成される金属の連続体と、第3領域に形成される微粒子とが、互いに同一平面上に形成されるように、金属の注入条件を調整する必要がある。

【0193】

なお、第1及び第2領域に注入する金属材料と、第3領域に注入する金属材料とを互いに異ならせてもよく、また、第1及び第2領域と、第3領域とで注入条件を異ならせてもよい。また、上記第1乃至第3領域に注入する材料は、半導体であってもよい。また、上記シリコン酸化膜1301は、他の絶縁体であってもよく、あるいは、微粒子1314に対して障壁となる材料であれば、絶縁体以外のものでもよい。

【0194】

(第4実施形態)

第4実施形態では、制御層を形成する前に、シリコン酸化膜に注入を行う点が、第3実施形態と異なる。

【0195】

本実施形態では、まず、シリコン酸化膜1401に、第3領域に形成すべき微粒子が得られる濃度の金属を注入して、低濃度領域1406を形成する(図14A)。

【0196】

この後、上記シリコン酸化膜1401の表面に、所定形状の制御層1402をレジスト

10

20

30

40

50

によって形成する（図 1 4 B）。この制御層 1 4 0 2 は、後の注入工程で金属イオンを透過しない厚さに形成する。

【 0 1 9 7 】

続いて、上記制御層 1 4 0 2 が形成された側から、シリコン酸化膜 1 4 0 1 に金属イオンの注入を行い（図 1 4 C）、第 1 及び第 2 領域となる部分に、高濃度領域 1 4 0 3 と、中濃度領域 1 4 0 4 と、低濃度領域 1 4 0 5 とを形成する。

【 0 1 9 8 】

そして、制御層 1 4 0 2 を除去して、アニールを行うことにより、第 1 領域及び第 2 領域に、連続体及び微粒子で形成された第 1 及び第 2 電極 1 4 1 2 , 1 4 1 3 を形成する。また、第 3 領域に微粒子 1 4 1 4 を形成する。

10

【 0 1 9 9 】

本実施形態によれば、第 1 及び第 2 領域への金属の注入条件と、第 3 領域への金属の注入条件とを、互いに独立して設定することができる点にある。

【 0 2 0 0 】

本実施形態において、制御層 1 4 0 2 はレジストで形成して図 1 4 E の工程の前に除去したが、導電性物質で形成して残すことにより、第 3 電極として用いることができる。この場合、第 1 乃至第 3 領域と、第 3 電極とを自己整合的に形成することができ、精度の高い電子装置を容易に製造できる。

【 0 2 0 1 】

なお、上記第 1 乃至第 3 領域に注入する材料は、半導体であってもよい。また、上記シリコン酸化膜 1 4 0 1 は、他の絶縁体であってもよく、あるいは、微粒子 1 4 1 4 に対して障壁となる材料であれば他のものでもよい。

20

【 0 2 0 2 】

（第 5 実施形態）

第 5 実施形態では、微粒子及び連続体を、注入法ではなくて、堆積法又は塗付法を用いて形成する点が、第 2 乃至第 4 実施形態と異なる。

【 0 2 0 3 】

まず、図 1 5 A に示すように、シリコン酸化膜 1 5 0 1 上に、レジストによって所定パターンの制御層 1 5 0 2 を形成する。

【 0 2 0 4 】

この後、上記シリコン酸化膜 1 5 0 1 上に、第 1 及び第 2 領域に形成すべき電極の材料 1 5 0 3 を堆積又は塗布する（図 1 5 B）。

30

【 0 2 0 5 】

続いて、上記制御層 1 5 0 2 を除去した後、第 3 領域に形成すべき微粒子の材料を堆積又は塗布する（図 1 5 C、1 5 D）。このとき、上記第 1 及び第 2 領域となる部分に微粒子を形成する材料を堆積又は塗布してもよい。この微粒子の材料は、溶剤に絶縁体および金属の材料を含ませたものを用いることができる。

【 0 2 0 6 】

この後、熱処理を行って、上記第 1 及び第 2 領域に、第 1 電極 1 5 1 2 及び第 2 電極 1 5 1 3 を形成すると共に、上記第 3 領域に微粒子 1 5 1 4 を形成する。そして、上記第 1 乃至第 3 領域上に、絶縁膜 1 5 2 1 を形成して、図 1 5 E に示すような電子装置が得られる。

40

【 0 2 0 7 】

なお、上記微粒子を形成するための材料によっては、熱処理工程を省略できる。この場合、工程数を削減してコストダウンを図ることができ、また、熱処理によって他の領域に与える影響を回避できる。

【 0 2 0 8 】

熱処理を行わずに微粒子を形成する方法としては、例えば、絶縁体と金属をスパッタ法により堆積する方法がある。典型的には、絶縁体として酸化シリコンを用いると共に、金属としてタングステンやコバルトなどを用いることができる。絶縁体と共にスパッタ法に

50

よって堆積する金属は、高融点材料を用いるのが好ましく、例えば、Ti, V, Cr, Mn, Fe, Co, Ni, Zr, Nb, Mo, Ta, Ru, Rh, Pd, Hf, Ta, W, Re, Os, Ir 及び Pt 等を用いることができる。

【0209】

そして、図示しないが、第2実施形態と同様に、絶縁膜1521上にゲート電極を形成し、その上に層間絶縁膜を堆積する。この層間絶縁膜に、第1電極1512、第2電極1513及びゲート電極に接続するコンタクト配線を形成することにより、スイッチング素子が得られる。

【0210】

本実施形態において、上記シリコン酸化膜1501は、他の絶縁体であってもよく、あるいは、微粒子1514に対して障壁となる材料であれば、絶縁体以外のものでもよい。

10

【0211】

(第6実施形態)

第6実施形態では、半導体を用いて微粒子を形成する。この微粒子を形成する半導体は、ドーピングによって高抵抗体中に導入する。

【0212】

まず、高抵抗体としてのシリコン酸化膜中にシリコンを注入して、シリコン微粒子を形成する。その後、シリコン酸化膜の表面に、所定形状のマスクをレジストによって形成し、このマスクが形成された側から、シリコン酸化膜中にリンを添加する。これにより、第1及び第2領域を形成する部分のシリコン微粒子が、リンドーピングによって低抵抗化されて、第1及び第2電極として機能する。一方、リンがドーピングされないシリコン微粒子は、第3領域の微粒子として機能する。

20

【0213】

本実施形態では、微粒子の寸法や形成密度を制御することによって第1乃至第3領域を形成するのではなく、微粒子の形態は同一である一方、リンドーピングの濃度によって第1乃至第3領域を形成する点が、第2乃至第5実施形態と異なる。

【0214】

本実施形態によれば、少ない工程で電子装置を作製でき、製造コストを低減することができる。また、電荷としてホールを用いた電子装置を容易に製造できる。したがって、従来よりも少ない工程でCMOSを製造できる。

30

【0215】

(第7実施形態)

第7実施形態の電子装置は、高抵抗体の第1及び第2領域を形成する部分の表面に制御層を形成する点が、第2乃至第5実施形態と異なる。

【0216】

まず、図16Aに示すように、シリコン基板1610上のシリコン酸化膜1601の表面であって、第1及び第2領域を形成する部分の表面に、ポリシリコンからなる2つの制御層1602, 1602を形成する。

【0217】

この2つの制御層1602, 1602が形成された側から、シリコン酸化膜1601に金属をイオン注入する。これにより、図16Bに示すように、表面に制御層1602, 1602が設けられたシリコン酸化膜1601の部分(第1及び第2領域に相当する)には、浅い位置に金属の高濃度領域1603、中濃度領域1604及び低濃度領域1605が形成される。一方、表面に制御層1602が設けられていないシリコン酸化膜1601の部分(第3領域に相当する)には、深い位置に金属の高濃度領域1603、中濃度領域1604及び低濃度領域1605が形成される。この第3領域の高濃度領域1603は、上記シリコン基板1610の表面に接するように形成する。

40

【0218】

続いて、上記制御層1602, 1602を除去して、アニールを行うことにより、図16Cに示すように、シリコン酸化膜1601の比較的浅い位置に形成された第1及び第2

50

領域に、第1及び第2電極1612, 1613が形成される。また、上記第1領域と第2領域に挟まれた第3領域に、密度が低い微粒子1614が形成される。これにより、少なくとも第1電極1612と第2電極1613が含まれる平面と同一の平面上において、微粒子1614が低密度に形成される。そして、この低密度の微粒子の下方(シリコン基板1610に近い側)に、第1電極1612と第2電極1613と同様に金属の連続体と大径の微粒子で形成された第3電極1615が形成される。この第3電極1615は、上記シリコン基板1610と接して形成されることにより、このシリコン基板1610を介して、第3領域に電界を印加することができる。すなわち、第1実施形態の図9Bに似た構成の電子装置が得られる。

【0219】

10

上記各実施形態において、第1及び第2領域は、金属又は半導体の連続体を有するが、第3領域における抵抗の変化の検出を妨げない限り、離散的な領域の集合体であってもよい。例えば、互いの間隔が狭くてトンネルが容易な微粒子の集合体で形成してもよく、あるいは、大径の微粒子の集合体で形成してもよく、要は、電気抵抗が第3領域よりも低ければよい。

【0220】

また、各実施形態において、第3領域の微粒子は、平面状に2次元的に配置してもよく、あるいは、直線状に1次元的に配置してもよく、あるいは、1個のみ配置してもよい。

【0221】

第2乃至第4、及び、第6実施形態では、絶縁膜中に注入を行うことによって、微粒子及び電極を形成したが、絶縁膜上にCVD法やスパッタ法などによって金属ナノドットを形成し、その上に絶縁膜を形成してもよい。この場合、金属ナノドットを形成する前までの工程と共に、一般的なCMOSの製造工程のうちのメタル配線を形成する前の工程までを並行して行うことができる。したがって、CMOSが混載された電子装置を容易に製造することができる。

20

【0222】

また、上記各実施形態において、イオン注入によって高抵抗体中に導入する金属は、Cu, Fe, Sn, Au, Pt, In及びGa等の他の元素の金属であってもよい。特に、AlやSi等のように表面に不動態を形成する材料は、電子装置の特性が安定する点で好ましい。同様に、高融点の金属元素を用いる場合も、特性を安定にできる点で好ましい。

30

【0223】

また、本発明の電子装置は、高抵抗体として、シリコン酸化膜の他にシリコン窒化膜や他の絶縁膜を用いることも可能である。

【0224】

上記各実施形態の電子装置を用いることにより、単一電荷によるスイッチ動作やメモリ動作を行うスイッチング素子やメモリ素子を形成できる。詳しくは、微粒子で形成した浮遊電極に蓄積された電荷に応じて、制御電極に電圧が印加されたときの第1電極と第2電極との間(ソース電極とドレイン電極との間)の電流の変化を検知して、上記浮遊電極における記憶状態を検出することにより、メモリ素子として動作する。このようなスイッチング素子やメモリ素子を用いることにより、様々な論理回路やメモリ回路を構成することが可能になる。

40

【0225】

本発明の電子装置は従来の半導体プロセスを用いて作製できるので、従来の例えばCMOS等のような半導体装置と容易に混載でき、また、従来のスイッチング素子及びメモリ素子に対して容易に置き換えることができる。

【0226】

また、本発明の電子装置を用いることにより、従来よりも低消費電力のスイッチング素子やメモリ素子を形成でき、ひいては、このスイッチング素子やメモリ素子を用いた電子機器の消費電力の低減を図ることができる。本発明の電子装置は、例えば、例えば携帯型情報端末、携帯型録音再生装置、携帯電話、携帯型大容量記憶装置、パーソナルコンピュ

50

ータ、家庭用電化機器等のあらゆる電子機器に用いることが可能である。

【0227】

さらに、本発明の電子機器は、例えば、高抵抗体表面に制御層を形成し、イオン注入を行うことによって、第1乃至第3領域を容易に形成できるので、微細化が容易であり、電子装置の高集積化を容易に行うことができる。また、電子装置のデバイス長及びデバイス幅を高い自由度で設定することができる。

【図面の簡単な説明】

【0228】

【図1A】本発明の第1実施形態の電子装置の基本構成を示す模式図である。

【図1B】電子装置の第3領域の一例を示す模式図である。

10

【図1C】第3領域に微粒子を有する電子装置を示す模式図である。

【図1D】第3領域に微粒子を有する他の電子装置を示す模式図である。

【図2】電子装置の第1乃至第3領域に含まれる金属の濃度分布を示す図である。

【図3A】電子装置の第1乃至第3領域の一例を示す模式図である。

【図3B】電子装置の第1乃至第3領域の一例を示す模式図である。

【図3C】電子装置の第1乃至第3領域の一例を示す模式図である。

【図3D】電子装置の第1乃至第3領域の一例を示す模式図である。

【図3E】電子装置の第1乃至第3領域の一例を示す模式図である。

【図3F】電子装置の第1乃至第3領域の一例を示す模式図である。

【図3G】電子装置の第1乃至第3領域の一例を示す模式図である。

20

【図4A】第3領域に単一の微粒子を有する電子装置を示す模式図である。

【図4B】第3領域に2つの微粒子を有する電子装置を示す模式図である。

【図4C】第3領域に3つの微粒子を有する電子装置を示す模式図である。

【図5A】本実施形態の電子装置の製造方法を示す工程図である。

【図5B】図5Aに続く製造工程を示す図である。

【図5C】図5Bに続く製造工程を示す図である。

【図5D】図5Cに続く製造工程を示す図である。

【図6A】他の電子装置の製造方法を示す工程図である。

【図6B】図6Aに続く製造工程を示す図である。

【図6C】図6Bに続く製造工程を示す図である。

30

【図6D】図6Cに続く製造工程を示す図である。

【図6E】図6Dに続く製造工程を示す図である。

【図6F】図6Eに続く製造工程を示す図である。

【図7】本実施形態の電子装置としてのスイッチング素子を示す図である。

【図8A】本実施形態の電子装置としてのメモリ素子を示す図である。

【図8B】図8Aのメモリ素子の一部を示す図である。

【図9A】本実施形態の電子装置が有する電極及び微粒子の形状の一例を示す図である。

【図9B】電極及び微粒子の形状の他の例を示す図である。

【図9C】電極及び微粒子の形状の他の例を示す図である。

【図9D】電極及び微粒子の形状の他の例を示す図である。

40

【図9E】電極及び微粒子の形状の他の例を示す図である。

【図9F】電極及び微粒子の形状の他の例を示す図である。

【図9G】電極の形状の一例を示す図である。

【図9H】電極の形状の他の例を示す図である。

【図9I】電極の形状の他の例を示す図である。

【図9J】電極の形状の他の例を示す図である。

【図10A】第2実施形態の電子装置の製造方法を示す工程図である。

【図10B】図10Aに続く工程を示す図である。

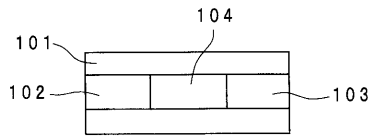
【図10C】図10Bに続く工程を示す図である。

【図10D】図10Cに続く工程を示す図である。

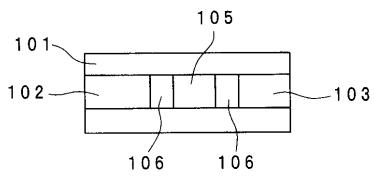
50

- 【図 1 0 E】図 1 0 D に続く工程を示す図である。
- 【図 1 1 A】他の電子装置の製造方法を示す工程図である。
- 【図 1 1 B】図 1 1 A に続く工程を示す図である。
- 【図 1 1 C】図 1 1 B に続く工程を示す図である。
- 【図 1 1 D】図 1 1 C に続く工程を示す図である。
- 【図 1 1 E】図 1 1 D に続く工程を示す図である。
- 【図 1 2 A】スイッチング素子の製造方法を示す工程図である。
- 【図 1 2 B】図 1 2 A に続く工程を示す図である。
- 【図 1 2 C】図 1 2 B に続く工程を示す図である。
- 【図 1 2 D】図 1 2 C に続く工程を示す図である。 10
- 【図 1 2 E】図 1 2 D に続く工程を示す図である。
- 【図 1 3 A】第 3 実施形態の電子装置の製造方法を示す工程図である。
- 【図 1 3 B】図 1 3 A に続く工程を示す図である。
- 【図 1 3 C】図 1 3 B に続く工程を示す図である。
- 【図 1 3 D】図 1 3 C に続く工程を示す図である。
- 【図 1 3 E】図 1 3 D に続く工程を示す図である。
- 【図 1 4 A】第 4 実施形態の電子装置の製造方法を示す工程図である。
- 【図 1 4 B】図 1 4 A に続く工程を示す図である。
- 【図 1 4 C】図 1 4 B に続く工程を示す図である。
- 【図 1 4 D】図 1 4 C に続く工程を示す図である。 20
- 【図 1 4 E】図 1 4 D に続く工程を示す図である。
- 【図 1 5 A】第 5 実施形態の電子装置の製造方法を示す工程図である。
- 【図 1 5 B】図 1 5 A に続く工程を示す図である。
- 【図 1 5 C】図 1 5 B に続く工程を示す図である。
- 【図 1 5 D】図 1 5 C に続く工程を示す図である。
- 【図 1 5 E】図 1 5 D に続く工程を示す図である。
- 【図 1 6 A】第 7 実施形態の電子装置の製造方法を示す工程図である。
- 【図 1 6 B】図 1 6 A に続く工程を示す図である。
- 【図 1 6 C】図 1 6 B に続く工程を示す図である。
- 【図 1 7】従来のスイッチング素子を示す図である。 30
- 【符号の説明】
- 【 0 2 2 9 】
- 1 0 1 高抵抗体
 - 1 0 2 第 1 領域
 - 1 0 3 第 2 領域
 - 1 0 4 第 3 領域
 - 1 0 5 小領域
 - 1 0 6 絶縁体
 - 1 0 7 微粒子

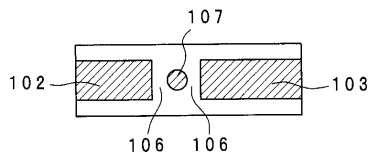
【図 1 A】



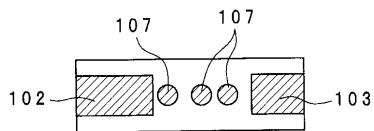
【図 1 B】



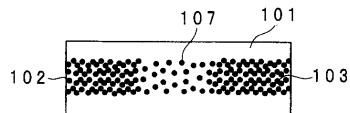
【図 1 C】



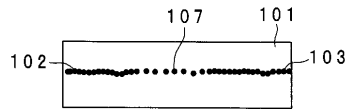
【図 1 D】



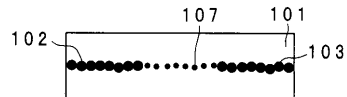
【図 3 A】



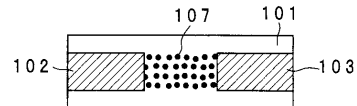
【図 3 B】



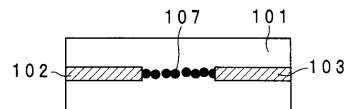
【図 3 C】



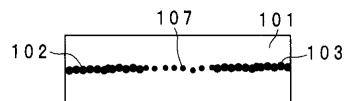
【図 3 D】



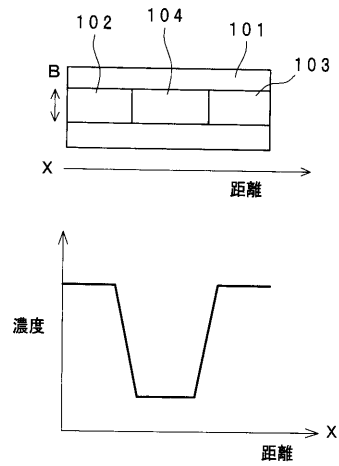
【図 3 E】



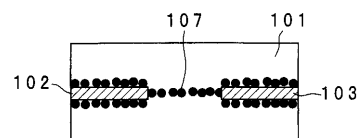
【図 3 F】



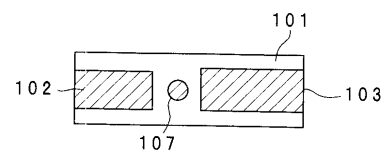
【図 2】



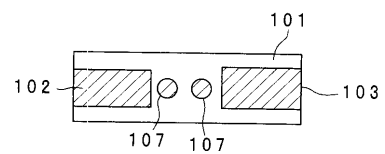
【図 3 G】



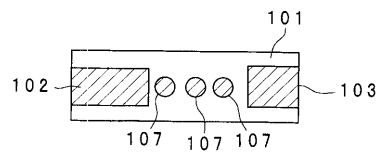
【図 4 A】



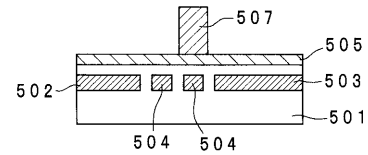
【図 4 B】



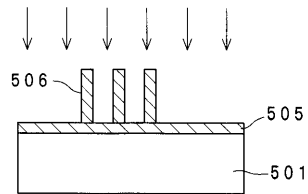
【図 4 C】



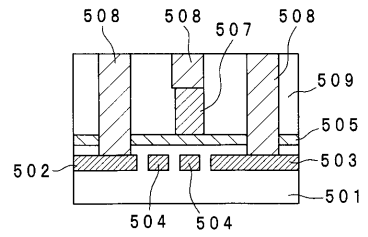
【図 5 C】



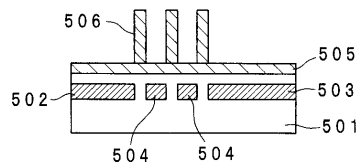
【図 5 A】



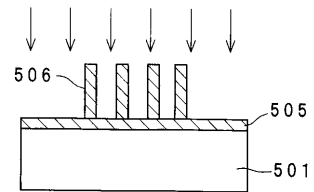
【図 5 D】



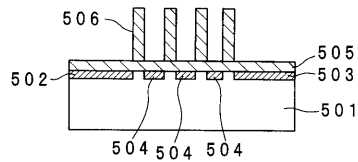
【図 5 B】



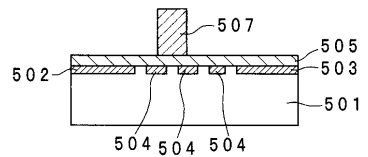
【図 6 A】



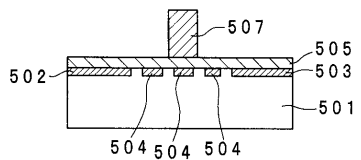
【図 6 B】



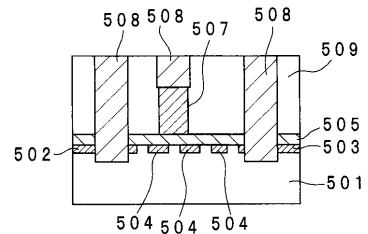
【図 6 E】



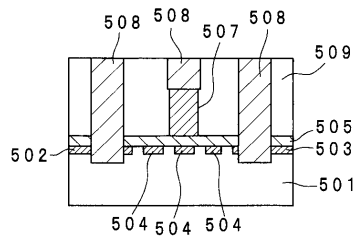
【図 6 C】



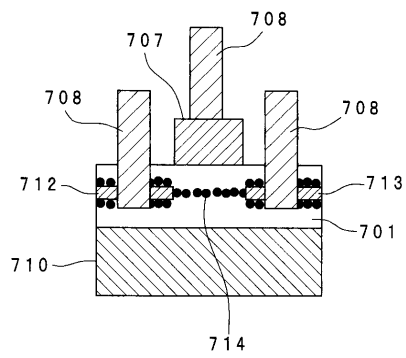
【図 6 F】



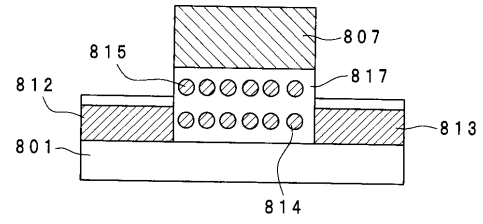
【図 6 D】



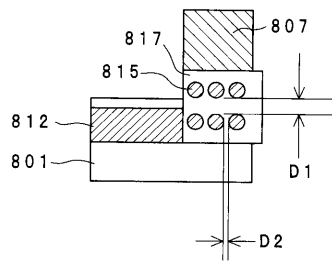
【図 7】



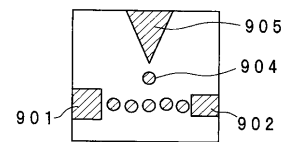
【図 8 A】



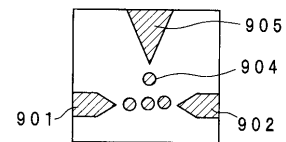
【図 8 B】



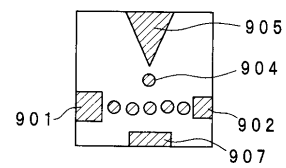
【図 9 C】



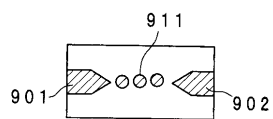
【図 9 D】



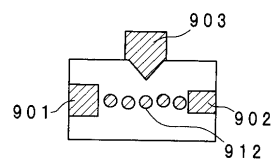
【図 9 E】



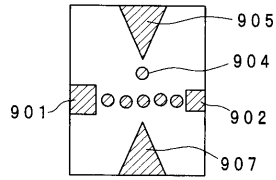
【図 9 A】



【図 9 B】



【図 9 F】



【図 9 G】



【図 9 H】



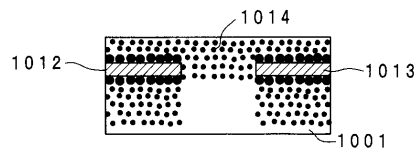
【図 9 I】



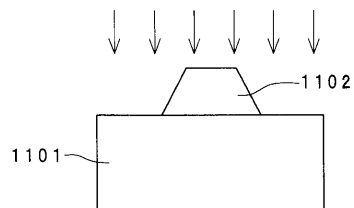
【図 9 J】



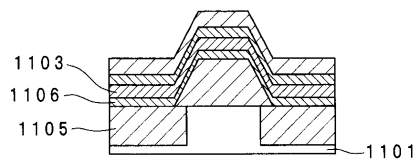
【図 10 E】



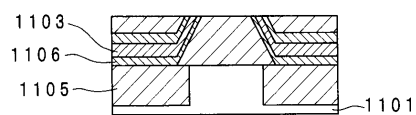
【図 11 A】



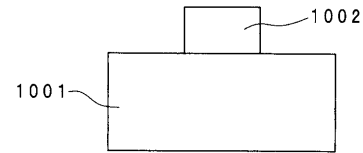
【図 11 B】



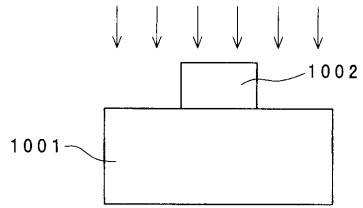
【図 11 C】



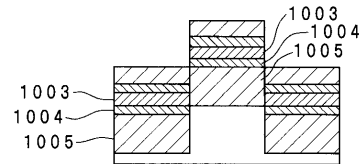
【図 10 A】



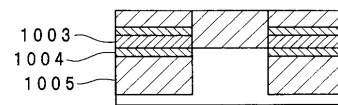
【図 10 B】



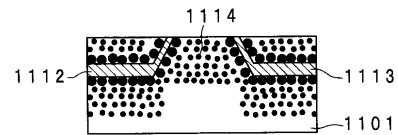
【図 10 C】



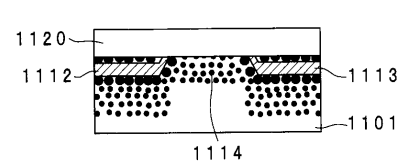
【図 10 D】



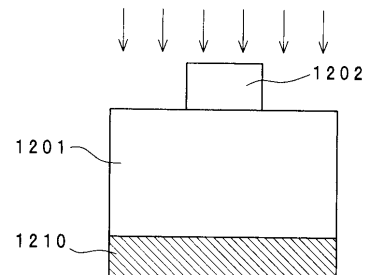
【図 11 D】



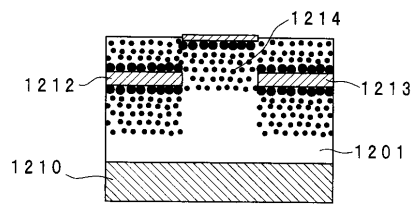
【図 11 E】



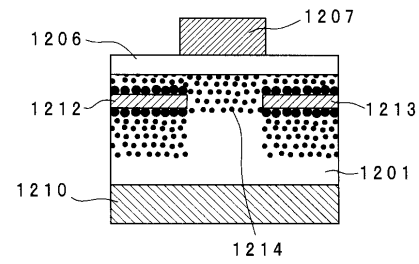
【図 12 A】



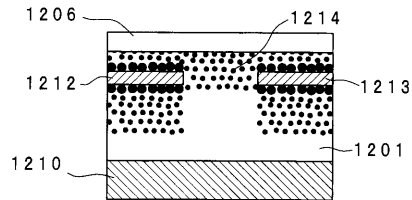
【図 1 2 B】



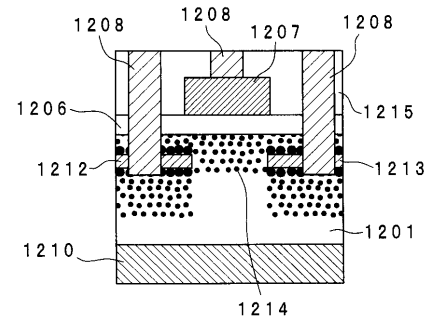
【図 1 2 D】



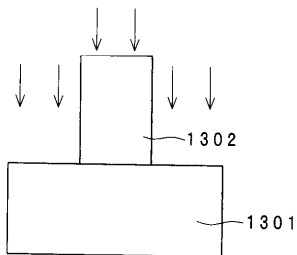
【図 1 2 C】



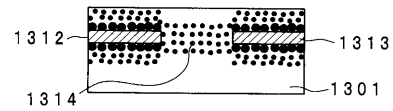
【図 1 2 E】



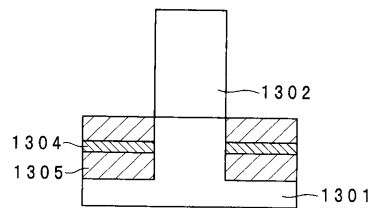
【図 1 3 A】



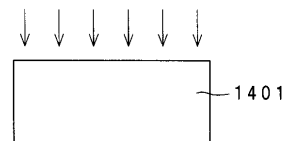
【図 1 3 E】



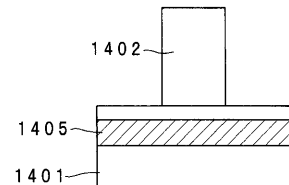
【図 1 3 B】



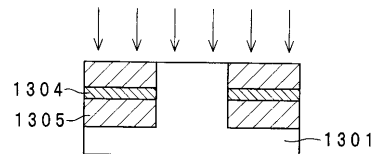
【図 1 4 A】



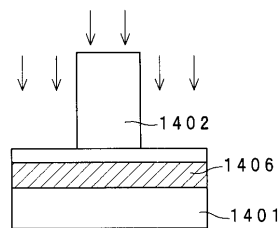
【図 1 4 B】



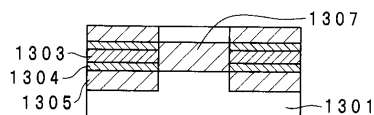
【図 1 3 C】



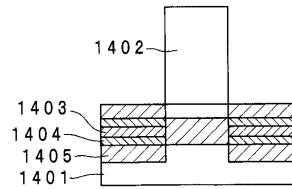
【図 1 4 C】



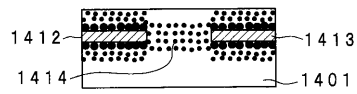
【図 1 3 D】



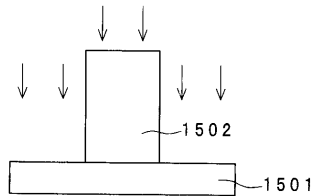
【図 14 D】



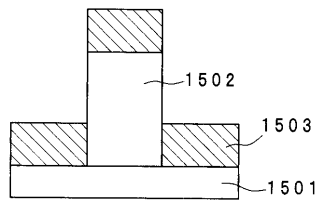
【図 14 E】



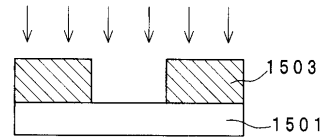
【図 15 A】



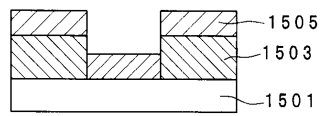
【図 15 B】



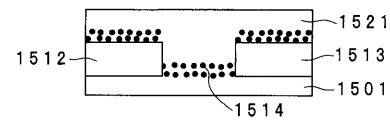
【図 15 C】



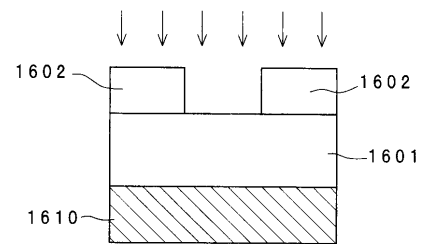
【図 15 D】



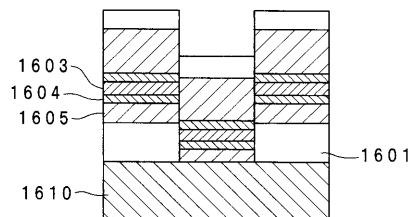
【図 15 E】



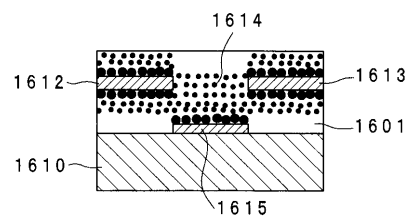
【図 16 A】



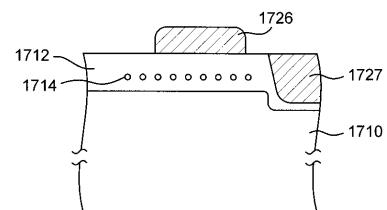
【図 16 B】



【図 16 C】



【図 17】



フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L	29/788 (2006.01)	H 0 1 L	27/10 4 3 4
H 0 1 L	27/115 (2006.01)	H 0 1 L	29/78 6 2 2
H 0 1 L	21/8247 (2006.01)		
H 0 1 L	29/786 (2006.01)		

(72)発明者 足立 浩一郎
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 安田 雅彦

(56)参考文献 特開平 0 7 - 2 6 3 6 5 9 (J P , A)
 特開平 0 9 - 1 4 8 4 6 2 (J P , A)
 特開 2 0 0 5 - 2 7 7 0 4 1 (J P , A)
 国際公開第 2 0 0 6 / 0 3 3 7 9 4 (W O , A 2)
 特表 2 0 0 8 - 5 2 5 9 9 4 (J P , A)
 特開 2 0 0 5 - 1 2 3 6 2 6 (J P , A)
 特開 2 0 0 4 - 2 8 1 4 9 7 (J P , A)
 特開 2 0 0 3 - 1 6 5 7 1 3 (J P , A)
 特開 2 0 0 5 - 0 8 6 1 6 7 (J P , A)
 特開平 0 5 - 3 3 0 8 5 4 (J P , A)
 特開 2 0 0 5 - 0 7 9 1 8 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 H 0 1 L 2 9 / 6 6
 H 0 1 L 2 1 / 2 6 5
 H 0 1 L 2 9 / 7 6
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 7 8 8
 H 0 1 L 2 9 / 7 9 2
 H 0 1 L 2 7 / 1 0