

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6822468号
(P6822468)

(45) 発行日 令和3年1月27日 (2021.1.27)

(24) 登録日 令和3年1月12日 (2021.1.12)

(51) Int. Cl.	F I
HO 4 N 5/3745 (2011.01)	HO 4 N 5/3745
HO 4 N 5/369 (2011.01)	HO 4 N 5/369
HO 1 L 27/146 (2006.01)	HO 1 L 27/146 D

請求項の数 15 (全 15 頁)

(21) 出願番号	特願2018-507162 (P2018-507162)	(73) 特許権者	000004112
(86) (22) 出願日	平成29年2月27日 (2017.2.27)		株式会社ニコン
(86) 国際出願番号	PCT/JP2017/007549		東京都港区港南二丁目15番3号
(87) 国際公開番号	W02017/163774	(74) 代理人	100084412
(87) 国際公開日	平成29年9月28日 (2017.9.28)		弁理士 永井 冬紀
審査請求日	平成30年9月14日 (2018.9.14)	(74) 代理人	100146709
(31) 優先権主張番号	特願2016-60001 (P2016-60001)		弁理士 白石 直正
(32) 優先日	平成28年3月24日 (2016.3.24)	(72) 発明者	松本 繁
(33) 優先権主張国・地域又は機関	日本国 (JP)		日本国東京都港区港南二丁目15番3号 株式会社ニコン内
		審査官	鈴木 明

最終頁に続く

(54) 【発明の名称】 撮像素子および撮像装置

(57) 【特許請求の範囲】

【請求項 1】

光を光電変換して電荷を生成する光電変換部を有し、前記光電変換部で生成された電荷に基づく第1信号をそれぞれ出力する複数の画素が設けられる第1基板を有する第1層と、

前記第1信号のノイズを除去するための信号であり、デジタル信号に変換された第2信号と、デジタル信号に変換された前記第1信号とに基づいて第3信号の演算を行い、前記画素毎に設けられる演算部が設けられる第2基板を有し、前記第1層に積層される第2層と、

を有する撮像素子。

【請求項 2】

光を光電変換して電荷を生成する光電変換部を有し、前記光電変換部で生成された電荷に基づく第1信号をそれぞれ出力する複数の画素が設けられる第1基板を有する第1層と、

前記第1信号のノイズを除去するための第2信号と前記第1信号とに基づいて第3信号の演算を行い、前記画素毎に設けられる演算部が設けられる第2基板を有し、前記第1層に積層される第2層と、

前記第1層と前記第2層との間に配置され、デジタル信号に変換された前記第1信号と前記第2信号とを記憶する記憶部を有する第3基板を有する第3層と、
を有する撮像素子。

【請求項 3】

光を光電変換して電荷を生成する光電変換部を有し、前記光電変換部で生成された電荷に基づく第 1 信号をそれぞれ出力する複数の画素が設けられる第 1 基板を有する第 1 層と

、
前記第 1 信号のノイズを除去するための第 2 信号と前記第 1 信号とに基づいて第 3 信号の演算を行い、前記画素毎に設けられる演算部が設けられる第 2 基板を有し、前記第 1 層に積層される第 2 層と、

前記第 1 層と前記第 2 層との間に配置され、デジタル信号に変換された前記第 3 信号を記憶する記憶部を有する第 3 基板を有する第 3 層と、
を有する撮像素子。

10

【請求項 4】

請求項 2 または請求項 3 に記載の撮像素子において、

前記演算部は、デジタル信号に変換された前記第 1 信号と前記第 2 信号とに基づいて、前記第 3 信号の演算を行う撮像素子。

【請求項 5】

請求項 1 または請求項 2 に記載の撮像素子において、

前記第 1 層と前記第 2 層との間に配置され、デジタル信号に変換された前記第 3 信号を記憶する記憶部を有する第 3 基板を有する撮像素子。

【請求項 6】

請求項 5 に記載の撮像素子において、

前記演算部は、前記記憶部に記憶され、デジタル信号に変換された前記第 3 信号の演算を行う撮像素子。

20

【請求項 7】

請求項 1 または請求項 3 に記載の撮像素子において、

前記第 1 層と前記第 2 層との間に配置され、デジタル信号に変換された前記第 1 信号と前記第 2 信号とを記憶する記憶部を有する第 3 基板を有する撮像素子。

【請求項 8】

請求項 7 に記載の撮像素子において、

前記演算部は、前記記憶部に記憶され、デジタル信号に変換された前記第 1 信号と前記第 2 信号とに基づいて、前記第 3 信号の演算を行う撮像素子。

30

【請求項 9】

請求項 1 から請求項 8 までのいずれか一項に記載の撮像素子において、

前記演算部は、デジタル信号に変換された前記第 1 信号と前記第 2 信号との減算によって前記第 3 信号の演算を行う撮像素子。

【請求項 10】

請求項 9 に記載の撮像素子において、

前記演算部は、デジタル信号に変換された前記第 1 信号と前記第 2 信号との減算を、1 ビット毎に行う撮像素子。

【請求項 11】

請求項 1 から請求項 10 までのいずれか一項に記載の撮像素子において、

前記演算部は、前記画素毎に前記第 3 信号を演算し、複数の前記第 3 信号に基づいて演算を行う撮像素子。

40

【請求項 12】

請求項 11 に記載の撮像素子において、

前記演算部は、デジタル信号に変換された複数の前記第 3 信号に基づく演算を、1 ビット毎に行う撮像素子。

【請求項 13】

請求項 1 から請求項 12 までのいずれか一項に記載の撮像素子において、

複数の前記演算部が接続され、前記演算部から前記第 3 信号が出力される複数の信号線を備え、

50

前記演算部は、前記演算部が演算を行う前記第 3 信号を前記複数の信号線に出力された前記第 3 信号から選択する第 1 選択部を有する撮像素子。

【請求項 14】

請求項 13 に記載の撮像素子において、

前記演算部は、前記第 3 信号を前記信号線に出力するか否かを選択する第 2 選択部を有する撮像素子。

【請求項 15】

請求項 1 から請求項 14 までのいずれか一項に記載の撮像素子と、

前記画素からの信号に基づいて画像データを生成する画像生成部と、を備える撮像装置

。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像素子および撮像装置に関する。

【背景技術】

【0002】

隣接する画素の信号を演算する撮像素子が知られている（特許文献 1）。この撮像素子は、画素の信号間の演算前に相関二重サンプリング（CDS；Correlated Double Sampling）を行っていないため、各画素のノイズ信号成分を取り除くことができない。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】日本国特開 2001 - 94888 号公報

【発明の概要】

【0004】

本発明の第 1 の態様によると、撮像素子は、光を光電変換して電荷を生成する光電変換部を有し、前記光電変換部で生成された電荷に基づく第 1 信号をそれぞれ出力する複数の画素が設けられる第 1 基板を有する第 1 層と、前記第 1 信号のノイズを除去するための信号であり、デジタル信号に変換された第 2 信号と、デジタル信号に変換された前記第 1 信号とに基づいて第 3 信号の演算を行い、前記画素毎に設けられる演算部が設けられる第 2

基板を有し、前記第 1 層に積層される第 2 層と、を有する。
本発明の第 2 の態様によると、撮像素子は、光を光電変換して電荷を生成する光電変換部を有し、前記光電変換部で生成された電荷に基づく第 1 信号をそれぞれ出力する複数の画素が設けられる第 1 基板を有する第 1 層と、前記第 1 信号のノイズを除去するための第 2 信号と前記第 1 信号とに基づいて第 3 信号の演算を行い、前記画素毎に設けられる演算部が設けられる第 2 基板を有し、前記第 1 層に積層される第 2 層と、前記第 1 層と前記第 2 層との間に配置され、デジタル信号に変換された前記第 1 信号と前記第 2 信号とを記憶する記憶部を有する第 3 基板を有する第 3 層と、を有する。

本発明の第 3 の態様によると、撮像素子は、光を光電変換して電荷を生成する光電変換部を有し、前記光電変換部で生成された電荷に基づく第 1 信号をそれぞれ出力する複数の画素が設けられる第 1 基板を有する第 1 層と、前記第 1 信号のノイズを除去するための第 2 信号と前記第 1 信号とに基づいて第 3 信号の演算を行い、前記画素毎に設けられる演算部が設けられる第 2 基板を有し、前記第 1 層に積層される第 2 層と、前記第 1 層と前記第 2 層との間に配置され、デジタル信号に変換された前記第 3 信号を記憶する記憶部を有する第 3 基板を有する第 3 層と、を有する。

本発明の第 4 の態様によると、撮像装置は、第 1 の態様から第 3 の態様までのいずれか一つの態様による撮像素子と、前記画素からの信号に基づいて画像データを生成する画像生成部と、を備える。

【図面の簡単な説明】

【0005】

10

20

30

40

50

【図１】第１の実施の形態に係る撮像装置の構成を示すブロック図。

【図２】第１の実施の形態に係る撮像素子の断面構造を示す図。

【図３】第１の実施の形態に係る撮像素子の構成を示すブロック図。

【図４】第１の実施の形態に係る画素の構成を示す回路図。

【図５】第１の実施の形態に係る撮像素子の構成の詳細を示すブロック図。

【図６】第１の実施の形態に係る撮像素子の動作を示すタイミングチャート。

【図７】変形例１に係る撮像素子の構成の詳細を示すブロック図。

【発明を実施するための形態】

【０００６】

（第１の実施の形態）

図１は、第１の実施の形態に係る撮像装置の構成を示すブロック図である。撮像装置１は、撮影光学系２、撮像素子３、および制御部４を備える。撮像装置１は、例えばカメラである。撮影光学系２は、撮像素子３上に被写体像を結像する。撮像素子３は、撮影光学系２により形成された被写体像を撮像して画像信号を生成する。撮像素子３は、例えばＣＭＯＳイメージセンサである。制御部４は、撮像素子３の動作を制御するための制御信号を撮像素子３に出力する。また、制御部４は、撮像素子３から出力された画像信号に対して各種の画像処理を施し、画像データを生成する画像生成部として機能する。なお、撮影光学系２は、撮像装置１から着脱可能にしてもよい。

【０００７】

図２は、第１の実施の形態に係る撮像素子の断面構造を示す図である。図２に示す撮像素子３は、裏面照射型の撮像素子である。撮像素子３は、第１基板１１１と、第２基板１１２と、第３基板１１３と、第４基板１１４とを備える。第１基板１１１、第２基板１１２、第３基板１１３および第４基板１１４は、それぞれ半導体基板等により構成される。第１基板１１１は、第２基板１１２に積層され、第２基板１１２は第３基板１１３に積層され、第３基板１１３は第４基板１１４に積層される。白抜き矢印で示す入射光Ｌは、Ｚ軸プラス方向へ向かって入射する。また、座標軸に示すように、Ｚ軸に直交する紙面左方向をＸ軸プラス方向、Ｚ軸およびＸ軸に直交する紙面手前方向をＹ軸プラス方向とする。

【０００８】

撮像素子３は、さらに、マイクロレンズ層１０１、カラーフィルタ層１０２、パッシベーション層１０３を有する。これらのパッシベーション層１０３、カラーフィルタ層１０２及びマイクロレンズ層１０１は、第１基板１１１に順次積層されている。マイクロレンズ層１０１は、複数のマイクロレンズＭＬを有する。マイクロレンズＭＬは、入射した光を後述する光電変換部１２に集光する。カラーフィルタ層１０２は、複数のカラーフィルタＦを有する。パッシベーション層１０３は、窒化膜や酸化膜で構成される。

【０００９】

第１基板１１１、第２基板１１２、第３基板１１３、および第４基板１１４は、それぞれゲート電極やゲート絶縁膜が設けられる第１面１０５ａ、１０６ａ、１０７ａ、１０８ａと、第１面とは異なる第２面１０５ｂ、１０６ｂ、１０７ｂ、１０８ｂとを有する。また、第１面１０５ａ、１０６ａ、１０７ａ、１０８ａには、それぞれトランジスタ等の各種素子が設けられる。第１基板１１１の第１面１０５ａ、第２基板１１２の第１面１０６ 40 ａ、第３基板１１３の第１面１０７ａ、および第４基板１１４の第１面１０８ａには、それぞれ配線層１４０、１４１、１４４、１４５が積層して設けられる。また、第２基板１１２の第２面１０６ｂおよび第３基板１１３の第２面１０７ｂには、それぞれ基板間接続層１４２、１４３が積層して設けられる。配線層１４０～配線層１４５は、導体膜（金属膜）および絶縁膜を含む層であり、それぞれ複数の配線やビアなどが配置される。

【００１０】

第１基板１１１の第１面１０５ａの素子および第２基板１１２の第１面１０６ 50 ａの素子は、配線層１４０、１４１を介してパンプや電極等の接続部１０９により電氣的に接続され、同様に第３基板１１３の第１面１０７ａの素子および第４基板１１４の第１面１０８ ａの素子も、配線層１４４、１４５を介してパンプや電極等の接続部１０９により電氣的

10

20

30

40

50

に接続される。また、第2基板112および第3基板113は、基板の第1面から第2面まで貫通する貫通孔120と、第1面から貫通孔120を介して第2面まで配置されるシリコン貫通電極等の複数の貫通電極110を有する。第2基板112の貫通電極110は、第2基板112の第1面106aおよび第2面106bに設けられた回路を互いに接続し、第3基板113の貫通電極110は、第3基板113の第1面107aおよび第2面107bに設けられた回路を互いに接続する。第2基板112の第2面106bに設けられた回路および第3基板113の第2面107bに設けられた回路は、基板間接続層142、143を介してパンプや電極等の接続部109により電氣的に接続される。

【0011】

図3は、第1の実施の形態に係る撮像素子の構成を示すブロック図である。第1基板111は、2次元状に配置される複数の画素10と比較部40とを有する。画素10は、図2に示すX軸方向およびY軸方向に複数配置されている。画素10は、後述する光電変換信号およびノイズ信号を比較部40へ出力する。比較部40は、画素10毎に設けられ、コンパレータ回路等により構成される。比較部40は、画素10から出力される光電変換信号およびノイズ信号のそれぞれと基準信号とを比較し、比較結果を第2基板112に出力する。第2基板112は、複数の記憶部50を有する。記憶部50は、画素10毎に設けられ、ラッチ回路等により構成される。記憶部50は、比較部40による比較結果に基づいて、比較部40による比較開始時からの経過時間に応じたカウント値をデジタル信号として記憶する。記憶部50は、光電変換信号に応じたデジタル信号およびノイズ信号に応じたデジタル信号を記憶する。また、記憶部50は、デジタル信号に変換された光電変換信号及びノイズ信号（リセット信号）を蓄積する蓄積部50でもある。後に詳述するように、比較部40と記憶部50とは、光電変換信号およびノイズ信号をデジタル信号に変換する積分型のAD変換部を構成する。記憶部50に記憶されたデジタル信号は、第3基板113を介して第4基板114に出力される。

【0012】

第4基板114は、複数のALU(Arithmetic and Logic Unit)、即ち演算ユニット80を有する。演算ユニット80は、画素10毎に設けられ、光電変換信号のデジタル信号とノイズ信号のデジタル信号との減算による相関二重サンプリング(CDS; Correlated Double Sampling)や画素10毎に生成される信号間の演算等の信号処理を行う。演算ユニット80は、加算回路、減算回路、フリップフロップ回路、およびシフト回路等を含んで構成される。各演算ユニット80は、信号線やスイッチSW等を介して互いに接続される。

【0013】

第3基板113は、演算ユニット80を制御するALU制御部70（以下、制御部70と呼ぶ）を有する。制御部70は、画素10毎に設けられ、第4基板114に配置される演算ユニット80やスイッチSW等に制御信号を出力して、演算ユニット80が行う演算内容等を制御する。例えば、制御部70は所定のスイッチSWをオン制御することによって画素の信号を選択し、この制御部70に対応する演算ユニット80が、選択された複数の画素の信号を演算処理する。なお、第1基板111は、光電変換部12と後述する読み出し部（出力部）とを有する複数の画素10を含む画素基板111でもあり、第2基板112は、蓄積部50（記憶部50）を含む蓄積基板112でもある。また、第4基板114は、演算ユニット80を含む演算基板114でもある。

【0014】

本実施の形態では、各画素10の信号間の演算前に相関二重サンプリングを行う。このため、画素10毎のノイズ信号成分を除去した信号を用いて、任意の画素10の信号間の演算を行うことができる。また、演算ユニット80および制御部70は、それぞれ対応する画素10に積層して設けられる。このため、画素10の開口率が低下することを防ぐことができる。さらに、第3基板113の制御部70は、図2に示すZ軸方向から第4基板114の演算ユニット80に制御信号を供給して演算ユニット80の制御を行う。この結果、撮像素子3のチップ面積を増大させることなく、任意の画素10の信号についての演

10

20

30

40

50

算を行うことができる。

【 0 0 1 5 】

図 4 は、第 1 の実施の形態に係る撮像素子の画素の構成を示す回路図である。画素 1 0 は、例えばフォトダイオード (P D) 等の光電変換部 1 2 および読み出し部 2 0 を有する。光電変換部 1 2 は、入射した光を電荷に変換し、光電変換された電荷を蓄積する機能を有する。読み出し部 2 0 は、転送部 1 3 と、排出部 1 4 と、フローティングディフュージョン (F D) 1 5 と、増幅部 1 6 と、電流源 1 7 とを有する。

【 0 0 1 6 】

転送部 1 3 は、信号 V_{tx} により制御され、光電変換部 1 2 で光電変換された電荷をフローティングディフュージョン 1 5 に転送する。すなわち、転送部 1 3 は、光電変換部 1 2 およびフローティングディフュージョン 1 5 の間に電荷転送路を形成する。フローティングディフュージョン 1 5 は電荷を保持 (蓄積) する。増幅部 1 6 は、フローティングディフュージョン 1 5 に保持された電荷による信号を増幅し、信号線 1 8 に出力する。図 4 に示す例では、増幅部 1 6 は、ドレイン端子、ゲート端子およびソース端子がそれぞれ、電源 V_{DD} 、フローティングディフュージョン 1 5 および電流源 1 7 に接続されるトランジスタ M_3 により構成される。

【 0 0 1 7 】

排出部 (リセット部) 1 4 は、信号 V_{rst} により制御され、フローティングディフュージョン 1 5 の電荷を排出し、フローティングディフュージョン 1 5 の電位をリセット電位 (基準電位) にリセットする。転送部 1 3 および排出部 1 4 は、例えば、それぞれトランジスタ M_1 、トランジスタ M_2 により構成される。

【 0 0 1 8 】

読み出し部 2 0 は、転送部 1 3 により光電変換部 1 2 からフローティングディフュージョン 1 5 に転送された電荷に応じた信号 (光電変換信号) と、フローティングディフュージョン 1 5 の電位をリセット電位にリセットしたときの信号 (ノイズ信号) とを順次、信号線 1 8 に読み出す。読み出し部 2 0 は、フローティングディフュージョン 1 5 に蓄積された電荷に基づく信号を生成し出力する出力部 2 0 であり、出力部 2 0 は、光電変換信号、ノイズ信号を信号線 1 8 に出力する。

【 0 0 1 9 】

図 5 は、第 1 の実施の形態に係る撮像素子の構成の詳細を示すブロック図である。撮像素子 3 は、複数の画素 1 0 と、画素 1 0 毎に設けられる演算部 1 0 0 と、タイミングジェネレータ 2 0 0 と、 D A 変換部 2 1 0 と、グローバルカウンタ 2 2 0 と、シフトレジスタ 2 3 0 と、 V S C A N 回路 (垂直走査回路) 2 4 0 と、 H S C A N 回路 (水平走査回路) 2 5 0 と、センスアンプ 3 0 0 と、ラインメモリ 3 1 0 と、入出力部 3 2 0 とを有する。演算部 1 0 0 は、アナログ / デジタル変換部 (A D 変換部) 6 0 と、制御部 7 0 と、演算ユニット 8 0 と、記憶部 8 3 と、デマルチプレクサ 8 1 と、デマルチプレクサ 8 4 と、マルチプレクサ 8 5 とを有する。 A D 変換部 6 0 は、比較部 4 0、記憶部 5 0、およびデマルチプレクサ 5 3 により構成される。また、記憶部 5 0 は、光電変換信号に応じたデジタル信号用の信号用記憶部 5 1 と、ノイズ信号に応じたデジタル信号用のノイズ用記憶部 5 2 とを有する。信号用記憶部 5 1 およびノイズ用記憶部 5 2 は、記憶される信号のビット数に対応して複数のラッチ回路から構成される。例えば、信号用記憶部 5 1 およびノイズ用記憶部 5 2 は各々が 1 2 個のラッチ回路から構成され、信号用記憶部 5 1 およびノイズ用記憶部 5 2 に記憶されるデジタル信号は各々が 1 2 ビットの平行信号となる。

【 0 0 2 0 】

撮像素子 3 の第 1 層、すなわち第 1 基板 1 1 1 には、画素 1 0 と、比較部 4 0 と、タイミングジェネレータ 2 0 0 の一部とが設けられる。タイミングジェネレータ 2 0 0 は、複数の回路により構成され、第 1 基板 1 1 1 ~ 第 4 基板 1 1 4 に分けて配置される。なお、図 5 においては、第 1 基板 1 1 1、第 2 基板 1 1 2、第 3 基板 1 1 3、および第 4 基板 1 1 4 をそれぞれ第 1 層、第 2 層、第 3 層および第 4 層と称している。タイミングジェネレータ 2 0 0 を構成する各回路は、画素 1 0 や演算部 1 0 0 が配置される領域の周辺部に配

10

20

30

40

50

置される。第2層、すなわち第2基板112には、信号用記憶部51と、ノイズ用記憶部52と、デマルチプレクサ53と、DA変換部210と、グローバルカウンタ220と、シフトレジスタ230と、タイミングジェネレータ200の一部とが設けられる。

【0021】

第3基板113には、制御部70と、VSCAN回路240と、HSCAN回路250と、タイミングジェネレータ200の一部とが設けられる。第4基板114には、演算ユニット80と、記憶部83と、デマルチプレクサ81と、デマルチプレクサ84と、マルチプレクサ85と、センスアンプ300と、ラインメモリ310と、入出力部320とが設けられる。また、DA変換部210、グローバルカウンタ220、シフトレジスタ230、VSCAN回路240、HSCAN回路250、センスアンプ300、ラインメモリ310、および入出力部320は、各基板において演算部100が配置される領域の周辺部に配置される。

10

【0022】

タイミングジェネレータ200は、パルス発生回路等により構成され、撮像装置1の制御部4から出力されるレジスタ設定値に基づいてパルス信号等を生成し、各画素10、DA変換部210、グローバルカウンタ220、シフトレジスタ230、VSCAN回路240、およびHSCAN回路250に出力する。レジスタ設定値は、例えば、シャッター速度（光電変換部の電荷蓄積時間）、ISO感度、画像補正の有無等に応じて設定される。DA変換部210は、タイミングジェネレータ200からのパルス信号に基づき、基準信号として信号レベルが変化するランプ信号を生成する。また、DA変換部210は、画素10毎に設けられる各比較部40に共通に接続され、基準信号を各比較部40に出力する。グローバルカウンタ220は、タイミングジェネレータ200からのパルス信号に基づき、カウント値を示すクロック信号を生成して、信号用記憶部51およびノイズ用記憶部52に出力する。シフトレジスタ230は、タイミングジェネレータ200からのパルス信号に基づき、タイミング信号を生成して信号用記憶部51およびノイズ用記憶部52に出力する。

20

【0023】

VSCAN回路240およびHSCAN回路250は、タイミングジェネレータ200からの信号に基づいて各制御部70を順次選択し、演算ユニット80で行う演算内容（四則演算）および演算対象となる画素10等を示す信号を各制御部70に出力する。センスアンプ300は、画素10毎の各演算部100が接続される信号線122に接続され、信号線122に入力される信号を増幅して読み出すことで、高速に信号を読み出す。ラインメモリ310には、センスアンプ300により読み出された信号が記憶される。入出力部320は、ラインメモリ310から出力される信号に対して信号のビット幅の調整や同期コードの付加等の信号処理を行い、画像信号として撮像装置1の制御部4に出力する。入出力部320は、例えばLVDSやSLVS等の高速インタフェースに対応した入出力回路等により構成されて信号を高速に伝送する。

30

【0024】

図6は、第1の実施の形態に係る撮像素子の動作例を示すタイミングチャートである。図6において、横軸は時刻を示している。時刻t1から時刻t2までの期間において、タイミングジェネレータ200には、撮像装置1の制御部4からレジスタ設定が入力される。時刻t2から時刻t3までの期間において、タイミングジェネレータ200は、レジスタ設定値に基づいて各演算ユニット80の演算内容等を示す信号を生成し、VSCAN回路240およびHSCAN回路250等に出力量する。時刻t3から時刻t4までの期間において、VSCAN回路240およびHSCAN回路250は、タイミングジェネレータ200により生成された演算内容等を示す信号を、画素10毎に設けられた各制御部70に順次出力する。

40

【0025】

時刻t10から時刻t11までの期間において、各画素10のノイズ信号が比較部40に出力される。比較部40は、画素10から読み出されたノイズ信号と、DA変換部21

50

0により供給される基準信号とを比較して、比較結果をデマルチプレクサ53に出力する。デマルチプレクサ53は、比較部40による比較結果をノイズ用記憶部52に出力する。ノイズ用記憶部52は、比較部40による比較結果とグローバルカウンタ220からのクロック信号とに基づいて、比較部40による比較開始時から比較結果出力時までの経過時間に応じたカウント値をノイズ信号に応じたデジタル信号として記憶する。

【0026】

時刻 t_{11} から時刻 t_{12} までの期間において、各画素10の光電変換信号が比較部40に出力される。比較部40は、光電変換信号と基準信号とを比較して、比較結果をデマルチプレクサ53に出力する。デマルチプレクサ53は、比較部40による比較結果を信号用記憶部51に出力する。信号用記憶部51は、比較部40による比較結果とクロック信号とに基づいて、比較部40による比較開始時から比較結果出力時までの経過時間に応じたカウント値を光電変換信号に応じたデジタル信号として記憶する。こうして、本実施の形態では、信号用記憶部51およびノイズ用記憶部52には各々12ビットのデジタル信号が記憶される。

10

【0027】

また、時刻 t_{11} から時刻 t_{12} までの期間において、ノイズ用記憶部52は、シフトレジスタ230からのタイミング信号に基づき、ノイズ用記憶部52に記憶された12ビットのデジタル信号を1ビットずつ時間的にシフトさせて、図5に示す信号線121に順次出力する。信号線121に出力されるシリアル信号は、デマルチプレクサ81に入力される。デマルチプレクサ81は、ノイズ用記憶部52からのシリアル信号を演算ユニット80に出力する。演算ユニット80は、ノイズ信号に応じたデジタル信号を記憶部83に順次記憶させる。こうして記憶部83は、ノイズ信号に関する12ビットのデジタル信号が記憶される。

20

【0028】

信号線121は、第2基板112の記憶部50と第4基板114のデマルチプレクサ81とを結ぶ信号線となり、図2に示す貫通電極110やバンプ等を用いた信号線となる。一般的に多数の貫通電極110を狭ピッチで形成することは困難であり、第2基板112から多数の平行信号を第4基板114に同時に伝送することは困難となる。本実施の形態では、第2基板112の記憶部50に記憶された平行信号をシリアル信号に変換して、第4基板114に出力する。このため、第2基板112と第4基板114とを結ぶ配線を少なくすることができ、各画素10についてのデジタル信号を同時に出力することができる。また、多数の貫通電極110等を形成してチップ面積が増大することを防ぐことができる。

30

【0029】

時刻 t_{12} から時刻 t_{20} までの期間において、信号用記憶部51は、シフトレジスタ230からのタイミング信号に基づき、信号用記憶部51に記憶された光電変換信号に応じたデジタル信号をシリアル信号に変換して、信号線121を介してデマルチプレクサ81に1ビットずつ順次出力する。デマルチプレクサ81は、信号用記憶部51からのシリアル信号を演算ユニット80に出力する。演算ユニット80は、制御部70からの制御信号に基づいて、記憶部83に記憶されたノイズ信号に応じた12ビットのデジタル信号を、1ビットずつデマルチプレクサ84に出力させる。デマルチプレクサ84は、制御部70からの制御信号に基づいて、ノイズ信号に応じたデジタル信号を演算ユニット80に出力(フィードバック)する。

40

【0030】

演算ユニット80は、信号用記憶部51から1ビットずつ出力される光電変換信号に応じたデジタル信号と、記憶部83から1ビットずつ出力されるノイズ信号に応じたデジタル信号との減算を行って補正信号を生成する。演算ユニット80は、1ビット毎に生成される補正信号を、記憶部83に順次記憶させる。演算ユニット80は、記憶部50に記憶される信号のビット数に応じて複数回の減算を行って、減算結果となる補正信号を記憶部83に順次記憶させる。本実施の形態では、記憶部50を構成する信号用記憶部51およ

50

びノイズ用記憶部 52 には各々 12 ビットのデジタル信号が記憶されるため、12 回の減算処理が行われる。記憶部 83 には、12 ビットのノイズ信号に応じたデジタル信号と、12 ビットの補正信号とが記憶されることとなる。このため、記憶部 83 は、24 個のラッチ回路等により構成される。

【0031】

このように、本実施の形態では、光電変換信号のデジタル信号とノイズ信号のデジタル信号との差分処理を行うデジタル CDS を 1 ビット毎に時分割的に行う。また、演算ユニット 80 は、画素 10 毎に設けられており、全ての画素 10 において同時にデジタル CDS が行われる。デジタル CDS 演算を 1 ビット毎に行うため、第 4 基板 114 において、多ビット（例えば 12 ビット）のフリップフロップ回路等の多数のデジタル回路を配置することを回避できる。この結果、画素 10 毎の回路数を減らすことができ、チップ面積が増大することを防ぐことができる。

10

【0032】

時刻 t_{30} から時刻 t_{40} までの期間において、図 5 において例えば互いに隣接する領域 A および領域 B にそれぞれ配置される 2 つの画素 10 に関する補正信号間の演算を行う。即ち、領域 A の記憶部 83 に記憶された領域 A の画素 10 の 12 ビットの補正信号は、1 ビットずつデマルチプレクサ 84 を介して領域 A の演算ユニット 80 に入力（フィードバック）される。同様に、領域 B の記憶部 83 に記憶された領域 B の画素 10 の 12 ビットの補正信号は、1 ビットずつ領域 B のデマルチプレクサ 84、領域 B のマルチプレクサ 85 および領域 A のマルチプレクサ 85 をそれぞれ介して領域 A の演算ユニット 80 に入力される。領域 A の演算ユニット 80 は、こうして入力された領域 A の 12 ビットの補正信号および領域 B の 12 ビットの補正信号を 1 ビットずつ演算する。以下に詳細に説明する。

20

【0033】

領域 A に配置される演算部 100 において、領域 A の演算ユニット 80 は、領域 A の記憶部 83 に記憶された領域 A の画素 10 の 12 ビットの補正信号を、1 ビットずつデマルチプレクサ 84 に出力させる。領域 A のデマルチプレクサ 84 は、補正信号を領域 A の演算ユニット 80 に出力（フィードバック）する。また、領域 B に配置される演算部 100 において、領域 B の演算ユニット 80 は、領域 B の記憶部 83 に記憶された領域 B の画素 10 の補正信号を、1 ビットずつデマルチプレクサ 84 に出力させる。領域 B のデマルチプレクサ 84 は、補正信号を領域 B のマルチプレクサ 85 に出力する。

30

【0034】

画素 10 毎に設けられる各マルチプレクサ 85 には、各演算部 100 が接続される信号線 123 および信号線 124 が接続される。信号線 123 および信号線 124 は、例えば、第 4 基板 114 において行方向および列方向に二次元状に配置され、画素 10 毎の各演算部 100 に接続される。マルチプレクサ 85 は、制御部 70 により制御され、演算ユニット 80 の演算対象となる信号を、信号線 123 および信号線 124 に入力される補正信号から選択する。領域 B のマルチプレクサ 85 は、領域 B の画素 10 の補正信号を、図 5 に示す信号線 123 を介して領域 A のマルチプレクサ 85 に出力する。領域 A のマルチプレクサ 85 は、領域 B の画素 10 の補正信号を、信号線 124 を介して領域 A の演算ユニット 80 に出力する。領域 A の演算ユニット 80 には、領域 A の画素 10 の補正信号および領域 B の画素 10 の補正信号がそれぞれ 1 ビット毎に順次入力される。

40

【0035】

領域 A の演算ユニット 80 は、領域 A の記憶部 83 から 1 ビットずつ出力される補正信号と、領域 B の記憶部 83 から 1 ビットずつ出力される補正信号との演算を行って、画素信号を生成する。演算ユニット 80 は、1 ビット毎に生成される画素信号を、記憶部 83 に順次記憶させる。演算ユニット 80 は、補正信号のビット数に応じて複数回の演算を行って、演算結果となる画素信号を記憶部 83 に順次記憶させる。記憶部 83 には、補正信号間の演算後、12 ビットの補正信号と、12 ビットの画素信号とが記憶されることとなる。

50

【 0 0 3 6 】

このように、本実施の形態では、各画素 1 0 の補正信号間の演算前に、相関二重サンプリングを行って補正信号を生成する。このため、画素 1 0 毎のノイズ信号成分を除去した信号を用いて、任意の画素 1 0 の補正信号間の演算を行うことができる。また、本実施の形態では、画素 1 0 毎に生成される補正信号間の演算を 1 ビット毎に行う。この結果、第 4 基板 1 1 4 において、多ビット（例えば 1 2 ビット）の四則演算回路や多ビット（例えば 1 2 ビット）のフリップフロップ回路等の多ビットのデジタル回路を配置することを回避でき、チップ面積が増大することを防ぐことができる。補正信号間の演算を 1 ビット毎に行うため、演算ユニット 8 0 の回路面積を小さくすることができる。さらに、演算ユニット 8 0 は、相関二重サンプリングを行うと共に画素 1 0 毎の補正信号間の演算を行う。すなわち、演算ユニット 8 0 は、デジタル信号間の減算によって補正信号を生成する補正部と、画素 1 0 毎に生成される補正信号間の演算を行う画素間演算部とを兼用する補正・画素間演算部として機能する。このため、補正部および画素間演算部を別々に設ける場合と比較して、チップ面積を低減することができる。

10

【 0 0 3 7 】

本実施の形態では、制御部 7 0 が配置される第 3 基板 1 1 3 とは別の第 4 基板 1 1 4 を有し、第 4 基板 1 1 4 に演算ユニット 8 0 およびマルチプレクサ 8 5 等を配置する。このため、チップ面積を増大させることなく、信号線 1 2 3 および信号線 1 2 4 を二次元状に配置して全ての画素 1 0 の演算部 1 0 0 に共通に接続することができる。制御部 7 0 から制御信号を出力して演算ユニット 8 0 およびマルチプレクサ 8 5 等を制御することにより、任意の画素 1 0 の補正信号間の演算を行うことができる。隣接する画素間や離れた領域に配置される画素間について演算を行うことができる。また、演算部 1 0 0 が演算を行う他の画素 1 0 の補正信号は、ラッチやレジスタ等を介さずに、信号線 1 2 3 および信号線 1 2 4 により直接伝送される。ラッチやレジスタ等を通過するための遅延時間が生じないため、信号を高速に読み出すことができ、任意の画素 1 0 間についての演算を高速に行うことができる。

20

【 0 0 3 8 】

時刻 t_{50} から時刻 t_{60} までの期間において、演算ユニット 8 0 は、記憶部 8 3 に記憶された画素信号を、デマルチプレクサ 8 4 に出力させる。デマルチプレクサ 8 4 は、画素信号を信号線 1 2 2 に出力する。センスアンプ 3 0 0 は、信号線 1 2 2 に出力された画素信号を増幅して読み出す。画素 1 0 毎に設けられる各演算部 1 0 0 は信号線 1 2 2 に順次信号を出力し、センスアンプ 3 0 0 は信号線 1 2 2 に出力された信号を順次読み出す。

30

【 0 0 3 9 】

時刻 t_{70} から時刻 t_{80} までの期間において、ラインメモリ 3 1 0 には、センスアンプ 3 0 0 により読み出された画素信号が順次記憶される。入出力部 3 2 0 は、ラインメモリ 3 1 0 から順次出力される信号に対して信号処理を行い、信号処理後の信号を画像信号として出力する。

【 0 0 4 0 】

上述した実施の形態によれば、次の作用効果が得られる。

(1) 撮像素子 3 は、光電変換部 1 2 を有する複数の画素 1 0 と、画素 1 0 毎に設けられ、画素 1 0 から出力される光電変換信号と画素 1 0 から出力されるノイズ信号とによって補正信号を生成し、画素 1 0 毎に生成される補正信号間の演算を行う演算部 1 0 0 と、を備える。本実施の形態では、各画素 1 0 の信号間の演算前に、相関二重サンプリングを行って補正信号を生成する。このため、画素 1 0 毎のノイズ信号成分を除去した信号を用いて、任意の画素 1 0 の信号間の演算を行うことができる。

40

(2) 演算部 1 0 0 は、光電変換信号を第 1 デジタル信号に変換しノイズ信号を第 2 デジタル信号に変換する A/D 変換部 6 0 と、第 1 デジタル信号と第 2 デジタル信号との減算によって補正信号を生成し、画素 1 0 毎に生成される補正信号間の演算を行う補正・画素間演算部（演算ユニット 8 0 ）と、を有する。このようにしたので、補正部および画素間演算部を別々に設ける場合と比較して、画素 1 0 毎の周辺回路の面積を低減することができ

50

、チップ面積を低減することができる。

【0041】

(3) 光電変換部12は第1基板に配置され、演算部100の少なくとも一部は第2基板に配置される。このようにしたので、画素10の開口率が低下することを防ぐことができる。

(4) AD変換部60は、光電変換信号を第1のビット数の第1デジタル信号に変換し、ノイズ信号を第2のビット数の第2デジタル信号に変換する。このようにしたので、光電変換信号およびノイズ信号の各々をデジタル信号に変換して、記憶部50に記憶させることができる。

(5) 演算部100は、第2のビット数の第2デジタル信号を記憶する記憶部83を有する。演算部100は、記憶された第2デジタル信号とAD変換部60から出力される第1デジタル信号との減算を、1ビット毎に行う。本実施の形態では、光電変換信号のデジタル信号とノイズ信号のデジタル信号との差分処理を1ビット毎に行う。このようにしたので、多数のフリップフロップ回路等を画素10毎に設けることを回避でき、チップ面積が増大することを防ぐことができる。

10

【0042】

(6) 演算部100は、画素10毎に生成される補正信号間の演算を、1ビット毎に行う。このようにしたので、各画素10の信号間の演算を行う画素間演算のために多数の四則演算回路やフリップフロップ回路等を設けることを回避でき、チップ面積が増大することを防ぐことができる。

20

(7) 撮像素子3は、複数の演算部100が接続され、演算部100から補正信号が出力される複数の信号線(信号線123および信号線124)を更に備える。演算部100は、演算部100が演算を行う補正信号を複数の信号線に出力された補正信号から選択する第1選択部(マルチプレクサ85)を有する。本実施の形態では、制御部70により演算ユニット80およびマルチプレクサ85を制御して、各画素10の補正信号を選択して読み出す。このため、任意の画素10の補正信号間の演算を行うことができる。

【0043】

(8) 撮像素子3は、入射光を光電変換し電荷を生成する光電変換部12及び電荷に基づく信号を生成し出力する出力部20(読み出し部20)とを有する複数の画素10を含む画素基板(第1基板111)と、出力部20の電荷をリセットした後のリセット信号と光電変換部12で生成された電荷に基づく光電変換信号とによって補正信号を生成し、画素10毎に生成される補正信号間の演算を行う演算部(演算ユニット80)を含み、画素基板に積層される演算基板(第4基板114)と、を有する。このようにしたので、画素10毎のノイズ信号成分を除去した信号を用いて、任意の画素10の信号間の演算を行うことができる。また、演算ユニット80がそれぞれ対応する画素10に積層して設けられるため、画素10の開口率が低下することを防ぐことができる。

30

(9) 撮像素子3は、デジタル信号に変換された光電変換信号及びリセット信号とを蓄積する蓄積部(記憶部50)を含む蓄積基板(第2基板112)を有する。蓄積基板は、画素基板と演算基板の間に積層して配置される。このようにしたので、画素10の開口率が低下することを防ぐことができる。

40

【0044】

次のような変形も本発明の範囲内であり、変形例の一つ、もしくは複数を上述の実施形態と組み合わせることも可能である。

【0045】

(変形例1)

上述した実施の形態では、演算ユニット80がCDS処理を行う補正部と画素間演算を行う画素間演算とに共用される例について説明した。しかし、図7に示すように、CDS処理を行う補正部54を、演算ユニット80とは別に設けるようにしてもよい。この場合、演算ユニット80は、画素間演算部として機能する。補正部54は、信号用記憶部51から出力される光電変換信号によるデジタル信号と、ノイズ用記憶部52から出力される

50

ノイズ信号によるデジタル信号との減算によって補正信号を生成し、デマルチプレクサ 81 を介して演算ユニット 80 に出力する。

【0046】

(変形例 2)

上述した実施の形態では、画素間演算の結果となる画素信号を、信号線 122 を介してセンスアンプ 300 に順次出力する例について説明した。しかし、演算部 100 は、記憶部 83 に記憶された補正信号を、画素信号として信号線 122 を介してセンスアンプ 300 に出力するようにしてもよい。また、信号用記憶部 51 に記憶された光電変換信号に応じたデジタル信号、およびノイズ用記憶部 52 に記憶されたノイズ信号に応じたデジタル信号の各々を、デマルチプレクサ 81 を介して信号線 122 に出力するようにしてもよい。

10

【0047】

(変形例 3)

上述した実施の形態では、CDS 処理および画素間演算を 1 ビット毎に時分割的に行う例について説明した。しかし、制御部 70 により演算ユニット 80 等を制御して、複数ビット数毎に演算を行うようにしてもよい。例えば、2 ビット毎に演算を行うようにしてもよいし、ノイズ用記憶部 52 に記憶されるデジタル信号のビット数より少ないビット数毎に行うようにしてもよい。

【0048】

(変形例 4)

上述した実施の形態では、各画素 10 の信号間の演算前にデジタル CDS を行う例について説明した。しかし、各画素 10 の信号間の演算前にアナログ CDS を行うようにしてもよい。例えば、AD 変換部 60 において、光電変換信号とノイズ信号との差分処理を行って、信号間の差分に基づくアナログ信号をデジタル信号に変換する。記憶部 50 には、画素 10 毎のノイズ信号成分を除去したデジタル信号が記憶される。記憶部 50 に記憶されたデジタル信号は、演算ユニット 80 に順次出力される。

20

【0049】

(変形例 5)

上述した実施の形態では、光電変換部 12 としてフォトダイオードを用いる例について説明した。しかし、光電変換部 12 として光電変換膜を用いるようにしてもよい。

30

【0050】

上記では、種々の実施の形態および変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

【0051】

次の優先権基礎出願の開示内容は引用文としてここに組み込まれる。

日本国特許出願 2016 年第 60001 号 (2016 年 3 月 24 日出願)

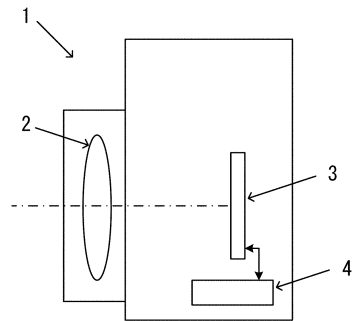
【符号の説明】

【0052】

3 撮像素子、12 光電変換部、10 画素、40 比較部、60 AD 変換部、100 演算部

40

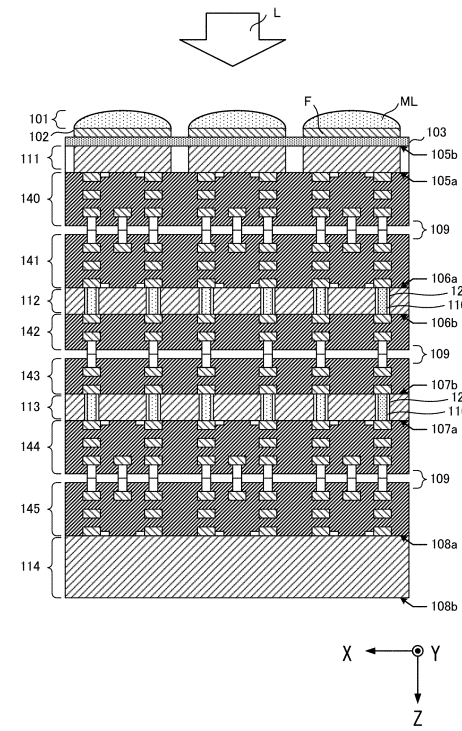
【図 1】



【図 1】

【図 2】

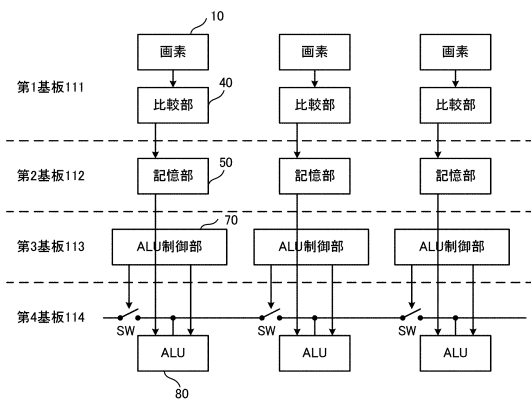
【図 2】



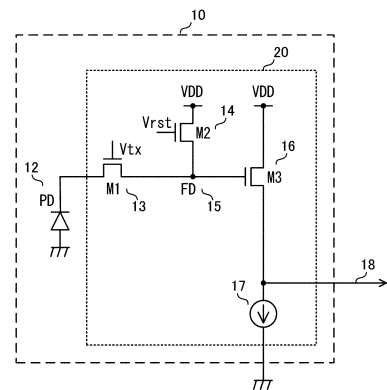
【図 3】

【図 4】

【図 3】

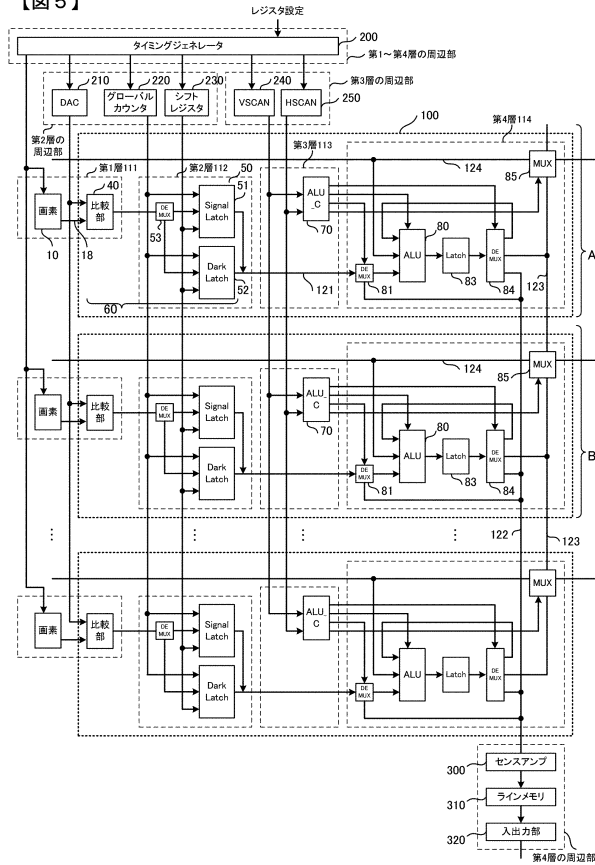


【図 4】



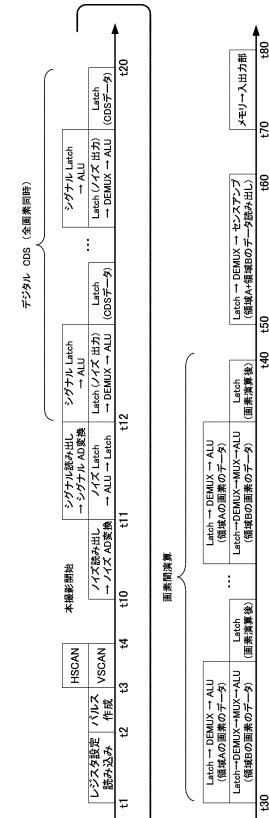
【図5】

【図5】



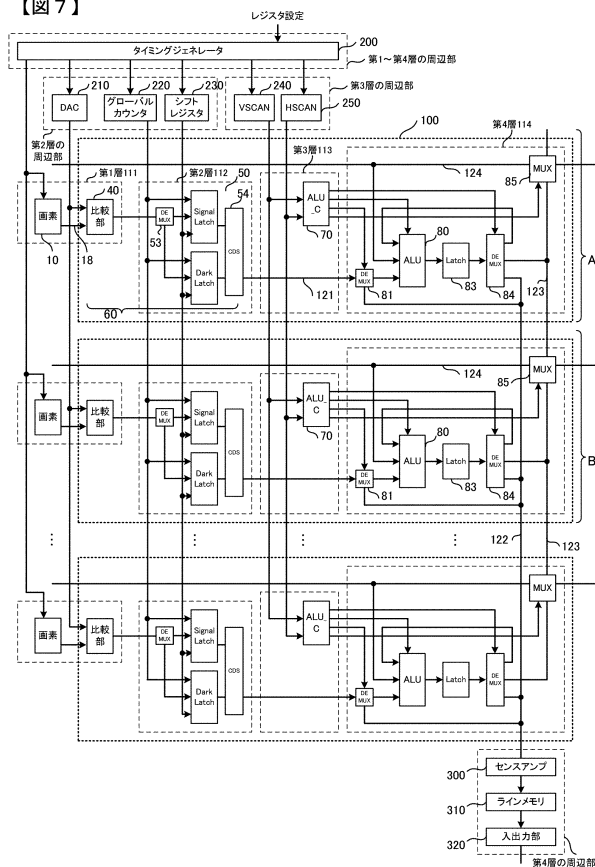
【図6】

【図6】



【図7】

【図7】



フロントページの続き

(56)参考文献 特開 2 0 1 2 - 2 4 8 9 5 2 (J P , A)
特開 2 0 1 5 - 0 4 1 8 3 8 (J P , A)
特開 2 0 1 1 - 1 7 2 1 2 1 (J P , A)
特開 2 0 0 6 - 1 8 6 8 6 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 4 N 5 / 3 0 - 5 / 3 7 8
H 0 1 L 2 7 / 1 4 - 2 7 / 1 4 8