

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2022년 1월 6일 (06.01.2022)



(10) 국제공개번호
WO 2022/005183 A1

(51) 국제특허분류:

H01L 23/373 (2006.01) *H01L 23/29* (2006.01)
H01L 23/15 (2006.01) *H01L 23/00* (2006.01)
H01L 23/13 (2006.01) *H05K 7/20* (2006.01)
H01L 23/482 (2006.01) *H05K 1/03* (2006.01)

(21) 국제출원번호: PCT/KR2021/008216

(22) 국제출원일: 2021년 6월 30일 (30.06.2021)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:

10-2020-0082287 2020년 7월 3일 (03.07.2020) KR
10-2020-0091339 2020년 7월 23일 (23.07.2020) KR
10-2020-0092879 2020년 7월 27일 (27.07.2020) KR

(71) 출원인: 주식회사 아모센스 (AMOSENSE CO., LTD.)
[KR/KR]; 31040 충청남도 천안시 서북구 직산읍 4산단

5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR).

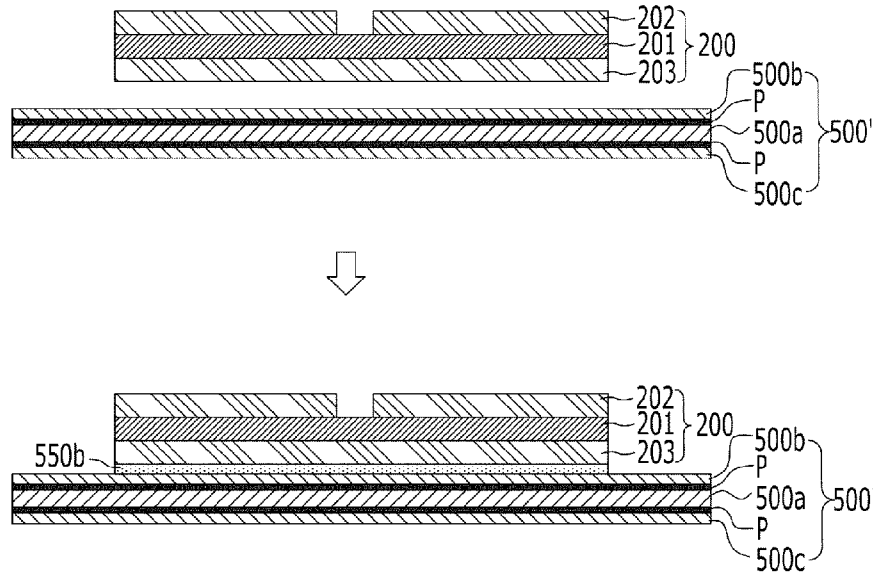
(72) 발명자: 조태호 (CHO, Tacho); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 여인태 (YEO, In-tae); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 빈진혁 (BIN, Jinhyuck); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 박승곤 (PARK, Seunggon); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR). 이지형 (LEE, Jihyung); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR).

(74) 대리인: 김철진 (KIM, Churchill); 06038 서울시 강남구 강남대로146길 25 전원빌딩 2층, Seoul (KR).

(54) Title: POWER MODULE

(54) 발명의 명칭: 파워모듈

[도15]



(57) Abstract: The present invention relates to a power module comprising: a lower ceramic substrate (200) including a ceramic base material (201) and metal layers (202, 203) formed on the top surface and the bottom surface of the ceramic base material (201); a heat-dissipation plate (500) bonded to the bottom surface of the lower ceramic substrate (200); and a solder preform layer (550) disposed between and bonded to the bottom surface of the lower ceramic substrate (200) and the top surface of the heat-dissipation plate (500). The present invention has the following advantageous effects: the entrapment of volatile material is minimized due to the solder preform used when the heat-dissipation plate and the ceramic substrate are bonded to each other, thereby preventing air bubble generation; and the high-temperature reliability can be improved due to the Sb based-solder used as the solder preform.

[다음 쪽 계속]

WO 2022/005183 A1



(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 본 발명은 파워모듈에 관한 것으로, 세라믹기재(201)와 상기 세라믹기재(201)의 상면과 하면에 형성된 금속층(202,203)을 포함하는 하부 세라믹기판(200)과 상기 하부 세라믹기판(200)의 하면에 접합되는 방열판(500)과 상기 하부 세라믹기판(200)의 하면과 상기 방열판(500)의 상면 사이에 접합 배치된 솔더프리폼층(550)을 포함한다. 본 발명은 방열판과 세라믹기판의 접합시 솔더프리폼을 사용하므로 휘발성 물질의 간섭을 최소화하여 기포 발생을 방지할 수 있으며, 솔더프리폼으로 Sb계열의 솔더를 사용하므로 고온 신뢰성을 향상시킬 수 있는 이점이 있다.

명세서

발명의 명칭: 파워모듈

기술분야

- [1] 본 발명은 파워모듈에 관한 것으로, 더욱 상세하게는 고출력 전력 반도체 칩을 적용하여 성능을 개선한 파워모듈에 관한 것이다.

배경기술

- [2] 파워모듈은 하이브리드 자동차, 전기차 등의 모터 구동을 위해 고전압 전류를 공급하기 위해 사용된다.
- [3] 파워모듈 중 양면 냉각 파워모듈은 반도체 칩의 상, 하부에 각각 기판을 설치하고 그 기판의 외측면에 각각 방열판을 구비한다. 양면 냉각 파워모듈은 단면에 방열판을 구비하는 단면 냉각 파워모듈에 비해 냉각 성능이 우수하여 점차 그 사용이 증가하는 추세이다.
- [4] 전기차 등에 사용되는 양면 냉각 파워모듈은 두 기판의 사이에 탄화규소(SiC), 질화갈륨(GaN) 등의 전력 반도체 칩이 실장되므로 고전압으로 인해 높은 발열과 주행 중 진동이 발생하기 때문에 이를 해결하기 위해 고강도와 고방열 특성을 동시에 만족시키는 것이 중요하다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명의 목적은 고강도와 고방열 특성을 가지고, 접합 특성이 우수하며, 전류 경로를 최소화하여 부피를 줄일 수 있으며 효율 및 성능을 향상시킬 수 있는 파워모듈을 제공하는 것이다.
- [6] 또한, 본 발명의 목적은 방열판과 세라믹기판의 접합시 기포 발생을 최소화할 수 있으며, 고온 신뢰성을 향상시킬 수 있는 파워모듈을 제공하는 것이다.
- [7] 또한, 본 발명의 목적은 다층 구조의 방열판을 적용하여 열팽창에 따른 방열판의 휨을 방지하고 방열에도 유리한 파워모듈을 제공하는 것이다.
- [8] 또한, 본 발명의 목적은 이중 재료의 다층 구조의 방열판을 적용하여 열적 특성을 확보할 수 있고, 방열판을 0.9mm 이하의 얇은 두께로 제조하여 경박 탄소 제품에 적용이 가능하도록 한 파워모듈을 제공하는 것이다.

기술적 해결방법

- [9] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 따르면, 본 발명의 파워모듈은 세라믹기재와 세라믹기재의 상면과 하면에 형성된 금속층을 포함하는 세라믹기판과, 세라믹기판의 하면에 접합되는 방열판과, 세라믹기판의 하면과 방열판의 상면 사이에 접합 배치된 솔더프리폼층을 포함한다.
- [10] 방열판과 금속층은 구리 또는 구리합금 재료로 형성될 수 있다.
- [11] 솔더프리폼층은 세라믹기판의 하면과 방열판의 상면 사이에 고체 상태의

솔더프리폼을 배치하고 솔더프리폼을 용융 접합한 것이다.

- [12] 솔더프리폼은 표면이 플럭스로 코팅된다.
- [13] 플럭스는 점착 플럭스일 수 있다.
- [14] 플럭스는 솔더프리폼에 비해 용점이 낮다.
- [15] 플럭스는 솔더프리폼의 용융 접합시 솔더프리폼보다 먼저 녹아 휘발된다.
- [16] 솔더프리폼은 상면과 하면이 플럭스로 코팅된다.
- [17] 솔더프리폼층은 Sb계이다.
- [18] 솔더프리폼층은 SnSb 조성이고 Pb가 포함되지 않는다.
- [19] 또는 파워모듈은 세라믹기판과, 세라믹기판의 하면에 솔더링 접합되고 다층 구조로 이루어지는 방열판을 포함한다.
- [20] 방열판은 제1 금속시트와 제1 금속시트의 상면에 브레이징 접합된 제2 금속시트와 제1 금속시트의 하면에 브레이징 접합된 제3 금속시트를 포함한다.
- [21] 제2 금속시트와 제3 금속시트는 동일 금속재질로 이루어지고, 제1 금속시트는 제2 금속시트 및 제3 금속시트와 다른 금속재질로 이루어진다.
- [22] 제1 금속시트의 열팽창 계수는 제2 금속시트 및 제3 금속시트의 열팽창 계수에 비해 작다.
- [23] 제1 금속시트 내지 상기 제3 금속시트는 Cu, CuMo, CuW 중 하나의 금속시트로 이루어질 수 있다.
- [24] 제1 금속시트는 CuMo이고, 제2 금속시트와 제3 금속시트는 Cu일 수 있다.
- [25] 제2 금속시트와 제3 금속시트는 제1 금속시트의 상면과 하면에 브레이징 필러층을 매개로 브레이징 접합된다.
- [26] 브레이징 필러층은 Ti, Ag, Cu, AgCu 중 하나 이상으로 이루어질 수 있다.
- [27] 제2 금속시트와 제3 금속시트는 금속이 용융된 용탕에 제1 금속시트를 침지하여 코팅한 후 압연하여 형성되는 금속층일 수 있다.
- [28] 방열판의 두께는 0.1mm~0.9mm일 수 있다.

발명의 효과

- [29] 본 발명의 파워모듈은 고강도와 고방열 특성을 가지고, 접합 특성이 우수하며, 전류 경로를 최소화하여 부피를 줄일 수 있으며 고속 스위칭에 최적화되어 효율 및 성능을 향상시킬 수 있는 효과가 있다.
- [30] 또한, 본 발명은 방열판과 세라믹기판의 접합시 표면에 플럭스가 코팅된 고체 상태의 솔더프리폼을 사용하므로 휘발성 물질의 간섭을 최소화하여 기포 생성을 방지할 수 있고, 기포 생성에 따른 열전도도 감소를 최소화할 수 있는 효과가 있다.
- [31] 또한, 본 발명은 솔더프리폼으로 Sb계열의 솔더를 사용하므로 반복적인 온도 상승과 냉각이 수행되는 파워모듈에서 방열 특성을 유지할 수 있고 고온 신뢰성을 향상시킬 수 있는 효과가 있다.
- [32] 또는, 본 발명은 이종 재질 금속시트를 다층으로 적층하고 브레이징 접합하여

방열판을 형성하므로, 열팽창 계수를 낮추어 고온에서 휨 발생을 방지할 수 있고 우수한 열전도도를 가져 파워모듈에서 요구하는 고방열 조건을 만족할 수 있는 효과가 있다.

- [33] 또는, 본 발명의 방열판은 이중 재질의 다층 구조 접합을 통해 열팽창 계수를 낮추므로 세라믹기판과 솔더링 접합시 휨 발생을 방지할 수 있고, 우수한 열전도도를 가져 파워모듈에서 요구하는 고방열 조건을 만족할 수 있으며, 도금압연법을 이용한 브레이징 접합기술을 이용하여 이중 재질의 견고한 접합이 가능하므로 0.9mm 이하의 얇은 두께의 방열판 제조가 가능하고, 경박단소 제품에도 적용이 가능한 효과가 있다.

도면의 간단한 설명

- [34] 도 1은 본 발명의 실시예에 의한 파워모듈의 사시도이다.
 [35] 도 2는 본 발명의 실시예에 의한 파워모듈의 분해 사시도이다.
 [36] 도 3은 본 발명의 실시예에 의한 파워모듈의 측단면도이다.
 [37] 도 4는 본 발명의 실시예에 의한 하우징을 보인 사시도이다.
 [38] 도 5는 본 발명의 실시예에 의한 하부 세라믹기판을 보인 사시도이다.
 [39] 도 6은 본 발명의 실시예에 의한 하부 세라믹기판의 상면과 하면을 보인 도면이다.
 [40] 도 7은 본 발명의 실시예에 의한 상부 세라믹기판을 보인 사시도이다.
 [41] 도 8은 본 발명의 실시예에 의한 상부 세라믹기판의 상면과 하면을 보인 도면이다.
 [42] 도 9는 본 발명의 실시예에 의한 상부 세라믹기판에 연결핀이 결합된 상태를 보인 사시도이다.
 [43] 도 10은 본 발명의 실시예에 의한 PCB 기판의 평면도이다.
 [44] 도 11은 본 발명의 다른 실시예로 방열판에 하부 세라믹기판이 접합된 모습을 보인 단면도이다.
 [45] 도 12는 본 발명의 다른 실시예로 방열판에 하부 세라믹기판을 접합시 솔더프리폼을 적용하는 모습을 보인 단면도이다.
 [46] 도 13은 도 12의 솔더프리폼의 평면도이다.
 [47] 도 14는 본 발명의 또 다른 실시예로 하우징에 방열판이 조립된 상태를 보인 단면도이다.
 [48] 도 15는 본 발명의 또 다른 실시예에 의한 방열판을 하부 세라믹기판(200)을 접합하는 모습을 보인 단면도이다.
 [49] 도 16은 본 발명의 또 다른 실시예에 의한 3층 적층형 구조의 방열판 및 브레이징 필러층을 보인 단면도이다.
 [50] 도 17은 도 16의 변형예로 5층 적층형 구조의 방열판을 보인 단면도이다.
 [51] 도 18은 본 발명의 또 다른 실시예로 하우징에 방열판이 조립된 상태를 보인 단면도이다.

- [52] 도 19는 본 발명의 또 다른 실시예에 의한 방열판을 하부 세라믹기판을 접합하는 모습을 보인 단면도이다.
- [53] 도 20은 본 발명의 또 다른 실시예에 의한 파워모듈에서 방열판 제조방법을 설명하기 위한 도면이다.
- [54] * 부호의 설명 *
- [55] 10: 파워모듈 100: 하우징
- [56] 101: 안내리브 102: 걸림턱
- [57] 103: 체결공 104: 지지공
- [58] 200: 하부 세라믹기판 201: 세라믹기재
- [59] 202,203: 금속층 210: NTC 온도센서
- [60] 220: 절연 스페이서 230: 인터커넥션 스페이서
- [61] 300: 상부 세라믹기판 301: 세라믹기재
- [62] 302,302: 금속층 310: 커팅부
- [63] 320,420: 쓰루홀 330,330a: 비아홀
- [64] 400: PCB 기판 401: 안내홈
- [65] 410: 캐패시터 420: 쓰루홀
- [66] 500,500',500'',500''': 방열판 501: 연통공
- [67] 550: 솔더프리폼층 550a: 솔더프리폼
- [68] 560: 플럭스 500a~500e: 제1 금속시트 내지 제5 금속시트
- [69] 500b': 제1 금속층 500c': 제2 금속층
- [70] 550b: 솔더층 610: 제1 단자
- [71] 620: 제2 단자 630: 지지볼트
- [72] 700: 버스바 G: 반도체 칩(GaN 칩)
- [73] 800: 연결핀 P: 브레이징 필러층
- [74] R1,R2: 롤

발명의 실시를 위한 최선의 형태

- [75] 이하 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명하기로 한다.
- [76] 도 1은 본 발명의 실시예에 의한 파워모듈의 사시도이고, 도 2는 본 발명의 실시예에 의한 파워모듈의 분해 사시도이다.
- [77] 도 1 및 도 2에 도시된 바에 의하면, 본 발명의 실시예에 따른 파워모듈(10)은 하우징(100)에 파워모듈을 이루는 각종 구성품을 수용하여 형성한 패키지 형태의 전자부품이다. 파워모듈(10)은 하우징(100) 안에 기판 및 소자를 배치하여 보호하는 형태로 형성된다.
- [78] 파워모듈(10)은 다수의 기판 및 다수의 반도체 칩을 포함할 수 있다. 실시예에 따른 파워모듈(10)은 하우징(100), 하부 세라믹기판(200), 상부 세라믹기판(300), PCB 기판(400) 및 방열판(500)을 포함한다.
- [79] 하우징(100)은 중앙에 상하로 개구되는 빈 공간이 형성되며 양측에 제1

단자(610)와 제2 단자(620)가 위치된다. 하우징(100)은 중앙의 빈 공간에 방열판(500), 하부 세라믹기판(200), 상부 세라믹기판(300) 및 PCB 기판(400)이 상하 일정 간격을 두고 순차적으로 적층되며, 양측의 제1 단자(610)와 제2 단자(620)에 외부 단자를 연결하기 위한 지지볼트(630)가 체결된다. 제1 단자(610)와 제2 단자(620)는 전원의 입출력단으로 사용된다.

[80] 도 2에 도시된 바에 의하면, 파워모듈(10)은 하우징(100)의 중앙의 빈 공간에 하부 세라믹기판(200), 상부 세라믹기판(300), PCB 기판(400)이 순차적으로 수용된다. 구체적으로, 하우징(100)의 하면에 방열판(500)이 배치되고, 방열판(500)의 상면에 하부 세라믹기판(200)이 부착되고, 하부 세라믹기판(200)의 상부에 상부 세라믹기판(300)이 일정 간격을 두고 배치되며, 상부 세라믹기판(300)의 상부에 PCB 기판(400)이 일정 간격을 두고 배치된다.

[81] 하우징(100)에 PCB 기판(400)이 배치된 상태는 PCB 기판(400)의 가장자리에 요입되게 형성된 안내홈(401,402)과 안내홈(401,402)에 대응되게 하우징(100)에 형성된 안내리브(101) 및 걸림턱(102)에 의해 고정될 수 있다. 실시예에 따른 PCB 기판(400)은 가장자리를 둘러 다수 개의 안내홈(401,402)이 형성되고, 이들 중 일부의 안내홈(401)은 하우징(100)의 내측면에 형성된 안내리브(101)가 안내되고 이들 중 나머지 일부의 안내홈(402)은 하우징(100)의 내측면에 형성된 걸림턱(102)이 통과되어 걸어진다.

[82] 또는, 하우징(100)의 중앙의 빈 공간에 방열판(500), 하부 세라믹기판(200), 상부 세라믹기판(300)이 수용되고, 그 상면에 PCB 기판(400)이 배치된 상태는 체결볼트(미도시)로 고정될 수도 있다. 그러나, 하우징(100)에 PCB 기판(400)을 안내홈과 걸림턱 구조로 고정하는 것이 체결볼트로 고정하는 경우 대비 조립 시간을 줄이고 조립 공정이 간편하다.

[83] 하우징(100)은 네 모서리에 체결공(103)이 형성된다. 체결공(103)은 방열판(500)에 형성된 연통공(501)과 연통된다. 체결공(103)과 연통공(501)을 관통하여 고정볼트(150)가 체결되고, 체결공(103)과 연통공(501)을 관통한 고정볼트(150)의 단부는 방열판(500)의 하면에 배치될 고정지그의 고정공에 체결될 수 있다.

[84] 제1 단자(610)와 제2 단자(620)에 버스바(700)가 연결된다. 버스바(700)는 제1 단자(610)와 제2 단자(620)를 상부 세라믹기판(300)과 연결한다. 버스바(700)는 3개가 구비된다. 버스바(700) 중 하나는 제1 단자(610) 중 +단자를 상부 세라믹기판(300)의 제1 전극 패턴(a)과 연결하고, 다른 하나는 제1 단자(610) 중 -단자를 제3 전극 패턴(c)과 연결하며, 나머지 하나는 제2 단자(620)를 제2 전극 패턴(b)과 연결한다. 제1 전극 패턴(a), 제2 전극 패턴(b) 및 제3 전극 패턴(c)은 후술할 도 7 및 도 10을 참조한다.

[85] 도 3은 본 발명의 실시예에 의한 파워모듈의 측단면도이다.

[86] 도 3에 도시된 바에 의하면, 파워모듈(10)은 하부 세라믹기판(200)과 상부 세라믹기판(300)의 복층 구조이며, 하부 세라믹기판(200)과 상부

세라믹기판(300)의 사이에 반도체 칩(G)이 위치된다. 반도체 칩(G)은 GaN(Gallium Nitride) 칩, MOSFET(Metal Oxide Semiconductor Field Effect Transistor), IGBT(Insulated Gate Bipolar Transistor), JFET(Junction Field Effect Transistor), HEMT(High Electric Mobility Transistor) 중 어느 하나일 수 있으나, 바람직하게는 반도체 칩(G)은 GaN 칩을 사용한다. GaN(Gallium Nitride) 칩(G)은 대전력(300A) 스위치 및 고속(~1MHz) 스위치로 기능하는 반도체 칩이다. GaN 칩은 기존의 실리콘 기반 반도체 칩보다 열에 강하면서 칩의 크기도 줄일 수 있는 장점이 있다.

- [87] 하부 세라믹기판(200)과 상부 세라믹기판(300)은 반도체 칩(G)으로부터 발생하는 열의 방열 효율을 높일 수 있도록, 세라믹기재와 세라믹기재의 적어도 일면에 브레이징 접합된 금속층을 포함하는 세라믹기판으로 형성된다.
- [88] 세라믹기재는 알루미늄(Al_2O_3), AlN, SiN, Si_3N_4 중 어느 하나인 것을 일 예로 할 수 있다. 금속층은 세라믹기재 상에 브레이징 접합된 금속박으로 반도체 칩(G)을 실장하는 전극 패턴 및 구동소자를 실장하는 전극 패턴으로 각각 형성된다. 예컨대, 금속층은 반도체 칩 또는 주변 부품이 실장될 영역에 전극 패턴으로 형성된다. 금속박은 알루미늄박 또는 동박인 것을 일 예로 한다. 금속박은 세라믹기재 상에 780°C~1100°C로 소성되어 세라믹기재와 브레이징 접합된 것을 일 예로 한다. 이러한 세라믹기판을 AMB 기판이라 한다. 실시예는 AMB 기판을 예로 들어 설명하나 DBC 기판, TPC 기판, DBA 기판을 적용할 수도 있다. 그러나 내구성 및 방열 효율면에서 AMB 기판이 가장 적합하다. 상기한 이유로, 하부 세라믹기판(200)과 상부 세라믹기판(300)은 AMB 기판임을 일 예로 한다.
- [89] PCB 기판(400)은 상부 세라믹기판(300)의 상부에 배치된다. 즉, 파워모듈(10)은 하부 세라믹기판(200)과 상부 세라믹기판(300)과 PCB 기판(400)의 3층 구조로 구성된다. 고전력용 제어를 위한 반도체 칩(G)을 상부 세라믹기판(200)과 하부 세라믹기판(300)의 사이에 배치하여 방열 효율을 높이고, 저전력용 제어를 위한 PCB 기판(400)을 최상부에 배치하여 반도체 칩(G)에서 발생하는 열로 인한 PCB 기판(400)의 손상을 방지한다. 하부 세라믹기판(200), 상부 세라믹기판(300), PCB 기판(400)은 편으로 연결 또는 고정될 수 있다.
- [90] 방열판(500)은 하부 세라믹기판(200)의 하부에 배치된다. 방열판(500)은 반도체 칩(G)에서 발생하는 열의 방열을 위한 것이다. 방열판(500)은 소정의 두께를 가지는 사각 플레이트 형상으로 형성된다. 방열판(500)은 하우징(100)과 대응되는 면적으로 형성되며 방열 효율을 높이기 위해 구리 또는 알루미늄 재질로 형성될 수 있다.
- [91] 이하에서는 본 발명의 파워모듈의 각 구성별 특징을 더욱 상세하게 설명하기로 한다. 파워모듈의 각 구성별 특징을 설명하는 도면에서는 각 구성별 특징을 강조하기 위해 도면을 확대하거나 과장하여 표현한 부분이 있으므로 도 1에 도시된 기본 도면과 일부 일치하지 않는 부분이 있을 수 있다.
- [92] 도 4는 본 발명의 실시예에 의한 하우징을 보인 사시도이다.

- [93] 도 4에 도시된 바에 의하면, 하우징(100)은 중앙에 빈 공간이 형성되며, 양단에 제1 단자(610)와 제2 단자(620)가 위치된다. 하우징(100)은 양단에 제1 단자(610)와 제2 단자(620)가 일체로 고정되게 인서트 사출 방식으로 형성될 수 있다.
- [94] 기존의 파워모듈은 이격된 회로를 연결하기 위해 하우징에 연결핀을 인서트 사출하여 적용하고 있으나, 본 실시예는 하우징(100)의 제조시 연결핀을 제외하여 제조한 형상을 갖는다. 이는 하우징(100)의 내부에 연결핀이 위치하지 않음으로써 형상을 단순화하여 파워모듈의 비틀림 모멘트에 유연성을 향상시킨다.
- [95] 하우징(100)은 네 모서리에 체결공(103)이 형성된다. 체결공(103)은 방열판(500)에 형성된 연통공(501)과 연통된다. 제1 단자(610)와 제2 단자(620)에는 지지공(104)이 형성된다. 지지공(104)에는 제1 단자(610) 및 제2 단자(620)를 모터 등의 외부 단자와 연결하기 위한 지지볼트(630)가 체결된다(도 10 참조).
- [96] 하우징(100)은 단열 재질로 형성된다. 하우징(100)은 반도체 칩(G)에서 발생한 열이 하우징(100)을 통해 상부의 PCB 기판(400)에 전달되지 않도록 단열 재질로 형성될 수 있다.
- [97] 또는 하우징(100)은 방열 플라스틱 재질을 적용할 수 있다. 하우징(100)은 반도체 칩(G)에서 발생한 열이 하우징(100)을 통해 외부로 방열될 수 있도록 방열 플라스틱 재질을 적용할 수 있다. 일 예로, 하우징(100)은 엔지니어링 플라스틱으로 형성될 수 있다. 엔지니어링 플라스틱은 높은 내열성과 뛰어난 강도, 내약품성, 내마모성을 가지며 150°C 이상에서 장시간 사용 가능하다. 엔지니어링 플라스틱은 폴리아미드, 폴리카보네이트, 폴리에스테르, 변성 폴리페닐렌옥사이드 중 하나의 재료로 된 것일 수 있다.
- [98] 반도체 칩(G)은 스위치로서 반복 동작을 하는데 그로 인해 하우징(100)은 고온과 온도변화에 스트레스를 받게 되나, 엔지니어링 플라스틱은 고온 안정성이 우수하므로 일반 플라스틱에 비해 고온과 온도변화에 상대적으로 안정적이고 방열 특성도 우수하다.
- [99] 실시예는 엔지니어링 플라스틱 소재에 알루미늄 또는 구리로 된 단자를 인서트사출 적용하여 하우징(100)을 제조한 것일 수 있다. 엔지니어링 플라스틱 소재로 된 하우징(100)은 열을 전파시켜 외부로 방열시킨다. 하우징(100)은 수지에 고열 전도율 필러를 충전함으로써 일반 엔지니어링 플라스틱 소재보다 열전도성을 더 높일 수 있고 알루미늄에 비해 경량인 고방열 엔지니어링 플라스틱으로 될 수 있다.
- [100] 또는, 하우징(100)은 엔지니어링 플라스틱 또는 고강도 플라스틱 소재의 내외부에 그래핀 방열코팅제를 도포하여 방열 특성을 가지도록 한 것일 수 있다.
- [101] 도 5는 본 발명의 실시예에 의한 하부 세라믹기판을 보인 사시도이다.
- [102] 도 3 및 도 5에 도시된 바에 의하면, 하부 세라믹기판(200)은 방열판(500)의

상면에 부착된다. 구체적으로, 하부 세라믹기판(200)은 반도체 칩(G)과 방열판(500)의 사이에 배치된다. 하부 세라믹기판(200)은 반도체 칩(G)에서 발생하는 열을 방열판(500)으로 전달하고, 반도체 칩(G)과 방열판(500)의 사이를 절연하여 쇼트를 방지하는 역할을 한다.

- [103] 하부 세라믹기판(200)은 방열판(500)의 상면에 솔더링 접합될 수 있다. 방열판(500)은 하우징(100)과 대응되는 면적으로 형성되며 방열 효율을 높이기 위해 구리 재질로 형성될 수 있다. 솔더링 접합을 위한 솔더는 SnAg, SnAgCu 등이 사용될 수 있다.
- [104] 도 6은 본 발명의 실시예에 의한 하부 세라믹기판의 상면과 하면을 보인 도면이다.
- [105] 도 5 및 도 6에 도시된 바에 의하면, 하부 세라믹기판(200)은 세라믹기재(201)와 세라믹기재(201)의 상하면에 브레이징 접합된 금속층(202,203)을 포함한다. 하부 세라믹기판(200)은 세라믹기재(201)의 두께가 0.68t이고, 세라믹기재(201)의 상면과 하면에 형성한 금속층(202,203)의 두께가 0.8t인 것을 일 예로 할 수 있다.
- [106] 하부 세라믹기판(200)의 상면(200a)의 금속층(202)은 구동소자를 실장하는 전극 패턴일 수 있다. 하부 세라믹기판(200)에 실장되는 구동소자는 NTC 온도센서(210)일 수 있다. NTC 온도센서(210)는 하부 세라믹기판(200)의 상면에 실장된다. NTC 온도센서(210)는 반도체 칩(G)의 발열로 인한 파워모듈 내의 온도 정보를 제공하기 위한 것이다. 하부 세라믹기판(200)의 하면(200b)의 금속층(203)은 방열판(500)에 열전달을 용이하게 하기 위해 하부 세라믹기판(200)의 하면 전체에 형성될 수 있다.
- [107] 하부 세라믹기판(200)에 절연 스페이서(220)가 접합된다. 절연 스페이서(220)는 하부 세라믹기판(200)의 상면에 접합되며 하부 세라믹기판(200)과 상부 세라믹기판(300)의 이격 거리를 규정한다.
- [108] 절연 스페이서(220)는 하부 세라믹기판(200)과 상부 세라믹기판(300)의 이격 거리를 규정하여 상부 세라믹기판(300)의 하면에 실장된 반도체 칩(G)에서 발생하는 열의 방열 효율을 높이고, 반도체 칩(G) 간의 간섭을 방지하여 쇼트와 같은 전기적 충격을 방지한다.
- [109] 절연 스페이서(220)는 하부 세라믹기판(200)의 상면 가장자리를 둘러 소정 간격을 두고 다수 개가 접합된다. 절연 스페이서(220) 간의 간격은 방열 효율을 높이는 공간으로 활용된다. 도면상 절연 스페이서(220)는 하부 세라믹기판(200)을 기준으로 할 때 가장자리를 둘러 배치되며, 일 예로 8개가 일정 간격을 두고 배치된다.
- [110] 절연 스페이서(220)는 하부 세라믹기판(200)에 일체로 접합된다. 절연 스페이서(220)는 하부 세라믹기판(200)의 상부에 상부 세라믹기판(300)을 배치할 때 얼라인을 확인하는 용도로 적용될 수도 있다. 하부 세라믹기판(200)에 절연 스페이서(220)가 접합된 상태에서 그 상부에 반도체 칩(G)이 실장된 상부 세라믹기판(300)을 배치할 때, 절연 스페이서(220)가 상부 세라믹기판(300)의

얼라인을 확인하는 용도로 적용될 수 있다. 또한, 절연 스페이서(220)는 하부 세라믹기판(200)과 상부 세라믹기판(300)을 지지하여 하부 세라믹기판(200)과 상부 세라믹기판(300)의 힘을 방지하는데 기여한다.

- [111] 절연 스페이서(220)는 하부 세라믹기판(200)에 실장된 칩과 상부 세라믹기판(300)에 실장된 칩 및 부품 간의 절연을 위해 세라믹 소재로 형성될 수 있다. 일 예로, 절연 스페이서는 Al_2O_3 , ZTA, Si_3N_4 , AlN 중 선택된 1종 또는 이들 중 둘 이상이 혼합된 합금으로 형성될 수 있다. Al_2O_3 , ZTA, Si_3N_4 , AlN는 기계적 강도, 내열성이 우수한 절연성 재료이다.
- [112] 절연 스페이서(220)는 하부 세라믹기판(200)에 브레이징 접합된다. 절연 스페이서(220)를 하부 세라믹기판(200)에 솔더링 접합하면 솔더링 또는 가압 소성시 열적 기계적 충격으로 인해 기판이 파손될 수 있으므로 브레이징 접합한다. 브레이징 접합은 AgCu층과 Ti층을 포함한 브레이징 접합층을 이용할 수 있다. 브레이징을 위한 열처리는 $780^{\circ}C \sim 900^{\circ}C$ 에서 수행할 수 있다. 브레이징 후, 절연 스페이서(220)는 하부 세라믹기판(200)의 금속층(202)과 일체로 형성된다. 브레이징 접합층의 두께는 $0.005mm \sim 0.08mm$ 로 절연 스페이서의 높이에 영향을 미치지 않을 만큼 얇고 접합 강도는 높다.
- [113] 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이에 인터커넥션 스페이서(230)가 설치된다. 인터커넥션 스페이서(230)는 상하 복층 구조의 기판에서 연결핀을 대신하여 전극 패턴 간 전기적 연결을 수행할 수 있다. 인터커넥션 스페이서(230)는 전기적 로스(loss) 및 쇼트(shot)를 방지하면서 기판 간을 직접 연결하고 접합 강도를 높이며 전기적 특성도 개선할 수 있다. 인터커넥션 스페이서(230)는 일단이 브레이징 접합 방식으로 하부 세라믹기판(200)의 전극 패턴에 접합될 수 있다. 또한, 인터커넥션 스페이서(230)는 반대되는 타단이 브레이징 접합 방식 또는 솔더링 접합 방식으로 상부 세라믹기판(300)의 전극 패턴에 접합될 수 있다. 인터커넥션 스페이서(230)는 Cu 또는 Cu+CuMo 합금일 수 있다.
- [114] 도 7은 본 발명의 실시예에 의한 상부 세라믹기판을 보인 사시도이고, 도 8은 본 발명의 실시예에 의한 상부 세라믹기판의 상면과 하면을 보인 도면이다.
- [115] 도 7 및 도 8에 도시된 바에 의하면, 상부 세라믹기판(300)은 하부 세라믹기판(200)의 상부에 배치된다.
- [116] 상부 세라믹기판(300)은 적층 구조의 중간 기판이다. 상부 세라믹기판(300)은 하면에 반도체 칩(G)을 실장하고, 고속 스위칭을 위한 하이 사이드(High Side) 회로와 로우 사이드(Low Side) 회로를 구성한다.
- [117] 상부 세라믹기판(300)은 세라믹기재(301)와 세라믹기재(301)의 상하면에 브레이징 접합된 금속층(302,303)을 포함한다. 상부 세라믹기판(300)은 세라믹기재의 두께가 $0.38t$ 이고 세라믹기재의 상면(300a)과 하면(300b)에 전극 패턴의 두께가 $0.3t$ 인 것을 일 예로 한다. 세라믹기판은 상면과 하면의 패턴 두께가 동일해야 브레이징시 틀어지지 않는다.

- [118] 상부 세라믹기판(300)의 상면의 금속층(302)이 형성하는 전극 패턴은 제1 전극 패턴(a), 제2 전극 패턴(b), 제3 전극 패턴(c)으로 구분된다. 상부 세라믹기판(300)의 하면의 금속층(303)이 형성하는 전극 패턴은 상부 세라믹기판(300)의 상면의 금속층(302)이 형성하는 전극 패턴과 대응된다. 상부 세라믹기판(300)의 상면의 전극 패턴을 제1 전극 패턴(a), 제2 전극 패턴(b), 제3 전극 패턴(c)으로 구분한 것은 고속 스위칭을 위해 하이 사이드(High Side) 회로와 로우 사이드(Low Side) 회로로 분리하기 위함이다.
- [119] 반도체 칩(G)은 상부 세라믹기판(300)의 하면(300b)에 솔더(Solder), 은 페이스트(Ag Paste) 등의 접착층에 의해 플립칩(flip chip) 형태로 구비된다. 반도체 칩(G)이 상부 세라믹기판(300)의 하면에 플립칩 형태로 구비됨에 따라 와이어 본딩이 생략되어 인덕턴스 값을 최대한 낮출 수가 있게 되어, 이에 의해 방열 성능 또한 개선시킬 수 있다.
- [120] 도 8에 도시된 바와 같이, 반도체 칩(G)은 고속 스위칭을 위해 2개씩 병렬로 연결될 수 있다. 반도체 칩(G)은 2개가 상부 세라믹기판(300)의 전극 패턴 중 제1 전극 패턴(a)과 제2 전극 패턴(b)을 연결하는 위치에 배치되고, 나머지 2개가 제2 전극 패턴(b)과 제3 전극 패턴(c)을 연결하는 위치에 병렬로 배치된다. 일 예로 반도체 칩(G) 하나의 용량은 150A이다. 따라서 반도체 칩(G) 2개를 병렬 연결하여 용량이 300A가 되도록 한다. 반도체 칩(G)은 GaN 칩이다.
- [121] 반도체 칩(G)을 사용하는 파워모듈의 목적은 고속 스위칭에 있다. 고속 스위칭을 위해서는 Gate drive IC 단자에서 반도체 칩(G)의 Gate 단자 간에 매우 짧은 거리로 연결되는 것이 중요하다. 따라서 반도체 칩(G) 간을 병렬로 연결하여 Gate drive IC와 Gate 단자 간 연결 거리를 최소화한다. 또한, 반도체 칩(G)이 고속으로 스위칭하기 위해서는 반도체 칩(G)의 Gate 단자와 Source 단자가 동일한 간격을 유지하는 것이 중요하다. 이를 위해 반도체 칩(G)과 반도체 칩(G)의 사이의 중심에 연결핀이 연결되도록 Gate 단자와 Source 단자를 배치할 수 있다. Gate 단자와 Source 단자가 동일한 간격을 유지하지 않거나 패턴의 길이가 달라지면 문제가 발생한다.
- [122] Gate 단자는 낮은 전압을 이용하여 반도체 칩(G)을 온오프(on/off)시키는 단자이다. Gate 단자는 연결핀을 통해 PCB 기판(400)과 연결될 수 있다. Source 단자는 고전류가 들어오고 나가는 단자이다. 반도체 칩(G)은 Drain 단자를 포함하며, Source 단자와 Drain 단자는 N형과 P형으로 구분되어 전류의 방향을 바꿀 수 있다. Source 단자와 Drain 단자는 반도체 칩(G)을 실장하는 전극 패턴인 제1 전극 패턴(a), 제2 전극 패턴(b), 제3 전극 패턴(c)을 통해 전류의 입출력을 담당한다. Source 단자와 Drain 단자는 전원의 입출력을 담당하는 도 1의 제1 단자(610) 및 제2 단자(620)와 연결된다.
- [123] 도 1 및 도 8을 참조하면, 도 1에 도시된 제1 단자(610)는 +단자와 -단자를 포함하며, 제1 단자(610)에서 +단자로 유입된 전원은 도 8에 도시된 상부 세라믹기판(300)의 제1 전극 패턴(a), 제1 전극 패턴(a)과 제2 전극 패턴(b)의

사이에 배치된 반도체 칩(G) 및 제2 전극 패턴(b)을 통해 제2 단자(620)로 출력된다. 그리고 도 1에 도시된 제2 단자(620)로 유입된 전원은 도 8에 도시된 제2 전극 패턴(b), 제2 전극 패턴(b)과 제3 전극 패턴(c)의 사이에 배치된 반도체 칩(G) 및 제3 전극 패턴(c)을 통해 제1 단자(610)의 -단자로 출력된다. 예컨대, 제1 단자(610)에서 유입되고 반도체 칩(G)을 통과하여 제2 단자(620)로 출력되는 전원을 하이 사이드(High Side), 제2 단자(620)에서 유입되고 반도체 칩(G)을 통과하여 제1 단자(610)로 출력되는 전원을 로우 사이드(Low Side)가 된다.

[124] 도 7에 도시된 바에 의하면, 상부 세라믹기판(300)은 NTC 온도센서(210)에 대응하는 부분에 커팅부(310)가 형성될 수 있다. 하부 세라믹기판(200)의 상면에 NTC 온도센서(210)가 장착된다. NTC 온도센서(210)는 반도체 칩(G)의 발열로 인한 파워모듈 내의 온도 정보를 제공하기 위한 것이다. 그런데 NTC 온도센서(210)의 두께가 하부 세라믹기판(200)과 상부 세라믹기판(300)의 사이의 간격에 비해 두꺼워 NTC 온도센서(210)와 상부 세라믹기판(300)의 간섭이 발생한다. 이를 해결하기 위해 NTC 온도센서(210)와 간섭되는 부분의 상부 세라믹기판(300)을 커팅하여 커팅부(310)를 형성한다.

[125] 커팅부(310)를 통해 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이 공간에 몰딩을 위한 실리콘액 또는 에폭시를 주입할 수 있다. 상부 세라믹기판(300)과 하부 세라믹기판(200)의 사이를 절연하기 위해 실리콘액 또는 에폭시를 주입해야 한다. 상부 세라믹기판(300)과 하부 세라믹기판(200)에 실리콘액 또는 에폭시를 주입하기 위해 상부 세라믹기판(300)의 한쪽면을 커팅하여 커팅부(310)를 형성할 수 있으며, 커팅부(310)는 NTC 온도센서(210)와 대응되는 위치에 형성하여 상부 세라믹기판(300)과 NTC 온도센서(210)의 간섭도 방지할 수 있다. 실리콘액 또는 에폭시는 반도체 칩(G)의 보호, 진동의 완화 및 절연의 목적으로 하부 세라믹기판(200)과 상부 세라믹기판(300) 사이의 공간과 상부 세라믹기판(300)과 PCB 기판(400) 사이의 공간에 충전할 수 있다.

[126] 상부 세라믹기판(300)에 쓰루홀(Through Hole)(320)이 형성된다. 쓰루홀(320)은 상하 복층의 기판 구조에서 상부 세라믹기판(300)에 실장되는 반도체 칩(G)을 PCB 기판(400)에 실장되는 구동소자와 최단거리로 연결하고, 하부 세라믹기판(200)에 실장된 NTC 온도센서(210)를 PCB 기판(400)에 실장되는 구동소자와 최단거리로 연결하기 위한 것이다.

[127] 쓰루홀(320)은 반도체 칩이 설치되는 위치에 2개씩 8개가 형성되고, NTC 온도센서가 설치되는 위치에 2개가 설치되어 총 10개가 형성될 수 있다. 또한, 쓰루홀(320)은 상부 세라믹기판(300)에서 제1 전극 패턴(a)과 제3 전극 패턴(c)이 형성된 부분에 다수 개가 형성될 수 있다.

[128] 제1 전극 패턴(a)에 형성된 다수 개의 쓰루홀(320)은 상부 세라믹기판(300)의 상면의 제1 전극 패턴(a)으로 유입된 전류가 상부 세라믹기판(300)의 하면에 형성된 제1 전극 패턴(a)으로 이동하고 반도체 칩(G)으로 유입되도록 한다. 제3 전극 패턴(c)에 형성된 다수 개의 쓰루홀(320)은 반도체 칩(G)으로 유입된 전류가

상부 세라믹기판(300)의 하면의 제3 전극 패턴(c)을 통해 상부 세라믹기판(300)의 상면의 제3 전극 패턴(c)으로 이동하도록 한다.

- [129] 쓰루홀(320)의 직경은 0.5mm~5.0mm일 수 있다. 쓰루홀(320)에는 연결핀이 설치되어 PCB 기판의 전극 패턴과 연결되고 이를 통해 PCB 기판(400)에 실장되는 구동소자와 연결될 수 있다. 상하 복층의 기판 구조에서 쓰루홀(320) 및 쓰루홀(320)에 설치되는 연결핀을 통한 전극 패턴 간 연결은 최단 거리 연결을 통해 다양한 출력 손실을 제거하여 파워모듈의 크기에 따른 제약을 개선하는데 기여할 수 있다.
- [130] 상부 세라믹기판(300)의 전극 패턴에는 복수 개의 비아홀(330)이 형성될 수 있다. 비아홀(330)은 기판 면적 대비 최소 50% 이상 가공될 수 있다. 상술한 비아홀(330)의 면적은 기판 면적 대비 최소 50% 이상 적용되는 예로 들어 설명하였으나, 이에 한정되는 것은 아니며 50% 이하로 가공될 수도 있다.
- [131] 일 예로 제1 전극 패턴(a)에는 152개의 비아홀이 형성되고 제2 전극 패턴(b)에는 207개의 비아홀이 형성되고 제3 전극 패턴(c)에는 154개의 비아홀이 형성될 수 있다. 각 전극 패턴에 형성되는 복수 개의 비아홀(330)은 대전류 통전 및 대전류 분산을 위한 것이다. 하나의 슬롯 형태로 상부 세라믹기판(300)의 상면의 전극 패턴과 하면의 전극 패턴을 도통시키면 한쪽으로만 고전류가 흘러 쇼트, 과열 등의 문제가 발생할 수 있다.
- [132] 비아홀(330)에는 전도성 물질이 충전된다. 전도성 물질은 Ag 또는 Ag 합금일 수 있다. Ag 합금은 Ag-Pd 페이스트일 수 있다. 비아홀(330)에 충전된 전도성 물질은 상부 세라믹기판(300)의 상면의 전극 패턴과 하면의 전극 패턴을 전기적으로 연결한다. 비아홀(330)은 레이저 가공하여 형성할 수 있다. 비아홀(330)은 도 8의 확대도에서 확인할 수 있다.
- [133] 도 9는 본 발명의 실시예에 의한 상부 세라믹기판에 연결핀이 결합된 상태를 보인 사시도이다.
- [134] 도 9에 도시된 바에 의하면, 연결핀(800)은 상부 세라믹기판(300)에서 반도체 칩(G)과 인접한 위치에 형성된 쓰루홀(Through Hole)(도 7의 도면부호 320)에 끼워진다. 반도체 칩(G)과 인접한 위치에 형성된 쓰루홀(320)에 끼워진 연결핀(800)은 PCB 기판(도 10의 도면부호 400)에 대응된 위치에 형성된 쓰루홀(420)에 끼워져 반도체 칩(G)을 실장하는 게이트(Gate) 단자와 PCB 기판(400)의 전극 패턴을 연결할 수 있다.
- [135] 또한, 연결핀(800)은 상부 세라믹기판(300)에서 NTC 온도센서(210)와 인접하는 위치에 형성된 쓰루홀(320)에 끼워진다. NTC 온도센서(210)와 인접하는 위치에 형성된 쓰루홀(320)에 끼워진 연결핀(800)은 PCB 기판(400)에 대응되는 위치에 형성된 쓰루홀(420)에 끼워져 NTC 온도센서(210)의 단자와 PCB 기판(400)의 전극 패턴을 연결할 수 있다.
- [136] 또한, 연결핀(800)은 상부 세라믹기판(300)에서 제1 전극 패턴(a)과 제3 전극 패턴(c)에 일렬로 형성된 다수 개의 쓰루홀(320)에 끼워진다. 제1 전극 패턴(a)과

제3 전극 패턴(c)에 형성된 다수 개의 쓰루홀(320)에 끼워진 연결핀(800)은 PCB 기판(400)에 대응된 위치에 형성된 쓰루홀(420)에 끼워져 반도체 칩(G)을 PCB 기판(400)의 캐패시터(410)와 연결할 수 있다.

- [137] 연결핀(800)은 상부 세라믹기판(300)에 실장되는 반도체 칩(G)을 PCB 기판(400)에 실장되는 구동소자와 최단거리로 연결하여 다양한 출력 손실을 제거하고 고속 스위칭이 가능하게 한다.
- [138] 도 10은 본 발명의 실시예에 의한 PCB 기판의 평면도이다.
- [139] 도 10에 도시된 바에 의하면, PCB 기판(400)은 반도체 칩(G)을 스위칭하거나 NTC 온도센서(도 7의 도면부호 210)가 감지한 정보를 이용하여 GaN 칩(반도체 칩)을 스위칭하기 위한 구동소자가 실장된다. 구동소자는 Gate Drive IC를 포함한다.
- [140] PCB 기판(400)은 상면에 캐패시터(410)가 장착된다. 캐패시터(410)는 상부 세라믹기판(300)의 제1 전극 패턴(a)과 제2 전극 패턴(b)을 연결하도록 배치된 반도체 칩(G)과 상부 세라믹기판(300)의 제2 전극 패턴(b)과 제3 전극 패턴(c)을 연결하도록 배치된 반도체 칩(G)의 사이에 해당하는 위치인 PCB 기판(400)의 상면에 장착된다.
- [141] 반도체 칩(G)의 사이에 해당하는 위치인 PCB 기판(400)의 상면에 캐패시터(410)가 장착되면, 연결핀(도 9의 도면부호 800)을 이용하여 반도체 칩(G)과 Drive IC 회로를 최단거리로 연결할 수 있으므로 고속 스위칭에 보다 유리하다. 일 예로, 캐패시터(410)는 용량을 맞추기 위해 10개가 병렬로 연결될 수 있다. 입력단에 디커플링용도로 $2.5\mu\text{F}$ 이상을 확보하기 위해서 고전압의 캐패시터 10개를 연결하여 용량을 확보할 수 있다. Gate Drive IC 회로는 High side gate drive IC와 Low side gate drive IC를 포함한다.
- [142]
- [143] 한편, 다른 실시예로 방열판과 세라믹기판의 접합시 솔더프리폼을 사용하여 기포 발생을 최소화하고 고온 신뢰성을 향상시킨다. 방열판과 접합되는 세라믹기판은 하부 세라믹기판이다.
- [144] 도 11은 본 발명의 다른 실시예로 방열판에 하부 세라믹기판이 접합된 모습을 보인 단면도이다. 도 11에서는 방열판에 하부 세라믹기판이 접합된 모습을 설명하기 위해 하부 세라믹기판을 실제와 달리 과장되게 표현하였다.
- [145] 도 11에 도시된 바에 의하면, 방열판(500)은 하부 세라믹기판(200)의 하면에 솔더링 접합된다. 구체적으로, 하부 세라믹기판(200)의 하면과 방열판(500)의 상면을 솔더프리폼층(550)이 접합한다. 하부 세라믹기판(200)은 세라믹기재(201)와 세라믹기재(201)의 상면과 하면에 브레이징 접합된 금속층(202,203)을 포함하는 구조로 형성되며, 솔더프리폼층(550)은 하부 세라믹기판(200)의 하면의 금속층(203)과 방열판(500)의 상면 사이에 접합 배치된다.
- [146] 솔더프리폼층(550)은 하부 세라믹기판(200)의 하면과 방열판(500)의 상면의

- 사이에 고체 상태인 솔더프리폼(550a)을 배치하고 솔더링 접합하여 형성한다.
- [147] 방열판(500)과 하부 세라믹기판(200)의 금속층(202,203)은 구리 또는 구리합금 재질로 형성된다. 방열판(500)에 하부 세라믹기판(200)을 접합할 때 주로 솔더를 이용하여 솔더링 접합하는데, 접합되는 세라믹기판의 크기(size)가 증가할수록 페이스트(paste) 또는 크림(cream) 타입의 솔더(solder)를 사용하면 균일 도포가 어려울 수 있고 균일 도포를 위해 플럭스(flux)를 많이 사용하면 플럭스의 양이 많아져 솔더링 후 기포가 발생할 수 있다. 기포는 하부 세라믹기판(200)에서 방열판(500)으로의 열전달을 저해하고, 반복적인 온도 상승 및 냉각에 의해 접합 신뢰성을 저하시키는 역할을 한다. 따라서 솔더 페이스트를 사용하는 대신 고체 상태의 솔더인 솔더프리폼(550a)을 적용하여 솔더링시 발생하는 기포를 줄여 방열과 접합 신뢰성을 향상시킨다.
- [148] 도 12는 본 발명의 다른 실시예로 방열판에 하부 세라믹기판을 접합시 솔더프리폼을 적용하는 모습을 보인 단면도이고, 도 13은 도 12의 솔더프리폼의 평면도이다.
- [149] 도 12 및 도 13에 도시된 바에 의하면, 하부 세라믹기판(200)과 방열판(500)의 접합시 솔더프리폼(550a)을 사용하여 솔더프리폼층(550)을 형성한다. 솔더프리폼(550a)은 고체 상태이고 하부 세라믹기판(200)의 크기에 대응되며 두께가 균일하다. 솔더프리폼(550a)은 표면이 플럭스(560)로 코팅된다. 플럭스(560)는 솔더프리폼(550a)에 비해 용점이 낮아, 솔더프리폼(550a)의 솔더링 접합시 솔더프리폼(550a)보다 먼저 녹아 휘발된다. 이러한 플럭스(560)는 솔더프리폼(550a)의 표면 전체에 코팅되고 솔더프리폼(550a)보다 먼저 녹아 휘발되므로 휘발성 물질의 간섭을 최소화한다.
- [150] 또한, 플럭스(560)는 솔더프리폼(550a)의 표면 전체에 얇은 층으로 코팅되어 솔더프리폼(550a)의 산화를 방지하고 솔더링 접합시 접합이 견고하도록 한다. 플럭스(560)는 솔더프리폼(550a)의 상면과 하면에 얇은 층으로 코팅될 수도 있다.
- [151] 플럭스(560)는 염화물, 플루오르화물, 수지 등으로 이루어질 수 있다. 플럭스(560)는 점착 플럭스일 수 있다. 점착 플럭스(560)는 하부 세라믹기판(200)과 방열판(500)을 솔더링전 가접합하여 위치 고정 및 용이하도록 할 수 있다.
- [152] 솔더프리폼(550a)은 Sb계 프리폼일 수 있다. 일례로 솔더프리폼(550a)은 SnSb 조성이고 Pb가 포함되지 않는 친환경계열 솔더일 수 있다.
- [153] Sb계 프리폼은 일반적인 SnPb계, SnAg계, SnAgCu계, Cu계 솔더 페이스트에 비해 고온 신뢰성이 우수하고 접합 강도가 높으며 기포 발생이 방지되므로 방열 및 고온 신뢰성이 높다. 고전압, 고전류의 파워모듈은 반복적인 온도 상승 및 냉각으로 인해 고온 신뢰성이 우수한 솔더의 사용이 요구된다. Sb계 프리폼은 고온 신뢰성이 우수하므로 파워모듈에 적용되는 방열판(500)과 하부 세라믹기판(200)을 견고하게 접합하여 고온 신뢰성을 향상시킬 수 있다.

- [154] 하부 세라믹기판(200)의 하면과 방열판(500)의 상면 사이에 플럭스(560)가 코팅된 솔더프리폼(550a)을 배치하고, 솔더링 접합하면 플럭스가 먼저 녹아 휘발되고 솔더프리폼(550a)이 하부 세라믹기판(200)과 방열판(500)을 접합하게 된다. 플럭스(560)가 코팅된 솔더프리폼(550a)은 프리폼(550')으로 칭할 수 있다.
- [155] 방열판(500)과 하부 세라믹기판(200)을 솔더링 접합시 솔더 페이스트를 사용하면 플럭스에서 방출되는 휘발성 물질이 페이스트에 갇혀 기포 생성을 컨트롤하기 어려울 수 있다. 그러나 다른 실시예와 같이, 플럭스(560)가 먼저 녹아 휘발되는 솔더프리폼(550a)의 형태는 내부 플럭스가 제거된 솔더프리폼(550a)의 표면에 플럭스가 코팅되어 휘발성 물질의 갇힘을 최소화하므로 기포 생성을 방지하여 보이드(void) 생성을 방지하므로 열전도도 감소를 최소화할 수 있다.
- [156]
- [157] 또 다른 실시예로, 다층 구조의 방열판을 적용하여 열팽창에 따른 방열판의 휨을 방지하고 방열에도 유리하도록 한다.
- [158] 도 14는 본 발명의 또 다른 실시예로 하우징에 방열판이 조립된 상태를 보인 단면도이다.
- [159] 도 14에 도시된 바에 의하면, 방열판(500')은 하우징(100)의 하면에 조립된다. 방열판(500)은 하우징(100)에 대응되는 면적으로 형성된다. 전술한 실시예에서 방열판(500)은 방열 효율을 높이기 위해 구리 재질, 구리합금 재질, 알루미늄 재질 중 하나로 형성되고, 하부 세라믹기판(200)의 하면에 솔더링 접합된다.
- [160] 그런데, 구리 또는 알루미늄 재질의 방열판은 높은 열팽창 계수로 인해 솔더링 접합시 휨이 발생할 수 있다. 방열판의 휨은 하부 세라믹기판(200)과 접합면에 결함을 발생시켜 방열 성능을 저하시킨다.
- [161] 또 다른 실시예의 방열판(500')은 소정 두께 이상으로 형성하고 열적 특성이 우수하도록 제조하여 솔더링 접합시 휨 발생이 방지되도록 한다.
- [162] 방열판(500')은 다층 구조로 형성한다. 방열판(500')은 3층 내지 5층의 적층형 구조로 형성하여 두께가 1.0mm 이상이 되도록 한다. 일 예로, 방열판(500')의 두께는 1.0mm~3.0mm로 형성한다. 바람직하게는 방열판(500')은 이종 재질의 금속시트를 적층하여 다층 구조로 형성하고 두께가 2.0mm 이상이 되도록 하여 방열에 유리하고 휨 발생이 방지되도록 한다.
- [163] 도 15는 본 발명의 또 다른 실시예에 의한 방열판을 하부 세라믹기판(200)을 접합하는 모습을 보인 단면도이다. 도 15는 방열판이 하부 세라믹기판의 하면에 접합되는 모습을 보여주기 위해 실제와 달리 과장되게 표현하였다.
- [164] 도 15에 도시된 바에 의하면, 방열판(500')은 제1 금속시트(500a), 제2 금속시트(500b) 및 제3 금속시트(500c)를 포함할 수 있다. 방열판(500')은 제1 금속시트(500a)의 상면에 브레이징 필러층(P)을 매개로 제2 금속시트(500b)가 브레이징 접합되고, 제1 금속시트(500a)의 하면에 브레이징 필러층(P)을 매개로 제3 금속시트(500c)가 브레이징 접합된 3층의 적층형 구조일 수 있다.

- [165] 제1 금속시트(500a) 내지 제3 금속시트(500c)는 Cu, CuMo, CuW 중 하나의 금속시트로 이루어질 수 있다. 일 예로, 제1 금속시트(500a)는 CuMo이고, 제2 금속시트(500b)와 제3 금속시트(500c)는 Cu일 수 있다. 또는 제1 금속시트(500a)는 CuW이고, 제2 금속시트(500b)와 제3 금속시트(500c)는 Cu일 수 있다. 또는 제1 금속시트(500a)는 Cu이고, 제2 금속시트(500b)와 제3 금속시트(500c)는 CuMo일 수 있다. 또는 제1 금속시트(500a)는 Cu이고, 제2 금속시트(500b)와 제3 금속시트(500c)는 CuW일 수 있다. 또 다른 실시예에서는 제1 금속시트(500a)는 CuMo이고, 제2 금속시트(500b)와 제3 금속시트(500c)는 Cu인 것을 일 예로 한다.
- [166] Cu/CuMo/Cu의 3층 접합 금속시트 구조는 열팽창 계수가 낮은 CuMo의 상면과 하면에 열전도도가 높은 Cu를 접합하여 방열 성능을 높이고 열팽창 계수를 낮춘다.
- [167] CuMo와 CuW는 Cu에 비해 상대적으로 열팽창 계수가 낮다. Cu는 열팽창 계수가 17ppm/K, 열전도도가 393W/m·K이고, CuMo는 열팽창 계수가 7.0ppm/K, 열전도도가 160W/m·K이고, CuW는 열팽창 계수가 6.5ppm/K, 열전도도가 180W/m·K이다.
- [168] 열팽창 계수가 상대적으로 낮은 CuMo 재질 금속시트의 상면과 하면에 열팽창 계수는 상대적으로 높으나 열전도도가 높은 Cu 재질 금속시트를 접합한 3층 금속시트 구조로 형성하여, Cu 재질 금속시트의 힘을 CuMo 재질 금속시트가 흡수하여 고온에서 열팽창 계수의 차이로 늘어나는 방열판의 휨 현상을 줄일 수 있도록 한다.
- [169] Cu/CuMo/Cu의 3층 접합 금속시트 구조의 방열판(500')은 하부 세라믹기판(200)에 250°C 이하로 솔더링 접합시 휨 변화량이 0.05mm 이하이며, 열팽창계수가 6.8~12.0ppm/K 범위이고, 열전도도가 200~280W/m.K인 열적 특성을 갖는다.
- [170] 제1 금속시트(500a)를 형성하는 CuMo 재질 금속시트의 두께는 0.6mm이고, 제2 금속시트(500b)와 제3 금속시트(500c)를 형성하는 Cu 재질 금속시트의 두께는 0.2mm일 수 있다. 이 경우, Cu/CuMo/Cu의 3층 접합 금속시트 구조로 형성하면 두께 1.0mm인 방열판(500')을 제조할 수 있다.
- [171] 방열판(500')은 하부 세라믹기판(200)의 하면에 솔더링 접합되어 방열 기능을 수행할 수 있다. 실질적으로 방열판(500')은 하부 세라믹기판(200)의 하면의 금속층(203)과 솔더링 접합된다. 하부 세라믹기판(200)은 세라믹기재(201)와 세라믹기재(201)의 상면과 하면에 금속층(202,203)이 브레이징 접합된 구조를 갖는다. 금속층은 구리로 형성된다. 일 예로, 하부 세라믹기판(200)은 AMB 기판, TPC 기판 및 DBC 기판 중 하나일 수 있다.
- [172] 솔더링 접합은 200~270°C에서 수행한다. 솔더링 접합은 솔더 또는 은(Ag) 페이스트를 사용할 수 있다. 은(Ag) 페이스트는 솔더에 비해 솔더링 온도가 높으나 열전도도가 높아 방열판(500')으로 열의 이동을 빠르게 하여 방열 효율을

높일 수 있다. 솔더 또는 은(Ag) 페이스트는 방열판(500')과 하부 세라믹기판(200)의 사이에 솔더층(550b)을 형성한다.

- [173] 이종 재질의 금속시트 간의 접합 특성을 확보할 수 있도록 브레이징 필러층(P)을 포함한다.
- [174] 도 16은 본 발명의 또 다른 실시예에 의한 3층 적층형 구조의 방열판 및 브레이징 필러층을 보인 단면도이다.
- [175] 도 16에 도시된 바에 의하면, 브레이징 필러층(P)은 Ag, Cu, AgCu 중 적어도 하나를 포함할 수 있다. Ag, Cu, AgCu는 열전도도가 높아 금속시트 간에 열 전달을 용이하게 하여 방열 효율을 높인다. 또한 Ag, Cu, AgCu는 이종 재질인 금속시트 간의 접합 특성을 높인다. 브레이징 필러층(P)은 1 μ m 이상 5 μ m 이하의 두께로 형성할 수 있다. 브레이징 필러층(P)은 다층 구조의 박막으로 형성할 수 있다. 브레이징 필러층(P)은 젖음성을 높이기 위해 Ti를 더 포함할 수 있다. Ti는 젖음성이 좋아 금속시트에 Ag, Cu, AgCu의 부착을 용이하게 한다.
- [176] 일 예로, 브레이징 필러층(P)은 Ti층과 Ti층 상에 형성된 Cu층, Cu층 상에 형성된 Ag층 및 Ag층 상에 형성된 Cu층을 포함할 수 있다. 또는, 브레이징 필러층(P)은 Ti층과 Ti층 상에 형성된 Ag층, Ag층 상에 형성된 Cu층을 포함할 수 있다. 또는 브레이징 필러층(P)은 Cu층, Cu층 상에 형성된 Ag층 및 Ag층 상에 형성된 Cu층을 포함할 수 있다.
- [177] 또 다른 실시예에서, 방열판(500')은 제1 금속시트(500a)의 상면과 하면에 Ti층(P1)과 AgCu층(P2)으로 구성되는 브레이징 필러층(P)을 형성하며, 브레이징 필러층(P)이 형성된 제1 금속시트(500a)의 상면과 하면에 제2 금속시트(500b)와 제3 금속시트(500c)를 배치하고 브레이징 접합하여 제조한다. 브레이징 접합은 780~950°C에서 수행하고, 브레이징 중에 상부 중량 또는 가압을 실시할 수 있다.
- [178] 브레이징 필러층(P)은 페이스트(paste) 인쇄, 박막 포일(foil) 부착, 스퍼터링에 의한 박막층 형성 등의 방법으로 형성할 수 있다. 브레이징 필러층(P)은 브레이징 접합 후 그 경계가 모호할 수 있다.
- [179] 상술한 다층 구조의 방열판(500')은 브레이징 접합으로 이종 재질의 금속시트 간의 접합 특성을 확보할 수 있고, 열팽창 계수가 높은 금속시트들의 사이에 열팽창 계수가 낮은 재질의 금속시트를 배치하여 저열팽창 계수를 가지도록 하여 대면적 접합시 휨 발생이 방지될 수 있다.
- [180] 도 17은 도 16의 변형예로 5층 적층형 구조의 방열판을 보인 단면도이다.
- [181] 도 17에 도시된 바에 의하면, 방열판(500")은 제1 금속시트(500a)의 상면에 브레이징 필러층(P)을 매개로 제2 금속시트(500b)가 브레이징 접합되고, 제1 금속시트(500a)의 하면에 브레이징 필러층(P)을 매개로 제3 금속시트(500c)가 브레이징 접합되며, 제2 금속시트(500b)의 상면에 브레이징 필러층(P)을 매개로 제4 금속시트(500d)가 브레이징 접합되고, 제3 금속시트(500c)의 하면에 브레이징 필러층(P)을 매개로 제5 금속시트(500e)가 브레이징 접합된 5층의 적층형 구조일 수 있다.

- [182] 방열판(500')은 제1 금속시트(500a)의 상면에 브레이징 필러층(P), 제2 금속시트(500b), 브레이징 필러층(P), 제4 금속시트(500d)를 적층 배치하고, 제1 금속시트(500a)의 하면에 브레이징 필러층(P), 제3 금속시트(500c), 브레이징 필러층(P), 제5 금속시트(500e)를 적층 배치한 다음 브레이징 접합하여 5층의 적층형 구조를 형성할 수 있다.
- [183] 제1 금속시트(500a) 내지 제5 금속시트(500e)는 Cu, CuMo, CuW, Mo 중 하나의 금속시트로 이루어질 수 있다.
- [184] 일 예로, 제1 금속시트(500a)는 Mo이고, 제2 금속시트(500b)와 제3 금속시트(500c)는 CuMo이고, 제4 금속시트(500d)와 제5 금속시트(500e)는 Cu일 수 있다. 또는, 제1 금속시트(500a)는 Cu이고, 제2 금속시트(500b)와 제3 금속시트(500c)는 CuMo이고, 제4 금속시트(500d)와 제5 금속시트(500e)는 Cu일 수 있다. 또는 제1 금속시트(500a)는 Mo이고, 제2 금속시트(500b)와 제3 금속시트(500c)는 CuW이고, 제4 금속시트(500d)와 제5 금속시트(500e)는 Cu일 수 있다.
- [185] 5층 접합 금속시트 구조에서 브레이징 필러층(P)은 Ti층(P1)과 Ti층(P1) 상에 형성되는 AgCu층(P2)을 포함할 수 있다. Cu/CuMo/Mo/CuW/Cu의 5층 접합 금속시트 구조는 약 3.0mm의 두께로 제작 가능하고, 방열에 유리하며 저열팽창 계수를 가져 솔더링 접합시 휨 발생이 방지된다.
- [186] 상술한 방열판은 Cu, CuMo, CuW, Mo 중에서 선택되는 금속시트를 다층으로 적층하고 브레이징 접합하여 일체로 형성하므로 열팽창 계수를 낮추어 고온에서 휨 발생을 방지할 수 있고 우수한 열전도도를 가져 파워모듈에서 요구하는 고방열 조건을 만족할 수 있다.
- [187] 상술한 3층 내지 5층의 적층형 구조의 방열판은 두께가 1.0mm~3.0mm 범위이며, 열팽창계수가 6.8~12.0ppm/K이고 열전도도가 200~280W/m.K인 열적 특성을 가지며, 세라믹기판에 250°C 이하로 솔더링 접합시 휨 변화량이 0.05mm 이하인 특성을 갖는다.
- [188] 상술한 다층 구조의 방열판은 열팽창 계수를 낮추므로 고온에서 휨 발생을 방지할 수 있고 우수한 열전도도를 가져 파워모듈에서 요구하는 고방열 조건을 만족할 수 있다.
- [189]
- [190] 또 다른 실시예로, 다층 구조의 방열판을 적용하여 열팽창에 따른 방열판의 휨을 방지하고 방열에도 유리하도록 하되, 다층 구조임에도 0.9mm 이하의 얇은 두께로 제조하는 것이 가능하도록 한다.
- [191] 도 18은 본 발명의 또 다른 실시예로 하우징에 방열판이 조립된 상태를 보인 단면도이다.
- [192] 도 18에 도시된 바에 의하면, 또 다른 실시예에 의한 방열판(500'')은 하우징(100)의 하면에 조립된다. 방열판(500'')은 하우징(100)에 대응되는 면적으로 형성된다.

- [193] 또 다른 실시예의 방열판(500")은 소정 두께 이상으로 형성하고 열적 특성이 우수하도록 제조하여 솔더링 접합시 휨 발생이 방지되도록 한다.
- [194] 방열판(500")은 다층 구조로 형성한다. 방열판(500")은 3층의 적층형 구조로 형성하여 두께가 0.9mm 이하가 되도록 한다. 바람직하게는 방열판(500")의 두께는 0.1mm~0.9mm로 형성한다. 구체적으로, 방열판(500")은 도금압연법을 이용한 브레이징 접합 기술을 이용하여 0.9mm 이하의 얇은 두께로 제조하여 경박단소 제품에 적용될 수 있도록 하며 방열에 유리하도록 세라믹기판과 접합시 휨 발생이 방지되도록 한다.
- [195] 도 19는 본 발명의 또 다른 실시예에 의한 방열판을 하부 세라믹기판을 접합하는 모습을 보인 단면도이다. 도 19는 방열판이 하부 세라믹기판의 하면에 접합되는 모습을 보여주기 위해 실제와 달리 과장되게 표현하였다.
- [196] 도 19에 도시된 바에 의하면, 방열판(500")은 제1 금속시트(500a), 제1 금속층(500b) 및 제2 금속층(500c)을 포함한다. 방열판(500")은 제1 금속시트(500a)의 상면에 브레이징 접합된 제1 금속층(500b)과 제1 금속시트(500a)의 하면에 브레이징 접합된 제2 금속층(500c)을 포함한 3층의 적층형 구조이다.
- [197] 제1 금속층(500b)과 제2 금속층(500c)은 동일 금속재질로 형성되고, 제1 금속시트(500a)는 제1 금속층(500b) 및 제2 금속층(500c)과 다른 금속재질로 형성된다.
- [198] 제1 금속시트(500a)의 열팽창 계수는 제1 금속층(500b) 및 제2 금속층(500c)의 열팽창 계수에 비해 작다.
- [199] 제1 금속시트(500a)의 재질은 CuMo, Mo 중 어느 하나이고, 제1 금속층(500b) 및 제2 금속층(500c)의 재질은 Cu이다. 또는, 제1 금속시트(500a)의 재질은 CuMo이고, 제1 금속층(500b) 및 제2 금속층(500c)의 재질은 Cu일 수 있다. 또는, 제1 금속시트(500a)의 재질은 Mo이고, 제1 금속층(500b) 및 제2 금속층(500c)의 재질은 Cu일 수 있다.
- [200] Cu/CuMo/Cu의 3층 구조는 열팽창 계수가 낮은 CuMo 재질의 제1 금속시트(500a)의 상면과 하면에 열전도도가 높은 Cu층을 형성하여 방열 성능을 높이고 열팽창 계수를 낮춘다. 즉, 열팽창 계수가 상대적으로 낮은 CuMo 재질의 금속시트의 상면과 하면에 열팽창 계수는 상대적으로 높으나 열전도도가 높은 Cu층을 형성하여 열팽창 계수를 낮춤으로써 고온에서 휨 현상을 줄일 수 있다.
- [201] CuMo와 Mo는 Cu에 비해 상대적으로 열팽창 계수가 낮다. Cu는 열팽창 계수가 17ppm/K, 열전도도가 393W/m·K이고, CuMo는 열팽창 계수가 7.0ppm/K, 열전도도가 160W/m·K이다. Cu/CuMo/Cu의 3층 구조의 방열판(500")은 하부 세라믹기판(200)에 250°C 이하로 솔더링 접합시 휨 변화량이 0.05mm 이하이며, 열팽창계수가 6.8~12.0ppm/K 범위이고, 열전도도가 200~280W/m.K인 열적 특성을 갖는다.
- [202] 제1 금속시트(500a)를 형성하는 CuMo 재질 금속시트의 두께는 0.5mm이고, 제1

- 금속층(500b)과 제2 금속층(500c)을 형성하는 Cu층의 두께는 0.2mm일 수 있다.
- [203] 제1 금속층(500b) 및 제2 금속층(500c)은 금속이 용융된 용탕에 금속시트를 침지하여 코팅한 후 압연하여 형성된다. 금속이 용융된 용탕은 구리가 용융된 것이다. 제1 금속시트(500a)의 상면과 하면에 제1 금속층(500b)과 제2 금속층(500c)을 각각 코팅하고 경화 후 압연하여 형성하면 방열판(500")을 0.9mm 이하의 얇은 두께로 제조할 수 있다.
- [204] 방열판(500")은 하부 세라믹기판(200)의 하면에 솔더링 접합되어 방열 기능을 수행할 수 있다. 실질적으로 방열판(500")은 하부 세라믹기판(200)의 하면의 금속층(203)과 솔더링 접합된다. 하부 세라믹기판(200)은 세라믹기재(201)와 세라믹기재(201)의 상면과 하면에 금속층(202,203)이 브레이징 접합된 구조를 갖는다. 금속층은 구리로 형성된다. 일 예로, 하부 세라믹기판(200)은 AMB 기판, TPC 기판 및 DBC 기판 중 하나일 수 있다.
- [205] 솔더링 접합은 200~270°C에서 수행한다. 솔더링 접합은 솔더 또는 은(Ag) 페이스트를 사용할 수 있다. 은(Ag) 페이스트는 솔더에 비해 솔더링 온도가 높으나 열전도도가 높아 방열판(500")으로 열의 이동을 빠르게 하여 방열 효율을 높일 수 있다. 솔더 또는 은(Ag) 페이스트는 방열판(500")과 하부 세라믹기판(200)의 사이에 솔더층(550b)을 형성한다.
- [206] 방열판(500")은 0.9mm 이하의 얇은 두께로 제조하기 위해 도금압연법을 이용한 브레이징 접합 기술을 사용한다.
- [207] 도 20은 본 발명의 또 다른 실시예에 의한 파워모듈에서 방열판 제조방법을 설명하기 위한 도면이다.
- [208] 도 20에 도시된 바에 의하면, 도금압연법을 이용한 브레이징 접합 기술을 사용하는 방열판 제조방법은 제1 금속시트를 준비하는 단계(S10)와 금속이 용융된 용탕에 제1 금속시트(500a)를 침지하여 제1 금속시트(500a)의 상면과 하면에 금속층(500a,500b)을 코팅하는 단계(S20)와 금속층(500a,500b)이 코팅된 제1 금속시트(500a)를 경화시키고 압연하는 단계(S30)를 포함한다.
- [209] 제1 금속시트를 준비하는 단계(S10)에서, 제1 금속시트(500a)는 CuMo, Mo 중 하나의 금속시트를 준비한다.
- [210] 금속이 용융된 용탕에 제1 금속시트(500a)를 침지하여 제1 금속시트(500a)의 상면과 하면에 금속층(500a,500b)을 코팅하는 단계(S20)에서, 금속이 용융된 용탕은 Cu를 용융한 것이다.
- [211] 금속층(500a,500b)이 코팅된 제1 금속시트(500a)를 경화시키고 압연하는 단계(S30)에서, 경화는 상온에서 수행할 수 있고, 압연은 780°C에서 900°C의 온도에서 수행한다. 780°C에서 900°C의 온도에서 고온 압연하는 것에서 제1 금속시트(500a)의 상면과 하면에 코팅된 금속층(500b,500c)이 제1 금속시트(500a)에 브레이징 접합된다.
- [212] 제1 금속시트(500a)의 상면과 하면에 도금압연법을 통해 금속층(500a,500b)을 브레이징 접합하는 방법은 이종 재료임에도 열적문제 없이 견고하게 접합이

가능하며, 다층 구조임에도 0.9mm 이하의 얇은 두께로 제조하는 것이 가능하다. 도금압연법은 고온으로 가열된 상하 롤(R1,R2)을 이용할 수 있다.

[213] 상기한 방열판(500")은 열팽창 계수가 낮은 재질의 제1 금속시트(500a)의 상면과 하면에 열팽창 계수가 높은 금속층(500b,500c)을 형성한 구조이므로 열적 특성이 보장되어 경박 탄소 제품 및 열적 특성의 보장이 요구되는 장치 등에 적용이 가능하다.

[214] 또한, 방열판(500")은 CuMo 금속시트의 상면과 하면에 구리 금속층(500b,500c)을 코팅하고 고온 압연으로 브레이징 접합하여 일체로 형성하므로 열팽창 계수를 낮추어 고온에서 휨을 방지할 수 있고, 견고한 접합력과 우수한 열전도도를 가져 파워모듈에서 요구하는 고방열 조건을 만족할 수 있다.

[215] 상술한 다층 구조의 방열판은 열팽창 계수를 낮추므로 고온에서 휨 발생을 방지할 수 있고 우수한 열전도도를 가져 파워모듈에서 요구하는 고방열 조건을 만족할 수 있으며, 다층 구조임에도 0.9mm 이하의 얇은 두께로 제조하는 것이 가능하다.

[216] 상술한 다층 구조의 방열판은 파워모듈에 적용되는 것을 예로 들어 설명하였으나, 방열 기능이 필요한 다양한 장치에 적용 가능하다.

[217]

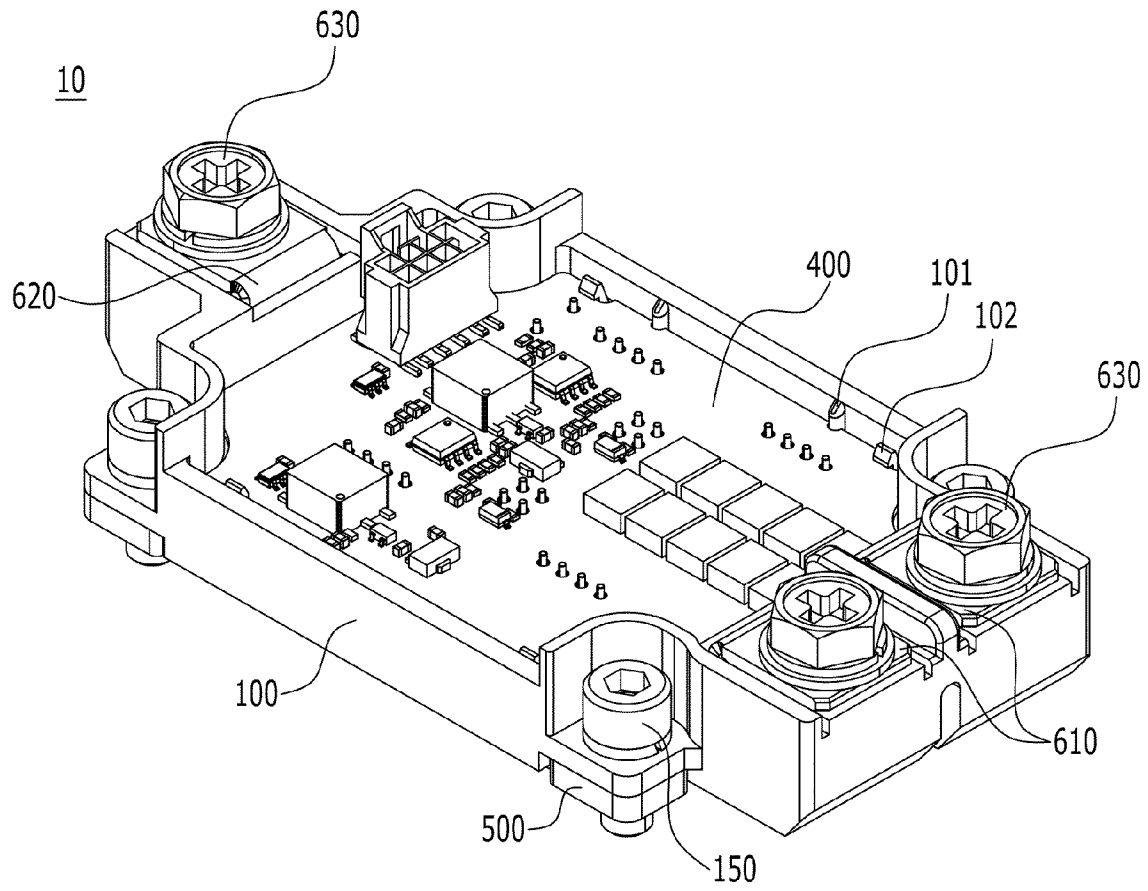
[218] 본 발명은 도면과 명세서에 최적의 실시예들이 개시되었다. 여기서, 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 발명은 기술분야의 통상의 지식을 가진 자라면, 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 권리범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

청구범위

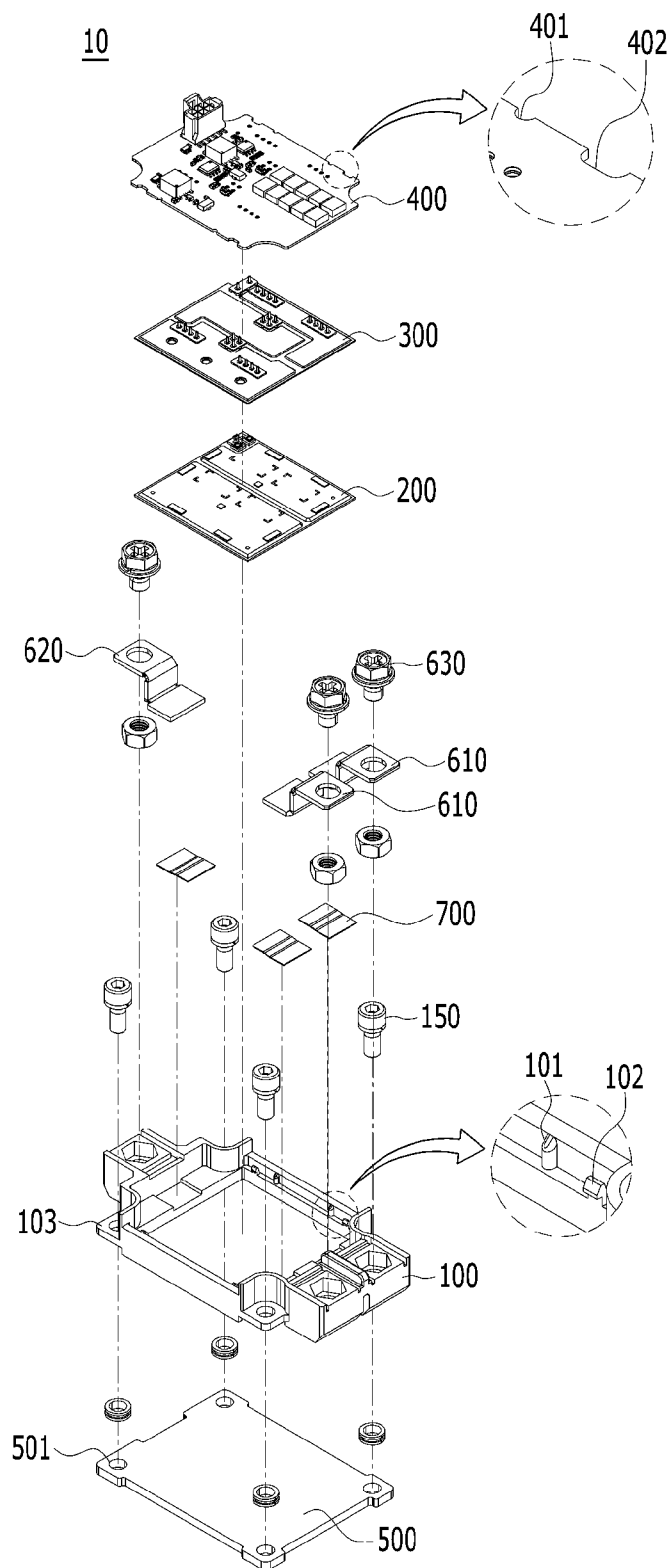
- [청구항 1] 세라믹기재와 상기 세라믹기재의 상면과 하면에 형성된 금속층을 포함하는 세라믹기판;
상기 세라믹기판의 하면에 접합되는 방열판; 및
상기 세라믹기판의 하면과 상기 방열판의 상면 사이에 접합 배치된 솔더프리폼층;
을 포함하는 파워모듈.
- [청구항 2] 제1항에 있어서,
상기 방열판과 상기 금속층은 구리 또는 구리합금 재질로 형성되는 파워모듈.
- [청구항 3] 제1항에 있어서,
상기 솔더프리폼층은
상기 세라믹기판의 하면과 상기 방열판의 상면 사이에 고체 상태의 솔더프리폼을 배치하고 상기 솔더프리폼을 용융 접합한 것인 파워모듈.
- [청구항 4] 제3항에 있어서,
상기 솔더프리폼은 표면이 플릭스로 코팅된 파워모듈.
- [청구항 5] 제4항에 있어서,
상기 플릭스는 점착 플릭스인 파워모듈.
- [청구항 6] 제4항에 있어서,
상기 플릭스는 상기 솔더프리폼에 비해 용점이 낮은 파워모듈.
- [청구항 7] 제4항에 있어서,
상기 플릭스는 상기 솔더프리폼의 용융 접합시 상기 솔더프리폼보다 먼저 녹아 휘발되는 것인 파워모듈.
- [청구항 8] 제3항에 있어서,
상기 솔더프리폼은 상면과 하면이 플릭스로 코팅된 파워모듈.
- [청구항 9] 제1항에 있어서,
상기 솔더프리폼층은 Sb계인 파워모듈.
- [청구항 10] 제1항에 있어서,
상기 솔더프리폼층은 SnSb 조성이고 Pb가 포함되지 않는 것인 파워모듈.
- [청구항 11] 세라믹기판; 및
상기 세라믹기판의 하면에 솔더링 접합되고 다층 구조로 이루어지는 방열판;
을 포함하는 파워모듈.
- [청구항 12] 제11항에 있어서,
상기 방열판은
제1 금속시트;
상기 제1 금속시트의 상면에 브레이징 접합된 제2 금속시트; 및

- 상기 제1 금속시트의 하면에 브레이징 접합된 제3 금속시트;
를 포함하는 파워모듈.
- [청구항 13] 제12항에 있어서,
상기 제2 금속시트와 상기 제3 금속시트는 동일 금속재질로 이루어지고,
상기 제1 금속시트는 상기 제2 금속시트 및 상기 제3 금속시트와 다른
금속재질로 이루어지는 파워모듈.
- [청구항 14] 제12항에 있어서,
상기 제1 금속시트의 열팽창 계수는 상기 제2 금속시트 및 상기 제3
금속시트의 열팽창 계수에 비해 작은 파워모듈.
- [청구항 15] 제12항에 있어서,
상기 제1 금속시트 내지 상기 제3 금속시트는 Cu, CuMo, CuW 중 하나의
금속시트로 이루어진 파워모듈.
- [청구항 16] 제12항에 있어서,
상기 제1 금속시트는 CuMo이고,
상기 제2 금속시트와 상기 제3 금속시트는 Cu인 파워모듈.
- [청구항 17] 제12항에 있어서,
상기 제2 금속시트와 상기 제3 금속시트는 상기 제1 금속시트의 상면과
하면에 브레이징 필러층을 매개로 브레이징 접합되는 파워모듈.
- [청구항 18] 제17항에 있어서,
상기 브레이징 필러층은
Ti, Ag, Cu, AgCu 중 하나 이상으로 이루어진 파워모듈.
- [청구항 19] 제12항에 있어서,
상기 제2 금속시트와 상기 제3 금속시트는
금속이 용융된 용탕에 상기 제1 금속시트를 침지하여 코팅한 후 압연하여
형성되는 금속층인 파워모듈.
- [청구항 20] 제19항에 있어서,
상기 방열판의 두께는 0.1mm~0.9mm인 파워모듈.

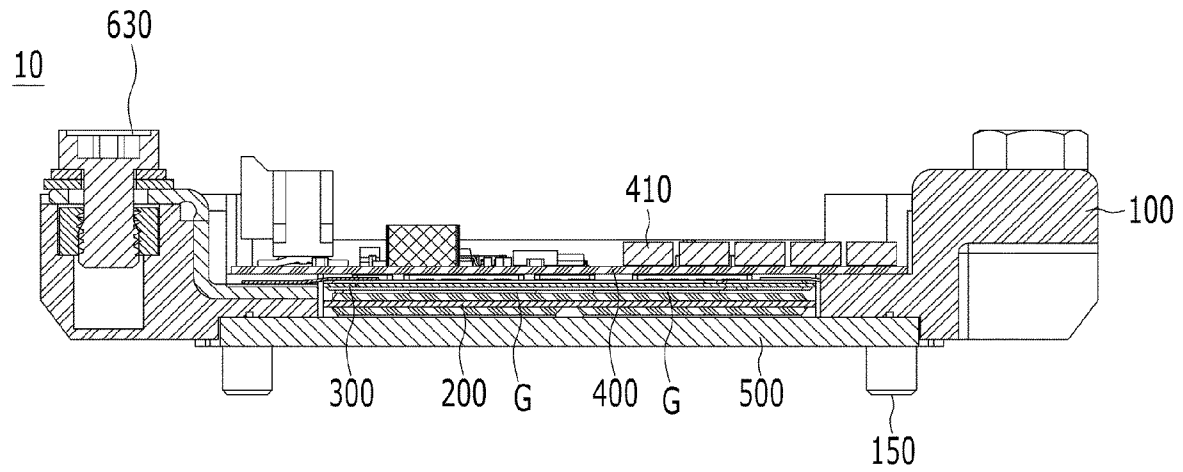
[도 1]



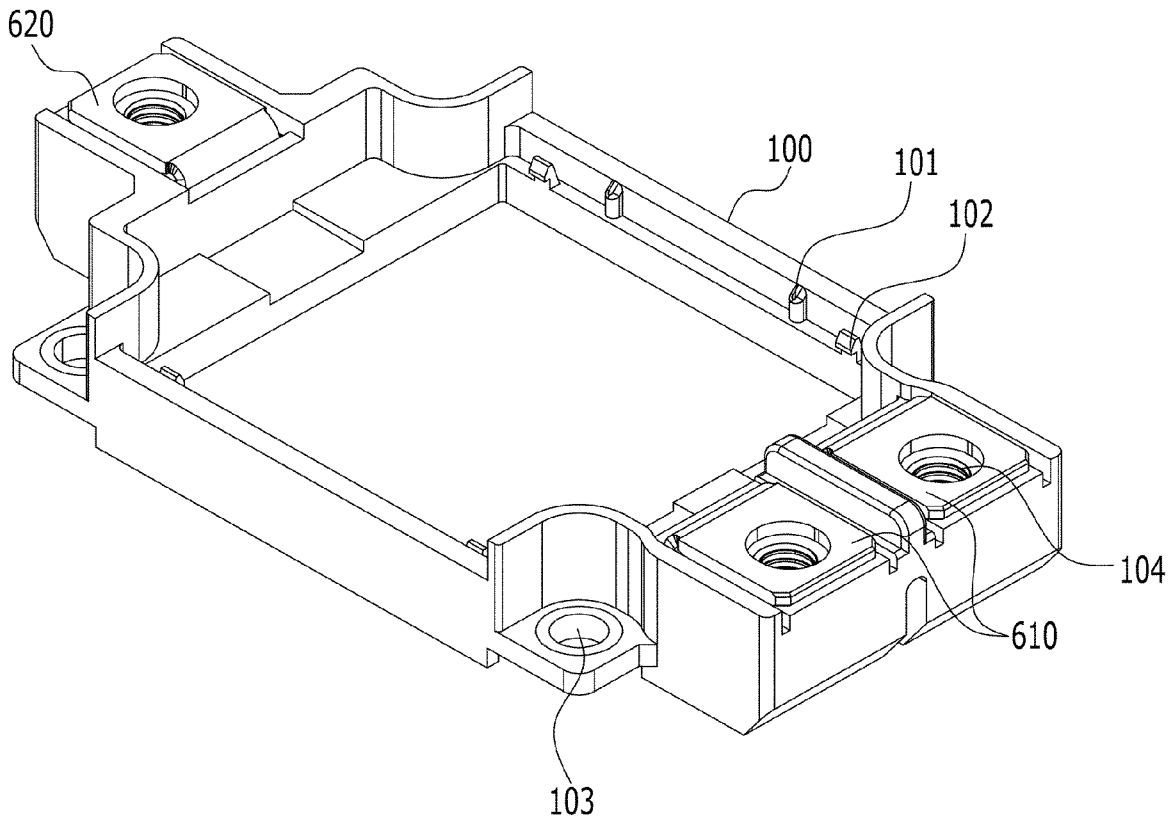
[도2]



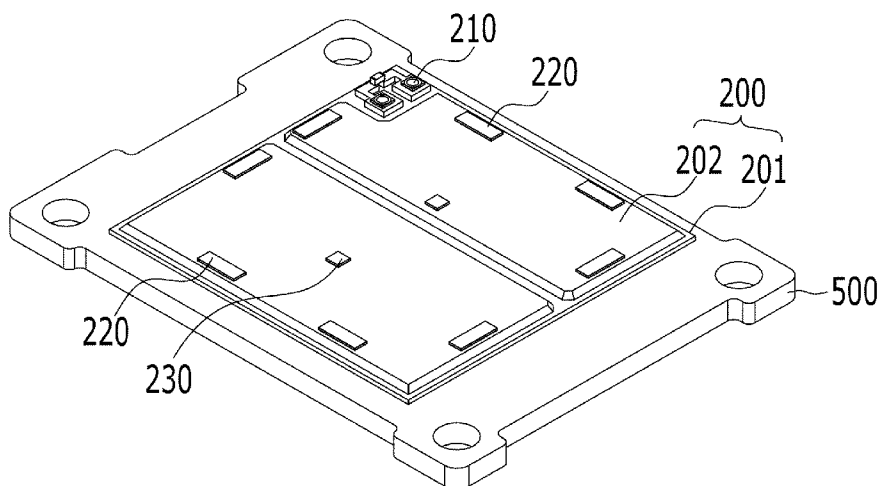
[도3]



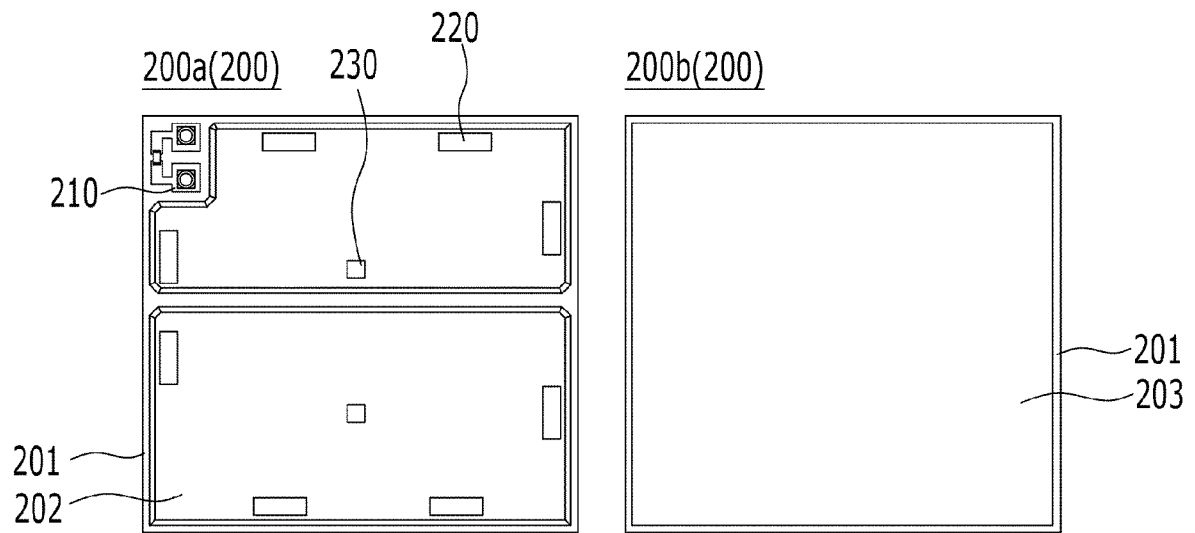
[도4]



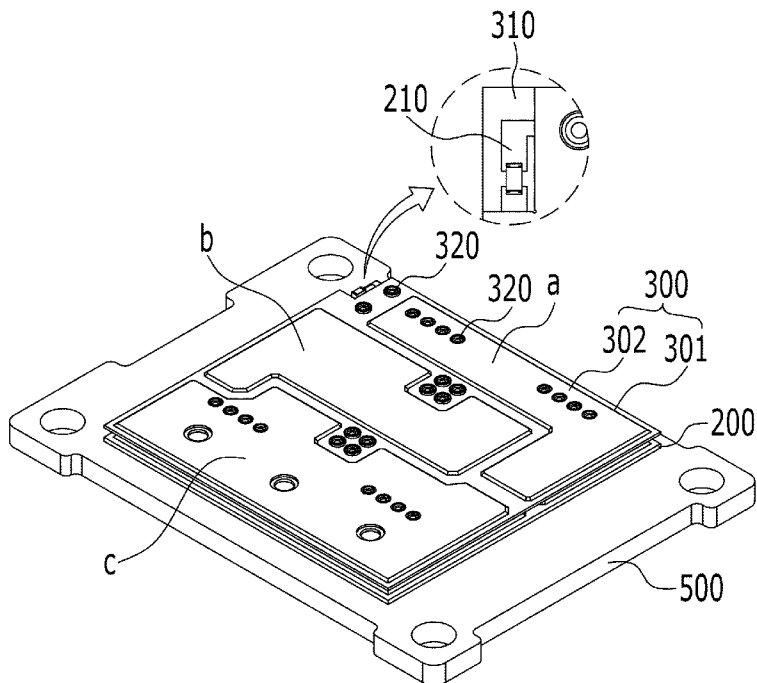
[도5]



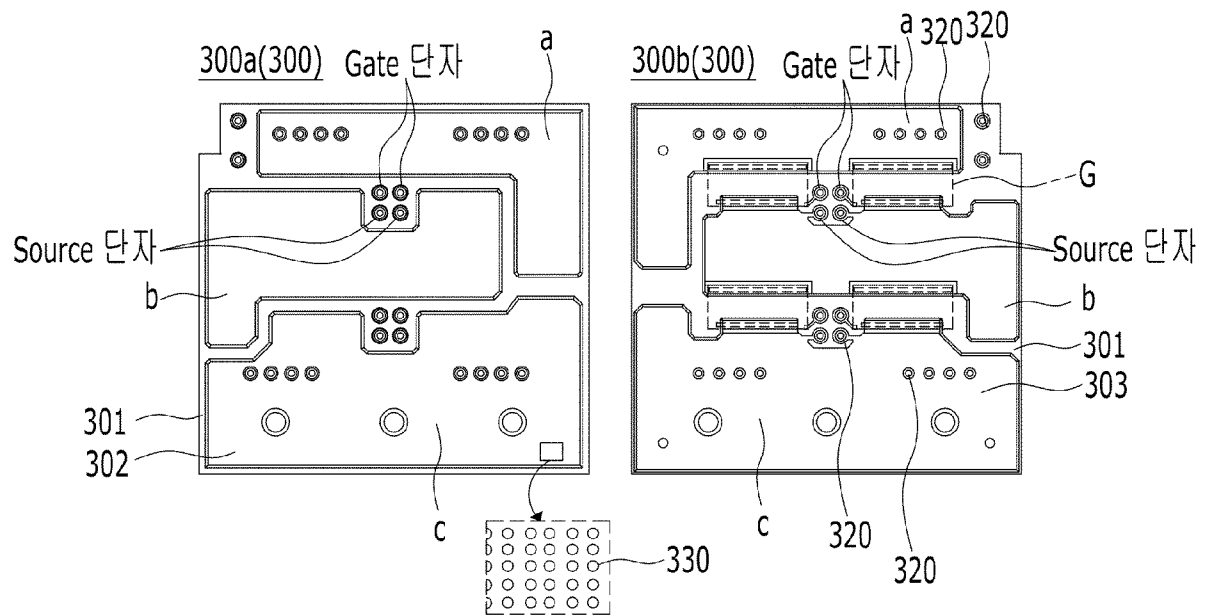
[도6]



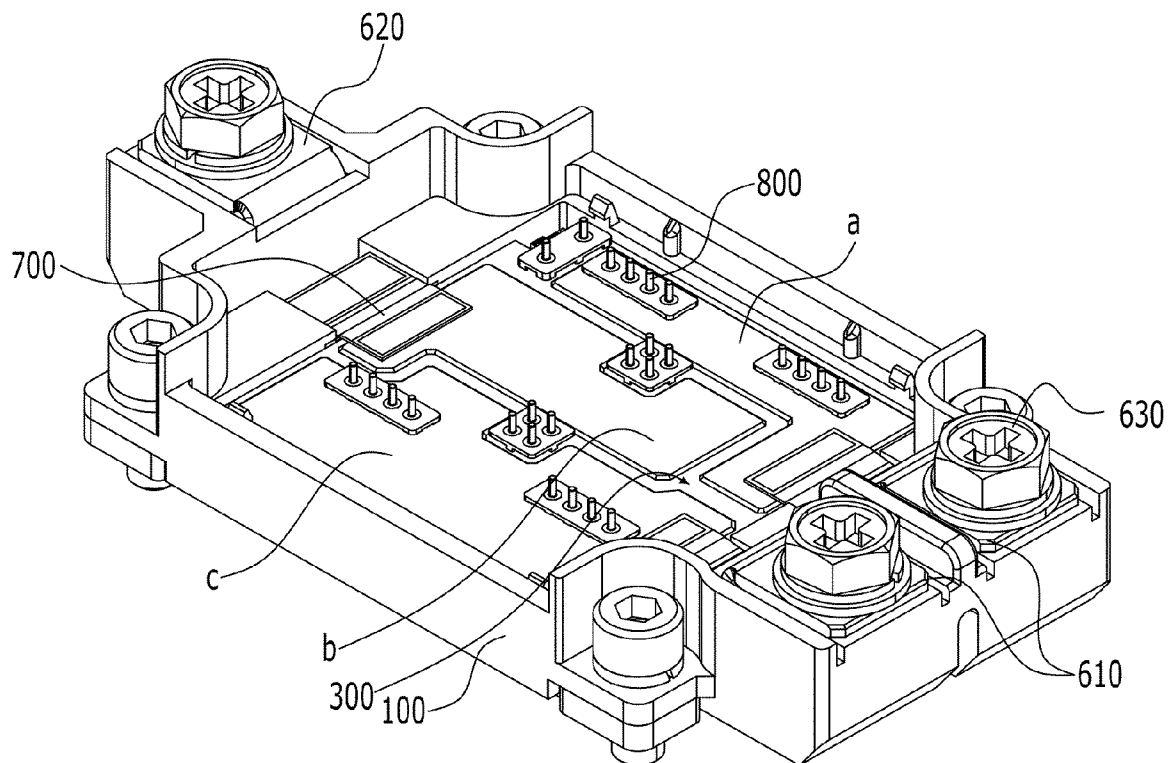
[도7]



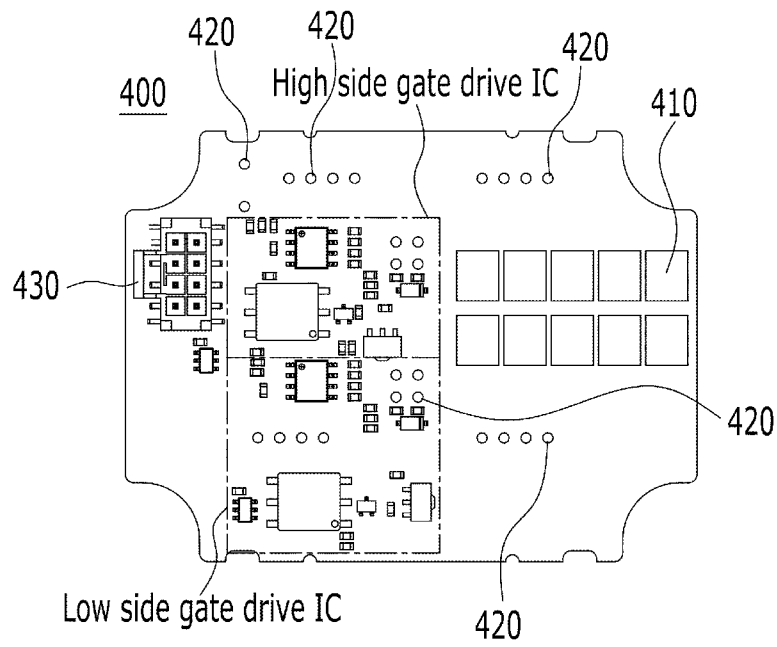
[도8]



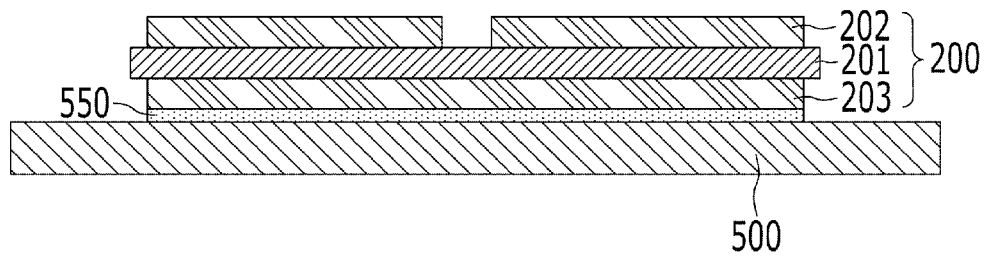
[도9]



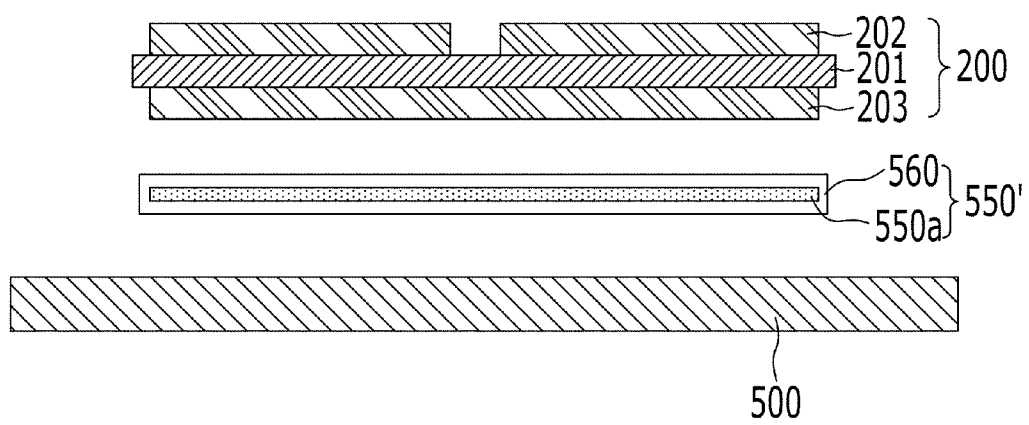
[도10]



[도11]

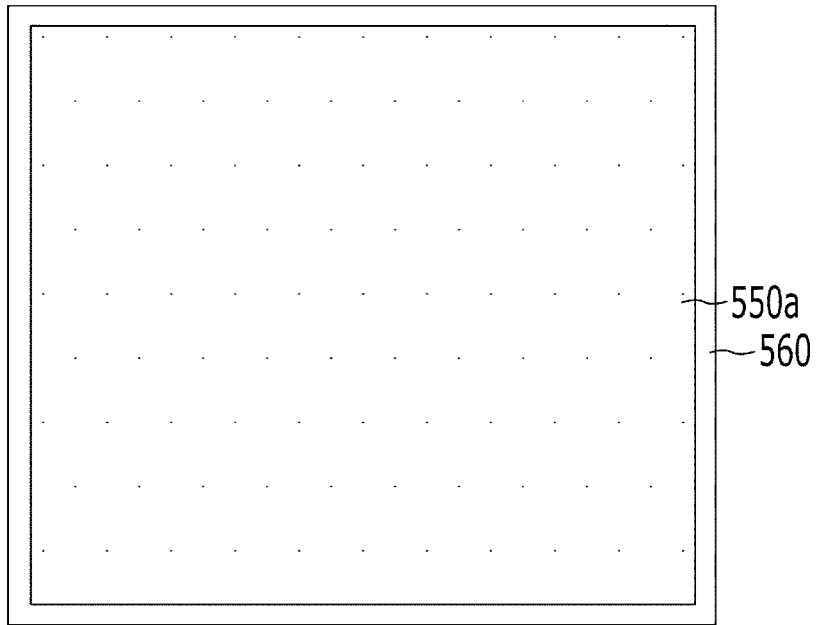


[도12]

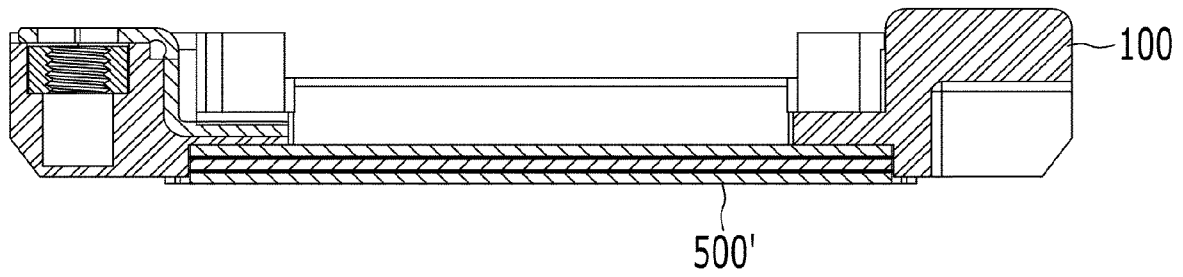


[도13]

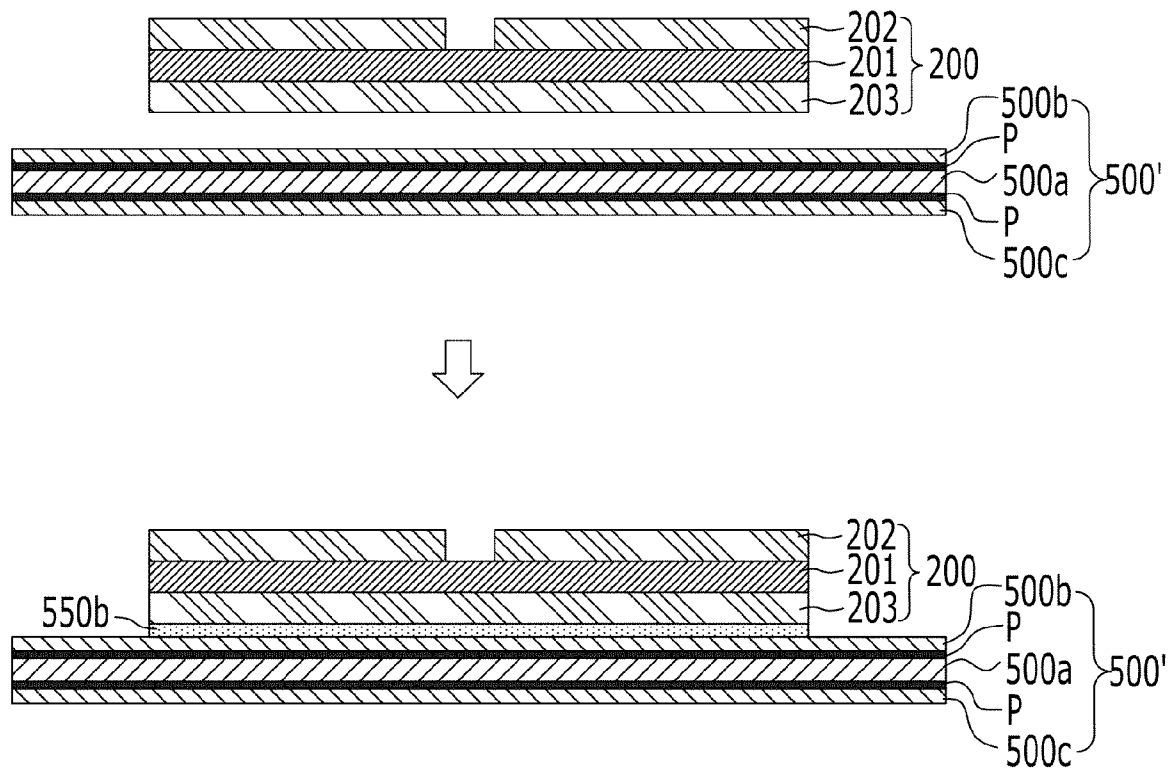
550'



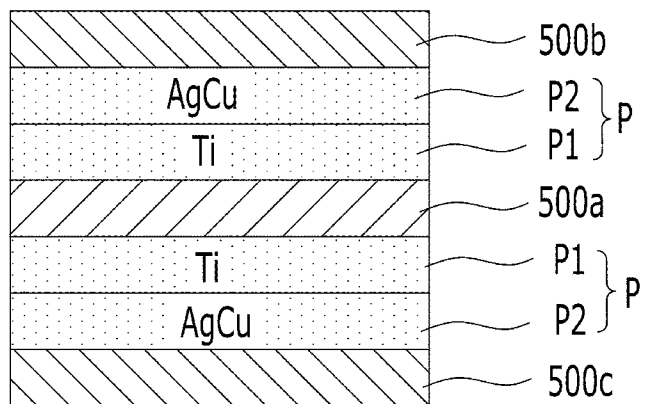
[도14]



[도15]

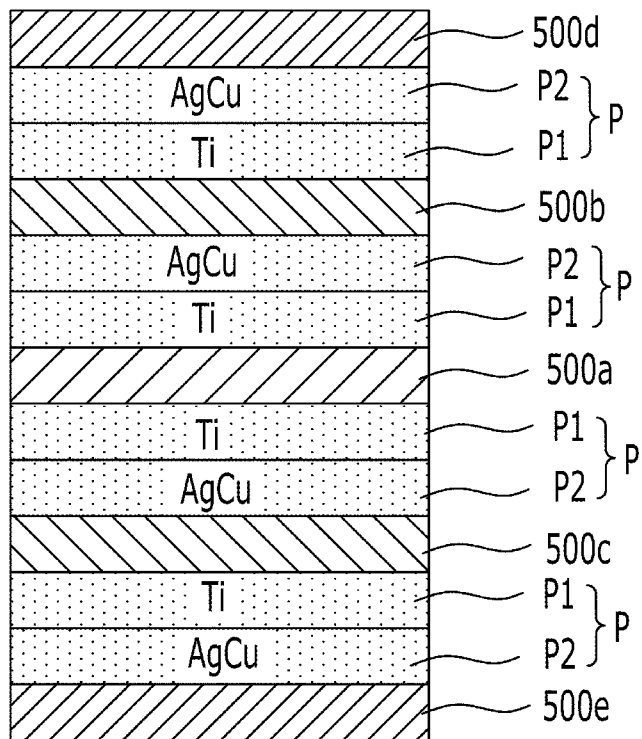


[도16]

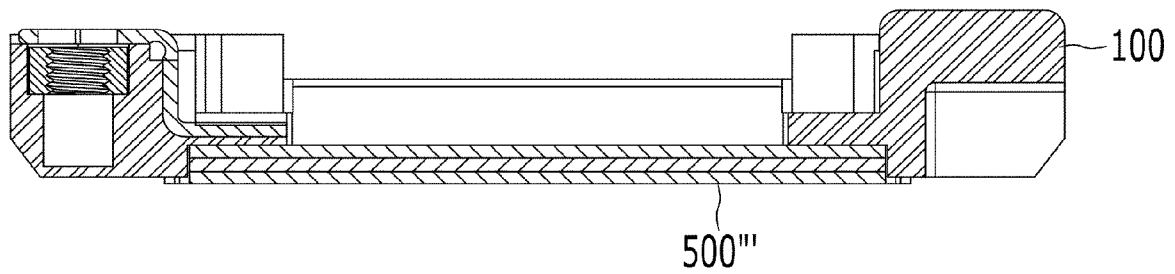
500'

[도17]

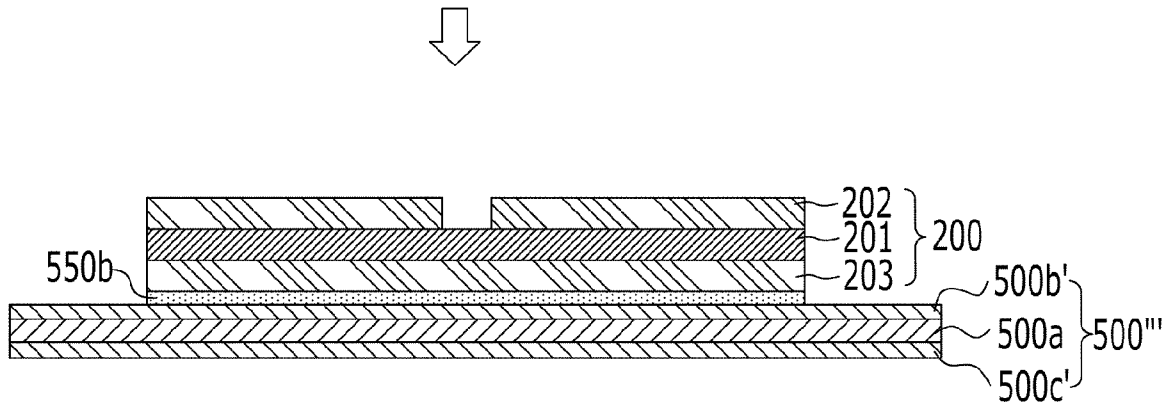
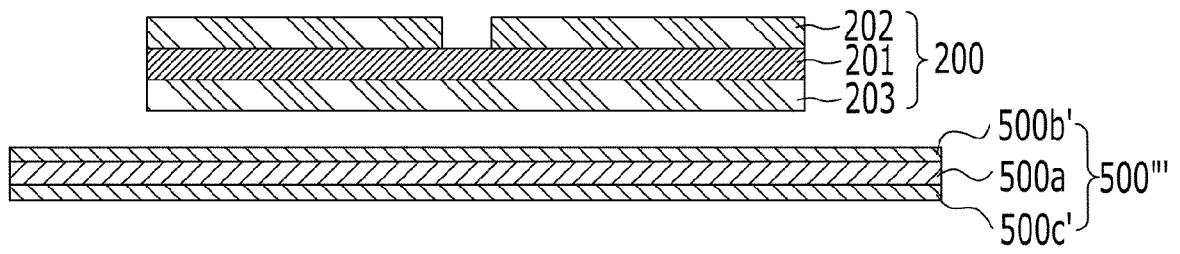
500''



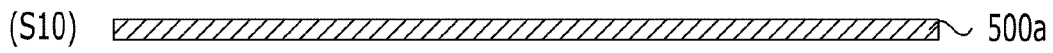
[도18]



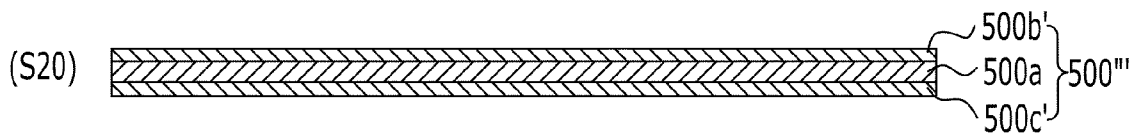
[도19]



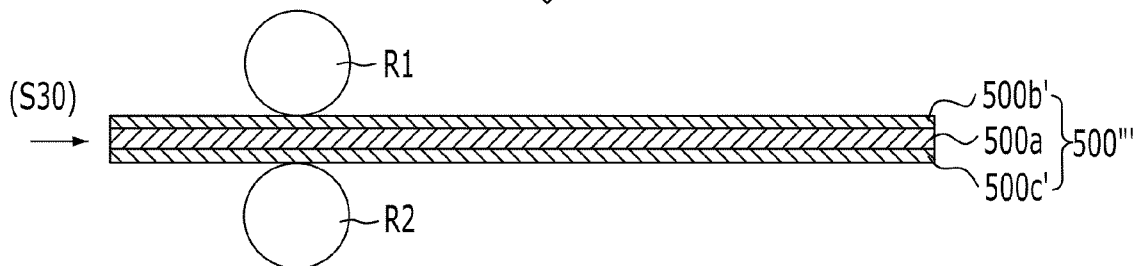
[도20]



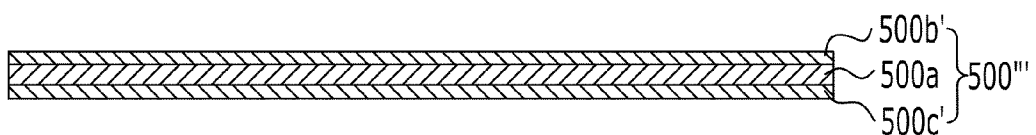
↓ 도금, 경화



↓ 고온 압연



↓ 접합



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2021/008216

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/373(2006.01)i; **H01L 23/15**(2006.01)i; **H01L 23/13**(2006.01)i; **H01L 23/482**(2006.01)i; **H01L 23/29**(2006.01)i;
H01L 23/00(2006.01)i; **H05K 7/20**(2006.01)i; **H05K 1/03**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 23/373(2006.01); B32B 15/08(2006.01); G03B 21/20(2006.01); H01L 23/15(2006.01); H01L 23/36(2006.01);
H01L 23/40(2006.01); H01L 23/473(2006.01); H05K 7/20(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 세라믹(ceramic), 솔더(solder), 다층(multi-layer), 방열판(heat sink)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2014-0142256 A (MITSUBISHI MATERIALS CORPORATION) 11 December 2014 (2014-12-11) See paragraphs [0017]-[0045] and figures 1-2.	1-2,9-10
Y		3-8,11
A		12-20
Y	KR 10-2018-0056762 A (MATERION CORPORATION) 29 May 2018 (2018-05-29) See paragraph [0025] and figures 1-2.	3-8
Y	KR 10-1379437 B1 (YOOWON COM-TECH CO., LTD.) 04 April 2014 (2014-04-04) See paragraphs [0022]-[0023] and figure 1.	11
A	KR 10-2000-0007321 A (KEC HOLDINGS.) 07 February 2000 (2000-02-07) See entire document.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

08 October 2021

Date of mailing of the international search report

08 October 2021

Name and mailing address of the ISA/KR

**Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208**

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2021/008216**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2015-0108363 A (MITSUBISHI MATERIALS CORPORATION) 25 September 2015 (2015-09-25) See entire document.	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2021/008216

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2014-0142256	A	11 December 2014	CN	104205325	A	10 December 2014
				EP	2833401	A1	04 February 2015
				JP	2013-214561	A	17 October 2013
				JP	6044097	B2	14 December 2016
				TW	201411789	A	16 March 2014
				TW	I620289	B	01 April 2018
				US	2015-0055302	A1	26 February 2015
				WO	2013-147124	A1	03 October 2013
KR	10-2018-0056762	A	29 May 2018	CN	108367968	A	03 August 2018
				CN	108367968	B	07 May 2021
				CN	113130722	A	16 July 2021
				EP	3353125	A1	01 August 2018
				JP	2018-531415	A	25 October 2018
				JP	2021-067957	A	30 April 2021
				TW	201720777	A	16 June 2017
				TW	I629251	B	11 July 2018
				US	10833211	B2	10 November 2020
				US	2017-0092786	A1	30 March 2017
				US	2021-0013349	A1	14 January 2021
				WO	2017-053747	A1	30 March 2017
KR	10-1379437	B1	04 April 2014	None			
KR	10-2000-0007321	A	07 February 2000	None			
KR	10-2015-0108363	A	25 September 2015	CN	104919585	A	16 September 2015
				CN	104919585	B	09 February 2018
				EP	2950340	A1	02 December 2015
				EP	2950340	B1	23 December 2020
				JP	2014-160799	A	04 September 2014
				JP	6307832	B2	11 April 2018
				TW	201438157	A	01 October 2014
				TW	I622138	B	21 April 2018
				US	2015-0366048	A1	17 December 2015
				US	9764416	B2	19 September 2017
				WO	2014-115677	A1	31 July 2014

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 23/373(2006.01)i; H01L 23/15(2006.01)i; H01L 23/13(2006.01)i; H01L 23/482(2006.01)i; H01L 23/29(2006.01)i; H01L 23/00(2006.01)i; H05K 7/20(2006.01)i; H05K 1/03(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 23/373(2006.01); B32B 15/08(2006.01); G03B 21/20(2006.01); H01L 23/15(2006.01); H01L 23/36(2006.01); H01L 23/40(2006.01); H01L 23/473(2006.01); H05K 7/20(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 세라믹(ceramic), 솔더(solder), 다층(multi-layer), 방열판(heat sink)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2014-0142256 A (미쓰비시 마테리알 가부시키가이샤) 2014.12.11 단락 [0017]-[0045] 및 도면 1-2	1-2,9-10
Y		3-8,11
A		12-20
Y	KR 10-2018-0056762 A (마테리온 코퍼레이션) 2018.05.29 단락 [0025] 및 도면 1-2	3-8
Y	KR 10-1379437 B1 ((주) 유원컴텍) 2014.04.04 단락 [0022]-[0023] 및 도면 1	11
A	KR 10-2000-0007321 A (한국전자 주식회사) 2000.02.07 전체 문헌	1-20
A	KR 10-2015-0108363 A (미쓰비시 마테리알 가부시키가이샤) 2015.09.25 전체 문헌	1-20
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌		
국제조사의 실제 완료일 2021년10월08일(08.10.2021)		국제조사보고서 발송일 2021년10월08일(08.10.2021)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 박혜련 전화번호 +82-42-481-3463

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2014-0142256 A	2014/12/11	CN 104205325 A	2014/12/10
		EP 2833401 A1	2015/02/04
		JP 2013-214561 A	2013/10/17
		JP 6044097 B2	2016/12/14
		TW 201411789 A	2014/03/16
		TW I620289 B	2018/04/01
		US 2015-0055302 A1	2015/02/26
		WO 2013-147124 A1	2013/10/03
KR 10-2018-0056762 A	2018/05/29	CN 108367968 A	2018/08/03
		CN 108367968 B	2021/05/07
		CN 113130722 A	2021/07/16
		EP 3353125 A1	2018/08/01
		JP 2018-531415 A	2018/10/25
		JP 2021-067957 A	2021/04/30
		TW 201720777 A	2017/06/16
		TW I629251 B	2018/07/11
		US 10833211 B2	2020/11/10
		US 2017-0092786 A1	2017/03/30
		US 2021-0013349 A1	2021/01/14
		WO 2017-053747 A1	2017/03/30
KR 10-1379437 B1	2014/04/04	없음	
KR 10-2000-0007321 A	2000/02/07	없음	
KR 10-2015-0108363 A	2015/09/25	CN 104919585 A	2015/09/16
		CN 104919585 B	2018/02/09
		EP 2950340 A1	2015/12/02
		EP 2950340 B1	2020/12/23
		JP 2014-160799 A	2014/09/04
		JP 6307832 B2	2018/04/11
		TW 201438157 A	2014/10/01
		TW I622138 B	2018/04/21
		US 2015-0366048 A1	2015/12/17
		US 9764416 B2	2017/09/19
		WO 2014-115677 A1	2014/07/31