

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年4月8日(08.04.2021)



(10) 国際公開番号

WO 2021/065740 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) H01L 27/04 (2006.01)
H01L 21/3205 (2006.01) H01L 27/06 (2006.01)
H01L 21/336 (2006.01) H01L 27/088 (2006.01)
H01L 21/768 (2006.01) H01L 29/417 (2006.01)
H01L 21/822 (2006.01) H01L 29/423 (2006.01)
H01L 21/8234 (2006.01) H01L 29/49 (2006.01)
H01L 23/522 (2006.01)

(21) 国際出願番号: PCT/JP2020/036385

(22) 国際出願日: 2020年9月25日(25.09.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-180862 2019年9月30日(30.09.2019) JP

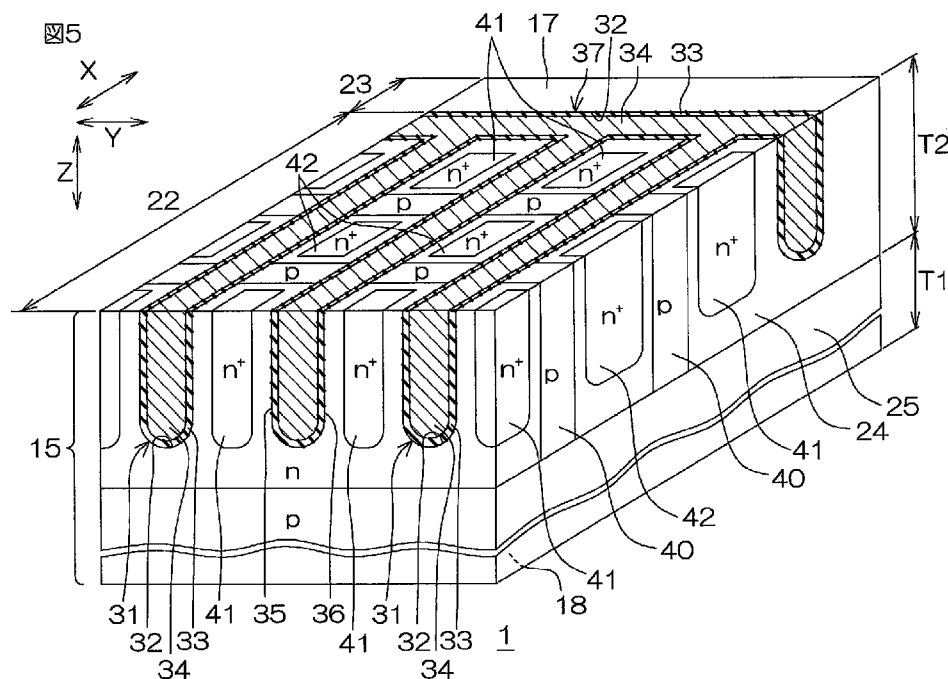
(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 那須 賢太郎 (NASU, Kentaro);
〒6158585 京都府京都市右京区西院溝崎町
2-1番地 ローム株式会社内 Kyoto (JP). 吉
岡 峰明 (YOSHIOKA, Takaaki); 〒6158585 京
都府京都市右京区西院溝崎町2-1番地 ロ
ーム株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人あい特許
事務所 (AI ASSOCIATION OF PATENT AND
TRADEMARK ATTORNEYS); 〒5410054 大阪
府大阪市中央区南本町二丁目6番1-2号 サン
マリオンNBFタワー2-1階 Osaka (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device comprising: a semiconductor chip having a principal surface; a drift layer of a first conductive type which is formed on the surface layer section of the principal surface; a trench-gate structure formed on the principal surface so as to contact the drift layer; a channel region of a second conductive type which is formed on the drift layer so as to cover the lateral walls of the trench-gate structure; and a first source-drain region and a second source-drain region which are formed at a distance from the region along the lateral walls of the trench-gate structure in

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

the drift layer so as to face one another with the channel region sandwiched therebetween.

(57) 要約: 半導体装置は、主面を有する半導体チップと、前記主面の表層部に形成された第1導電型のドリフト層と、前記ドリフト層に接するように前記主面に形成されたトレンチゲート構造と、前記トレンチゲート構造の側壁を被覆するように前記ドリフト層に形成された第2導電型のチャネル領域と、前記チャネル領域を挟んで互いに対向するように、前記ドリフト層において前記トレンチゲート構造の側壁に沿う領域に間隔を空けて形成された第1ソースドレイン領域および第2ソースドレイン領域と、を含む。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、ソースおよびドレインが一体となったコモンソースドレイン型のM I S F E T (Metal Insulator Semiconductor Field Effect Transistor) を備えた半導体装置に関する。

背景技術

[0002] 特許文献1は、コモンソースドレイン型のM I S F E Tの一例としての縦ゲート型のM O S (Metal Oxide Semiconductor) トランジスタを備えた半導体装置を開示している。この半導体装置は、p型半導体層(半導体チップ)、トレンチゲート構造、複数のn型ドリフト層および複数のn型ソースドレイン領域を含む。

[0003] トレンチゲート構造は、p型半導体層の主面に形成されている。複数のn型ドリフト層は、p型半導体層の主面の表層部においてトレンチゲート構造の両側にそれぞれ形成されている。複数のn型ソースドレイン領域は、複数のドリフト層の表層部にそれぞれ形成されている。M O S トランジスタのチャネルは、トレンチゲート構造の底部に沿う領域に形成される。

先行技術文献

特許文献

[0004] 特許文献1：米国特許出願公開第2007/0145474号明細書

発明の概要

発明が解決しようとする課題

[0005] 本発明の一実施形態は、コモンソースドレイン型のM I S F E Tを備えた構造において、電流能力を向上できる半導体装置を提供する。

課題を解決するための手段

[0006] 本発明の一実施形態は、主面を有する半導体チップと、前記主面の表層部に形成された第1導電型のドリフト層と、前記ドリフト層に接するように前

記主面に形成されたトレンチゲート構造と、前記トレンチゲート構造の側壁を被覆するように前記ドリフト層に形成された第２導電型のチャネル領域と、前記チャネル領域を挟んで互いに対向するように、前記ドリフト層において前記トレンチゲート構造の側壁に沿う領域に間隔を空けて形成された第１ソースドレイン領域および第２ソースドレイン領域と、を含む、半導体装置を提供する。

[0007] この半導体装置によれば、トレンチゲート構造の側壁に沿って電流を流すことができる。よって、電流経路を増加させることができるから、電流能力を向上できる。

[0008] 本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0009] [図1]図１は、本発明の第１実施形態に係る半導体装置を示す回路図である。

[図2]図２は、図１に示す半導体装置の斜視図である。

[図3]図３は、図２に示す半導体装置の平面図である。

[図4]図４は、半導体チップの構造を示す平面図である。

[図5]図５は、半導体チップの構造を示す要部斜視断面図である。

[図6]図６は、図５から半導体チップの上の構造物を除いた要部斜視断面図である。

[図7]図７は、図５に示す半導体チップの平面図である。

[図8]図８は、図７に示すVIII-VIII線に沿う断面図である。

[図9]図９は、図７に示すIX-IX線に沿う断面図である。

[図10]図１０は、図７に示すX-X線に沿う断面図である。

[図11]図１１は、図７に示すXI-XI線に沿う断面図である。

[図12]図１２は、ベース配線の構造を概略断面図である。

[図13]図１３は、ゲート配線の構造を概略断面図である。

[図14]図１４は、第１ソースドレイン配線の構造を概略断面図である。

[図15]図１５は、第２ソースドレイン配線の構造を概略断面図である。

[図16]図16は、図5の対応図であって、本発明の第2実施形態に係る半導体装置を示す要部斜視断面図である。

発明を実施するための形態

[0010] 図1は、本発明の第1実施形態に係る半導体装置1を示す回路図である。

[0011] 半導体装置1は、コモンソースドレイン型のMISFET (Metal Insulator Semiconductor Field Effect Transistor) 2を含む。MISFET 2は、ベースB、ゲートG、第1ソースドレインSD1および第2ソースドレインSD2を含む。第1ソースドレインSD1および第2ソースドレインSD2は、ソースおよびドレインを兼ねている。

[0012] ベースBには、回路動作の基準となる基準電圧（たとえばグランド電圧）が印加される。ゲートGには、ベースBを基準としたゲート電圧VGが印加される。ゲートGは、第1ソースドレインSD1および第2ソースドレインSD2の間を流れる電流Iの導通および遮断を制御する。第1ソースドレインSD1には、第1ソースドレイン電圧VSD1（第1電圧）が印加される。第2ソースドレインSD2には、第1ソースドレイン電圧VSD1とは異なる第2ソースドレイン電圧VSD2（第2電圧）が印加される。

[0013] 半導体装置1は、第1ソースドレインSD1および第2ソースドレインSD2に接続されたダイオード対3をさらに含む。ダイオード対3は、MISFET 2のオフ状態において第1ソースドレインSD1および第2ソースドレインSD2の間を流れる電流Iを規制（遮断）する。

[0014] ダイオード対3は、具体的には、互いに逆バイアス接続された第1ボディダイオード4第2ボディダイオード5を含む。第1ボディダイオード4および第2ボディダイオード5は、アノードおよびカソードをそれぞれ含む。

[0015] 第1ボディダイオード4のアノードは、ベースBに接続されている。第1ボディダイオード4のカソードは、第1ソースドレインSD1に接続されている。第2ボディダイオード5のアノードは、ベースBに接続されている。第2ボディダイオード5のカソードは、第2ソースドレインSD2に接続されている。

- [0016] 半導体装置 1 は、4 つの外部端子 6、7、8、9 を含む 4 端子デバイスである。外部端子 6～9 は、具体的には、ベース端子 6、ゲート端子 7、第 1 ソースドレイン端子 8 および第 2 ソースドレイン端子 9 を含む。ベース端子 6 は、ベース B に接続されている。ゲート端子 7 は、ゲート G に接続されている。第 1 ソースドレイン端子 8 は、第 1 ソースドレイン S D 1 に接続されている。第 2 ソースドレイン端子 9 は、第 2 ソースドレイン S D 2 に接続されている。
- [0017] M I S F E T 2 は、第 1 ソースドレイン端子 8 および第 2 ソースドレイン端子 9 の双方向に電流 I を流すことができる双方向デバイスである。すなわち、第 1 ソースドレイン端子 8 が高電圧側（入力側）に接続される場合、第 2 ソースドレイン端子 9 は低電圧側（出力側）に接続される。一方、第 1 ソースドレイン端子 8 が低電圧側（出力側）に接続される場合、第 2 ソースドレイン端子 9 は高電圧側（入力側）に接続される。
- [0018] ゲート閾値電圧 V_{th} 以上のゲート電圧 V_G ($V_{th} \leq V_G$) がゲート端子 7 に印加された場合、第 1 ソースドレイン端子 8 および第 2 ソースドレイン端子 9 の間に電流 I が流れる。ゲート閾値電圧 V_{th} 未満のゲート電圧 V_G ($V_G < V_{th}$) がゲート端子 7 に印加された場合、第 1 ソースドレイン端子 8 および第 2 ソースドレイン端子 9 の間に電流 I は流れない。このようにして、M I S F E T 2 のオンオフが制御される。
- [0019] 半導体装置 1 によれば、1 つの M I S F E T 2 によって、コモンソースドレイン型ではない 2 つの M I S F E T のドレイン同士が接続された回路が有する機能を実現できる。したがって、半導体装置 1 によれば、電流経路の短縮によって低オン抵抗化を図ることができる。以下、半導体装置 1 の具体的な構造について説明する。
- [0020] 図 2 は、図 1 に示す半導体装置 1 の斜視図である。図 3 は、図 2 に示す半導体装置 1 の平面図である。以下では、半導体装置 1 が、チップのサイズをパッケージのサイズとして有するチップサイズパッケージからなる例について説明する。

- [0021] 図2および図3を参照して、半導体装置1は、直方体形状のデバイス本体11を含む。デバイス本体11は、一方側の第1デバイス面12、他方側の第2デバイス面13、ならびに、第1デバイス面12および第2デバイス面13を接続するデバイス側面14A、14B、14C、14Dを含む。デバイス側面14A～14Dは、具体的には、第1デバイス側面14A、第2デバイス側面14B、第3デバイス側面14Cおよび第4デバイス側面14Dを含む。
- [0022] 第1デバイス面12および第2デバイス面13は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。第1デバイス面12は、接続対象物に接続される際に当該接続対象物に対向する接続面（実装面）である。第2デバイス面13は、接続面の反対側の非接続面（非実装面）である。接続対象物には、実装基板、電子部品、半導体パッケージのリードフレーム等が含まれてもよい。
- [0023] 第1デバイス側面14Aおよび第2デバイス側面14Bは、平面視において第1方向Xに延び、第1方向Xに交差する第2方向Yに対向している。第3デバイス側面14Cおよび第4デバイス側面14Dは、平面視において第2方向Yに延び、第1方向Xに対向している。第2方向Yは、具体的には、第1方向Xに直交している。
- [0024] デバイス側面14A～14Dは、法線方向Zに沿って平面的にそれぞれ延びている。デバイス側面14A～14Dは、研削痕を有する研削面であってもよい。第1デバイス側面14A（第2デバイス側面14B）の長さは、1mm以上5mmであってもよい。第3デバイス側面14C（第4デバイス側面14D）の長さは、1mm以上5mmであってもよい。
- [0025] デバイス本体11は、半導体チップ15および絶縁層16を含む積層構造を有している。半導体チップ15は、第2デバイス面13およびデバイス側面14A～14Dの一部を形成している。絶縁層16は、第1デバイス面12およびデバイス側面14A～14Dの一部を形成している。
- [0026] 半導体チップ15は、この形態では、シリコンからなる。半導体チップ1

5は、直方体形状に形成されている。半導体チップ15は、一方側の第1主面17、他方側の第2主面18、ならびに、第1主面17および第2主面18を接続する側面19A、19B、19C、19Dを含む。側面19A～19Dは、具体的には、第1側面19A、第2側面19B、第3側面19Cおよび第4側面19Dを含む。

[0027] 第1主面17および第2主面18は、平面視において四角形状に形成されている。第1主面17は、研削面であってもよい。第2主面18は、研削面であってもよい。第2主面18は、第2デバイス面13を形成している。側面19A～19Dは、デバイス側面14A～14Dの一部を形成している。

[0028] 絶縁層16は、第1主面17の上に形成されている。絶縁層16は、絶縁主面20および絶縁側面21A、21B、21C、21Dを含む。絶縁側面21A～21Dは、具体的には、第1絶縁側面21A、第2絶縁側面21B、第3絶縁側面21Cおよび第4絶縁側面21Dを含む。

[0029] 絶縁主面20は、第1主面17に対して平行に延び、平面視において四角形状に形成されている。絶縁主面20は、第1デバイス面12を形成している。絶縁側面21A～21Dは、デバイス側面14A～14Dの一部を形成している。絶縁側面21A～21Dは、絶縁主面20の周縁から半導体チップ15に向けて延び、側面19A～19Dに連なっている。絶縁側面21A～21Dは、具体的には、側面19A～19Dに対して面一に形成されている。

[0030] 複数の外部端子6～9は、絶縁主面20の上に形成されている。複数の外部端子6～9は、この形態では、第1方向Xおよび第2方向Yに間隔を空けて5行5列の行列状に配列されている。複数の外部端子6～9は、この形態では、1つのベース端子6、1つのゲート端子7、複数の第1ソースドレイン端子8および複数の第2ソースドレイン端子9を含む。

[0031] ベース端子6は、第3行目の第1列目に配置されている。ゲート端子7は、第3行目の第5列目に配置されている。ゲート端子7は、第2方向Yにベース端子6に対向している。複数の第1ソースドレイン端子8は、第1行目

の第1列目～第5列目および第4行目の第1列目～第5列目に配置されている。複数の第2ソースドレイン端子9は、第2行目の第1列目～第5列目および第5行目の第1列目～第5列目に配置されている。

[0032] 第2行目に配置された複数の第2ソースドレイン端子9は、第1行目に配置された複数の第1ソースドレイン端子8と1対1対応の関係で第1方向Xに対向している。第5行目に配置された複数の第2ソースドレイン端子9は、第4行目に複数に配置された複数の第1ソースドレイン端子8と1対1対応の関係で第1方向Xに対向している。

[0033] この形態では、第3行目の第2列目、第3列目および第4列目に、スペースがそれぞれ設けられている。各スペースには、ベース端子6、ゲート端子7、第1ソースドレイン端子8および第2ソースドレイン端子9のいずれか1つが配置されていてもよい。各スペースには、電氣的に開放された開放端子が配置されていてもよい。ベース端子6、ゲート端子7、第1ソースドレイン端子8および第2ソースドレイン端子9の個数および配列はいずれも任意であり、図2および図3に示される個数および配列に限定されない。

[0034] 図4は、半導体チップ15の構造を示す平面図である。図5は、半導体チップ15の構造を示す要部斜視断面図である。図6は、図5から半導体チップ15の上の構造物を除いた要部斜視断面図である。図7は、図5に示す半導体チップ15の平面図である。図8は、図7に示すVIII-VIII線に沿う断面図である。図9は、図7に示すIX-IX線に沿う断面図である。図10は、図7に示すX-X線に沿う断面図である。図11は、図7に示すXI-XI線に沿う断面図である。

[0035] 図4を参照して、半導体チップ15は、デバイス領域22および外側領域23を含む。デバイス領域22は、アクティブ領域とも称される。デバイス領域22は、MISFET2が形成された領域である。デバイス領域22は、平面視において側面19A～19Dから内方に間隔を空けて形成されている。

[0036] デバイス領域22は、この形態では、平面視において側面19A～19D

に平行な4辺を有する四角形状に形成されている。デバイス領域22の平面形状は任意であり、四角形状に限定されない。外側領域23は、デバイス領域22の外側の領域である。外側領域23は、平面視においてデバイス領域22の周縁に沿って帯状に延びている。外側領域23は、具体的には、平面視においてデバイス領域22を取り囲む無端状（この形態では四角環状）に形成されている。

[0037] 図5～図11を参照して、半導体装置1は、半導体チップ15の第1主面17の表層部に形成されたn型（第1導電型）のドリフト層24を含む。ドリフト層24は、第1主面17の表層部の全域に形成されている。ドリフト層24は、第1主面17および側面19A～19Dの一部を形成している。ドリフト層24のn型不純物濃度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $1 \times 10^{16} \text{ cm}^{-3}$ 以下であってもよい。

[0038] ドリフト層24は、第1厚さT1を有している。第1厚さT1は、 $5 \mu\text{m}$ 以上 $50 \mu\text{m}$ 以下であってもよい。第1厚さT1は、 $5 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下、 $10 \mu\text{m}$ 以上 $20 \mu\text{m}$ 以下、 $20 \mu\text{m}$ 以上 $30 \mu\text{m}$ 以下、 $30 \mu\text{m}$ 以上 $40 \mu\text{m}$ 以下、または、 $40 \mu\text{m}$ 以上 $50 \mu\text{m}$ 以下であってもよい。ドリフト層24は、この形態では、n型のエピタキシャル層からなる。

[0039] 半導体装置1は、ドリフト層24に対して半導体チップ15の第2主面18側の領域に形成されたp型（第2導電型）のベース層25を含む。ベース層25は、MISFET2のベースBを形成する（図1参照）。ベース層25は、半導体チップ15の第2主面18側の領域の全域に形成され、ドリフト層24に電氣的に接続されている。ベース層25は、第2主面18および側面19A～19Dの一部を形成している。ベース層25のp型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。

[0040] ベース層25は、ドリフト層24の第1厚さT1以上の第2厚さT2（ $T1 \leq T2$ ）を有している。第2厚さT2は、 $50 \mu\text{m}$ 以上 $500 \mu\text{m}$ 以下であってもよい。第2厚さT2は、 $50 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下、 $100 \mu\text{m}$ 以上 $200 \mu\text{m}$ 以下、 $200 \mu\text{m}$ 以上 $300 \mu\text{m}$ 以下、 $300 \mu\text{m}$ 以上 $400 \mu\text{m}$ 以下、

0 μm 以下、または、400 μm 以上500 μm 以下であってもよい。第2厚さT2は、第1厚さT1を超えていることが好ましい ($T1 < T2$)。ベース層25は、この形態では、p型の半導体基板からなる。

[0041] 半導体装置1は、デバイス領域22において第1主面17に形成された少なくとも1つ（この形態では複数）のトレンチゲート構造31を含む。複数のトレンチゲート構造31は、平面視において第1方向Xに延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて形成されている。複数のトレンチゲート構造31は、平面視において第1方向Xに延びるストライプ状に形成されている。各トレンチゲート構造31は、ドリフト層24に接している。各トレンチゲート構造31は、ドリフト層24の底部から第1主面17側に間隔を空けて形成され、ドリフト層24の一部を挟んでベース層25に対向している。

[0042] 複数のトレンチゲート構造31は、所定のピッチPTで形成されている。ピッチPTは、隣り合う2つのトレンチゲート構造31の間の距離である。ピッチPTは、0.5 μm 以上5 μm 以下であってもよい。ピッチPTは、0.5 μm 以上1 μm 以下、1 μm 以上1.5 μm 以下、1.5 μm 以上2 μm 以下、2 μm 以上2.5 μm 以下、2.5 μm 以上3 μm 以下、3 μm 以上4 μm 以下、または、4 μm 以上5 μm 以下であってもよい。

[0043] 複数のトレンチゲート構造31は、ゲートトレンチ32、ゲート絶縁層33およびゲート電極34をそれぞれ含む。ゲートトレンチ32は、第1主面17から第2主面18に向けて掘り下がっている。ゲートトレンチ32は、側壁35および底壁36を有している。以下では、側壁35および底壁36を纏めて「内壁」ということがある。側壁35および底壁36は、ドリフト層24内に位置している。

[0044] 側壁35は、法線方向Zに沿って延びている。側壁35が半導体チップ15内において第1主面17との間で成す角度の絶対値は、90°以上95°以下（たとえば91°程度）であってもよい。ゲートトレンチ32は、底壁36側に向けて開口幅が狭まる先細り形状に形成されていてもよい。側壁3

5は、第1主面17に対して垂直に形成されていてもよい。底壁36は、第2主面18に向かう湾曲状に形成されている。底壁36は、第1主面17に対して平行に形成されていてもよい。

[0045] ゲートトレンチ32は、 $0.1\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下の深さDを有していてもよい。深さDは、 $0.1\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下、 $1\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下、 $2\ \mu\text{m}$ 以上 $4\ \mu\text{m}$ 以下、 $4\ \mu\text{m}$ 以上 $6\ \mu\text{m}$ 以下、 $6\ \mu\text{m}$ 以上 $8\ \mu\text{m}$ 以上、 $8\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下、 $10\ \mu\text{m}$ 以上 $15\ \mu\text{m}$ 以下、または、 $15\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下であってもよい。

[0046] ゲートトレンチ32は、 $0.1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下の開口幅Wを有していてもよい。開口幅Wは、 $0.1\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以上、 $0.5\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下、 $1\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以上、 $1.5\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下、 $2\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以上、または、 $2.5\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であってもよい。

[0047] 開口幅Wは、深さD以下であることが好ましい。ゲートトレンチ32のアスペクト比 D/W は、1以上20以下であってもよい。アスペクト比 D/W は、開口幅Wに対する深さDの比である。アスペクト比 D/W は、1以上2以下、2以上4以下、4以上6以下、6以上8以下、8以上10以下、10以上12以下、12以上14以下、14以上16以下、16以上18以下、または、18以上20以下であってもよい。

[0048] ゲート絶縁層33は、ゲートトレンチ32の内壁に膜状に形成されている。ゲート絶縁層33は、酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ジルコニウムおよび酸化タンタルのうちの少なくとも1つを含む。ゲート絶縁層33は、酸化シリコンからなることが好ましい。

[0049] ゲート絶縁層33は、ゲートトレンチ32の内壁の全域に形成され、ゲートトレンチ32内においてリセス空間を区画している。ゲート絶縁層33は、第1主面17から露出する露出部を含む。ゲート絶縁層33の露出部は、第1主面17に対して面一に形成されていてもよい。ゲート絶縁層33の露出部は、研削面であってもよい。

[0050] ゲートトレンチ32の内壁の法線方向に関して、ゲート絶縁層33の厚さ

は、10 nm以上300 nm以下であってもよい。ゲート絶縁層33の厚さは、10 nm以上25 nm以下、25 nm以上50 nm以下、50 nm以上75 nm以下、75 nm以上100 nm以下、100 nm以上150 nm以下、150 nm以上200 nm以下、200 nm以上250 nm以下、または、250 nm以上300 nm以下であってもよい。

[0051] ゲート電極34は、ゲート絶縁層33を挟んでゲートトレンチ32に埋設されている。ゲート電極34は、具体的には、ゲートトレンチ32においてゲート絶縁層33によって区画されたりセス空間に埋設されている。ゲート電極34は、MISFET2のゲートGを形成している（図1参照）。

[0052] ゲート電極34は、第1主面17から露出する露出部を含む。ゲート電極34の露出部は、第1主面17に対して面一に形成されていてもよい。ゲート電極34の露出部は、研削面であってもよい。ゲート電極34は、導電性ポリシリコンを含むことが好ましい。導電性ポリシリコンは、p型ポリシリコンまたはn型ポリシリコンであってもよい。ゲート電極34は、n型ポリシリコンを含むことが好ましい。ゲート電極34は、タングステン（W）、銅（Cu）、アルミニウム（Al）等の金属材料を含んでいてもよい。

[0053] 半導体装置1は、デバイス領域22の周縁部において第1主面17に形成された少なくとも1つトレンチコンタクト構造37をさらに含む。半導体装置1は、この形態では、複数（この形態では2個）のトレンチコンタクト構造37を含む。一方のトレンチコンタクト構造37は、複数のトレンチゲート構造31に交差（具体的には直交）する方向に延び、複数のトレンチゲート構造31の一端部に接続されている。他方のトレンチコンタクト構造37は、複数のトレンチゲート構造31に交差（具体的には直交）する方向に延び、複数のトレンチゲート構造31の他端部に接続されている。

[0054] 複数のトレンチコンタクト構造37は、トレンチゲート構造31と同様に、ゲートトレンチ32、ゲート絶縁層33およびゲート電極34をそれぞれ含む。トレンチコンタクト構造37のゲートトレンチ32、ゲート絶縁層33およびゲート電極34は、トレンチゲート構造31のゲートトレンチ32

、ゲート絶縁層 33 およびゲート電極 34 とそれぞれ一体的に形成されている。

[0055] すなわち、この形態では、複数のトレンチコンタクト構造 37 によって、第 1 方向 X に延びる部分および第 2 方向 Y に延びる部分を有する複数の環状のトレンチゲート構造 31 が形成されていると見なせる。複数の環状のトレンチゲート構造 31 は、第 1 方向 X に延びる部分同士が一体化するように互いに連なっている。この構造において、複数のトレンチコンタクト構造 37 は、環状のトレンチゲート構造 31 の第 2 方向 Y に延びる部分をそれぞれ形成していると見なせる。これにより、平面視において梯子状の 1 つのトレンチゲート構造 31 が形成されている。

[0056] 半導体装置 1 は、トレンチゲート構造 31 の側壁 35 を被覆するようにドリフト層 24 に形成された少なくとも 1 つ（この形態では複数）の p 型のチャネル領域 40 を含む。各チャネル領域 40 は、トレンチゲート構造 31 の側壁 35 に沿う部分に MISFET 2 のチャネル CH を形成する。チャネル領域 40 の p 型不純物濃度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。

[0057] 複数のチャネル領域 40 は、平面視において第 1 方向 X に間隔を空けて形成され、第 2 方向 Y に延びる帯状にそれぞれ形成されている。複数のチャネル領域 40 は、平面視において第 2 方向 Y に延びるストライプ状に形成されている。複数のチャネル領域 40 は、複数のトレンチゲート構造 31 に交差（具体的には直交）している。複数のチャネル領域 40 は、互いに隣り合う 2 つのトレンチゲート構造 31 の間の領域において第 1 方向 X に間隔を空けてそれぞれ形成されている。

[0058] 各チャネル領域 40 は、第 1 主面 17 からドリフト層 24 の底部に向けて延び、トレンチゲート構造 31 の底壁 36 に対してドリフト層 24 の底部側に位置する底部を有している。各チャネル領域 40 の底部は、この形態では、ベース層 25 に接続されている。これにより、各チャネル領域 40 は、ベース層 25 に電氣的に接続されている。つまり、チャネル領域 40 には、ベ

ース層25を介して基準電圧が印加される。

- [0059] 各チャネル領域40は、トレンチゲート構造31の底壁36をさらに被覆している。各チャネル領域40は、トレンチゲート構造31の底壁36に沿う部分にMISFET2のチャネルCHを形成する。チャネルCHのチャネル長は、トレンチゲート構造31の側壁35の面積の増加によって増加する。したがって、トレンチゲート構造31を深く形成することは、MISFET2のチャネル長を増加させる上で有効である。
- [0060] 各チャネル領域40は、ドリフト層24に対するp型不純物の導入によって形成されている。各チャネル領域40は、ドリフト層24に形成されたトレンチ、および、トレンチに埋設されたp型ポリシリコンを含むトレンチ構造を有していてもよい。
- [0061] 半導体装置1は、ドリフト層24に形成されたn⁺型の第1ソースドレイン領域41およびn⁺型の第2ソースドレイン領域42を含む。第1ソースドレイン領域41および第2ソースドレイン領域42は、ソース領域およびドレイン領域が一体となった領域からそれぞれなる。第1ソースドレイン領域41は、MISFET2の第1ソースドレインSD1を形成している（図1参照）。第2ソースドレイン領域42は、MISFET2の第2ソースドレインSD2を形成している（図1参照）。
- [0062] 第1ソースドレイン領域41および第2ソースドレイン領域42は、ドリフト層24のn型不純物濃度を超えるn型不純物濃度をそれぞれ有している。第1ソースドレイン領域41のn型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。第2ソースドレイン領域42のn型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。第2ソースドレイン領域42のn型不純物濃度は、第1ソースドレイン領域41のn型不純物濃度と等しいことが好ましい。
- [0063] 第1ソースドレイン領域41および第2ソースドレイン領域42は、チャネル領域40を挟んで互いに対向するようにドリフト層24においてトレンチゲート構造31の側壁35に沿う領域に間隔を空けて形成されている。こ

の形態では、複数の第1ソースドレイン領域41および複数の第2ソースドレイン領域42がドリフト層24に形成されている。

[0064] 複数の第1ソースドレイン領域41は、隣り合う2つのトレンチゲート構造31の間の領域において第1方向Xに間隔を空けて形成されている。複数の第1ソースドレイン領域41は、トレンチゲート構造31を挟んで第2方向Yに対向している。つまり、複数の第1ソースドレイン領域41は、第2方向Yに関して、複数のトレンチゲート構造31と交互の配列となる態様で第2方向Yに間隔を空けて形成されている。複数の第1ソースドレイン領域41は、平面視において第1方向Xおよび第2方向Yに間隔を空けて行列状に配列されている。

[0065] 各第1ソースドレイン領域41は、各チャネル領域40から間隔を空けて形成され、ドリフト層24の一部を挟んで各チャネル領域40に対向している。各第1ソースドレイン領域41は、各トレンチゲート構造31から間隔を空けて形成され、ドリフト層24の一部を挟んで各トレンチゲート構造31に対向している。

[0066] 各第1ソースドレイン領域41の底部は、ドリフト層24の底部に対して第1主面17側の領域に形成されている。各第1ソースドレイン領域41の底部は、ドリフト層24の底部およびトレンチゲート構造31の底壁36の間の深さ位置に形成されていてもよい。各第1ソースドレイン領域41の底部は、第1主面17およびトレンチゲート構造31の底壁36の間の深さ位置に形成されていてもよい。チャネルCHのチャネル長を増加させる観点から、各第1ソースドレイン領域41は、少なくとも各トレンチゲート構造31の中間部を横切る厚さで形成されていることが好ましい。

[0067] 複数の第2ソースドレイン領域42は、隣り合う2つのトレンチゲート構造31の間の領域において第1方向Xに間隔を空けて形成されている。複数の第2ソースドレイン領域42は、具体的には、1つのチャネル領域40を挟み込む態様で複数の第1ソースドレイン領域41と交互に第1方向Xに間隔を空けて形成されている。

[0068] 複数の第2ソースドレイン領域42は、トレンチゲート構造31を挟んで第2方向Yに対向している。つまり、複数の第2ソースドレイン領域42は、複数のトレンチゲート構造31と交互の配列となる態様で第2方向Yに間隔を空けて形成されている。これにより、複数の第2ソースドレイン領域42は、平面視において第1方向Xおよび第2方向Yに間隔を空けて行列状に配列されている。

[0069] 各第2ソースドレイン領域42は、各チャネル領域40から間隔を空けて形成され、ドリフト層24の一部を挟んで各チャネル領域40に対向している。各第2ソースドレイン領域42は、各トレンチゲート構造31から間隔を空けて形成され、ドリフト層24の一部を挟んで各トレンチゲート構造31に対向している。

[0070] 各第2ソースドレイン領域42の底部は、ドリフト層24の底部に対して第1主面17側の領域に形成されている。各第2ソースドレイン領域42の底部は、ドリフト層24の底部およびトレンチゲート構造31の底壁36の間の深さ位置に形成されていてもよい。各第2ソースドレイン領域42の底部は、第1主面17およびトレンチゲート構造31の底壁36の間の深さ位置に形成されていてもよい。

[0071] チャネルCHのチャネル長を増加させる観点から、各第2ソースドレイン領域42は、少なくとも各トレンチゲート構造31の中間部を横切る厚さで形成されていることが好ましい。各第2ソースドレイン領域42は、各第1ソースドレイン領域41の厚さと等しい厚さで形成されていることが好ましい。

[0072] 半導体装置1は、第1pn接合部43を含む。第1pn接合部43は、MISFET2の第1ボディダイオード4を形成している。第1pn接合部43は、チャネル領域40および第1ソースドレイン領域41の間の領域に形成されている。第1pn接合部43は、チャネル領域40をP層とし、ドリフト層24をI層（Intrinsic layer）とし、第1ソースドレイン領域41をN層として有する第1pin接合部（p-intrinsic-n junction portion）で

あってもよい。

[0073] 半導体装置 1 は、第 2 p n 接合部 4 4 を含む。第 2 p n 接合部 4 4 は、M I S F E T 2 の第 2 ボディダイオード 5 を形成している。つまり、第 2 p n 接合部 4 4 は、第 1 p n 接合部 4 3 とダイオード対 3 を形成している。第 2 p n 接合部 4 4 は、チャネル領域 4 0 および第 2 ソースドレイン領域 4 2 の間の領域に形成されている。第 2 p n 接合部 4 4 は、チャネル領域 4 0 を介して第 1 p n 接合部 4 3 と逆バイアス接続されている。第 2 p n 接合部 4 4 は、チャネル領域 4 0 を P 層とし、ドリフト層 2 4 を I 層とし、第 2 ソースドレイン領域 4 2 を N 層として有する第 2 p i n 接合部であってもよい。

[0074] 半導体装置 1 では、チャネル領域 4 0、複数の第 1 ソースドレイン領域 4 1 および複数の第 2 ソースドレイン領域 4 2 が、環状のトレンチゲート構造 3 1 によって区画された領域にそれぞれ形成されていると見なせる。この構造によれば、環状のトレンチゲート構造 3 1 によって区画された領域に M I S F E T 2 のチャネル C H を形成できる。したがって、M I S F E T 2 の電流経路を環状のトレンチゲート構造 3 1 によって区画された領域に制限できるから、リーク電流を抑制できる。

[0075] 図 1 2 は、ベース配線 5 6 の構造を概略断面図である。図 1 3 は、ゲート配線 5 7 の構造を概略断面図である。図 1 4 は、第 1 ソースドレイン配線 5 8 の構造を概略断面図である。図 1 5 は、第 2 ソースドレイン配線 5 9 の構造を概略断面図である。図 1 2 ～図 1 5 は、半導体装置 1 における特定箇所の断面を表していない。

[0076] 図 1 2 ～図 1 5 を参照して、絶縁層 1 6 は、複数の絶縁層が積層された積層構造を有している。絶縁層の積層数は任意であり、特定の積層数に限定されない。絶縁層 1 6 は、この形態では、第 1 絶縁層 5 1、第 2 絶縁層 5 2、第 3 絶縁層 5 3、第 4 絶縁層 5 4 および第 5 絶縁層 5 5 を含む。

[0077] 第 1 ～第 4 絶縁層 5 1 ～5 4 は、無機絶縁体を含むことが好ましい。第 1 ～第 4 絶縁層 5 1 ～5 4 は、酸化シリコンまたは窒化シリコンを含んでいてもよい。第 1 ～第 3 絶縁層 5 1 ～5 3 は、この形態では、酸化シリコンをそ

れぞれ含む。第4絶縁層54は、第1～第3絶縁層51～53とは異なる絶縁材料を含むことが好ましい。第4絶縁層54は、この形態では、窒化シリコンを含む。

[0078] 最上の第5絶縁層55は、第1～第4絶縁層51～54とは異なる絶縁材料を含むことが好ましい。最上の第5絶縁層55は、有機絶縁体を含むことが好ましい。第5絶縁層55は、有機絶縁体の一例としてのポリイミド、ポリアミドまたはポリベンゾオキサゾールを含んでいてもよい。第4絶縁層54および第5絶縁層55は、絶縁層16の最上層を形成し、下層構造に対する保護層として形成されている。第4絶縁層54は、パッシベーション層とも称される。

[0079] 図12～図15を参照して、半導体装置1は、絶縁層16内に形成されたベース配線56、ゲート配線57、第1ソースドレイン配線58および第2ソースドレイン配線59を含む。

[0080] 図12を参照して、ベース配線56は、絶縁層16内に選択的に引き回され、ベース端子6およびチャネル領域40（ベース層25）を電氣的に接続させている。ベース配線56は、ベース端子6に印加された基準電圧（たとえばグラウンド電圧）をベース層25およびチャネル領域40に伝達する。ベース配線56は、具体的には、第1下配線61、第1中間配線62、第1上配線63、第1下ビア電極64および第1上ビア電極65を含む。

[0081] 第1下配線61は、第1絶縁層51の上に選択的に形成されている。第1中間配線62は、第2絶縁層52の上に選択的に形成されている。第1上配線63は、第3絶縁層53の上に選択的に形成されている。第1下配線61、第1中間配線62および第1上配線63は、純Al層、純Cu層、AlCu層、AlSi層およびAlSiCu層のうちの少なくとも1つをそれぞれ含んでいてもよい。

[0082] 第1下ビア電極64は、第1絶縁層51に埋設され、チャネル領域40の任意の領域および第1下配線61を電氣的に接続させている。複数の第1下ビア電極64が、半導体チップ15の任意の領域においてチャネル領域40

に接続されていてもよい。たとえば、チャネル領域40の一部が外側領域23に引き出されている場合、1つまたは複数の第1下ビア電極64は、外側領域23においてチャネル領域40（ベース層25）に電氣的に接続されていてもよい。

[0083] 第1下ビア電極64は、本体層66およびバリア層67を含む。本体層66は、第1絶縁層51に埋設されている。本体層66は、W層またはCu層を含んでいてもよい。バリア層67は、第1絶縁層51および本体層66の間に介在している。バリア層67は、Ti層およびTiN層のうちの少なくとも1つを含んでいてもよい。

[0084] 第1上ビア電極65は、第2絶縁層52に埋設され、第1中間配線62の任意の領域および第1上配線63の任意の領域を電氣的に接続させている。第1上ビア電極65は、第1下ビア電極64と同様に、本体層66およびバリア層67を含む。

[0085] 図13を参照して、ゲート配線57は、絶縁層16内に選択的に引き回され、ゲート端子7およびゲート電極34を電氣的に接続させている。ゲート配線57は、ゲート端子7に印加されたゲート電圧VGをゲート電極34に伝達する。ゲート配線57は、具体的には、第2下配線71、第2中間配線72、第2上配線73、第2下ビア電極74および第2上ビア電極75を含む。

[0086] 第2下配線71は、第1絶縁層51の上に選択的に形成されている。第2中間配線72は、第2絶縁層52の上に選択的に形成されている。第2上配線73は、第3絶縁層53の上に選択的に形成されている。第2下配線71、第2中間配線72および第2上配線73は、純Al層、純Cu層、AlCu層、AlSi層およびAlSiCu層のうちの少なくとも1つをそれぞれ含んでいてもよい。

[0087] 第2下ビア電極74は、第1絶縁層51に埋設され、ゲート電極34および第2下配線71を電氣的に接続させている。第2下ビア電極74は、トレンチコンタクト構造37のゲート電極34に電氣的に接続されている。第2

下ビア電極 7 4 は、トレンチゲート構造 3 1 のゲート電極 3 4 に電氣的に接続されていてもよい。図 1 3 では、説明の便宜上、複数の第 2 下ビア電極 7 4 がトレンチゲート構造 3 1 のゲート電極 3 4 に接続された例が示されている。第 2 下ビア電極 7 4 は、第 1 下ビア電極 6 4 と同様に本体層 6 6 およびバリア層 6 7 を含む。

[0088] 第 2 上ビア電極 7 5 は、第 2 絶縁層 5 2 に埋設され、第 2 中間配線 7 2 の任意の領域および第 2 上配線 7 3 の任意の領域を電氣的に接続させている。第 2 上ビア電極 7 5 は、第 2 下ビア電極 7 4 と同様に本体層 6 6 およびバリア層 6 7 を含む。

[0089] 図 1 4 を参照して、第 1 ソースドレイン配線 5 8 は、絶縁層 1 6 内に選択的に引き回され、第 1 ソースドレイン端子 8 および第 1 ソースドレイン領域 4 1 を電氣的に接続させている。第 1 ソースドレイン配線 5 8 は、第 1 ソースドレイン端子 8 からの電流 I を第 1 ソースドレイン領域 4 1 に伝達し、または、第 1 ソースドレイン領域 4 1 からの電流 I を第 1 ソースドレイン端子 8 に伝達する。第 1 ソースドレイン配線 5 8 は、具体的には、第 3 下配線 8 1、第 3 中間配線 8 2、第 3 上配線 8 3、第 3 下ビア電極 8 4 および第 3 上ビア電極 8 5 を含む。

[0090] 第 3 下配線 8 1 は、第 1 絶縁層 5 1 の上に選択的に形成されている。第 3 中間配線 8 2 は、第 2 絶縁層 5 2 の上に選択的に形成されている。第 3 上配線 8 3 は、第 3 絶縁層 5 3 の上に選択的に形成されている。第 3 下配線 8 1、第 3 中間配線 8 2 および第 3 上配線 8 3 は、純 Al 層、純 Cu 層、 $AlCu$ 層、 $AlSi$ 層および $AlSiCu$ 層のうちの少なくとも 1 つをそれぞれ含んでいてもよい。

[0091] 第 3 下ビア電極 8 4 は、第 1 絶縁層 5 1 に埋設され、第 1 ソースドレイン領域 4 1 および第 3 下配線 8 1 を電氣的に接続させている。この形態では、複数の第 3 下ビア電極 8 4 が、対応する第 1 ソースドレイン領域 4 1 にそれぞれ電氣的に接続されている。第 3 下ビア電極 8 4 は、第 1 下ビア電極 6 4 と同様に本体層 6 6 およびバリア層 6 7 を含む。

- [0092] 第3上ビア電極85は、第2絶縁層52に埋設され、第3中間配線82の任意の領域および第3上配線83の任意の領域を電氣的に接続させている。第3上ビア電極85は、第3下ビア電極84と同様に本体層66およびバリア層67を含む。
- [0093] 第1ソースドレイン配線58は、複数の第3下配線81を含んでいてもよい。この場合、複数の第3下配線81は、第1方向Xに間隔を空けて形成され、複数のトレンチゲート構造31を横切るように第2方向Yに延びる帯状にそれぞれ形成される。各第3下配線81は、複数の第1ソースドレイン領域41の上に形成される。各第3下配線81は、直下に位置する複数の第1ソースドレイン領域41に電氣的に接続される。
- [0094] 図15を参照して、第2ソースドレイン配線59は、絶縁層16内に選択的に引き回され、第2ソースドレイン端子9および第2ソースドレイン領域42を電氣的に接続させている。第2ソースドレイン配線59は、第2ソースドレイン端子9からの電流Iを第2ソースドレイン領域42に伝達し、または、第2ソースドレイン領域42からの電流Iを第2ソースドレイン端子9に伝達する。第2ソースドレイン配線59は、具体的には、第4下配線91、第4中間配線92、第4上配線93、第4下ビア電極94および第4上ビア電極95を含む。
- [0095] 第4下配線91は、第1絶縁層51の上に選択的に形成されている。第4中間配線92は、第2絶縁層52の上に選択的に形成されている。第4上配線93は、第3絶縁層53の上に選択的に形成されている。第4下配線91、第4中間配線92および第4上配線93は、純Al層、純Cu層、AlCu層、AlSi層およびAlSiCu層のうちの少なくとも1つをそれぞれ含んでいてもよい。
- [0096] 第4下ビア電極94は、第1絶縁層51に埋設され、第2ソースドレイン領域42および第4下配線91を電氣的に接続させている。この形態では、複数の第4下ビア電極94が、対応する第2ソースドレイン領域42にそれぞれ電氣的に接続されている。第4下ビア電極94は、第1下ビア電極64

と同様に本体層 6 6 およびバリア層 6 7 を含む。

[0097] 第 4 上ビア電極 9 5 は、第 2 絶縁層 5 2 に埋設され、第 4 中間配線 9 2 の任意の領域および第 4 上配線 9 3 の任意の領域を電氣的に接続させている。第 4 上ビア電極 9 5 は、第 4 下ビア電極 9 4 と同様に本体層 6 6 およびバリア層 6 7 を含む。

[0098] 第 2 ソースドレイン配線 5 9 は、複数の第 4 下配線 9 1 を含んでいてもよい。この場合、複数の第 4 下配線 9 1 は、第 1 方向 X に間隔を空けて形成され、複数のトレンチゲート構造 3 1 を横切るように第 2 方向 Y に延びる帯状にそれぞれ形成される。複数の第 4 下配線 9 1 は、第 1 ソースドレイン領域 4 1 および第 2 ソースドレイン領域 4 2 の配置に応じて、第 1 ソースドレイン配線 5 8 の複数の第 3 下配線 8 1 と第 1 方向 X に沿って交互の配列となる態様で形成される。各第 4 下配線 9 1 は、複数の第 2 ソースドレイン領域 4 2 の上に形成される。各第 4 下配線 9 1 は、直下に位置する複数の第 2 ソースドレイン領域 4 2 に電氣的に接続される。

[0099] 図 1 2 ～図 1 5 を参照して、ベース端子 6、ゲート端子 7、第 1 ソースドレイン端子 8 および第 2 ソースドレイン端子 9 は、第 5 絶縁層 5 5 の上にそれぞれ形成されている。ベース端子 6、ゲート端子 7、第 1 ソースドレイン端子 8 および第 2 ソースドレイン端子 9 は、絶縁層 1 6 の一部（第 4 絶縁層 5 4 および第 5 絶縁層 5 5）を貫通している。

[0100] ベース端子 6 は、ベース配線 5 6 の第 1 上配線 6 3 に電氣的に接続されている。ゲート端子 7 は、ゲート配線 5 7 の第 2 上配線 7 3 に電氣的に接続されている。第 1 ソースドレイン端子 8 は、第 1 ソースドレイン配線 5 8 の第 3 上配線 8 3 に電氣的に接続されている。第 2 ソースドレイン端子 9 は、第 2 ソースドレイン配線 5 9 の第 4 上配線 9 3 に電氣的に接続されている。

[0101] ベース端子 6、ゲート端子 7、第 1 ソースドレイン端子 8 および第 2 ソースドレイン端子 9 は、下地電極層 9 6 および低融点金属層 9 7 をそれぞれ含む。下地電極層 9 6 は、絶縁層 1 6 の一部（第 4 絶縁層 5 4 および第 5 絶縁層 5 5）を貫通するパッド開口 9 8 内に形成されている。下地電極層 9 6 は

、パッド開口 98 内から絶縁層 16 の絶縁主面 20 に引き出されたオーバラップ部を含む。下地電極層 96 は、Ti 層、TiN 層、Cu 層、Au 層、Ni 層および Al 層のうちの少なくとも 1 つを含んでいてもよい。

[0102] 低融点金属層 97 は、下地電極層 96 の上に形成されている。低融点金属層 97 は、下地電極層 96 のオーバラップ部を被覆している。低融点金属層 97 は、絶縁主面 20 から半球状に突出している。低融点金属層 97 は、半田を含んでいてもよい。

[0103] 以上、半導体装置 1 は、半導体チップ 15、ドリフト層 24、トレンチゲート構造 31、チャネル領域 40、第 1 ソースドレイン領域 41 および第 2 ソースドレイン領域 42 を含む。ドリフト層 24 は、半導体チップ 15 の第 1 主面 17 の表層部に形成されている。トレンチゲート構造 31 は、ドリフト層 24 に接するように第 1 主面 17 に形成されている。

[0104] チャネル領域 40 は、トレンチゲート構造 31 の側壁 35 を被覆するようにドリフト層 24 に形成されている。第 1 ソースドレイン領域 41 および第 2 ソースドレイン領域 42 は、チャネル領域 40 を挟んで互いに対向するように、ドリフト層 24 においてトレンチゲート構造 31 の側壁 35 に沿う領域に間隔を空けて形成されている。

[0105] このような構造によれば、MISFET 2 のチャネル CH が、トレンチゲート構造 31 の側壁 35 に沿う領域に形成される。これにより、トレンチゲート構造 31 の側壁 35 に沿って電流を流すことができる。よって、電流経路を増加させることができるから、電流能力を向上できる。

[0106] また、半導体装置 1 によれば、チャネル領域 40 が、トレンチゲート構造 31 の底壁 36 をさらに被覆している。このような構造によれば、MISFET 2 のチャネル CH が、トレンチゲート構造 31 の底壁 36 に沿う領域にも形成される。これにより、電流能力をさらに向上できる。

[0107] 図 16 は、図 5 の対応図であって、本発明の第 2 実施形態に係る半導体装置 101 を示す要部斜視断面図である。半導体装置 1 は、不純物領域からそれぞれなる第 1 ソースドレイン領域 41 および第 2 ソースドレイン領域 42

を含む。これに対して、半導体装置 101 は、不純物領域に代えて金属材料からそれぞれなる第 1 ソースドレイン領域 41 および第 2 ソースドレイン領域 42 を含む。以下では、半導体装置 1 に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0108] 第 1 ソースドレイン領域 41 および第 2 ソースドレイン領域 42 は、トレンチ 102 および金属電極 103 を含むトレンチ電極構造をそれぞれ有している。トレンチ 102 は、第 1 主面 17 を第 2 主面 18 側に掘り下げることによって形成されている。トレンチ 102 は、ドリフト層 24 を露出させている。

[0109] トレンチ 102 の底部は、ドリフト層 24 の底部に対して第 1 主面 17 側の領域に形成されている。トレンチ 102 の底部は、ドリフト層 24 の底部およびトレンチゲート構造 31 の底壁 36 の間の深さ位置に形成されていてもよい。トレンチ 102 の底部は、第 1 主面 17 およびトレンチゲート構造 31 の底壁 36 の間の深さ位置に形成されていてもよい。チャネル CH のチャネル長を増加させる観点から、トレンチ 102 は、少なくとも各トレンチゲート構造 31 の中間部を横切る厚さで形成されていることが好ましい。

[0110] 金属電極 103 は、トレンチ 102 に埋設されている。金属電極 103 は、トレンチ 102 内においてドリフト層 24 に電氣的に接続されている。金属電極 103 は、本体層 104 およびバリア層 105 を含んでいてもよい。

[0111] 本体層 104 は、トレンチ 102 に埋設されている。本体層 104 は、W 層、純 Al 層、純 Cu 層、AlCu 層、AlSi 層および AlSiCu 層のうちの少なくとも 1 つをそれぞれ含んでいてもよい。バリア層 105 は、ドリフト層 24 および本体層 104 の間に介在している。バリア層 105 は、Ti 層および TiN 層のうちの少なくとも 1 つを含んでいてもよい。第 1 ソースドレイン領域 41 は、第 1 実施形態に係る第 3 下ビア電極 84 を兼ねていてもよい。第 2 ソースドレイン領域 42 は、第 1 実施形態に係る第 4 下ビア電極 94 を兼ねていてもよい。

[0112] 以上、半導体装置 101 によっても、半導体装置 1 に対して述べた効果と

同様の効果を奏することができる。

[0113] 本発明は、さらに他の形態で実施できる。

[0114] 前述の各実施形態では、第1導電型がn型、第2導電型がp型の例について説明したが、第1導電型がp型、第2導電型がn型であってもよい。この場合の具体的な構成は、前述の説明および添付図面においてn型領域をp型領域に置き換え、p型領域をn型領域に置き換えることによって得られる。

[0115] 前述の各実施形態では、シリコンからなる半導体チップ15が採用された例について説明した。しかし、前述の各実施形態においてワイドバンドギャップ半導体からなる半導体チップ15が採用されてもよい。半導体チップ15は、ワイドバンドギャップ半導体の一例としてのSiC（炭化シリコン）からなってもよい。半導体チップ15は、六方晶からなるSiC単結晶からなってもよい。

[0116] 六方晶からなるSiC単結晶は、原子配列の周期に応じて、2H（Hexagonal）-SiC単結晶、4H-SiC単結晶および6H-SiC単結晶を含む複数種のポリタイプを有している。半導体チップ15は、複数種のポリタイプのうち、4H-SiC単結晶からなることが好ましい。

[0117] この場合、第1主面17がSiC単結晶の（0001）面（シリコン面）によって形成され、第2主面18がSiC単結晶の（000-1）面（カーボン面）によって形成されていることが好ましい。むしろ、第1主面17が（000-1）面によって形成され、第2主面18が（0001）面によって形成されていてもよい。SiC単結晶の（0001）面および（000-1）面は、c面と称される。SiC単結晶のc面の法線方向Zは、c軸（[0001]方向）と称される。

[0118] 第1主面17は、SiC単結晶のc面に対して所定のオフ方向に所定の角度で傾斜したオフ角を有していてもよい。オフ方向は、SiC単結晶の[11-20]方向であることが好ましい。オフ角は、0°以上10°以下であってもよい。オフ角は、0°以上5.0°以下であることが好ましい。オフ角は、0°以上1.0°以下、1.0°以上2.0°以下、2.0°以上3

、 0° 以下、 3.0° 以上 4.0° 以下、または、 4.0° 以上 5.0° 以下の角度の範囲に設定されてもよい。

[0119] 複数のトレンチゲート構造 31 は、SiC 単結晶の m 軸方向に沿って延びる帯状にそれぞれ形成され、SiC 単結晶の a 軸方向に間隔を空けて形成されていることが好ましい。むろん、複数のトレンチゲート構造 31 は、SiC 単結晶の a 軸方向に沿って延びる帯状にそれぞれ形成され、SiC 単結晶の m 軸方向に間隔を空けて形成されていてもよい。m 軸方向は、SiC 単結晶の $[1-100]$ 方向および $[-1100]$ 方向である。a 軸方向は、SiC 単結晶の $[11-20]$ 方向および $[-1-120]$ 方向である。

[0120] 前述の各実施形態では、半導体装置 1, 101 がチップサイズパッケージからなる例について説明した。しかし、前述の各実施形態において、半導体装置 1, 101 は、必ずしもチップサイズパッケージからなる必要はない。半導体装置 1, 101 は、種々の半導体パッケージに組み込むことができるように適切な形態に設計変更されてもよい。

[0121] 半導体パッケージとしては、SOP (Small Outline Package)、TO (Transistor Outline)、QFN (Quad Flat Non Lead Package)、DFP (Dual Flat Package)、DIP (Dual Inline Package)、QFP (Quad Flat Package)、SIP (Single Inline Package)、もしくは、SOJ (Small Outline J-leaded Package)、または、これらに類する種々の形態が例示される。

[0122] 以下、この明細書および図面から抽出される特徴の例を示す。

[0123] [A1] 主面を有する半導体チップと、前記主面の表層部に形成された第 1 導電型のドリフト層と、前記ドリフト層に接するように前記主面に形成されたトレンチゲート構造と、前記トレンチゲート構造の側壁を被覆するように前記ドリフト層に形成された第 2 導電型のチャネル領域と、前記チャネル領域を挟んで互いに対向するように、前記ドリフト層において前記トレンチゲート構造の側壁に沿う領域に間隔を空けて形成された第 1 ソースドレイン領域および第 2 ソースドレイン領域と、を含む、半導体装置。

- [0124] [A 2] 前記チャネル領域は、前記トレンチゲート構造の底壁をさらに被覆している、A 1 に記載の半導体装置。
- [0125] [A 3] 前記チャネル領域および前記第 1 ソースドレイン領域の間の領域に形成された第 1 p n 接合部と、前記チャネル領域および前記第 2 ソースドレイン領域の間の領域に形成され、前記チャネル領域を介して前記第 1 p n 接合部に逆バイアス接続された第 2 p n 接合部と、をさらに含む、A 1 または A 2 に記載の半導体装置。
- [0126] [A 4] 前記第 1 ソースドレイン領域および前記第 2 ソースドレイン領域は、前記チャネル領域から間隔を空けて形成されている、A 1 ～A 3 のいずれか一つに記載の半導体装置。
- [0127] [A 5] 前記第 1 ソースドレイン領域および前記第 2 ソースドレイン領域は、前記トレンチゲート構造から間隔を空けて形成されている、A 1 ～A 4 のいずれか一つに記載の半導体装置。
- [0128] [A 6] 前記チャネル領域は、前記トレンチゲート構造に交差している、A 1 ～A 5 のいずれか一つに記載の半導体装置。
- [0129] [A 7] 前記トレンチゲート構造は、平面視において帯状に延び、複数の前記チャネル領域が、前記トレンチゲート構造に沿って間隔を空けて形成され、複数の前記第 1 ソースドレイン領域および複数の前記第 2 ソースドレイン領域が、1 つの前記チャネル領域を挟み込む態様で前記トレンチゲート構造に沿って交互に形成されている、A 1 ～A 6 のいずれか一つに記載の半導体装置。
- [0130] [A 8] 複数の前記トレンチゲート構造が、間隔を空けて形成されており、前記チャネル領域、前記第 1 ソースドレイン領域および前記第 2 ソースドレイン領域は、複数の前記トレンチゲート構造の間の領域に形成されている、A 1 ～A 7 のいずれか一つに記載の半導体装置。
- [0131] [A 9] 前記トレンチゲート構造は、平面視において環状に形成されており、前記チャネル領域、前記第 1 ソースドレイン領域および前記第 2 ソースドレイン領域は、前記トレンチゲート構造に取り囲まれた領域内に形成され

ている、A 1 ～ A 8 のいずれか一つに記載の半導体装置。

[0132] [A 1 0] 第 1 電圧が前記第 1 ソースドレイン領域に印加され、前記第 1 電圧とは異なる第 2 電圧が前記第 2 ソースドレイン領域に印加される、A 1 ～ A 9 のいずれか一つに記載の半導体装置。

[0133] [A 1 1] 基準電圧が前記チャネル領域に印加される、A 1 ～ A 1 0 のいずれか一つに記載の半導体装置。

[0134] [A 1 2] 前記主面の上に形成され、前記トレンチゲート構造に導通する第 1 端子と、前記主面の上に形成され、前記チャネル領域に導通する第 2 端子と、前記主面の上に形成され、前記第 1 ソースドレイン領域に導通する第 3 端子と、前記主面の上に形成され、前記第 2 ソースドレイン領域に導通する第 4 端子と、をさらに含む、A 1 ～ A 1 1 のいずれか一つに記載の半導体装置。

[0135] [A 1 3] 前記主面を被覆する絶縁層をさらに含み、前記第 1 端子、前記第 2 端子、前記第 3 端子および前記第 4 端子は、前記絶縁層の上に形成されている、A 1 2 に記載の半導体装置。

[0136] [A 1 4] 前記絶縁層内に形成され、前記トレンチゲート構造および前記第 1 端子に導通する第 1 配線と、前記絶縁層内に形成され、前記チャネル領域および前記第 2 端子に導通する第 2 配線と、前記絶縁層内に形成され、前記第 1 ソースドレイン領域および前記第 3 端子に導通する第 3 配線と、前記絶縁層内に形成され、前記第 2 ソースドレイン領域および前記第 4 端子に導通する第 4 配線と、をさらに含む、A 1 3 に記載の半導体装置。

[0137] [A 1 5] 前記半導体チップは、側面を有しており、前記絶縁層は、前記側面に連なる絶縁側面を有している、A 1 3 または A 1 4 に記載の半導体装置。

[0138] [A 1 6] 前記ドリフト層は、エピタキシャル層によって形成されている、A 1 ～ A 1 5 のいずれか一つに記載の半導体装置。

[0139] [A 1 7] 前記第 1 ソースドレイン領域および前記第 2 ソースドレイン領域は、第 1 導電型の不純物領域からそれぞれなる、A 1 ～ A 1 6 のいずれか

一つに記載の半導体装置。

[0140] [A 1 8] 前記第 1 ソースドレイン領域および前記第 2 ソースドレイン領域は、金属材料からそれぞれなる、A 1 ～A 1 6 のいずれか一つに記載の半導体装置。

[0141] [A 1 9] 前記半導体チップは、シリコンまたは炭化シリコンからなる、A 1 ～A 1 8 のいずれか一つに記載の半導体装置。

[0142] [A 2 0] チップサイズパッケージからなる、A 1 ～A 1 9 のいずれか一つに記載の半導体装置。

[0143] この出願は、2019年9月30日に日本国特許庁に提出された特願2019-180862号に対応しており、この出願の全開示はここに引用により組み込まれる。本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によってのみ限定される。

符号の説明

[0144] 1 半導体装置
6 ベース端子
7 ゲート端子
8 第1 ソースドレイン端子
9 第2 ソースドレイン端子
1 1 デバイス本体
1 5 半導体チップ
1 6 絶縁層
1 7 第1 主面
1 9 A 第1 側面
1 9 B 第2 側面
1 9 C 第3 側面
1 9 D 第4 側面

- 2 0 絶縁主面
- 2 1 A 第1 絶縁側面
- 2 1 B 第2 絶縁側面
- 2 1 C 第3 絶縁側面
- 2 1 D 第4 絶縁側面
- 2 4 ドリフト層
- 3 1 トレンチゲート構造
- 3 5 側壁
- 3 6 底壁
- 4 0 チャネル領域
- 4 1 第1 ソースドレイン領域
- 4 2 第2 ソースドレイン領域
- 4 3 第1 p n 接合部
- 4 4 第2 p n 接合部
- 1 0 1 半導体装置

請求の範囲

- [請求項1] 主面を有する半導体チップと、
前記主面の表層部に形成された第1導電型のドリフト層と、
前記ドリフト層に接するように前記主面に形成されたトレンチゲート構造と、
前記トレンチゲート構造の側壁を被覆するように前記ドリフト層に形成された第2導電型のチャネル領域と、
前記チャネル領域を挟んで互いに対向するように、前記ドリフト層において前記トレンチゲート構造の側壁に沿う領域に間隔を空けて形成された第1ソースドレイン領域および第2ソースドレイン領域と、
を含む、半導体装置。
- [請求項2] 前記チャネル領域は、前記トレンチゲート構造の底壁をさらに被覆している、請求項1に記載の半導体装置。
- [請求項3] 前記チャネル領域および前記第1ソースドレイン領域の間の領域に形成された第1pn接合部と、
前記チャネル領域および前記第2ソースドレイン領域の間の領域に形成され、前記チャネル領域を介して前記第1pn接合部に逆バイアス接続された第2pn接合部と、をさらに含む、請求項1または2に記載の半導体装置。
- [請求項4] 前記第1ソースドレイン領域および前記第2ソースドレイン領域は、前記チャネル領域から間隔を空けて形成されている、請求項1～3のいずれか一項に記載の半導体装置。
- [請求項5] 前記第1ソースドレイン領域および前記第2ソースドレイン領域は、前記トレンチゲート構造から間隔を空けて形成されている、請求項1～4のいずれか一項に記載の半導体装置。
- [請求項6] 前記チャネル領域は、前記トレンチゲート構造に交差している、請求項1～5のいずれか一項に記載の半導体装置。
- [請求項7] 前記トレンチゲート構造は、平面視において帯状に延び、

複数の前記チャネル領域が、前記トレンチゲート構造に沿って間隔を空けて形成され、

複数の前記第1ソースドレイン領域および複数の前記第2ソースドレイン領域が、1つの前記チャネル領域を挟み込む態様で前記トレンチゲート構造に沿って交互に形成されている、請求項1～6のいずれか一項に記載の半導体装置。

[請求項8] 複数の前記トレンチゲート構造が、間隔を空けて形成されており、前記チャネル領域、前記第1ソースドレイン領域および前記第2ソースドレイン領域は、複数の前記トレンチゲート構造の間の領域に形成されている、請求項1～7のいずれか一項に記載の半導体装置。

[請求項9] 前記トレンチゲート構造は、平面視において環状に形成されており、
前記チャネル領域、前記第1ソースドレイン領域および前記第2ソースドレイン領域は、前記トレンチゲート構造に取り囲まれた領域内に形成されている、請求項1～8のいずれか一項に記載の半導体装置。

[請求項10] 第1電圧が前記第1ソースドレイン領域に印加され、
前記第1電圧とは異なる第2電圧が前記第2ソースドレイン領域に印加される、請求項1～9のいずれか一項に記載の半導体装置。

[請求項11] 基準電圧が前記チャネル領域に印加される、請求項1～10のいずれか一項に記載の半導体装置。

[請求項12] 前記主面の上に形成され、前記トレンチゲート構造に導通する第1端子と、
前記主面の上に形成され、前記チャネル領域に導通する第2端子と、
前記主面の上に形成され、前記第1ソースドレイン領域に導通する第3端子と、
前記主面の上に形成され、前記第2ソースドレイン領域に導通する

第4端子と、をさらに含む、請求項1～11のいずれか一項に記載の半導体装置。

[請求項13] 前記主面を被覆する絶縁層をさらに含み、
前記第1端子、前記第2端子、前記第3端子および前記第4端子は、前記絶縁層の上に形成されている、請求項12に記載の半導体装置。

[請求項14] 前記絶縁層内に形成され、前記トレンチゲート構造および前記第1端子に導通する第1配線と、
前記絶縁層内に形成され、前記チャネル領域および前記第2端子に導通する第2配線と、
前記絶縁層内に形成され、前記第1ソースドレイン領域および前記第3端子に導通する第3配線と、
前記絶縁層内に形成され、前記第2ソースドレイン領域および前記第4端子に導通する第4配線と、をさらに含む、請求項13に記載の半導体装置。

[請求項15] 前記半導体チップは、側面を有しており、
前記絶縁層は、前記側面に連なる絶縁側面を有している、請求項13または14に記載の半導体装置。

[請求項16] 前記ドリフト層は、エピタキシャル層によって形成されている、請求項1～15のいずれか一項に記載の半導体装置。

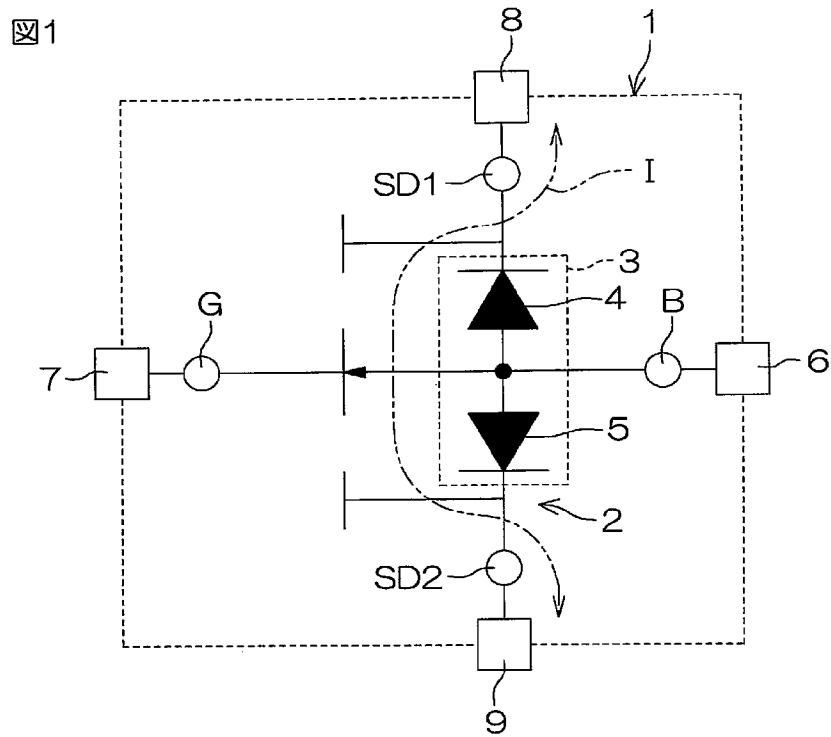
[請求項17] 前記第1ソースドレイン領域および前記第2ソースドレイン領域は、第1導電型の不純物領域からそれぞれなる、請求項1～16のいずれか一項に記載の半導体装置。

[請求項18] 前記第1ソースドレイン領域および前記第2ソースドレイン領域は、金属材料からそれぞれなる、請求項1～16のいずれか一項に記載の半導体装置。

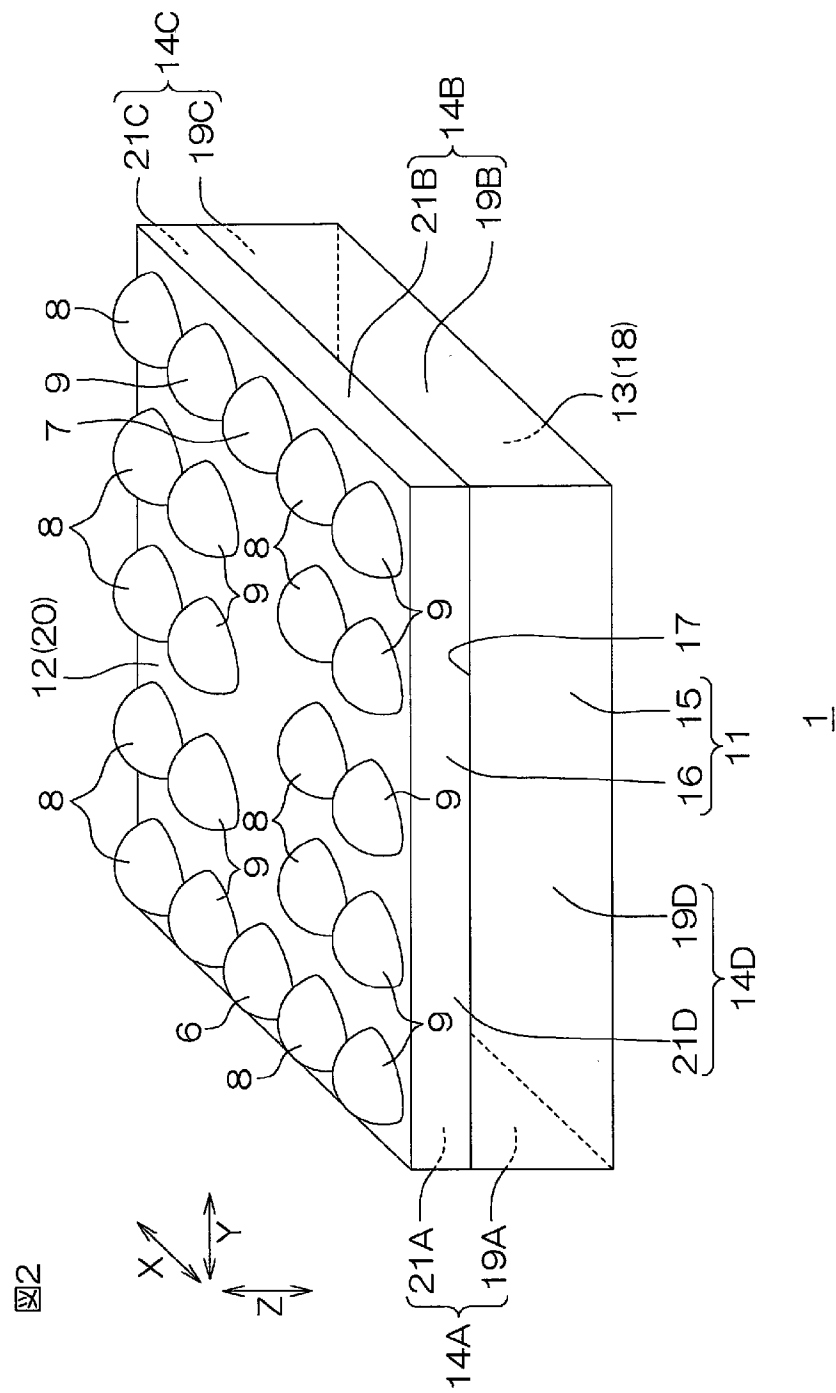
[請求項19] 前記半導体チップは、シリコンまたは炭化シリコンからなる、請求項1～18のいずれか一項に記載の半導体装置。

[請求項20] チップサイズパッケージからなる、請求項1～19のいずれか一項に記載の半導体装置。

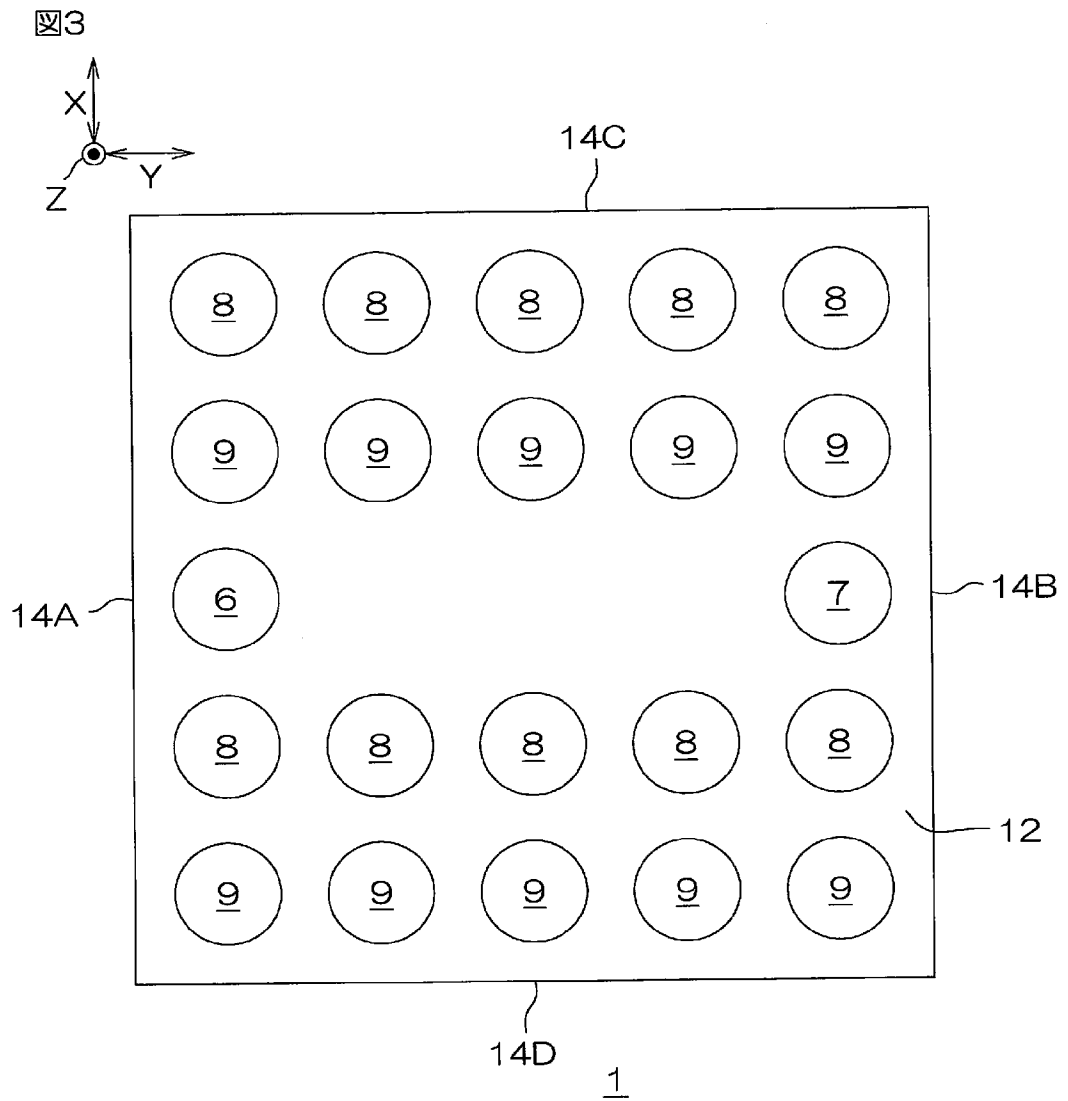
[図1]



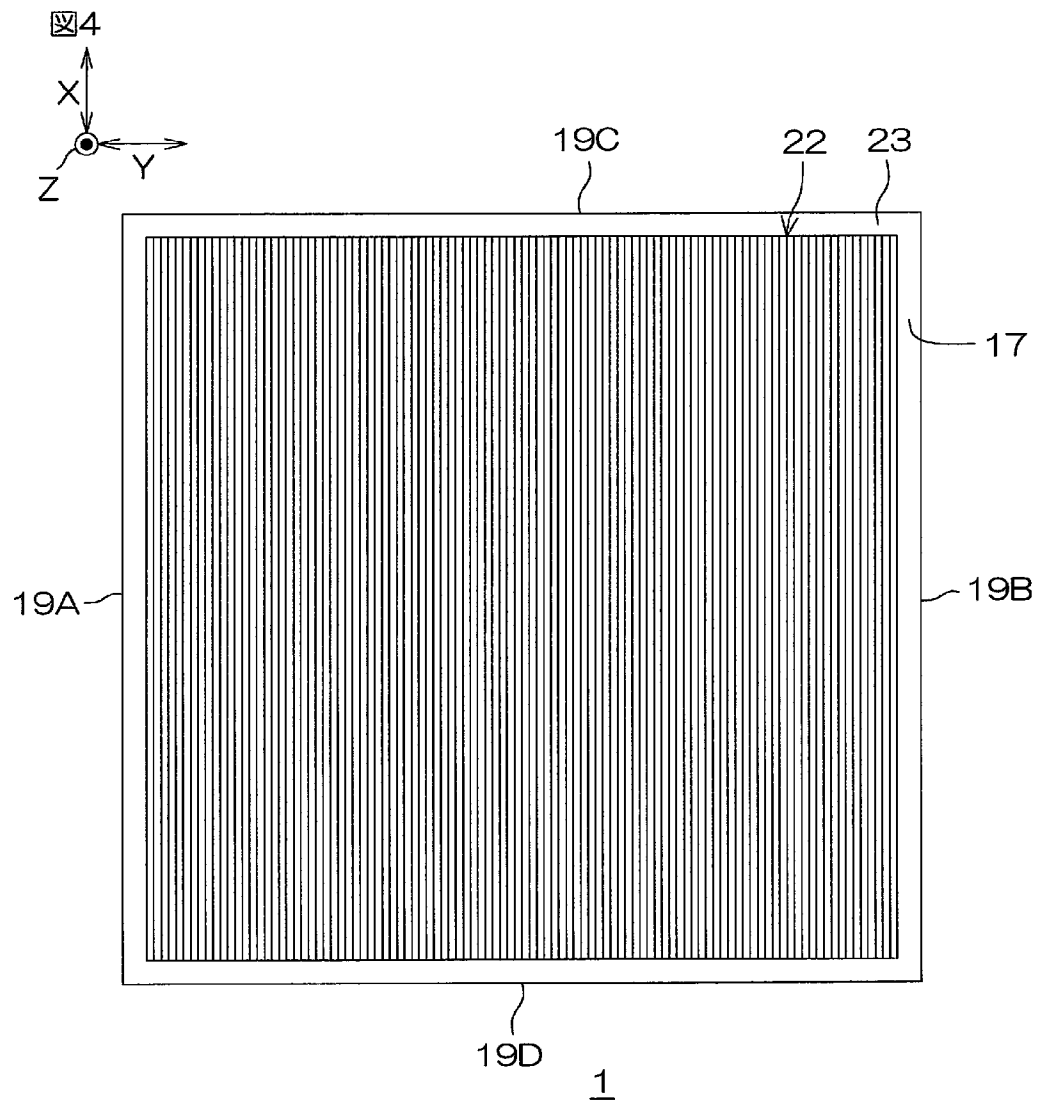
[図2]



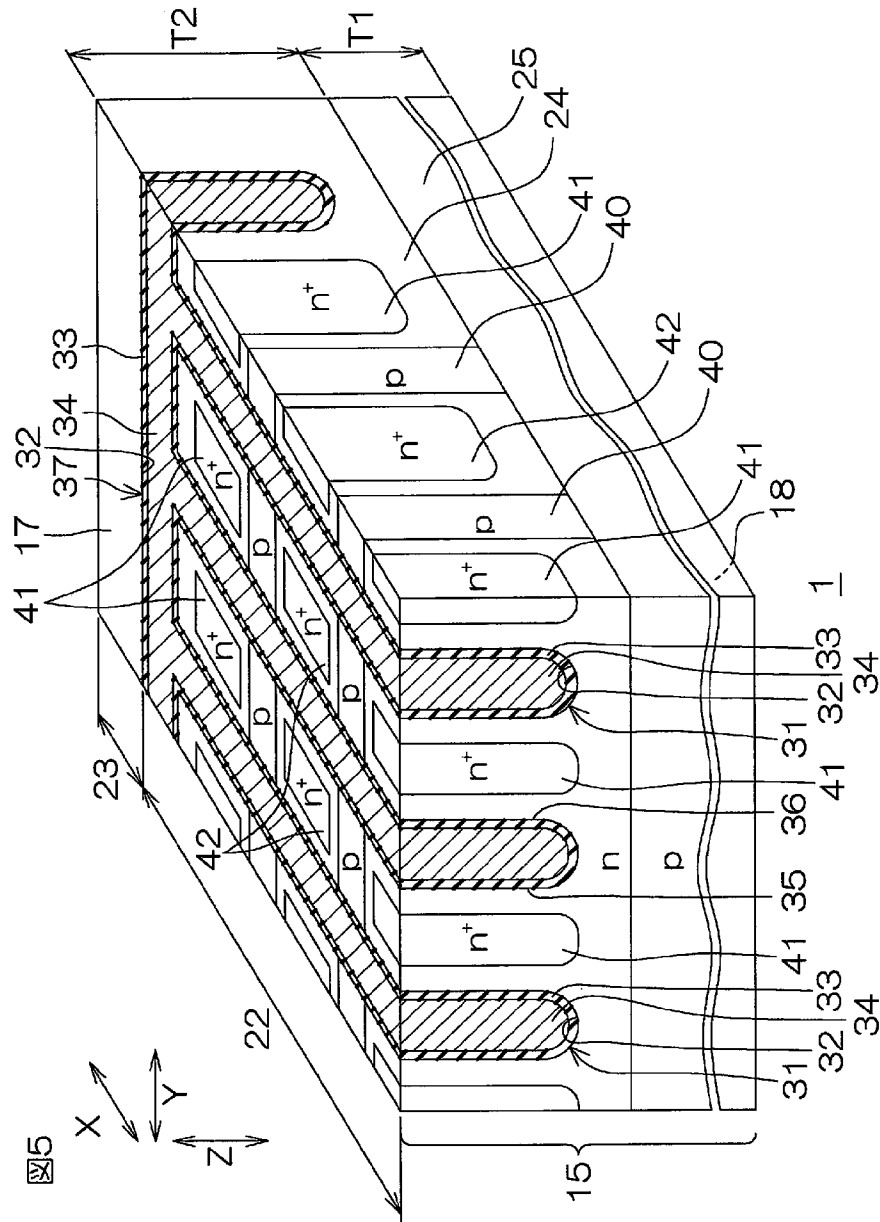
[図3]



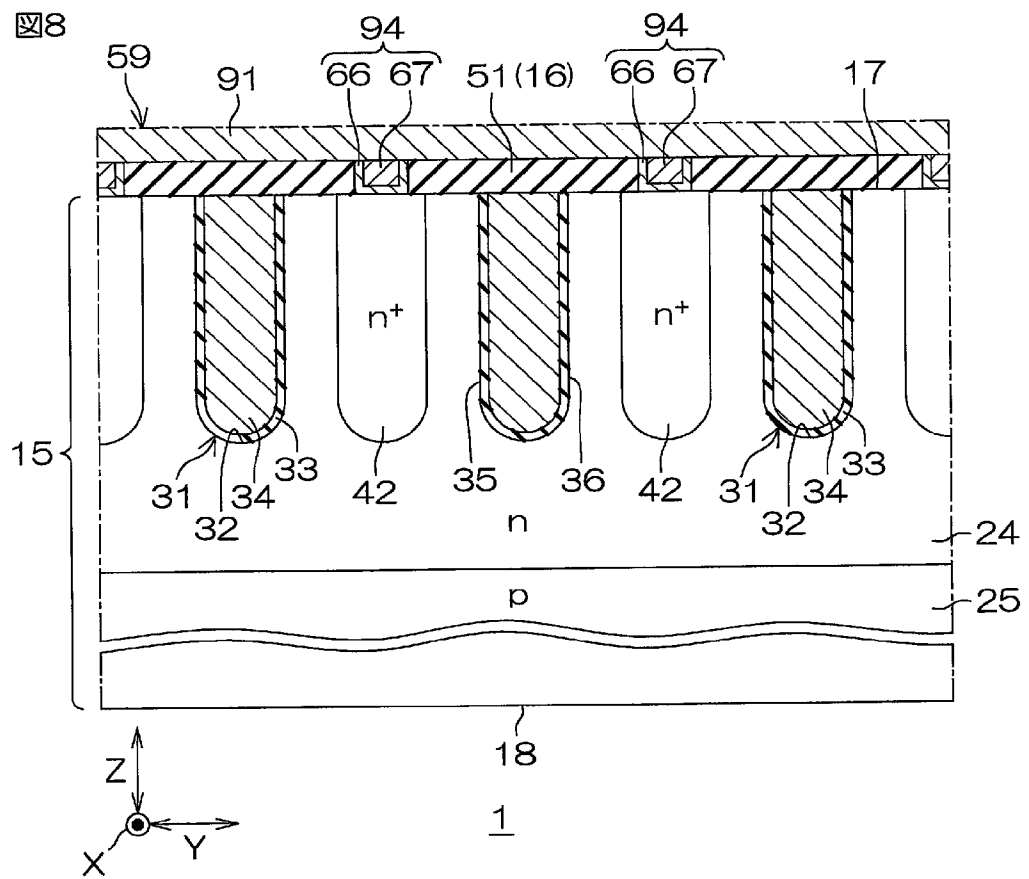
[図4]



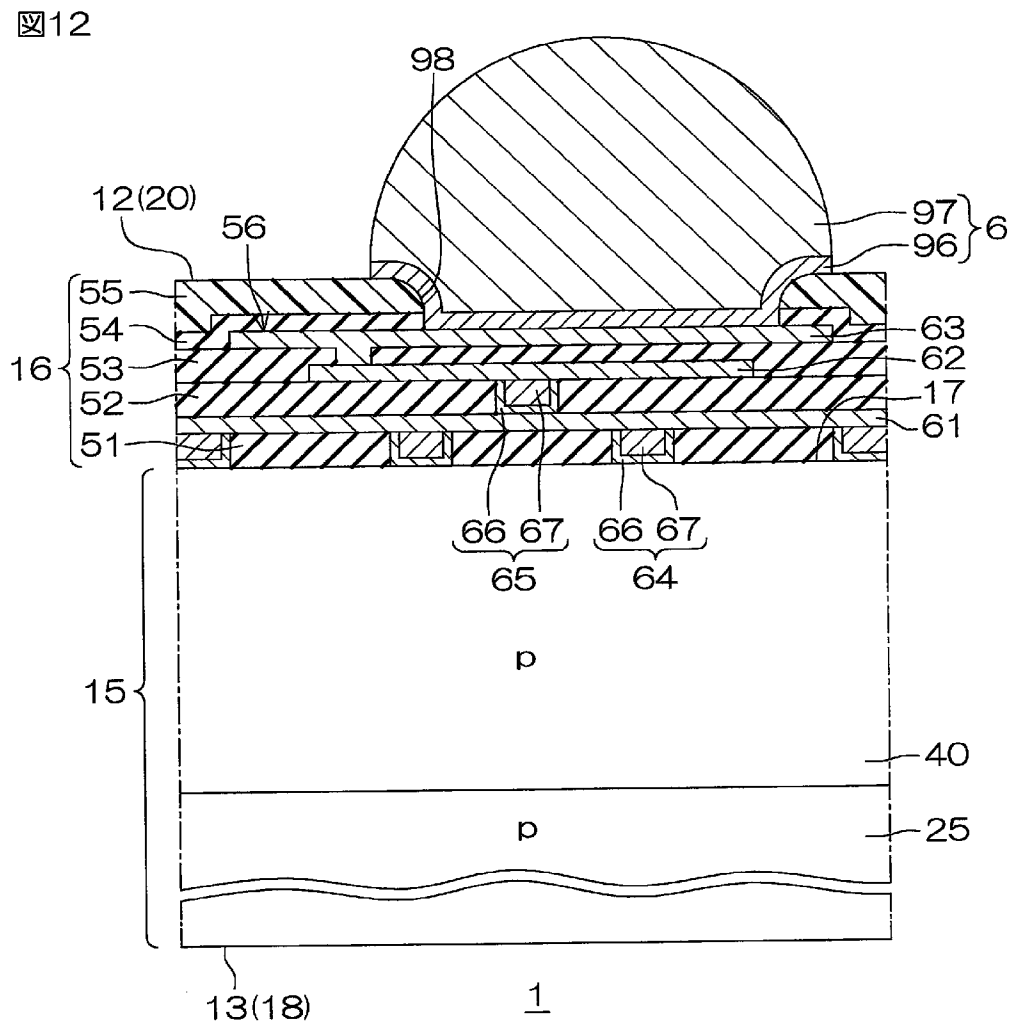
[図5]



[図8]



[図12]



[図13]

図13

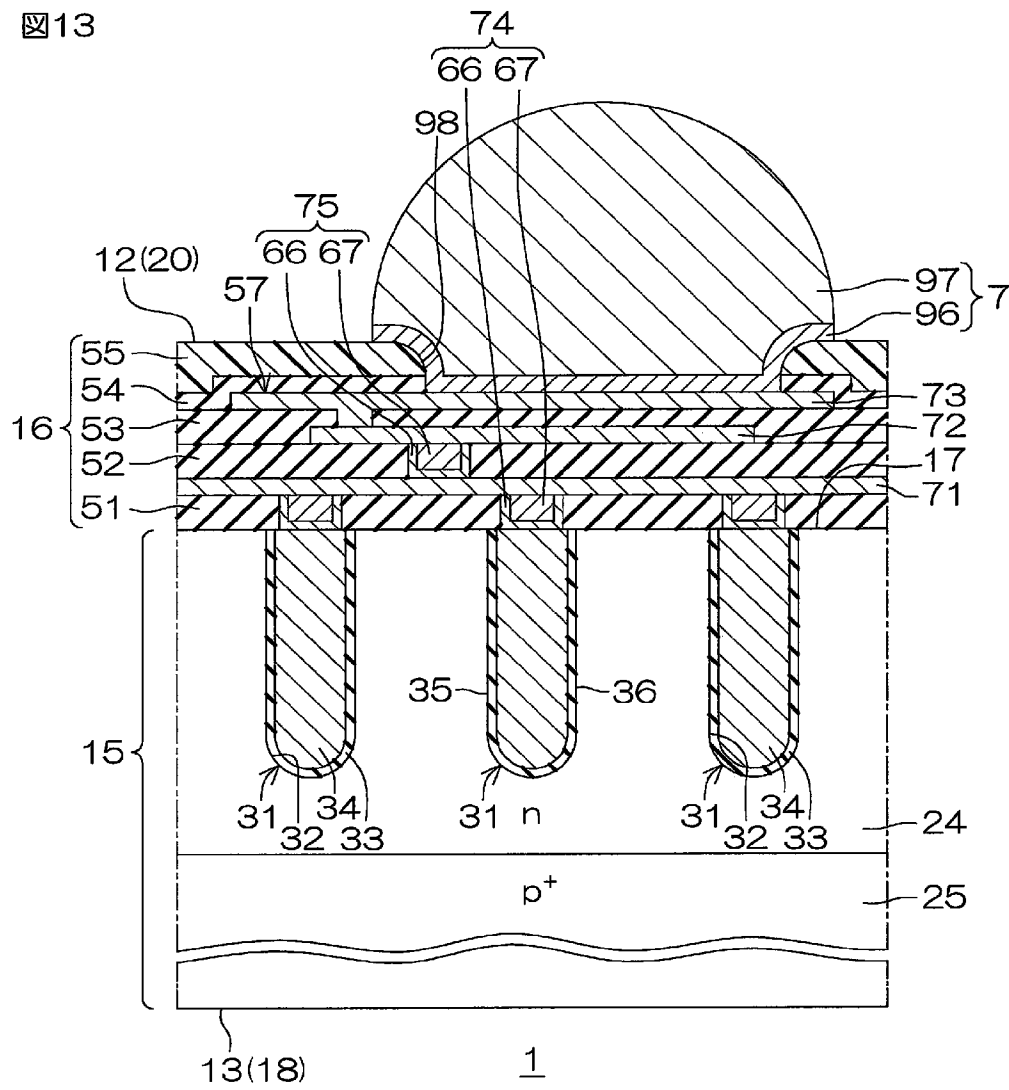
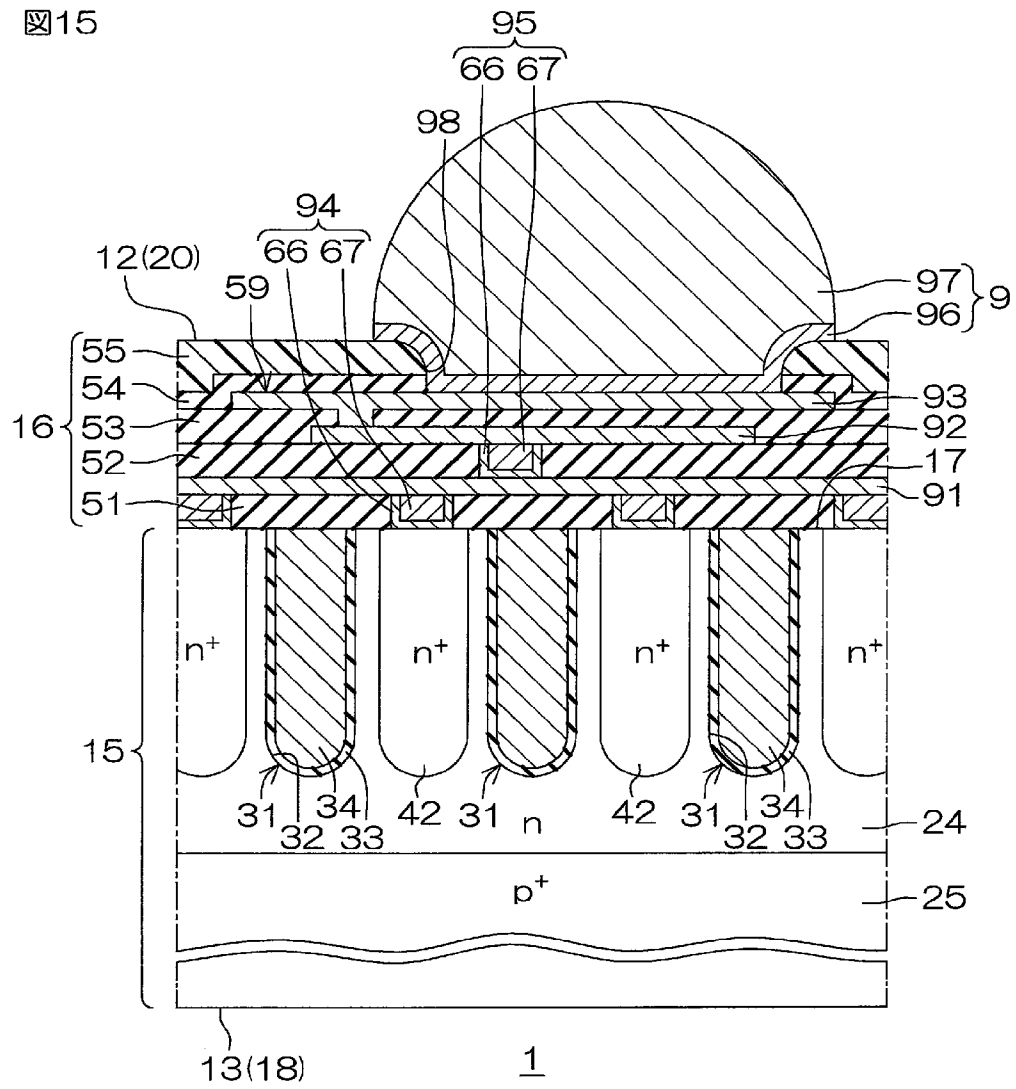
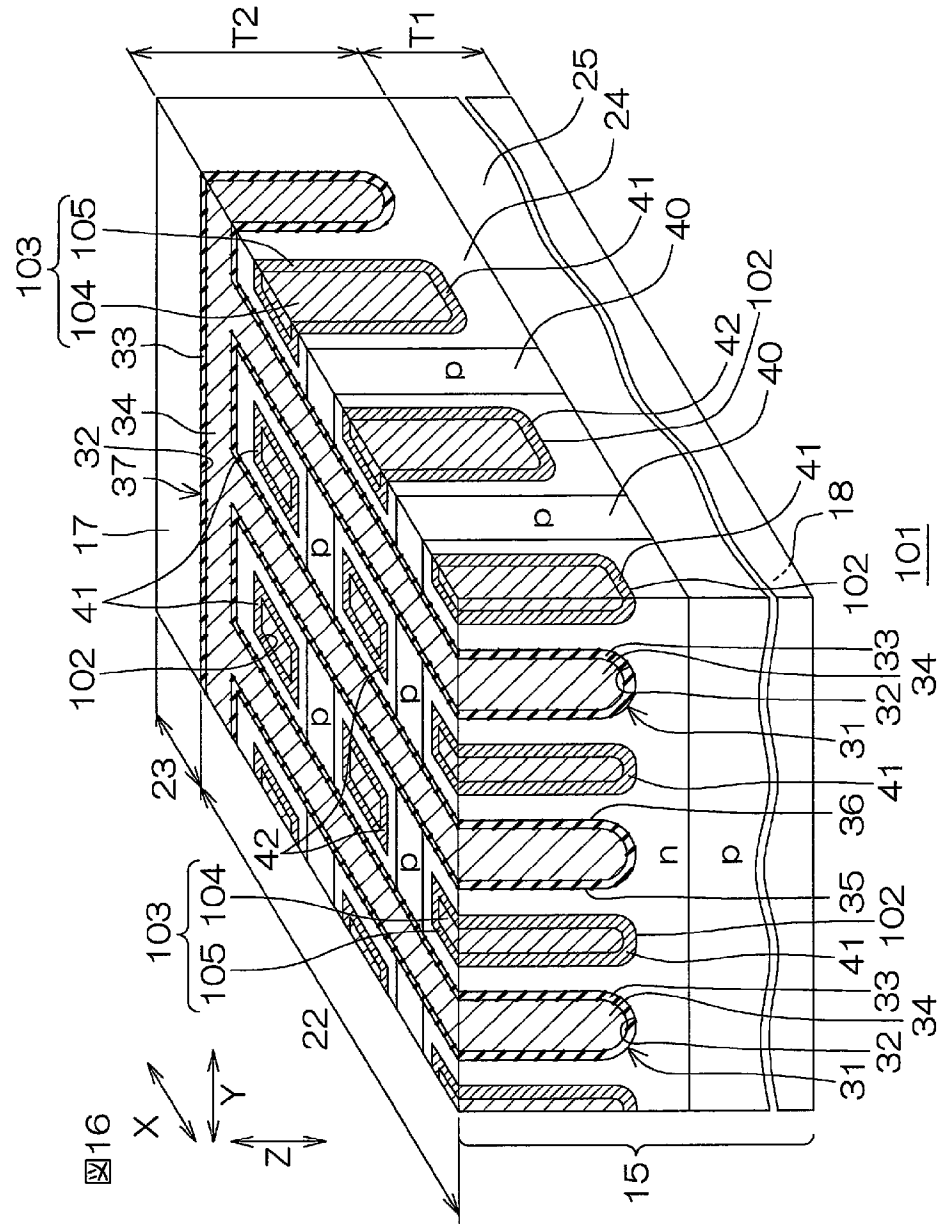


图15



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/036385

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/336(2006.01)i; H01L 21/768(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 23/522(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/417(2006.01)i; H01L 29/423(2006.01)i; H01L 29/49(2006.01)i

FI: H01L29/78 301H; H01L29/78 301G; H01L29/78 301S; H01L29/78 301B; H01L21/88 T; H01L21/90 C; H01L29/50 M; H01L29/58 G; H01L27/04 E; H01L27/06 102A; H01L27/088 C; H01L27/088 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/3205; H01L21/336; H01L21/768; H01L21/822; H01L21/8234; H01L23/522; H01L27/04; H01L27/06; H01L27/088; H01L29/417; H01L29/423; H01L29/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-247127 A (RENESAS ELECTRONICS CORP.) 09 December 2013 (2013-12-09)	1-20
A	JP 2012-004541 A (RENESAS ELECTRONICS CORP.) 05 January 2012 (2012-01-05)	1-20
A	JP 2006-100824 A (AGERE SYSTEMS INC.) 13 April 2006 (2006-04-13)	1-20
A	JP 8-264764 A (TOSHIBA CORP.) 11 October 1996 (1996-10-11)	1-20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
25 November 2020 (25.11.2020)

Date of mailing of the international search report
22 December 2020 (22.12.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/036385

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2013-247127 A	09 Dec. 2013	US 2013/0313637 A1	
JP 2012-004541 A	05 Jan. 2012	US 2011/0284951 A1	
JP 2006-100824 A	13 Apr. 2006	US 2006/0071270 A1	
		KR 10-2006-0051752 A	
		CN 1755941 A	
JP 8-264764 A	11 Oct. 1996	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/336(2006.01)i; H01L 21/768(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 23/522(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/417(2006.01)i; H01L 29/423(2006.01)i; H01L 29/49(2006.01)i FI: H01L29/78 301H; H01L29/78 301G; H01L29/78 301S; H01L29/78 301B; H01L21/88 T; H01L21/90 C; H01L29/50 M; H01L29/58 G; H01L27/04 E; H01L27/06 102A; H01L27/088 C; H01L27/088 B																	
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/3205; H01L21/336; H01L21/768; H01L21/822; H01L21/8234; H01L23/522; H01L27/04; H01L27/06; H01L27/088; H01L29/417; H01L29/423; H01L29/49 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2020年																
日本国実用新案登録公報	1996 - 2020年																
日本国登録実用新案公報	1994 - 2020年																
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2013-247127 A（ルネサスエレクトロニクス株式会社）09.12.2013（2013 - 12 - 09）</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2012-004541 A（ルネサスエレクトロニクス株式会社）05.01.2012（2012 - 01 - 05）</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2006-100824 A（アギア システムズ インコーポレーテッド）13.04.2006（2006 - 04 - 13）</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 8-264764 A（株式会社東芝）11.10.1996（1996 - 10 - 11）</td> <td>1-20</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2013-247127 A（ルネサスエレクトロニクス株式会社）09.12.2013（2013 - 12 - 09）	1-20	A	JP 2012-004541 A（ルネサスエレクトロニクス株式会社）05.01.2012（2012 - 01 - 05）	1-20	A	JP 2006-100824 A（アギア システムズ インコーポレーテッド）13.04.2006（2006 - 04 - 13）	1-20	A	JP 8-264764 A（株式会社東芝）11.10.1996（1996 - 10 - 11）	1-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
A	JP 2013-247127 A（ルネサスエレクトロニクス株式会社）09.12.2013（2013 - 12 - 09）	1-20															
A	JP 2012-004541 A（ルネサスエレクトロニクス株式会社）05.01.2012（2012 - 01 - 05）	1-20															
A	JP 2006-100824 A（アギア システムズ インコーポレーテッド）13.04.2006（2006 - 04 - 13）	1-20															
A	JP 8-264764 A（株式会社東芝）11.10.1996（1996 - 10 - 11）	1-20															
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																	
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																	
国際調査を完了した日 25. 11. 2020		国際調査報告の発送日 22. 12. 2020															
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 岩本 勉 5F 9355 電話番号 03-3581-1101 内線 3516															

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/036385

引用文献			公表日	パテントファミリー文献			公表日
JP	2013-247127	A	09.12.2013	US	2013/0313637	A1	
JP	2012-004541	A	05.01.2012	US	2011/0284951	A1	
JP	2006-100824	A	13.04.2006	US	2006/0071270	A1	
				KR	10-2006-0051752	A	
				CN	1755941	A	
JP	8-264764	A	11.10.1996	(ファミリーなし)			