

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G06F 1/04 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년06월14일 10-0588802 2006년06월05일
--	-------------------------------------	--

(21) 출원번호	10-2003-7016361	(65) 공개번호	10-2004-0010710
(22) 출원일자	2003년12월13일	(43) 공개일자	2004년01월31일
번역문 제출일자	2003년12월13일		
(86) 국제출원번호	PCT/US2002/018673	(87) 국제공개번호	WO 2002/101527
국제출원일자	2002년06월12일	국제공개일자	2002년12월19일

(30) 우선권주장	60/297,940	2001년06월13일	미국(US)
	10/113,052	2002년04월01일	미국(US)

(73) 특허권자 소니 컴퓨터 엔터테인먼트 인코포레이티드
 일본국 도쿄도 미나토구 미나미아오야마 2초메 6반 21고

(72) 발명자 마고시히 데타카
 미국캘리포니아94404-2175,포스터시티,2층,919이. 힐스테일바울버드,
 소니컴퓨터엔터테인먼트아메리카인코포레이티드내

(74) 대리인 이병호
 정상구
 신현문
 이범래

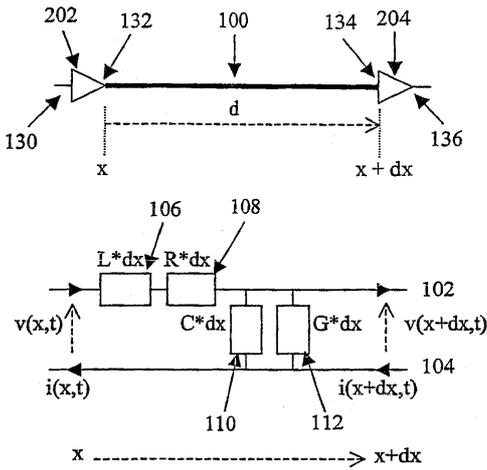
심사관 : 이영수

(54) 저 전력 클럭 분배 방법

요약

반도체 디바이스는 제 1 버퍼(202) 및 제 2 버퍼(204)에 의해 경계지워진 전송 라인을 포함한다. 제 1 및 제 2 버퍼들(202, 204)은 전송 라인(100)이 최소 (d_{min})와 최대 (d_{max}) 사이의 길이를 갖도록 위치되고, 이에 의해 협소한 클럭 신호 펄스들이 왜곡이 감소되어 전송되도록 한다.

대표도



색인어

집적 회로, 전송 라인, 클록 분배 버퍼, 단부, 입사 신호, 반사파, 아키텍처, 경로, 펄스, 임계 전압

명세서

기술분야

본 발명은 고밀도 집적(LSI) 회로와 같은 반도체 디바이스 상에서의 다양한 점들에 대한 클록 신호들의 분배에 관한 것이고, 더 자세하게는, 본 발명은 그러한 클록 신호들의 분배에서 최적 길이 전송 라인들의 이용에 관한 것이다.

배경기술

시스템 클록 신호는 LSI 회로를 이용하여 구현되는 디지털 회로와 같은 디지털 회로에 의해 종종 이용되어 소정 논리 기능들을 동기적으로 실행한다. 예를 들어, 마이크로프로세서들은 논리 기능들을 동시에 실행하기 위해 시스템 클록 신호들을 이용하는 디지털 회로를 채택한다. 마이크로프로세서들은 1 GHz 이상의 시스템 클록 주파수들에서 동작할 수 있다. 주어진 LSI 회로의 시스템 클록 신호들은 디지털 회로의 많은 상이한 부분들에 제공되도록 많은 경로들로 종종 분리된다. 이상적으로는, 디지털 회로소자의 상이한 부분들에서의 시스템 클록 신호들은, 디지털 회로의 상이한 부분들이 정확히 동기화되어 동작하도록, 정확하게 동일한 타이밍 특성들을 보여준다. 그러나 실제로, 디지털 회로 전반의 다양한 점들에서의 시스템 클록 신호들은 다른 상승 및/또는 하강 에지들, 다른 듀티 사이클들, 및/또는 다른 주파수들과 같은, 다른 타이밍 특성들을 보인다. 이러한 비-이상적인 특성들은 클록 지터(jitter) 및 클록 스큐(skew)로서 종종 언급된다.

클록 지터는 시스템 클록 신호 발생에 고유한 부정확성들에 관련된다. 클록 지터에 기인하는 시스템 클럭 신호들의 비 이상적인 특성들은, 시스템 클럭 신호들이 회로의 부분들에 분배되는 방법에 상관없이, 동일한 방식으로 LSI 회로의 그러한 모든 부분들에 영향을 준다. 클록 스큐는 시스템 클록을 많은 경로들로 분리하고 그 클럭 신호들을 디지털 회로의 상이한 부분들에 전달하도록 채택된 분배 기술에 의해 시스템 클럭 신호들로 유입되는 부정확성들이 관련된다.

일반적으로, 클록 신호들은 신호 와이어들을 이용하여 디지털 회로의 다양한 부분들로 분배된다. 구리, 알루미늄과 같은 금속으로 형성될 수 있는 신호 와이어들은 금속들과 관련된 고유의 비-이상적인 속성들을 갖는다. 이러한 속성들은 예를 들어, 인덕턴스, 캐패시턴스, 저항, 임피던스 및 컨덕턴스를 포함한다. 이러한 속성들은 신호 전류들이 신호 와이어를 통해 흐를 때 얼마나 많은 전력이 소모되는지에 영향을 줄 수 있다. 클록 신호의 상승 및 하강 시간들은 이러한 속성들에 의해 또한 영향을 받을 수 있다. 실제로, 클록 신호는 이상적 계단 신호는 아니다. 시스템 클럭 신호들의 상승 및/또는 하강 에지들(즉, 전이들)은 디지털 회로에 대해 타이밍을 제공하기 위해 이용된다. 상승시간은 클록 신호의 상승 에지가 로우(low) 값에서 하이(high) 값으로 전이하는 동안 걸리는 시간이다. 유사하게, 하강시간은 클록 신호의 하강 에지가 하이 값에서 로우 값으로 전이하는 동안 걸리는 시간이다. 이하에서, 상승(또는 하강)시간은 T_{tr} 로서 언급된다.

일반적으로, 클록 신호 와이어는 다음 등식 $C * V_{dd}^2 * f$ 에 따라 전력을 소모한다. 여기서, C는 와이어의 한 단부(end)상에 버퍼들 및 그 신호 와이어에 대한 총 캐패시턴스이고, V_{dd} 은 클록 분배 시스템 전원의 전압이며, f는 클록 주파수이다. T_{tr} 동안, 와이어 캐패시턴스는 미리 충전되거나 방전되고, 클록 신호가 소모됨으로써 많은 전력 손실이 이러한 전이 시간들 동안 일어난다.

1 GHz 이상과 같은 하이 클록 주파수에서는, 클록 신호 전력의 상당량(significant fraction)가 클록 분배 동안 소모된다. 협소한 펄스들(narrow pulses)(즉, 짧은 T_{tr} 시간들을 가진 펄스들)의 이용은 클록 신호 분배 동안 보다 적은 전력이 소모될 것이므로 이러한 문제들이 이론적으로 처리될 수 있다. 그러나, 협소한 신호들의 형태들이 신호 와이어를 따라 전송되는 동안 왜곡될 것이므로 온-칩 클록 시그널링(on-chip clock signaling)에 대한 협소한 펄스들에 이용 결과는 지금까지 만족스럽지 못하였다(그러므로 최적으로 활용되지 않음).

펄스 왜곡을 감소시키는 한 방법은 신호 와이어들을 전송 라인들로 구현하는 것이다. 이것은 협소한 클록 신호 펄스들을 이용하게 한다. 전송 라인은 통상 단일 전도체를 포함하는 신호 와이어와는 대조적으로, 하나 이상의 신호 전도체들과 하나 이상의 그라운드 전도체들을 채택한, 전자기파기용 전송 매체 및 구조이다. 통상의 신호 와이어와는 다르게, 전송 라인상의 신호는 예를 들어, 전송 라인의 인덕턴스, 캐패시턴스, 저항, 및/또는 컨덕턴스에 의존하지 않는 속도를 지닌 전자기파로서 전파한다. 이러한 파라미터들은 전자기파의 감쇄를 결정할 수 있기 때문에, 일반 신호 와이어상에서 전파되는 협소한 클록 신호 펄스는 왜곡 및/또는 소모될 수 있지만 전송 라인 상에 전파되는 동일한 펄스는 그다지 영향을 받지 않을 것이다. 전송 라인이 채택되면 협소한 펄스들의 왜곡이 감소하더라도, 클록 신호들은 전송 라인의 길이 및 라인이 지선들(branches)로 분리되는 방법에 의해 악영향을 받을 수 있다.

전송 라인들은 클록 지터 및 클록 큐와 관련된 문제들을 처리하는데 이용될 수 있다. 그러나, 이를 이루기 위해, 전송 라인은 주의깊게 설계되어야 한다. 양호하게, 전송 라인의 구부러짐은 와이어 임피던스의 변화를 야기할 수 있고, 이것은 클록 신호의 반사를 야기할 수 있기 때문에, 전송 라인은 가능한 직선이어야 한다. 불행하게, 디지털 회로의 상이한 부분들로 클록 신호들을 제공하는 분배 경로들은 대략 직선이지 않다. 이 문제의 해결책은 라인이 굽는 점들에 전송 라인을 따라 반복기(repeater) 버퍼들을 위치시키는 것이다. 버퍼들은 클록 신호들을 재생하고 디지털 회로를 걸쳐 균일한 지연을 제공하기 위해 동작한다.

신호 라인을 따라 제 1 버퍼에서 제 2 버퍼로 전송되는 클록 신호는 입사파로 불린다. 각 버퍼는 입사파를 수신하는 입력과 출력을 갖는다. 각 입력 및 출력의 임피던스는 링잉(ringing)을 피하기 위해 전송 라인의 임피던스와 주의깊게 정합 되어야 한다. 예를 들어, 입사파가 제 1 버퍼의 출력에서 제 2 버퍼의 입력으로 전송 라인을 따라 전파하고, 제 2 버퍼의 입력에서 임피던스의 부정합이 있을 때, 링잉이 발생하여 입사파의 일부가 반사되는데, 이것은 제 1 반사파로 불린다. 제 1 반사파는 제 2 버퍼의 입력에서 제 1 버퍼의 출력으로 되돌아 전파한다. 제 1 버퍼의 출력에서 임피던스의 부정합이 있을 때, 추가의 링잉이 발생하여 제 1 반사파의 일부가 반사되며, 이것은 제 2 반사파로 불린다. 제 2 반사파는 제 1 버퍼의 출력에서 제 2 버퍼의 입력으로 전파한다. 이 링잉은 반사파들의 전력이 소모될 때까지 반복한다.

불행하게, LSI 회로 상의 클록 분배에 전송 라인들의 이용한 결과들은 불만족스러웠는데, 여러 문제들 중 링잉이 공통적이었고 그러한 링잉을 제거하고자 하는 노력들이 성공적이지 못하였기 때문이다. 실제로, 링잉은 버퍼단들을 통한 신호 전파의 손실을 야기했고, 버퍼단들에 대한 손상마저 야기하여, 디지털 회로를 적어도 부분적으로 동작불능하게 만들었다. 따라서, 특별히 LSI 어플리케이션에서는, 다른 문제들 뿐 아니라 링잉 문제를 처리하는 새로운 클록 분배 방법 및 장치에 대한 필요가 있다.

발명의 상세한 설명

본 발명의 하나 이상의 양태들에 따라, 집적 회로는 입력 노드 및 출력 노드를 갖는 제 1 클록 분배 버퍼로서, 제 1 클록 분배 버퍼는 제 1 클록 분배 버퍼의 입력 노드에서의 입력 신호로부터 제 1 클록 분배 버퍼의 출력 노드에서 입사 신호를 생성하도록 동작될 수 있는 제 1 클록 분배 버퍼와, 길이를 정의하는 제 1 및 제 2 단부들을 갖는 전송 라인으로서, 입사 신호가 제 1 단부에서 제 2 단부로 전송 라인의 상기 길이를 따라 전파하도록 제 1 단부가 제 1 클록 분배 버퍼의 출력 노드에 결합되는 전송 라인과, 전송 라인의 제 2 단부에 결합된 입력 노드, 및 출력 노드를 갖는 제 2 클록 분배 버퍼로서, 제 2 클록 분배 버퍼는 제 2 클록 분배 버퍼의 입력 노드 상의 입사 신호로부터 제 2 클록 분배 버퍼의 출력 노드에서 출력 신호를 생성하도록 동작될 수 있으며, 제 1 반사 신호가 제 2 클록 분배 버퍼의 입력 노드에서 생성되어 제 2 단부로부터 제 1 단부를 향하여 전송 라인의 길이를 따라 전파하는, 제 2 클록 분배 버퍼를 포함한다.

전송 라인의 길이는, 입사 신호 및 제 1 반사 신호의 결합된 전압 레벨이 전송 라인의 제 2 단부에서 대략 최대 전압 레벨을 초과하지 않도록 값을 갖는다. 전송 라인은 특성 임피던스(Z_0) 및 저항(R)을 갖고, 제 1 클럭 분배 버퍼의 출력 노드는 출력 임피던스 (Z_s)를 가지며, 제 1 및 제 2 클럭 분배 버퍼들은 공급 전압 V_{dd} 을 갖고, 최대 전압 레벨은 실질적으로 $V_{dd} * [Z_0 / (Z_0 + Z_s)]$ 로서 표현될 것이다.

제 1 및 제 2 클럭 분배 버퍼들은 공급 전압을 가질 수 있고, 최대 전압 레벨은 공급 전압과 양호하게 대략 동일한 집적 회로이다.

전송 라인의 제 2 단부에서 입사 신호는 최대 전압 레벨의 적어도 대략 1/4 인 전압 레벨을 갖는다. 입사 신호의 전압 레벨은 양호하게 최대 전압 레벨의 대략 1/4과 최대 전압 레벨의 대략 1/2 사이이다.

전송 라인은 하나 이상의 스트립 라인들, 스택-쌍 라인들, 양면 스택-쌍 라인들, 측면 복귀 경로를 가진 양면 스택-쌍 라인들, 마이크로-스트립 라인들, 및 그루브 라인들을 포함할 수 있다. 전송 라인, 제 1 클럭 분배 버퍼 및 제 2 클럭 분배 버퍼는 양호하게 H-트리(tree), X-트리 및 RC-균형화(RC-balanced) 아키텍처와 같은 클럭 분배 아키텍처의 부분이다.

입력 신호는 협소한 펄스를 양호하게 포함한다.

본 발명의 하나 이상의 추가 양태들에 따라, 전송 라인의 길이는 입사 신호가 제 2 클럭 분배 버퍼의 입력 노드의 대략 최소 임계 전압을 초과하도록 하는 값을 갖는다. 양호하게, 최소 임계 전압은 적어도 최대 전압 레벨의 대략 1/4이다. 제 1 및 제 2 클럭 분배 버퍼들은 공급 전압을 가질 수 있고, 최대 전압 레벨은 공급 전압에 실질적으로 동일할 것이다. 입사 신호는 최대 전압 레벨의 대략 1/4과 최대 전압 레벨의 대략 1/2 사이일 것이다.

본 발명의 하나 이상의 추가 양태들에 따라, 출력 노드는 출력 임피던스 (Z_s)를 가질 것이고, 전송 라인은 특성 임피던스 (Z_0) 및 저항(R)을 가질 것이며, 전송 라인의 길이는 최소 길이(d_1)를 양호하게 초과하고, 이 경우 최소 길이는 실질적으로 $d_1 = 2 * (Z_0 / R) \ln[(2 * Z_0) / (Z_0 + Z_s)]$ 로서 표현될 것이다.

양호하게, 전송 라인의 길이는 최대 길이 (d_2) 보다 작고, 최대 길이는 실질적으로 $d_2 = 2 * (Z_0 / R) \ln[(4 * Z_0) / (Z_0 + Z_s)]$ 로서 표현될 것이다.

입사 신호는 상승 시간 (T_{rise})을 가질 것이고, 전송 라인의 길이는 인덕턴스(L) 및 캐패시턴스(C)를 가지며, 상승 시간은 실질적으로 $T_{\text{rise}} < 2 \sqrt{LC} * (Z_0 / R) \ln[4 * Z_0 / (Z_0 + Z_s)]$ 로서 표현되는 방법으로 제한될 것이다.

본 발명의 하나 이상의 추가 양태들에 따라, 전송 라인의 길이는 최대 길이(d_2)를 양호하게 초과하지 않고, 이 경우에 최대 길이는 실질적으로 $d_2 = 2 * (Z_0 / R) \ln[(4 * Z_0) / (Z_0 + Z_s)]$ 로서 표현될 것이다.

본 발명의 하나 이상의 추가 양태들에 따라, 길이를 정의하는 제 1 및 제 2 단부들을 갖는 집적 회로의 전송 라인을 따라 클럭 신호들을 분배하는 방법은 제 1 클럭 버퍼의 입력 노드에서 입력 클럭 신호를 수신하는 단계와, 제 1 클럭 버퍼의 출력 노드에서 입력 클럭 신호에 기초하여 입사 신호를 생성하는 단계로서, 출력 노드는 전송 라인의 제 1 단부에 결합되는, 상기 입사 신호 생성 단계와, 제 1 단부에서 제 2 단부로 전송 라인을 따라 입사 신호를 전송하는 단계로서, 제 2 단부는 제 2 클럭 버퍼의 입력 노드에 결합되며 상기 제 2 클럭 버퍼는 제 2 클럭 버퍼의 입력 노드의 입사 신호로부터 제 2 클럭 버퍼의 출력 노드 상에서 출력 신호를 생성하도록 동작될 수 있는, 상기 입사 신호 전송 단계를 포함하며, 길이는 입사 신호 및 제 1 반사 신호의 결합된 전압 레벨이 전송 라인의 제 2 단부에서 최대 전압 레벨을 초과하지 않도록 값을 갖는다.

전송 라인은 특성 임피던스(Z_0) 및 저항(R)을 갖고, 제 1 클럭 버퍼의 출력 노드는 출력 임피던스 (Z_s)를 가지며, 제 1 및 제 2 클럭 버퍼들은 공급 전압 V_{dd} 을 가지고, 최대 전압 레벨은 실질적으로 $V_{dd} * [Z_0 / (Z_0 + Z_s)]$ 로서 표현될 것이다.

전송 라인의 길이는 최소 길이(d_1)를 양호하게 초과하고, 이 경우 최소 길이는 실질적으로 $d_1 = 2 \cdot (Z_0/R) \ln[(2 \cdot Z_0)/(Z_0 + Z_s)]$ 로서 표현될 것이다.

전송 라인의 길이는 최대 길이(d_2) 보다 작고, 최대 길이는 실질적으로 $d_2 = 2 \cdot (Z_0/R) \ln[(4 \cdot Z_0)/(Z_0 + Z_s)]$ 로서 표현될 것이다.

입사 신호는 상승 시간 (T_r)을 가질 것이고, 전송 라인의 길이는 인덕턴스(L), 캐패시턴스(C), 특성 임피던스(Z_0) 및 저항(R)을 가질 것이며, 제 1 클럭 버퍼의 출력 노드는 출력 임피던스 (Z_s)를 가질 것이고, 상승 시간은 실질적으로 $T_r < 2 \cdot \sqrt{LC} \cdot (Z_0/R) \ln[4 \cdot Z_0/(Z_0 + Z_s)]$ 로서 표현되는 방법으로 제한될 것이다.

본 발명의 다른 특징들 및 이점들이 첨부한 도면들과 정합한 본원의 상세 설명에 비추어 명백하게 될 것이다.

도면의 간단한 설명

도 1a는 본 발명의 하나 이상의 추가 양태들에 따른 클럭 분배 시스템에 대한 부분의 개략도.

도 1b는 본 발명의 하나 이상의 추가 양태들에 따른 이용에 적절한 전송 라인 모델의 도시도.

도 2a 내지 도 2b는 본 발명의 하나 이상의 추가 양태들에 따라서 전송 라인들을 따라 전파될 수 있는 전압 파들의 도시도.

도 3a는 본 발명의 하나 이상의 추가 양태들에 따라서 전송 라인 상의 두 버퍼들 사이의 한 점에서 입사파를 갖는 온-칩 신호 전송 라인의 도시도.

도 3b는 본 발명의 하나 이상의 추가 양태들에 따른 전송 라인들의 한 쌍들에 대한 도시도.

도 4a 내지 도 4f는 본 발명의 하나 이상의 추가 양태들에 따른 이용에 적절한 6개의 온-칩 전송 라인 모델들의 단면 개략도.

도 5a 내지 도 5c는 본 발명의 하나 이상의 추가 양태들에 따른 이용에 적절한 전송 라인 아키텍처들의 도시도.

실시예

두 버퍼들 간에 전송 라인의 길이가 너무 길거나 너무 짧으면 링잉 및 다른 문제들이 일어날 수 있다는 것이 발견되었다. 예를 들면, 전송 라인의 와이어의 길이가 너무 짧으면, 입사파 및 제 1 반사파의 결합된 전압(combined voltage) 레벨이 제 2 버퍼의 V_{dd} 를 초과할 것이고, 그로 인해 버퍼에 손상을 줄 것이다. 그러므로, 효율적인 저 전력 온-칩 클럭 신호 분배를 위한 최적 길이 전송 라인들에 대한 필요가 있다.

도면을 참조하면, 유사한 숫자들은 유사한 구성요소들을 지시하는, 도 1a에 도시되어 있는 클럭 분배 시스템의 부분은 제 1 클럭 분배 버퍼(202), 제 2 클럭 분배 버퍼(204), 및 그들 간의 전송 라인(100)을 포함한다. 제 1 클럭 분배 버퍼(202)는 입력 노드(130) 및 출력 노드(132)를 포함하고, 제 2 클럭 분배 버퍼(204)는 입력 노드(134) 및 출력 노드(136)를 포함한다. 전송 라인(100)은 길이(d)를 정의하는 제 1 및 제 2 단부들을 포함한다. 전송 라인(100)의 제 1 단부는 제 1 클럭 분배 버퍼(202)의 출력 노드(132)에 결합된다. 전송 라인(100)의 제 2 단부는 제 2 클럭 분배 버퍼(204)의 출력 노드(134)에 결합된다.

제 1 클럭 분배 버퍼(202)는 입력 노드(130)에서의 입력 신호에 응답하여 출력 노드(132)에서의 입사 신호를 생성하도록 양호하게 동작할 수 있다. 제 2 클럭 분배 버퍼(204)는 입력 노드(134)에서의 입사 신호에 응답하여 출력 노드(136)에서의 출력 신호를 생성하도록 양호하게 동작할 수 있고, 이 경우 입력 노드(134)에서의 입사 신호가 제 1 클럭 분배 버퍼(202)의 출력 노드(132)로부터 전송 라인(100)을 따라 전파되었다.

본 발명의 적어도 하나의 양태에 따라, 최소 길이가 실질적으로 $d_{min} = 2*(Z_0/R)\ln[(2*Z_0)/(Z_0+Z_s)]$ 로서 표현될 경우, 전송 라인(100)의 길이(d)는 대략 최소 길이 (d_{min})를 양호하게 초과한다. 이 등식에 따라, 제 1 클록 분배 버퍼(202)의 출력 노드(132)는 출력 임피던스(Z_s)를 갖고, 전송 라인(100)은 특성 임피던스(Z_0) 및 저항(R)을 갖는다. 실제로, 제 2 클록 분배 버퍼(204)의 입력 노드(134)로부터 제 1 반사 신호를 부가하는 제 1 클록 분배 버퍼(202)의 입사 신호로부터 발견된 바람직하지 않은 결과들은 전송 라인(100)이 최소 길이(d_{min})를 대략 초과할 때 회피될 수 있다. 본 발명의 이러한 이로운 속성에 관한 더욱 세부적인 사항들이 이제 설명될 것이다.

도 1b를 참조하여, 본 발명에 따라 전송 라인(100)의 모델이 도시되어 있다. 전송 라인(100)은 전방 경로(forward path)(102) 및 복귀 경로(return path)(104)를 갖는 것으로 모델화되었다. 전방 경로(102) 및 복귀 경로(104)는 시점(x) 및 종점(x+ dx)으로서 정의된다. x 및 x+ dx인, 시점 및 종점들은, 예를 들어, 제 1 버퍼(202) 및 제 2 버퍼(204)에서 종결할 것이다.

클록 신호는 시점(x) 및 종점(x+ dx) 사이의 전송 라인(100)을 따라 전파하는 전자기파이다. 클록 신호의 전압(v) 및 전류(i)는 어떤 시간(t)에 대해 결정될 수 있다. 점 x(시간 t에서)에서의 전송 라인(100)의 전압, v는 v(x,t)로서 나타낸다. 유사하게, 점 x+ dx(시간 t에서)에서의 전송 라인(100)의 전압, v는 v(x+ dx,t)로서 나타낸다. 미분 전압(예를 들어, 전송 라인(100)상에서 주어진 점에서의 전압)은 dv/dx로서 표현된다. 점 x(시간 t에서)에서의 전송 라인(100)을 통한 전류 i는 i(x,t)로서 나타낸다. 점 x+ dx(시간 t에서)에서의 전송 라인(100)을 통한 전류 i는 i(x+ dx,t)로서 나타낸다. 미분 전류(예를 들어, 주어진 점에서의 전송 라인(100)을 통한 전류)는 di/dx로서 표현된다.

전송 라인(100)은 인덕턴스(L)(106), 저항(R)(108), 캐패시턴스(C)(110) 및 컨덕턴스(G)(112)에 의해 특성화된다. 미분 전압(dv/dx) 및 미분 전류(di/dx)는 다음 등식으로 표현될 수 있다.

$$dv/dx = -(R + j\omega L)*i \tag{1}$$

$$di/dx = -(G + j\omega C)*v \tag{2}$$

이 경우에 ω 는 클록 신호의 주파수이다. 등식 (1) 및 (2)를 이용하여, 전송 라인(100)을 따라 전압(v) 및 전류(i)는 다음과 같이 표현될 수 있다.

$$v(x) = V_1e^{-\gamma x} + V_2e^{\gamma x} \tag{3}$$

$$i(x) = (V_1e^{-\gamma x} + V_2e^{\gamma x})/Z_0 \tag{4}$$

이 경우에 γ 는 전파 상수이고 아래 등식(5)에 정의된다. $V_1e^{-\gamma x}$ 는 시점(x)에서 종점(x+ dx)으로, 예를 들어, 전방향 경로(102)를 따라 전파하는 입사파이다. $V_2e^{\gamma x}$ 는 종점(x+ dx)에서 시점(x)으로, 예를 들어, 복귀 경로(104)를 따라 전파하는 반사파이다. Z_0 는 전송 라인(100)의 특성 임피던스이며, 아래 등식 (6)으로 정의된다.

$$\gamma = \sqrt{(R + j\omega L)(G + j\omega C)} \tag{5}$$

$$Z_0 = \sqrt{(R + j\omega L)/(G + j\omega C)} \tag{6}$$

도 1a를 다시 참조하면, 전송 라인(100)은 제 1 버퍼(202)에 인접한 제 1 단부(예를 들어, x 위치) 및 제 2 버퍼(204)에 인접한 제 2 단부(예를 들어, x+ dx 위치)으로 정의된다. 전송 라인(100)을 따라 전압 v(x)은 다음 등식에 따라 표현될 수 있다.

$$v(x) = V_{dd} * [Z_0 / (Z_0 + Z_s)] * e^{(-R * (1/2) * (1/Z_0) * x)} \quad (7)$$
 이 경우에 제 1 버퍼(202)가 출력 임피던스(Z_s)를 갖고, 제 1 버퍼(202) 및 제 2 버퍼(204)가 공급 전압(V_{dd})에 의해 급전된다. 등식 (7)에 따라, 전압 $v(x)$ 는 전송 라인(100)을 따라 제 1 버퍼(202)로부터 멀어지는 거리가 증가함에 따라 지수적(exponentially)으로 감쇄한다.

도 2a는 제 1 버퍼(202)에서 제 2 버퍼(204)로 전파하는 입사신호(또는 입사파)로서 전압 $v(x)$ 을 도시하고 있다. 입사 신호의 전압은 시간(T_{tr})에서, 최소 전압(예를 들어, 제로 볼트)에서 최대 전압(V_s)까지 증가시킨다. 또한 입사 스텝 전압으로서 알려진 최대 전압(V_s)은 실질적으로 $V_{dd} * [Z_0 / (Z_0 + Z_s)]$ 에 동일하다. 입사 신호가 전송 라인(100)을 따라 전파함에 따라 V_s 는 등식(7)에 따라 감쇄한다.

도 2b는 시간(t) 진행에 따른 전송 라인(100)상의 점 x에 대한 입사 신호의 전압 파형을 도시하고 있다. 입사 신호의 상승하는 에지는 전방을 향해 대략 $1/\sqrt{LC}$ 의 속도로 움직인다. 입사 신호의 전압 파형의 에지는 대략 시간 $t = x\sqrt{LC}$ 에 전송 라인(100)상의 점 x에 도달한다. 그 후, 입사 신호는 대략 V_s 의 최대 전압으로, 대략 시간 주기(T_{tr}) 동안 상승한다.

상기 논의된 바와 같이, 제 1 반사파는 전송 라인(100)의 제 2 단부 및 제 2 버퍼(204)의 접합부에서 형성될 수 있다. 제 2 버퍼(204)의 입력 노드(134)에서 입사파 및 제 1 반사파의 결합된 최대 전압은 대략 $2*v(x)$ 이다. 입사파가 디지털 신호(d_{max})로서 작용하는 최대 길이는 $v(x)$ 를 제 2 버퍼(204)에 대한 입력의 임계 전압(threshold voltage) (V_{th})에 비교하여 얻어진다. 신호의 전압 레벨이 V_{th} 를 초과하지 않는다면, 신호는 다음 전송 라인(100)에 전파되지 않을 것이다. 그러므로, 전압 레벨은 "디지털" 신호로서 다루어질 V_{th} 보다 높음이 명백하다. 임계 전압 (V_{th})은 실질적으로 $V_{dd}/2$ 과 동일하다. V_{th} 는 버퍼내 구현된 회로의 타입에 따라 약간 더 높거나 낮을 것이다.

본 발명의 하나 이상의 추가적인 양태들에 따르면, 전송 라인(100)의 길이는 전송 라인(100)의 제 2 단부에서 입사파 및 제 1 반사파의 결합된 전압이 최대 전압 레벨을 초과하지 않도록 하는 길이를 갖는다. 실제로, 입사파 플러스(plus) 제 1 반사파의 전압 레벨이 V_{dd} 를 초과 한다면, 제 2 버퍼(204)는 손상될 수 있다. 이것은 이 손상은 전송 라인(100)의 길이가 대략 d_{min} 보다 짧을 때 일어날 수 있다는 점에서 d_{min} 에 관계된다. 그러므로, 제 1 버퍼(202) 및 제 2 버퍼(204)간 전송 라인(100)의 길이는 대략 d_{min} 보다 양호하게 더 길다. d_{min} 은 이리하여 등식 (8)에 따라 표현될 수 있고, 이는 등식 (7)을 푼다.

$$d_{min} = 2 * (Z_0/R) \ln[(2 * Z_0)/(Z_0 + Z_s)] \quad (8)$$

본 발명의 적어도 하나의 추가 양태에 따라서, 전송 라인(100)의 길이는 입사 신호가 제 2 클록 분배 버퍼(204)의 입력 노드(134)의 대략 최소 임계 전압을 초과하도록 값을 양호하게 갖는다. 실제로, 제 2 버퍼(204)의 출력에서 전압 링잉을 회피하기 위해 입사 전압이 $V_{dd}/4$ 을 초과하는 것이 필요하다는 것이 발견되었다. 이러한 목적으로, 및 본 발명의 하나 이상의 추가적인 양태에 따라 전송 라인(100)의 길이는 최대 길이(d_{max})를 초과하지 않는다. d_{max} 는 V_{th} 을 입사 및 제 1 반사파들의 결합에 비교하여 결정된다. d_{max} 는 실질적으로 다음 등식으로 표현될 것이다.

$$d_{max} = 2 * (Z_0/R) \ln[(4 * Z_0)/(Z_0 + Z_s)] \quad (9)$$

d_{max} 보다 작은 전송 라인(100)의 길이를 유지하는 것은 제 2 버퍼(204)의 입력에서 전압 상승을 방지하기 위해 동작 한다. 양호하게, 본 발명의 하나 이상의 추가 양태들에 따라, 전송 라인(100)은 바람직한 동작 조건을 제공하기 위해 적어도 대략 d_{min} 의 제 1 버퍼(202) 및 제 2 버퍼(204)간 길이를 갖지만, 바람직한 동작 조건들을 제공하기 위해 대략 d_{max} 보다 작다. 이러한 조건들(constraints)을 이루기 위해, Z_0 값이 R값 보다 상대적으로 높아야 한다.

도 3a는 d_{min} 및 d_{max} 간의 길이를 갖는 전송 라인(100)을 도시하고 있다. 입사 단계 전압 V_s 에 등가인 최대값을 갖는, 제 1 버퍼(202)로의 출력에서 전압은 최대이다. 제 2 버퍼(204)로의 입력에서, 입사파의 전압은 $V_{dd}/4$ 및 $V_{dd}/2$ 사이이다.

입사파의 시간 주기는 $2 * T_{rf}$ 이다. 저 전압 또는 고 전압으로부터 $V_{dd}/2$ 에의 신호 전이는 $T_{rf}/2$ 시간을 요구한다. 입사 신호의 에지가 시간 $t = x \sqrt{LC}$ 에서 점 x에 도달하는 것을 회상하라. 이 정보를 이용하고, x를 d_{max} 보다 작도록 제한하는, T_{rf} 은 아래의 등식(10)에 따라 양호하게 제한된다.

$$T_{rf} < 2 \sqrt{LC} * (Z_0/R) \ln[4 * Z_0 / (Z_0 + Z_s)] \quad (10)$$

도 3b는 전송 라인(100)의 쌍을 도시하고 있다. 한 전송 라인(100)은 제 1 단부에서의 제 1 버퍼(202)와 제 2 단부에서의 제 2 버퍼(204)를 갖는다. 다른 전송 라인은 그 제 1 버퍼로서, 제 1 단부에 버퍼(204)를 가지고, 그 제 2 버퍼로서, 제 2 단부에 버퍼(206)를 갖는다. 전송 라인 길이 요구들 d_{min} 및 d_{max} 은 양호하게 각 전송 라인(100)에 대해 구현된다.

상술한 바와 같이, 전송 라인은 적어도 하나의 신호 와이어 및 적어도 하나의 별도의 전류 복귀 경로를 갖는다. d_{min} 및 d_{max} 의 조건들은 도 4a 내지 도 4f에 도시한 바와 같이, 다양한 타입들로 폭넓게 실행될 수 있다. 전송 라인의 한 유용한 타입이 수직 구조이다. 도 4a 내지 도 4d는 본 발명의 하나 이상의 양태들에 따른 이용에 적절한 몇가지 타입들의 수직 전송 라인 구조들을 도시하고 있다. 그러나, 도시된 도면들의 타입들은 예시의 방법으로만 주어졌을 뿐 본 발명의 제한이나 적절한 구조들의 세트를 남김없이 나타낸 것은 아님이 이해된다. 수직 전송 라인 구조들에서, 전류 복귀 경로(들)는 신호 와이어를 포함하는 상부의 평면 또는 하부의 평면에 있다.

도 4a는 수직 구조의 단면도를 3개의 층들로 도시하고 있다. N+1 층은 3개의 신호 와이어들을 포함한다. N 및 N+2 층들은 신호 와이어들에 대한 배타적 복귀 경로들의 쌍이다. 배타적 복귀 경로는 통상 소스(source)에 접속되는데, 예를 들면, 버퍼의 n-채널 트랜지스터 소스에 접속되고, 또한 그라운드에 접지된다. 도 4a는 양면 스택 쌍 라인이다.

도 4b는 3개의 층들을 가지는 다른 수직 구조를 도시하고 있다. 여기에서, 도 4a에 도시한 바와 같이, N+1 층은 3개의 신호 와이어들을 포함한다. 그러나, N 및 N+2 층들은 N+1 층에서 모든 신호 와이어들에 대해 공통으로 그라운드 평면들이다. 도 4b는 스트립 라인이다

도 4c는 다른 수직 구조를 도시하는데, 이번에는 두 층들을 가진다. N+1 층은 3개의 신호 와이어들을 포함하고, N 층은 각 신호 와이어에 대해 배타적 복귀 경로들을 갖는다. 도 4c는 스택 쌍 라인이다.

도 4d는 다른 2-층 수직 구조를 도시하고 있다. 3개의 신호 와이어들이 N+1 층을 형성한다. 복귀 경로는 N 층에서 공통의 그라운드 평면이다. 도 4d는 마이크로-스트립 라인이다.

본 발명에 따른 적절한 사용을 위한 전송 라인의 제 2 타입은 측면 구조이다. 도 4e는 측면 전송 라인 구조의 한 종류를 도시하고 있다. 측면 구조들은 그들을 분리하는 공간을 지닌 평면에 위치한 신호 와이어들을 갖는다. 주어진 측면 구조에서, 측면 전류 복귀 경로가 있을 수도 없을 수도 있다. 측면 복귀 경로들은 신호 와이어 중 일면상에 위치될 수 있다. 측면 복귀 경로가 제공되지 않는다면, 신호 와이어들은 혼선을 피하기 위해 충분히 멀리 양호하게 공간을 차지한다.

수직 및 측면 구조들은 전송 라인 아키텍처내 함께 구현될 수 있다. 도 4e는 측면 복귀 경로를 갖는 양면 스택 쌍 전송 라인 구조의 단면도를 도시하고 있다. 신호 와이어는 이면상에 복귀 경로들을 가진, N+1 층상에 있다. 부가적인 전류 복귀 경로들은 N 및 N+2 층들 상에 제공된다.

도 4f는 그루브 전송 라인으로 불리는, 다른 전송 라인 구조의 단면도를 도시하고 있다. 여기에서, 신호 와이어는 N+2 층상에 있다. N+1 층상에 위치한, 그라운드 평면은 와이어를 두 세그먼트들로 나누는 그루브화 구조를 갖는다. 이 그루브화 구조는 Z_0 값을 제어함으로써 d_{max} 를 증가시키기도도록 동작할 것이다. 점선 박스로 도시된 바와 같이, 부가적인 신호 와이어가 N 층에 부가될 것이다.

어느 주어진 층에서 신호 와이어들의 수 또는 복귀 경로들은 이 도면들에서 단지 설명적인 것일 뿐, 본 발명의 실행을 제한하는 것으로 생각되어서는 안됨을 주지하라. 이 구조들은 협소한 클록 펄스들로 사용될 수 있는 최적 길이의 전송 라인들을 제공하기 위해 상기 논의된 길이 조건들로서 실행될 수 있다. 전송 라인들이 굵은 경우에 버퍼들이 양호하게 위치된다. 전체 아키텍처는 전체 디지털 회로의 상이한 부분들로의 총 경로 길이가 동일하여, 클록 스쿠를 최소화하도록 설계될 수 있다. H-트리즈(H-trees) 또는 X-트리즈(X-trees)와 같은 대칭 경로를 지닌 길이-균형화 구조들이 구현될 수 있다.

도 5a 내지 도 5b는 본 발명의 하나 이상의 양태들에 따라 구현될 H- 및 X-트리 전송 라인 구조들을 각각 도시하고 있다. 도 5a의 H-트리는 H를 따라 단부 지점들에서 제 1 버퍼(202)와 네 개의 제 2 버퍼(204)들을 갖는다. 도 5b의 X-트리는 X를 따라 단부 지점들에서 제 1 버퍼(202)와 네 개의 제 2 버퍼(204)들을 갖는다. 대안으로, H- 또는 X-트리 구조를 대신하여, 클록 신호 라인들의 세트들에 대해 등가의 와이어 길이들을 갖는 RC-균형화 아키텍처가 구현될 것이다. 도 5c는 동일한 와이어 길이들로 제 1 버퍼(202) 및 네 개의 제 2 버퍼(204)들을 갖는 RC-균형화 아키텍처를 도시하고 있다.

본 발명의 적어도 하나의 추가 양태에 따라, 집적 회로 전반에 대해 클록 신호들을 분배하는 방법들이 본 발명에 의해 고찰된다. 상기 도시된 도 1a 내지 도 5c에서와 같이, 이러한 방법들은 적절한 하드웨어를 이용하여 성취될 수 있다. 단계들 및/또는 이러한 방법들의 동작들은 상기 본원에서 적절한 하드웨어의 관점에서 본원에 상술된 적어도 몇가지의 기능 및 특징들에 양호하게 대응한다.

본원의 발명은 특정 실시예들을 참조하여 설명되었지만, 이러한 실시예들은 단지 본 발명의 원리들과 적용들을 도시한 것 뿐임이 이해될 것이다. 실시예들을 도시하는 많은 수정안들이 만들어질 것이고, 첨부된 청구항에 의해 정의된 바와 같이 본 발명의 정신 및 범주를 벗어나지 않는 다른 장치들이 고안될 것이, 그리하여 이해될 것이다.

본 발명은 하나 이상의 디지털 시스템들에서 대규모 집적회로에 대한 사용을 위하여 클록 신호를 분배하는 이용에 제한되지 않고 폭넓은 산업상 적용가능성을 향유하도록 한다.

(57) 청구의 범위

청구항 1.

집적 회로에 있어서,

입력 노드 및 출력 노드를 갖는 제 1 클록 분배 버퍼로서, 상기 제 1 클록 분배 버퍼는 상기 제 1 클록 분배 버퍼의 상기 입력 노드에서의 입력 신호로부터 상기 제 1 클록 분배 버퍼의 상기 출력 노드에서 입사 신호를 생성하도록 동작될 수 있는, 상기 제 1 클록 분배 버퍼와,

길이를 정의하는 제 1 및 제 2 단부들(ends)을 갖는 전송 라인으로서, 상기 입사 신호가 상기 제 1 단부에서 상기 제 2 단부로 상기 전송 라인의 상기 길이를 따라 전파하도록 상기 제 1 단부가 상기 제 1 클록 분배 버퍼의 상기 출력 노드에 결합되는, 상기 전송 라인과,

상기 전송 라인의 상기 제 2 단부에 결합된 입력 노드, 및 출력 노드를 갖는 제 2 클록 분배 버퍼로서, 상기 제 2 클록 분배 버퍼는 상기 제 2 클록 분배 버퍼의 입력 노드 상의 상기 입사 신호로부터 상기 제 2 클록 분배 버퍼의 상기 출력 노드에서 출력 신호를 생성하도록 동작될 수 있으며, 제 1 반사 신호가 상기 제 2 클록 분배 버퍼의 입력 노드에서 생성되어 상기 제 2 단부로부터 상기 제 1 단부를 향하여 상기 전송 라인의 상기 길이를 따라 전파하는, 상기 제 2 클록 분배 버퍼를 포함하고,

상기 전송 라인의 상기 길이는, 상기 입사 신호 및 상기 제 1 반사 신호의 결합된 전압 레벨이 상기 전송 라인의 상기 제 2 단부에서 최대 전압 레벨을 초과하지 않도록 값을 갖는, 집적 회로.

청구항 2.

제 1 항에 있어서, 상기 제 1 및 제 2 클록 분배 버퍼들은 공급 전압을 갖고, 상기 최대 전압 레벨은 상기 공급 전압과 동일한, 집적 회로.

청구항 3.

제 1 항에 있어서, 상기 전송 라인의 상기 제 2 단부에서 상기 입사 신호는 상기 최대 전압 레벨의 적어도 1/4인 전압 레벨을 갖는, 집적 회로.

청구항 4.

제 3 항에 있어서, 상기 입사 신호의 상기 전압 레벨은 상기 최대 전압 레벨의 1/4과 상기 최대 전압 레벨의 1/2 사이인, 집적 회로.

청구항 5.

제 1 항에 있어서, 상기 전송 라인은 스트립 라인들, 스택-쌍 라인들, 양면 스택-쌍 라인들, 측면 복귀 경로를 가진 양면 스택-쌍 라인들, 마이크로-스트립 라인들 및 그루브 라인들로 구성되는 그룹으로부터 취해지는, 집적 회로.

청구항 6.

제 1 항에 있어서, 상기 전송 라인, 제 1 클럭 분배 버퍼 및 제 2 클럭 분배 버퍼는 H-트리(tree), X-트리 및 RC-균형화(RC-balanced) 아키텍처로 구성되는 그룹으로부터 취해진 클럭 분배 아키텍처의 부분인, 집적 회로

청구항 7.

제 1 항에 있어서, 상기 전송 라인은 특성 임피던스(Z_0) 및 저항(R)을 갖고, 상기 제 1 클럭 분배 버퍼의 상기 출력 노드는 출력 임피던스 (Z_s)를 가지며, 상기 제 1 및 제 2 클럭 분배 버퍼들은 공급 전압 V_{dd} 을 갖고, 상기 최대 전압 레벨은 $V_{dd} * [Z_0 / (Z_0 + Z_s)]$ 로서 표현되는, 집적 회로.

청구항 8.

제 1 항에 있어서, 상기 입력 신호는 협소한 펄스를 포함하는, 집적 회로.

청구항 9.

집적 회로에 있어서,

입력 노드 및 출력 노드를 갖는 제 1 클럭 분배 버퍼로서, 상기 제 1 클럭 분배 버퍼는 상기 제 1 클럭 분배 버퍼의 상기 입력 노드에서의 입력 신호로부터 상기 제 1 클럭 분배 버퍼의 상기 출력 노드에서 입사 신호를 생성하도록 동작될 수 있는, 상기 제 1 클럭 분배 버퍼와,

길이를 정의하는 제 1 및 제 2 단부들을 갖는 전송 라인으로서, 상기 입사 신호가 상기 제 1 단부에서 상기 제 2 단부로 상기 전송 라인의 상기 길이를 따라 전파하도록 상기 제 1 단부가 상기 제 1 클럭 분배 버퍼의 상기 출력 노드에 결합되는, 상기 전송 라인과,

상기 전송 라인의 상기 제 2 단부에 결합된 입력 노드, 및 출력 노드를 갖는 제 2 클럭 분배 버퍼로서, 상기 제 2 클럭 분배 버퍼는 상기 제 2 클럭 분배 버퍼의 입력 노드 상의 상기 입사 신호로부터 상기 제 2 클럭 분배 버퍼의 상기 출력 노드에서 출력 신호를 생성하도록 동작될 수 있으며, 제 1 반사 신호가 상기 제 2 클럭 분배 버퍼의 입력 노드에서 생성되어 상기 제 2 단부로부터 상기 제 1 단부를 향하여 상기 전송 라인의 상기 길이를 따라 전파하는, 상기 제 2 클럭 분배 버퍼를 포함하고,

상기 전송 라인의 상기 길이는, 상기 입사 신호가 상기 제 2 클럭 분배 버퍼의 상기 입력 노드의 최소 임계 전압을 초과하도록 하는 값을 갖는, 집적 회로.

청구항 10.

제 9 항에 있어서, 상기 최소 임계 전압은 최대 전압 레벨의 적어도 1/4인, 집적 회로.

청구항 11.

제 10 항에 있어서, 상기 제 1 및 제 2 클럭 분배 버퍼들은 공급 전압을 갖고, 상기 최대 전압 레벨은 상기 공급 전압과 동일한, 집적 회로.

청구항 12.

제 10 항에 있어서, 상기 입사 신호는 상기 최대 전압 레벨의 1/4과 상기 최대 전압 레벨의 1/2 사이인, 집적 회로.

청구항 13.

제 10 항에 있어서, 상기 전송 라인은 스트립 라인들, 스택-쌍 라인들, 양면 스택-쌍 라인들, 측면 복귀 경로를 가진 양면 스택-쌍 라인들, 마이크로-스트립 라인들 및 그루브 라인들로 구성되는 상기 그룹으로부터 취해지는, 집적 회로.

청구항 14.

제 10 항에 있어서, 상기 전송 라인, 제 1 클럭 분배 버퍼 및 제 2 클럭 분배 버퍼는 H-트리, X-트리 및 RC-균형화 아키텍처로 구성되는 그룹으로부터 취해진 클럭 분배 아키텍처의 부분인, 집적 회로

청구항 15.

제 10 항에 있어서, 상기 입력 신호는 협소한 펄스를 포함하는, 집적 회로.

청구항 16.

집적 회로에 있어서,

입력 노드 및 출력 노드를 갖는 제 1 클럭 분배 버퍼로서, 상기 제 1 클럭 분배 버퍼는 상기 제 1 클럭 분배 버퍼의 상기 입력 노드에서의 입력 신호로부터 상기 제 1 클럭 분배 버퍼의 상기 출력 노드에서 입사 신호를 생성하도록 동작될 수 있는, 상기 제 1 클럭 분배 버퍼와,

길이를 정의하는 제 1 및 제 2 단부들을 갖는 전송 라인으로서, 상기 입사 신호가 상기 제 1 단부에서 상기 제 2 단부로 상기 전송 라인의 상기 길이를 따라 전파하도록 상기 제 1 단부가 상기 제 1 클럭 분배 버퍼의 상기 출력 노드에 결합되고, 상기 전송 라인의 상기 길이는 특성 임피던스(Z_0) 및 저항(R)을 갖는, 상기 전송 라인과,

상기 전송 라인의 상기 제 2 단부에 결합된 입력 노드, 및 출력 노드를 갖는 제 2 클럭 분배 버퍼로서, 상기 제 2 클럭 분배 버퍼는 상기 제 2 클럭 분배 버퍼의 입력 노드 상의 상기 입사 신호로부터 상기 제 2 클럭 분배 버퍼의 상기 출력 노드에서

출력 신호를 생성하도록 동작될 수 있으며, 제 1 반사 신호가 상기 제 2 클록 분배 버퍼의 입력 노드에서 생성되어 상기 제 2 단부로부터 상기 제 1 단부를 향하여 상기 전송 라인의 상기 길이를 따라 전파하는, 상기 제 2 클록 분배 버퍼를 포함하고,

상기 전송 라인의 상기 길이는 최소 길이(d_1)를 초과하고, 상기 최소 길이는 $d_1 = 2 * (Z_0/R) \ln[(2 * Z_0)/(Z_0 + Z_s)]$ 로서 표현되는, 집적 회로.

청구항 17.

제 16 항에 있어서, 상기 전송 라인은 스트립 라인들, 스택-쌍 라인들, 양면 스택-쌍 라인들, 측면 복귀 경로를 가진 양면 스택-쌍 라인들, 마이크로-스트립 라인들 및 그루브 라인들로 구성되는 그룹으로부터 취해지는, 집적 회로.

청구항 18.

제 16 항에 있어서, 상기 전송 라인의 상기 길이는 최대 길이(d_2) 보다 작고, 상기 최대 길이는

$d_2 = 2 * (Z_0/R) \ln[(4 * Z_0)/(Z_0 + Z_s)]$ 로서 표현되는, 집적 회로.

청구항 19.

제 16 항에 있어서, 상기 입사 신호는 상승 시간(T_{rr})을 갖고, 상기 전송 라인의 상기 길이는 인덕턴스(L) 및 캐패시턴스

(C)를 가지며, 상기 상승 시간은 $T_{rr} < 2 \sqrt{LC} * (Z_0/R) \ln[4 * Z_0/(Z_0 + Z_s)]$ 로서 표현되는 방법으로 제한되는, 집적 회로.

청구항 20.

제 16 항에 있어서, 상기 전송 라인, 상기 제 1 클록 분배 버퍼 및 상기 제 2 클록 분배 버퍼는 H-트리, X-트리 및 RC-균형화 아키텍처로 구성되는 그룹으로부터 취해진 클록 분배 아키텍처의 부분인, 집적 회로

청구항 21.

제 16 항에 있어서, Z_0 는 R에 대한 로우(low) 값에 상대적으로 하이(high) 값을 갖는, 집적 회로.

청구항 22.

제 16 항에 있어서, 상기 입력 신호는 협소한 펄스를 포함하는, 집적 회로.

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

길이를 정의 하는 제 1 및 제 2 단부들을 갖는, 집적 회로의 전송 라인을 따라 클록 신호들을 분배하는 방법에 있어서,

제 1 클록 버퍼의 입력 노드에서 입력 클록 신호를 수신하는 단계와,

상기 제 1 클록 버퍼의 출력 노드에서 상기 입력 클록 신호에 기초하여 입사 신호를 생성하는 단계로서, 상기 출력 노드는 상기 전송 라인의 상기 제 1 단부에 결합되는, 상기 입사 신호 생성 단계와,

상기 제 1 단부에서 상기 제 2 단부로 상기 전송 라인을 따라 상기 입사 신호를 전송하는 단계로서, 상기 제 2 단부는 제 2 클록 버퍼의 입력 노드에 결합되고, 상기 제 2 클록 버퍼는 상기 제 2 클록 분배 버퍼의 상기 입력 노드의 상기 입사 신호로부터 상기 제 2 클록 분배 버퍼의 출력 노드 상에서 출력 신호를 생성하도록 동작될 수 있는, 상기 입사 신호 전송 단계와,

상기 길이는 상기 입사 신호 및 제 1 반사 신호의 결합된 전압 레벨이 상기 전송 라인의 상기 제 2 단부에서 최대 전압 레벨을 초과하지 않도록 값을 갖는, 클록 신호 분배 방법.

청구항 30.

제 29 항에 있어서, 상기 전송 라인은 특성 임피던스(Z_0) 및 저항(R)을 갖고, 상기 제 1 클럭 버퍼의 상기 출력 노드는 출력 임피던스 (Z_s)를 가지며, 상기 제 1 및 제 2 클럭 버퍼들은 공급 전압 V_{dd} 을 가지고, 상기 최대 전압 레벨은 $V_{dd} * [Z_0 / (Z_0 + Z_s)]$ 로서 표현되는, 클록 신호 분배 방법.

청구항 31.

제 29 항에 있어서, 상기 전송 라인은 특성 임피던스(Z_0) 및 저항(R)을 갖고, 상기 제 1 클럭 버퍼의 상기 출력 노드는 출력 임피던스 (Z_s)를 가지며, 상기 전송 라인의 상기 길이는 최소 길이(d_1)를 초과하고, 상기 최소 길이는 $d_1 = 2 * (Z_0 / R) \ln[(2 * Z_0) / (Z_0 + Z_s)]$ 로서 표현되는, 클록 신호 분배 방법.

청구항 32.

제 29 항에 있어서, 상기 전송 라인은 특성 임피던스(Z_0) 및 저항(R)을 갖고, 상기 제 1 클럭 버퍼의 상기 출력 노드는 출력 임피던스 (Z_s)를 가지며, 상기 전송 라인의 상기 길이는 최대 길이(d_2) 보다 작고, 상기 최대 길이는 $d_2 = 2 * (Z_0 / R) \ln[(4 * Z_0) / (Z_0 + Z_s)]$ 로서 표현되는, 클록 신호 분배 방법.

청구항 33.

제 29 항에 있어서, 상기 입력 신호는 상승 시간 (T_{rf})을 갖고, 상기 전송 라인의 상기 길이는 인덕턴스(L), 캐패시턴스(C), 특성 임피던스(Z_0) 및 저항(R)을 가지며, 상기 제 1 클럭 버퍼의 상기 출력 노드는 출력 임피던스 (Z_s)를 가지며, 상기 상승 시간은

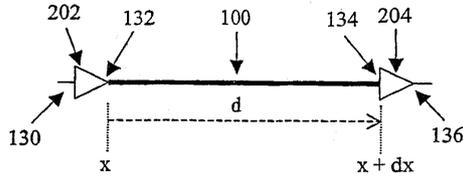
$T_{rf} < 2\sqrt{LC} * (Z_0/R) \ln[4 * Z_0 / (Z_0 + Z_s)]$ 으로서 표현되는 방식으로 제한되는, 클럭 신호 분배 방법.

청구항 34.

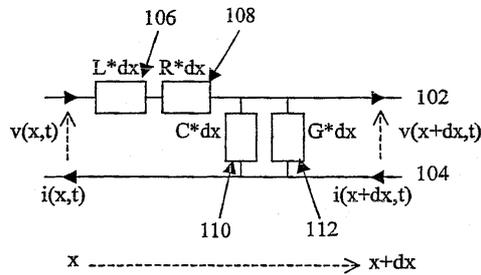
제 29 항에 있어서, 상기 입력 클럭 신호는 협소한 펄스를 포함하는, 클럭 신호 분배 방법.

도면

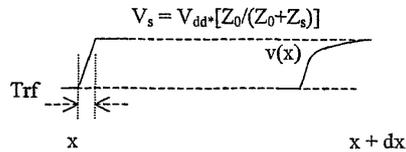
도면1a



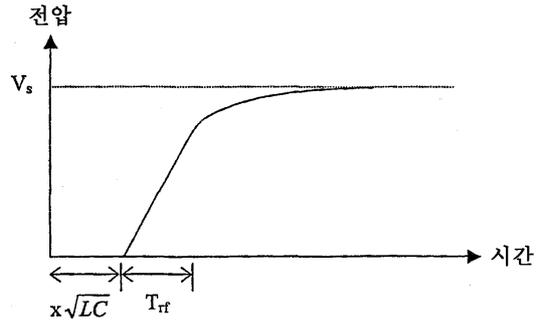
도면1b



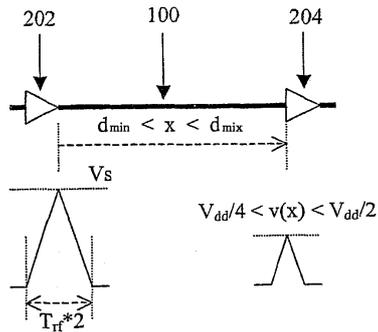
도면2a



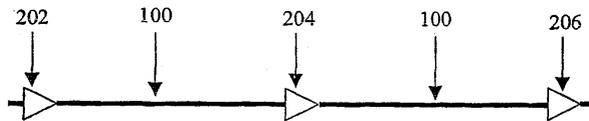
도면2b



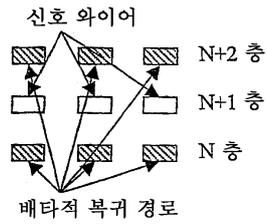
도면3a



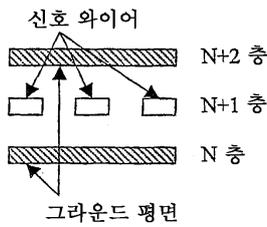
도면3b



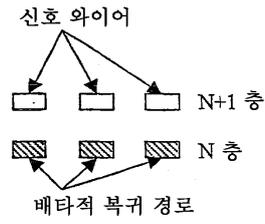
도면4a



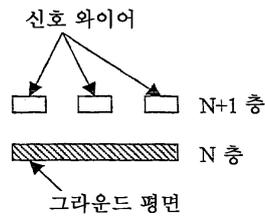
도면4b



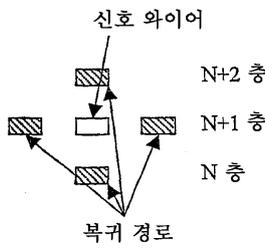
도면4c



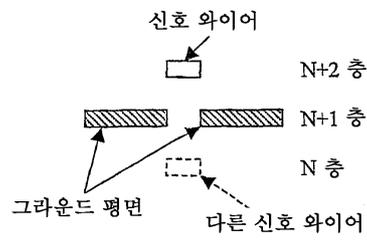
도면4d



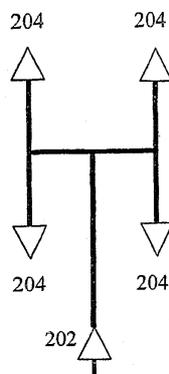
도면4e



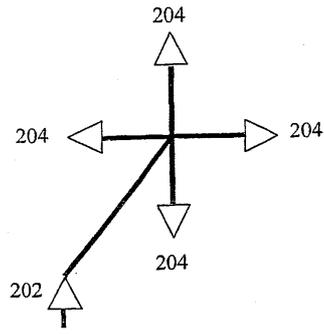
도면4f



도면5a



도면5b



도면5c

