



FEDERÁLNÍ ÚŘAD  
PRO VYNÁLEZY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

266 423

(21) FV 745-88.0  
(22) Přihlášeno 05 02 88

(40) Zveřejněno 11 04 89  
(45) Vydáno 27.7.1990

(11)

(13) B1

(51) Int. Cl.<sup>4</sup>  
H 04 N 9/64,  
H 03 L 7/00

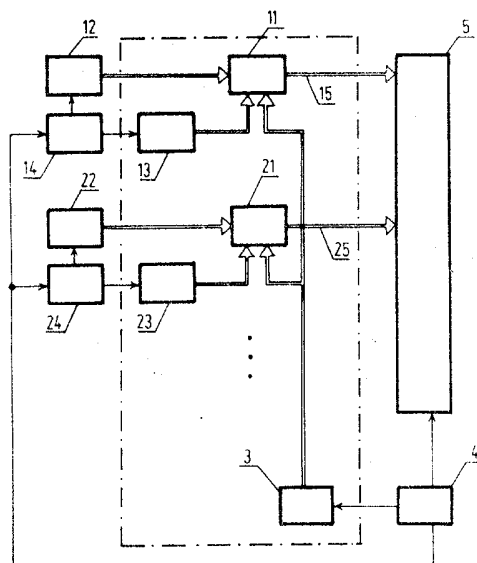
(75)  
Autor vynálezu

KUBÍČEK FRANTIŠEK ing., PRAHA

Vícenásobný automatický korektor zpoždění digitalizovaných  
obrazových signálů

(54)

(57) Je řešen vícenásobný korektor zpoždění digitalizovaných obrazových signálů obsahujících dva nebo více pamětových bloků, na jejichž datové vstupy jsou přiváděny vstupní digitalizované signály s různým zpožděním a z jejichž výstupů je odebírán časově vyrovnaný digitální signál. Zápis do dílčích pamětových bloků je řízen adresovými generátory zápisových adres, které jsou časově navázány na zdroje synchronizačních signálů příslušných obrazových zdrojů. Čtení dat ze všech pamětových bloků je řízené jediným generátorem čtecích adres, který je časově navázán na referenční synchronizační generátor střediska.



Vynález se týká vícenásobného automatického korektoru zpoždění digitalizovaných obrazových signálů v televizním středisku, který řeší časové vyrovnaní signálů pomocí digitálních pamětí.

Korekce zpoždění obrazových signálů z různě vzdálených zdrojů na vstupu režijního zařízení je nezbytně nutná pro zajištění bezporuchového přechodu mezi signály při jejich režijním zpracování. V současné době se tato korekce provádí řadou způsobů. Je to buď vyrovnaní pomocí zpožďovacích vedení v cestě obrazového signálu nebo v cestě impulsního napájení nebo manuální či automatické nastavení předstihu podružných synchronizátorů u zdrojů signálu apod. Každý z těchto způsobů má své specifické nevýhody a teprve rozvoj digitální techniky umožnil optimální řešení. Digitální technika umožňuje realizovat systémově velmi jednoduchý způsob automatické korekce v cestě obrazového signálu pomocí digitálních pamětí malého rozsahu. Do těchto pamětí se zaznamenává digitalizovaný obrazový signál, přičemž ukládání dat do pamětí řídí adresové generátory pro zápis a vyčítání dat z pamětí řídí adresové generátory pro čtení. Obdobný způsob s použitím velkokapacitních pamětí je používán již běžně pro převod nesynchronních signálů z vnějších zdrojů pomocí tzv. synchronizérů, dále pro korekci časových chyb magnetického záznamu apod. V poslední době se tento princip začíná využívat i pro korekci zpoždění obrazových signálů, a to zejména ve střediscích s digitálním zpracováním signálu. Nevýhodou dosud známých řešení je, že ke každému vstupnímu signálu přísluší digitální

paměť včetně adresového generátoru pro zápis a adresový generátor pro čtení s příslušnými obvody, což má za následek poměrnou složitost zařízení a značnou ekonomickou náročnost.

Tuto nevýhodu řeší vícenásobný automatický korektor zpoždění digitalizovaných obrazových signálů podle vynálezu, obsahující dva nebo více digitálních paměťových bloků, na jejichž datový vstup je připojen výstup zdroje digitálního signálu a na vstup zápisových adres je připojen výstup adresového generátoru pro zápis, jehož vstup je spojen s výstupem zdroje synchronizačních signálů seuhlasných se synchronizačními signály příslušného vstupního obrazového signálu. Podstatou tohoto vynálezu je, že na vstupy čtecích adres paměťových bloků je připojen výstup z jediného generátoru čtecích adres, jehož vstup je spojen s výstupem zdroje referenčních synchronizačních signálů pro režijní zařízení.

Výhodou vícenásobného automatického korektoru zpoždění digitalizovaných obrazových signálů podle vynálezu je podstatné obvodové zjednodušení, což má za následek snížení objemu, příkonu a ceny.

Příklad uspořádání vícenásobného korektoru podle vynálezu je schematicky znázorněn na přiloženém výkrese.

Korektor sestává z řady paměťových bloků 11, 21 atd. - v tomto konkrétním případě jsou zakresleny pouze dva z nich. Na datový vstup prvního paměťového bloku 11 je připojen výstup prvního zdroje 12 digitálního signálu, na datový vstup druhého paměťového bloku 21 je připojen výstup druhého zdroje 22 digitálního signálu a analogicky mohou být připojeny i případné další paměťové bloky a zdroje signálu. Na vstup zápisových adres prvního paměťového bloku 11 je připojen výstup prvního generátoru 13 zápisových adres, jehož vstup je spojen s výstupem zdroje 14 synchronizačních signálů, který je současně zdrojem synchronizačních signálů pro zdroj 12 digitálního signálu. Na vstup zápisových adres druhého paměťového bloku 21 je připojen výstup druhého generátoru 23

zápisových adres, jehož vstup je spojen s výstupem druhého zdroje 24 synchronizačních signálů, který je současně zdrojem synchronizačních signálů pro druhý zdroj 22 digitálního signálu. Analogicky mohou být propejeny generátory zápisových adres a zdroje synchronizačních signálů pro další paměťové bloky a zdroje signálu. Přitom všechny zdroje 12, 24, případně další, synchronizačních signálů jsou kmitočtově řízeny z referenčního generátoru 4 střediska. Na vstupy čtecích adres všech paměťových bloků 11, 21 atd. je připojen výstup generátoru 3 čtecích adres, jehož vstup je spojen s výstupem referenčního synchronizačního generátoru 4 střediska. Datové výstupy paměťových bloků 11 a 21 označené po řadě 15 a 25 jsou připojeny na vstupy režijního zařízení 5. Obdobně by byly zapojeny i datové výstupy dalších paměťových bloků. Na synchronizační vstup režijního zařízení 5 je připojen výstup referenčního synchronizačního generátoru 4 střediska. Samotný vícenásobný korektor zpoždění digitalizovaných signálů je na přiloženém výkrese vyznačen uvnitř čerchované oblasti.

Na datové vstupy prvního a druhého paměťového bloku 11 a 21 přicházejí z příslušných, tedy prvního a druhého zdroje 12 a 22 digitálního signálu, digitální signály. Zápis dat do prvního a druhého paměťového bloku 11 a 21 je řízen prvním resp. druhým generátorem 13 resp. 23 zápisových adres, které jsou časově navázány na první resp. druhý zdroj 14 resp. 24 synchronizačních signálů příslušných zdrojů signálu. Zdroje synchronizačních signálů 14 a 24 jsou řízeny z referenčního synchronizačního generátoru 4 střediska, takže kmitočet všech synchronizačních signálů ve středisku je souhlasný, ale fáze je rozdílná, protože záleží na délce kabelů, zpoždění v dílčích zařízeních apod. Ukládání dat odpovídající shodným obrazovým elementům do prvního a druhého paměťového bloku 11 a 21 tedy probíhá v různých časových intervalech.

Datové signály vyčtené z dílčích paměťových bloků 11 a 21, případně dalších, musí mít na vstupu režijního zařízení 5 shodnou fázi a pro jejich vyčítání tedy postačí jediný ge-

nerátor 3 čtecích adres, který je rovněž navázán na referenční synchronizační generátor 4 střediska a řadí čtecí adresy do všech paměťových bloků 11, 21, případně dalších.

Vynález je možné využít ve vícenásobných časových korektorech pro digitální i analogová střediska, kde přináší další úspory snížením počtu podružných synchronizačních obvodů, možnost společné generace vložených obnovených synchronizačních signálů apod. Dále je možné jej využít ve vícekanálových synchronizérech, vícenásobných reduktorech šumu apod.

#### PŘEDMĚT VYNÁLEZU

Vícenásobný automatický korektor zpoždění digitalizovaných obrazových signálů obsahující minimálně dva paměťové bloky, na jejichž datový vstup je připojen výstup zdroje digitálního signálu a na vstup zápisových adres je připojen výstup vždy jednoho generátoru zápisových adres, jehož vstup je připojen na výstup zdroje synchronizačních signálů seuhlasných se synchronizačními signály příslušného obrazového zdroje vyznačující se tím, že na vstupy čtecích adres paměťových bloků (11, 21) je připojen výstup jediného generátoru ~~čtecích~~ (3) čtecích adres, jehož vstup je spojen s výstupem generátoru (4) referenčního synchronizačního signálu.

1 výkres

