

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6154060号
(P6154060)

(45) 発行日 平成29年6月28日(2017.6.28)

(24) 登録日 平成29年6月9日(2017.6.9)

(51) Int.Cl.

G06F 12/08 (2016.01)

F 1

G06F 12/08 553B
G06F 12/08 511D

請求項の数 17 (全 16 頁)

(21) 出願番号 特願2016-502013 (P2016-502013)
 (86) (22) 出願日 平成26年3月13日 (2014.3.13)
 (65) 公表番号 特表2016-515274 (P2016-515274A)
 (43) 公表日 平成28年5月26日 (2016.5.26)
 (86) 國際出願番号 PCT/US2014/025971
 (87) 國際公開番号 WO2014/151548
 (87) 國際公開日 平成26年9月25日 (2014.9.25)
 審査請求日 平成28年5月18日 (2016.5.18)
 (31) 優先権主張番号 13/843,190
 (32) 優先日 平成25年3月15日 (2013.3.15)
 (33) 優先権主張国 米国(US)

早期審査対象出願

前置審査

(73) 特許権者 507364838
 クアルコム、インコーポレイテッド
 アメリカ合衆国 カリフォルニア 921
 21 サン・ディエゴ モアハウス・ド
 イブ 5775
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100163522
 弁理士 黒田 晋平
 (72) 発明者 シアンユ・ドン
 アメリカ合衆国・カリフォルニア・921
 21・サン・ディエゴ・モアハウス・ド
 イブ・5775

最終頁に続く

(54) 【発明の名称】混載メモリタイプハイブリッドキャッシュ

(57) 【特許請求の範囲】

【請求項1】

第1のタイプのメモリと、
 第2のタイプのメモリと、
 前記第1のタイプのメモリおよび前記第2のタイプのメモリを含む第1のメモリバンクと、

前記第1のメモリバンク内の前記第1のタイプのメモリにおける第1のメモリロケーションおよび前記第2のタイプのメモリにおける第2のメモリロケーションを含む第1のキャッシュラインであって、キャッシュアクセス動作において、前記第1のメモリバンク内の前記第2のメモリロケーションにアクセスする前に前記第1のメモリロケーションにアクセスするように構成された、第1のキャッシュラインと、

前記第1のタイプのメモリにおける第3のメモリロケーションおよび前記第2のタイプのメモリにおける第4のメモリロケーションを含む第2のキャッシュラインであって、キャッシュアクセス動作において、前記第2のメモリロケーションにアクセスする前に前記第3のメモリロケーションにアクセスするように構成された、第2のキャッシュラインとを含むハイブリッドキャッシュ装置。

【請求項2】

前記第1のメモリロケーションが、前記第1のキャッシュラインの第1のワードロケーションを含む請求項1に記載のハイブリッドキャッシュ装置。

【請求項3】

10

キャッシュされた情報のクリティカルなワードを前記第1のメモリロケーションに記憶するように構成された請求項1に記載のハイブリッドキャッシュ装置。

【請求項4】

前記第2のタイプのメモリが抵抗メモリを含む請求項1に記載のハイブリッドキャッシュ装置。

【請求項5】

前記第1のタイプのメモリが静的ランダムアクセスメモリ(SRAM)を含み、前記第2のタイプのメモリが磁気ランダムアクセスメモリ(MRAM)を含む請求項1に記載のハイブリッドキャッシュ装置。

【請求項6】

前記第1のタイプのメモリおよび前記第2のタイプのメモリを含む第2のメモリバンクをさらに含む請求項1に記載のハイブリッドキャッシュ装置。

【請求項7】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、携帯式パーソナル通信システム(PCS)ユニット、ポータブルデータユニットおよび/または固定ロケーションデータユニットに統合された請求項1に記載のハイブリッドキャッシュ装置。

【請求項8】

ハイブリッドキャッシュ装置にアクセスするための方法であって、

キャッシュされた情報の第1の部分を第1のメモリバンク内の第1のキャッシュラインの第1のタイプのメモリに記憶するステップと、

前記キャッシュされた情報の第2の部分を前記第1のメモリバンク内の前記第1のキャッシュラインの第2のタイプのメモリに記憶するステップと、

キャッシュアクセス動作において、前記第1のメモリバンク内の前記キャッシュされた情報の前記第2の部分にアクセスする前に前記キャッシュされた情報の前記第1の部分にアクセスするステップと、

キャッシュされた情報の第3の部分を第2のキャッシュラインの前記第1のタイプのメモリに記憶するステップと、

キャッシュされた情報の第4の部分を前記第2のキャッシュラインの前記第2のタイプのメモリに記憶するステップと、

前記キャッシュアクセス動作において、前記キャッシュされた情報の前記第2の部分にアクセスする前に前記キャッシュされた情報の前記第3の部分にアクセスするステップとを含む方法。

【請求項9】

前記第2のタイプのメモリが抵抗メモリを含む請求項8に記載の方法。

【請求項10】

前記第1のタイプのメモリが静的ランダムアクセスメモリ(SRAM)を含み、前記第2のタイプのメモリが磁気ランダムアクセスメモリ(MRAM)を含む請求項8に記載の方法。

【請求項11】

前記キャッシュされた情報のクリティカルなワードを前記第1のキャッシュラインの前記SRAMに記憶するステップをさらに含む請求項10に記載の方法。

【請求項12】

前記第1の部分にアクセスするステップは、前記第2のタイプのメモリが準備完了状態に達する前に生じる請求項8に記載の方法。

【請求項13】

前記ハイブリッドキャッシュ装置を携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、携帯式パーソナル通信システム(PCS)ユニット、ポータブルデータユニットおよび/または固定ロケーションデータユニットに統合するステップをさらに含む請求項8に記載の方法。

10

20

30

40

50

【請求項 14】

キャッシュされた情報の第1の部分を第1のキャッシュラインの静的ランダムアクセスメモリ(SRAM)ロケーションに記憶するための手段と、

前記キャッシュされた情報の第2の部分を前記第1のキャッシュラインの抵抗ランダムアクセスメモリ部に記憶するための手段と、

前記第1の部分を記憶するための前記手段および前記第2の部分を記憶するための前記手段を含む第1のメモリバンクと、

キャッシュアクセス動作において、前記第1のメモリバンク内の前記キャッシュされた情報の前記第2の部分にアクセスする前に、前記キャッシュされた情報の前記第1の部分にアクセスするための手段と、

キャッシュされた情報の第3の部分を第2のキャッシュラインの前記静的ランダムアクセスメモリ(SRAM)ロケーションに記憶するための手段と、

前記キャッシュされた情報の第4の部分を前記第2のキャッシュラインの抵抗ランダムアクセスメモリ部に記憶するための手段と、

キャッシュアクセス動作において、キャッシュされた情報の第2の部分にアクセスする前にキャッシュされた情報の第3の部分にアクセスするための手段と
を含むハイブリッドキャッシュ装置。

【請求項 15】

前記キャッシュされた情報のクリティカルなワードを前記第1のキャッシュラインの前記SRAMロケーションに記憶するための手段をさらに含む請求項14に記載のハイブリッドキャッシュ装置。

【請求項 16】

前記第1の部分を記憶するための前記手段および前記第2の部分を記憶するための前記手段を含む第2のメモリバンクをさらに含む請求項14に記載のハイブリッドキャッシュ装置。

【請求項 17】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、携帯式パーソナル通信システム(PCS)ユニット、ポータブルデータユニットおよび/または固定ロケーションデータユニットに統合された請求項15に記載のハイブリッドキャッシュ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般には、メモリキャッシュに関する。より具体的には、本開示は、異なるタイプのメモリとともに動作するメモリキャッシュラインに関する。

【背景技術】

【0002】

従来のランダムアクセスメモリ(RAM)チップ技術と異なり、磁気RAM(MRAM)には、データが電荷として記憶されず、その代わりに記憶素子の磁気分極によって記憶される。記憶素子は、トンネル層によって隔てられた2つの強磁性層から形成される。2つの強磁性層のうちの固定層(fixed layer)または固定層(pinned layer)と称する一方の層は、特定の方向に固定される磁化を有する。自由層と称する他方の強磁性層は、自由層の磁化が固定層の磁化と逆並行である場合に「1」を表し、自由層の磁化が固定層の磁化と平行、またはその逆である場合に「0」を表すように変化され得る磁化方向を有する。固定層、トンネル層および自由層を有する1つの当該デバイスは、磁気トンネル接合(MTJ)である。MTJの電気抵抗は、自由層の磁化および固定層の磁化が互いに平行であるか、逆平行であるかに左右される。MRAMなどのメモリデバイスは、個々にアドレス指定可能なMTJのアレイから構築される。

【0003】

従来のMRAMにデータを書き込むために、クリティカル切替電流を超える書き込み電流が、

10

20

30

40

50

MTJを介して印加される。クリティカル切替電流を超える書き込み電流は、自由層の磁化方向を変化させるのに十分である。書き込み電流が第1の方向に流れる場合は、MTJは、その自由層の磁化方向および固定層の磁化方向が平行配向に整列する第1の状態に置かれるか、またはとどまり得る。書き込み電流が、第1の方向と逆向きの第2の方向に流れる場合は、MTJは、その自由層の磁化および固定層の磁化が逆平行配向になる第2の状態に置かれるか、またはとどまり得る。

【0004】

従来のMRAMにおいてデータを読み取るために、読み取り電流が、MTJにデータを書き込むために使用されるのと同じ電流路を介して、MTJを流れる。MTJの自由層および固定層の磁化が互いに平行に配向する場合には、MTJは、自由層および固定層の磁化が逆平行配向となる際にMTJが示す抵抗とは異なる抵抗を示す。従来のMRAMにおいて、2つの異なる状態は、MRAMのビットセルにおけるMTJの2つの異なる抵抗によって定められる。2つの異なる抵抗は、MTJによって記憶される論理「0」および「1」の値を表す。

10

【発明の概要】

【課題を解決するための手段】

【0005】

本開示の態様に係るハイブリッドキャッシュ装置は、第1のタイプのメモリおよび第2のタイプのメモリを含む。ハイブリッドキャッシュ装置の第1のキャッシュラインは、第1のタイプのメモリにおける第1のメモリロケーションおよび第2のタイプのメモリにおける第2のメモリロケーションを含む。第1のキャッシュラインは、キャッシュアクセス動作において、第2のメモリロケーションにアクセスする前に第1のメモリロケーションにアクセスするように構成される。

20

【0006】

本開示の別の態様は、ハイブリッドキャッシュ装置にアクセスするための方法を含む。当該方法は、キャッシュされた情報の第1の部分を第1のキャッシュラインの第1のメモリに記憶するステップと、キャッシュされた情報の第2の部分を第1のキャッシュラインの第2のタイプのメモリに記憶するステップとを含む。当該方法は、キャッシュアクセス動作において、キャッシュされた情報の第2の部分にアクセスする前に、キャッシュされた情報の第1の部分にアクセスするステップをも含む。

30

【0007】

本開示の別の態様に係るハイブリッドキャッシュ装置は、キャッシュされた情報の第1の部分を第1のキャッシュラインの静的ランダムアクセスメモリ(SRAM)ロケーションに記憶するための手段と、キャッシュされた情報の第2の部分を第1のキャッシュラインの抵抗ランダムアクセスメモリ部に記憶するための手段とを含む。当該ハイブリッドキャッシュ装置は、キャッシュアクセス動作において、キャッシュされた情報の第2の部分にアクセスする前に、キャッシュされた情報の第1の部分にアクセスする手段をも含む。

【0008】

これは、以下に示される詳細な説明がより良く理解され得るように、本開示の特徴および技術的利点を幾分大雑把に概略説明したものである。本開示のさらなる特徴および利点を以下に説明する。本開示は、本開示と同じ目的を実施するために変更を加えるか、または他の構造を設計するための基礎として容易に利用され得ることを当業者は理解すべきである。そのような同等の構造は、添付の特許請求の範囲に記載されている開示内容の教示から逸脱しないことも当業者は理解すべきである。さらなる目的および利点とともに、その構成および動作方法の双方に関して、本開示の特徴であると思われる新規の特徴は、添付の図面を参照しながら検討すると、以下の説明からより良く理解されるであろう。しかし、その図面の各々は、例示および説明のみの目的で提示されるものであり、本開示の限界を定めるものとして意図されるものではないことを明白に理解されるべきである。

40

【0009】

本開示をより完全に理解するために、添付の図面と併せて以下の説明を参照する。

【図面の簡単な説明】

50

【0010】

【図1】抵抗メモリ素子の図である。

【図2】抵抗メモリデバイス、ならびに抵抗デバイスのプログラミングおよび読み取りを行うための回路の図である。

【図3】メモリマクロの図である。

【図4】従来技術のSRAMキャッシュの図である。

【図5A】SRAMキャッシュパイプラインタイミング図である。

【図5B】MRAMキャッシュパイプラインタイミング図である。

【図6】本開示の態様に係るハイブリッドSRAM-MRAMキャッシュの図である。

【図7】本開示の態様に係るハイブリッドSRAM-MRAMキャッシュのキャッシュパイプラインタイミング図である。 10

【図8】本開示の態様に係るハイブリッドSRAM-MRAMキャッシュの図である。

【図9】本開示の態様に係るハイブリッドSRAM-MRAMキャッシュのキャッシュパイプラインタイミング図である。

【図10】本開示の態様に係るハイブリッドSRAM-MRAMキャッシュにアクセスする方法を示すプロセス流れ図である。

【図11】本開示の構成を有意に採用することができる例示的なワイヤレス通信システムを示す構成図である。

【図12】一構成に係る半導体部品の回路、配置および論理設計に使用される設計ワークステーションを示す構成図である。 20

【発明を実施するための形態】

【0011】

図1は、アクセストランジスタ104に結合された磁気トンネル接合(MTJ)102を含む抵抗メモリ素子100を示す。MTJ102の自由層110は、ビット線112に結合されている。アクセストランジスタ104は、MTJ102の固定層106と固定電位ノード122との間に結合されている。トンネルバリア層114は、固定層106と自由層110との間に結合されている。アクセストランジスタ104は、ワード線118に結合されたゲート116を含む。

【0012】

合成反強磁性材料を使用して、固定層106および自由層110を形成することができる。例えば、固定層106は、CoFeBおよびRu層、ならびにCoFe層を含む複数の材料層を含んでいてもよい。例えば、自由層110は、CoFeBなどの反強磁性材料であってもよく、トンネルバリア層114はMgOであってもよい。 30

【0013】

図2は、従来の磁気ランダムアクセスメモリ(MRAM)200の一部を示す回路概略図である。MRAM200は、データ回路260および基準回路240、210に分割され、各回路210、240、260は、複数のビットセル212、226を含む(理解を容易にするために単一のビットセルのみを示す)。データ回路260のビットセルからの読み取り中に、磁気トンネル接合の抵抗は、一方が基準回路210の基準平行MTJであり、他方が回路240の基準逆平行MTJである、平行に接続された2つの基準MTJの有効抵抗と比較される。ビットセルの抵抗は、電源電圧を印加し、ビットセルを流れる電流の量を測定することによって測定される。例えば、平行基準回路210のビットセルでは、電流源220が、読み取り選択トランジスタ222、224、およびワード線選択トランジスタ226によって磁気トンネル接合(MTJ)212に印加される。MTJ212は、固定層214、トンネル層216および自由層218を含む。自由層218および固定層214が実質的に平行に整列した磁化を有する場合は、MTJ212、そしてビットセル210の抵抗は低い。自由層218および固定層214が実質的に逆平行に整列した磁化を有する場合は、MTJ212、そしてビットセル210の抵抗は高い。 40

【0014】

磁気ランダムアクセスメモリ(MRAM)のビットセルは、メモリ素子(例えば、MRAMの場合はMTJ)のパターンを含む1つまたは複数のアレイで配列され得る。スピントランスマルク磁気ランダムアクセスメモリ(STT-MRAM)は、新たに出てきた不揮発性メモリであり、 50

不揮発性であり、速度が動的ランダムアクセスメモリ(DRAM)に匹敵し、静的ランダムアクセスメモリ(SRAM)と比較してチップサイズが小さく、読み取り/書き込み耐久性が無制限であり、アレイ漏れ電流が小さいというその利点が、スピントランスマルク磁気ランダムアクセスメモリ(STT-MRAM)に、システムオンチップ(SoC)設計における普遍的な作業メモリとしての機会をもたらした。

【0015】

抵抗メモリアレイでは、リードイネーブル信号の確定によりワード線(WL)が活性化すると、読み取り感知に対する基準レベルが生成される。抵抗メモリにおける基準レベルの生成は、より長いメモリアクセスサイクルをもたらす。例えば、MRAMアレイでは、WLが活性化した後に、MRAMビットセルがデータアウト準備完了状態に達し得る前に、データ回路260および基準回路240、210に対して設定時間を適応させることを含めて5つのクロックサイクルが経過し得る。これに対して、SRAMメモリセルは、3つのクロックサイクルでアクセスされ得る。

【0016】

図3は、メモリマクロ300を示す。マクロ300は、ローカルデータ経路(LDP)302、グローバルデータ経路(GDP)304、セルアレイ306、デコーダ308およびグローバル制御ユニット310を含んでいてもよい。LDP302は、1つまたは複数の感度増幅器、およびプログラミング書き込みドライバ(不図示)を含む。GDP304は、D IN312およびD OUT314などの入出力信号ラインまたはピンのための回路を含む。

【0017】

セルアレイ306は、ワード線、例えばWL316に対応する複数の列、およびビット線、例えばビット線318に対応する複数の行を含む。例えば、セルアレイ306は、ワード線に対して64列を有し、ビット線に対して256ビットを有していてもよい。セルアレイ306は、ワード線316およびビット線318に結合した単位セル320などの多数の単位セルを含む。メモリマクロ300は、メモリマクロ300における各単位セルが、同様に構成されたメモリ素子を含む様々なメモリセル技術を使用して実装され得る。例えば、抵抗メモリマクロでは、各単位セル320が、図1を参照しつつ説明したような抵抗メモリ素子100を含む。

【0018】

キャッシュメモリは、キャッシュインターフェースに結合したいいくつかのマクロを含んでいてもよい。MRAMキャッシュは、キャッシュインターフェースに結合したMRAMマクロのバンクを含む。SRAMキャッシュは、キャッシュインターフェースに結合したSRAMマクロのバンクを含む。SRAMマクロは、MRAMマクロなどの抵抗メモリマクロより高速であるという利点を有する。MRAMマクロなどの抵抗メモリマクロは、ビットセル感知が困難であるために読み取り待ち時間がSRAMより長く、状態切替が困難であるために書き込み待ち時間がより長いことを示す。しかし、SRAMマクロは、揮発性であり、より多くの漏れエネルギーを消費し、MRAMマクロより実質的に大きい。例えば、SRAMビットセルのサイズは、約 $200F^2$ であり、Fは、チップの最小加工寸法である。SRAMの最新レベルのキャッシュは、近代の中央処理装置(CPU)領域の約50%を消費し得る。対照的に、MRAMマクロは、不揮発性であり、アイドリング時(when idle)のエネルギー効率が良い。MRAMビットセルのサイズは、ほんの約 $4F^2$ である。MRAMマクロは、サイズが小さいため、より大きなレベル2およびレベル3(L2/L3)オンチップキャッシュ統合に好適である。

【0019】

SRAMキャッシュ構造の例について、図4を参照しつつ説明する。SRAMキャッシュ400は、キャッシュインターフェース404に結合した4つのバンク402を含む。各バンク402は、いくつかのSRAMマクロ406を含む。この例では、キャッシュインターフェース404は、16バイト幅であるため、メモリの1つのクアドワード(QW)408に一度にアクセスすることが可能であり、各QW408は、SRAMマクロ406における16バイトのメモリである。キャッシュアクセス時に、一定量のデータがキャッシュに書き込まれるか、またはキャッシュから読み取られる。キャッシュラインに対する一定量のデータに関連するメモリを、本明細書ではキャッシュラインと呼ぶ。64バイトのキャッシュラインは、バンク402に4つのQW408を含み、QW408

10

20

30

40

50

の各々は、それぞれのSRAMマクロ406にある。64バイトのキャッシュアクセスは、4つのQWアクセスに分割され、各QWアクセスは、キャッシュライン上のSRAMマクロ406の1つから読み取りまたは書き込みを行う。

【0020】

SRAMキャッシュラインアクセスのタイミングについて、図5AのSRAMキャッシュラインアクセス図500を参照しつつ説明する。この例では、SRAMマクロ読み取りアクセスまたは書き込みアクセスにより、イネーブルサイクルおよび2つのアレイアクセスサイクルを含む3つのクロックサイクルが使用される。したがって、SRAMマクロの各々がデータアウト準備完了状態に達し得る前にサイクル1からサイクル3が経過する。別のサイクルを使用して各QWをデータバスに、またはデータバスからクロックすることで、サイクル5からサイクル8においてSRAMキャッシュラインの4つのQW(QW0からQW3)がデータバスに達する。

10

【0021】

MRAMキャッシュラインアクセスのより低速な動作について、図5BのMRAMキャッシュラインアクセス図550を参照しつつ説明する。この例では、MRAMマクロ読み取りアクセスまたは書き込みアクセスにより、イネーブルサイクルおよび4つのアレイアクセスサイクルを含む5つのクロックサイクルが使用される。したがって、MRAMマクロの各々がデータアウト準備完了状態に達し得る前にサイクル1からサイクル5が経過する。別のクロックサイクルを使用して各QWをデータ上にクロックすることで、サイクル7からサイクル10においてMRAMキャッシュラインの4つのQW(QW0からQW3)がデータバスに達する。

20

【0022】

本開示の態様によれば、2つ以上のクロックサイクルのアクセス遅延を行わせることが許容可能である非クリティカルなQWの記憶にMRAMマクロを使用してもよい。より大きく、よりエネルギー効率が低いSRAMマクロの使用を、そのような遅延が許容可能でない状況のために確保しておいてもよい。図5Aおよび図5Bを参照すると、本開示の態様によれば、SRAMマクロは、メモリアクセスのサイクル5およびサイクル6においてQWを提供するようにキャッシュライン上に構成されてもよく、MRAMマクロは、メモリアクセスのサイクル7およびサイクル8においてQWを提供するように構成されてもよい。

【0023】

さらに、キャッシュラインの第1のQWは、メモリアクセスの最もクリティカルなデータをしばしば含み、残留するQWは、よりクリティカルでない情報を含んでいてもよい。そのような構成では、キャッシュラインの第1のQWへの高速のアクセスを提供することは望ましいが、キャッシュラインの残留するQWへのより低速のアクセスも許容可能であり得る。本開示の態様によれば、キャッシュラインの第1のQWがSRAMマクロに記憶され、残留するQWの1つまたは複数がMRAMマクロに記憶され得る。本開示の別の態様によれば、キャッシュラインの第1のQWは、キャッシュされた情報のクリティカルなワードを記憶するように構成され得る。

30

【0024】

本開示の態様に係る、SRAMマクロおよびMRAMマクロの両方を含むハイブリッドSRAM-MRAMキャッシュラインについて、図6を参照しつつ説明する。ハイブリッドSRAM-MRAMキャッシュ600は、キャッシュインターフェース604に結合した4つのバンク602を含む。各バンク602は、キャッシュインターフェース604に結合したいくつかのSRAMマクロ606およびいくつかのMRAMマクロ607を含む。この例では、キャッシュインターフェース604は、16バイト幅であるため、メモリの1つの16バイトクアッドワード(QW)608に一度にアクセスすることが可能である。64バイトキャッシュラインは、バンク602のSRAMマクロ606に2つのQW608を含み、バンクのMRAMマクロ607に2つのQW608を含む。64バイトキャッシュアクセスは、4つのQWアクセスに分割され、第1の2つのQWアクセスは、キャッシュライン上のSRAMマクロ606に対する読み取りまたは書き込みを行い、第2の2つのQWアクセスは、キャッシュライン上のMRAMマクロ607に対する読み取りまたは書き込みを行う。

40

【0025】

図6に示される実施態様におけるハイブリッドSRAM-MRAMキャッシュラインアクセスのタ

50

タイミングについて、図7のキャッシュラインアクセス図700を参照しつつ説明する。この実施態様では、各SRAMマクロ読取りアクセスまたは書き込みアクセスにより、イネーブルサイクルおよび2つのアレイアクセスサイクルを含む3つのクロックサイクルが使用される。各MRAMマクロ読取りアクセスまたは書き込みアクセスにより、イネーブルサイクルおよび4つのアレイアクセスサイクルを含む5つのクロックサイクルが使用される。SRAMマクロ読取りアクセスまたは書き込みアクセスを使用して、キャッシュラインの第1の2つのQW(QW0およびQW1)にアクセスする。SRAMマクロがデータアウト準備完了状態に達する前に、クロックサイクル1からサイクル3が経過する。次のクロックサイクル(サイクル4)を使用して、データバスへの、またはデータバスからのキャッシュライン(QW0)の第1のQWをクロックする。次いで、続くクロックサイクル(サイクル5)を使用して、データバスへの、またはデータバスからのキャッシュライン(QW1)の第2のQWをクロックする。MRAMマクロ読取りアクセスまたは書き込みアクセスを使用して、キャッシュラインの次の2つのQW(QW2およびQW3)にアクセスする。MRAMマクロは、クロックサイクル6におけるデータアウト準備完了状態に達する。クロックサイクル6および7を使用して、データバスへの、またはデータバスからのキャッシュラインの第3のQW(QW2)およびキャッシュラインの第4のQW(QW3)をクロックする。

【0026】

図6に示されるハイブリッドSRAM-MRAMキャッシュの実施態様において、キャッシュラインアクセスパイプラインが、3つのクロックサイクルのSRAMマクロアクセス時間と5つのクロックサイクルのMRAMマクロアクセス時間との差に適合されるように、キャッシュラインにおけるSRAMマクロおよびMRAMマクロの数が選択される。本開示の態様に係る別の実施態様において、キャッシュラインアクセスパイプラインは、SRAMマクロアクセス時間とMRAMマクロアクセス時間との差に完全に適合され得ない。MRAMマクロがデータアクセス準備完了状態になる前に経過し得るさらなるクロックサイクルに対応するために、2つ以上のキャッシュラインへのアクセスがインターリープされ得る。本開示の態様に係る一対のインターリープされたハイブリッドSRAM-MRAMキャッシュラインの実施態様について、図8を参照しつつ説明する。

【0027】

本開示の態様に係る、SRAMマクロおよびMRAMマクロの両方を含むハイブリッドSRAM-MRAMキャッシュラインについて、図8を参照しつつ説明する。ハイブリッドSRAM-MRAMキャッシュ800は、キャッシュインターフェース806に結合した4つのバンク801～804を含む。各801～804は、キャッシュインターフェース806に結合したいくつかのSRAMマクロ808およびいくつかのMRAMマクロ809を含む。この例において、キャッシュインターフェース806は、16バイト幅であるため、メモリの1つの16バイトクアッドワード(QW)810に一度にアクセスすることが可能である。第1の64バイトキャッシュラインは、第1のバンク803のSRAMマクロ808に2つのQW810を含み、第1のバンク803のMRAMマクロ809に2つのQW810を含む。第2の64ビットキャッシュラインは、第2のバンク804のSRAMマクロ808に2つのQW810を含み、第2のバンク804のMRAMマクロ809に2つのQW810を含む。

【0028】

第1の64バイトキャッシュアクセスは、4つのQWアクセスに分割され、第1の2つのQW(QW0およびQW1)は、第1のキャッシュライン上のSRAMマクロ808に対して読み取られ、または書き込まれ、第2の2つのQW(QW2およびQW3)は、第1のキャッシュライン上のMRAMマクロ809に対して読み取られ、または書き込まれる。第2の64バイトキャッシュアクセスは、4つのQWアクセスに分割され、第1の2つのQW(QW4およびQW5)は、第2のキャッシュライン上のSRAMマクロ808に対して読み取られ、または書き込まれ、第2の2つのQW(QW6およびQW7)は、第2のキャッシュライン上のMRAMマクロ809に対して読み取られ、または書き込まれる。

【0029】

図8に示される実施態様におけるハイブリッドSRAM-MRAMキャッシュラインアクセスのタイミングについて、図9のキャッシュラインアクセス図900を参照しつつ説明する。この実施形態では、各SRAMマクロ読取りアクセスまたは書き込みアクセスにより、イネーブルサイ

10

20

30

40

50

クルおよび2つのアレイアクセスサイクルを含む3つのクロックサイクルが使用される。各MRAMマクロ読取りアクセスまたは書込みアクセスにより、イネーブルサイクルおよび6つのアレイアクセスサイクルを含む7つのクロックサイクルが使用される。第1のSRAMマクロ読取りアクセスまたは書込みアクセスを使用して、第1のキャッシュラインの第1の2つのQW(QW0およびQW1)にアクセスする。SRAMマクロがデータアウト準備完了状態に達し得る前に、クロックサイクル1～サイクル3が経過する。次のクロックサイクル(サイクル4)を使用して、データバスへの、またはデータバスからの第1のキャッシュライン(QW0)の第1のQWをクロックする。次いで、続くクロックサイクル(サイクル5)を使用して、データバスへの、またはデータバスからの第1のキャッシュライン(QW1)の第2のQWをクロックする。

【0030】

10

この実施態様では、MRAMマクロアクセスが7つのクロックを要するため、クロックサイクル8までデータアクセス準備完了状態に達しない。キャッシュインターフェース806上のアイドリングサイクル(idle cycle)を回避するために、第1のキャッシュライン上のMRAMマクロがデータアウト準備完了状態に達するのを待しながら、第2のキャッシュラインが開始される。クロックサイクル(サイクル6)を使用して、データバスへの、またはデータバスからの第2のキャッシュライン(QW4)の第1のQWをクロックする。次いで、続くクロックサイクル(サイクル7)を使用して、データバスへの、またはデータバスからの第2のキャッシュライン(QW5)の第2のQWをクロックする。

【0031】

MRAMマクロ読取りアクセスまたは書込みアクセスを使用して、第1のキャッシュラインの次の2つのQW(QW2およびQW3)にアクセスする。第1のキャッシュライン上のMRAMマクロは、クロックサイクル8においてデータアウト準備完了状態に達する。クロックサイクル8および9を使用して、データバスへの、またはデータバスからの第1のキャッシュラインの第3のQW(QW2)および第1のキャッシュラインの第4のQW(QW3)をクロックする。第2のキャッシュライン上のMRAMマクロは、クロックサイクル10においてデータアウト準備完了状態に達する。クロックサイクル10および11を使用して、データバスへの、またはデータバスからの第2のキャッシュラインの第3のQW(QW6)および第2のキャッシュラインの第4のQW(QW7)をクロックする。

【0032】

20

図10は、本開示の態様に係る、キャッシュメモリにアクセスする方法を示すプロセス流れ図である。方法1000は、ブロック1002において、キャッシュされた情報の第1の部分をキャッシュラインの静的ランダムアクセスメモリ(SRAM)ロケーションに記憶するステップと、ブロック1004において、キャッシュされた情報の第2の部分をキャッシュラインの抵抗ランダムアクセスメモリロケーションに記憶するステップとを含む。当該方法は、ブロック1006において、キャッシュアクセス動作において情報の第2の部分にアクセスする前に情報の第1の部分にアクセスするステップも含む。

【0033】

本開示の別の態様に係るハイブリッドSRAM-MRAMキャッシュは、キャッシュされた情報の第1の部分をキャッシュラインのSRAMロケーションに記憶するための手段と、キャッシュされた情報の第2の部分をキャッシュラインの抵抗メモリロケーションに記憶するための手段とを含む。キャッシュは、情報の第2の部分にアクセスする前に情報の第1の部分にアクセスするための手段をも有する。キャッシュされた情報の第1の部分を記憶するための手段は、例えば、図6に示されるようにSRAMマクロ606を含んでいてもよい。キャッシュされた情報の第2の部分を記憶するための手段は、例えば、図6に示されるようにMRAMマクロ607を含んでいてもよい。アクセスするための手段は、例えば、図6に示されるようにキャッシュインターフェース604、SRAMマクロ606およびMRAMマクロ608を含んでいてもよい。

【0034】

別の構成において、前述の手段は、前述手段によって示される機能を果たすように構成された任意のモジュールまたは任意の装置であってもよい。具体的な手段を示したが、開

40

50

示した構成を実施するために開示した手段の全てが必要でないことを当業者なら理解するであろう。さらに、本開示への焦点を維持するために、特定の周知の手段を記載していない。

【0035】

図11は、本開示の態様を有利に採用することができる例示的なワイヤレス通信システム1100を示す構成図である。例示の目的で、図11は、3つの遠隔ユニット1120、1130および1150、ならびに2つのベースステーション1140を示す。ワイヤレス通信システムは、より多くの遠隔ユニットおよびベースステーションを有していてもよいことが認識されるであろう。遠隔ユニット1120、1130および1150は、開示したハイブリッドキャッシュ装置を含むICデバイス1125A、1125Cおよび1125Bを含む。他のデバイスも、ベースステーション、切替デバイスおよびネットワーク機器などの開示したハイブリッドキャッシュ装置を含み得ることが認識されるであろう。図11は、ベースステーション1140から遠隔ユニット1120、1130および1150からベースステーション1140への順方向リンク信号1180、ならびに遠隔ユニット1120、1130および1150からベースステーション1140への逆方向リンク信号1190を示す。

【0036】

図11では、遠隔ユニット1120が携帯電話として示され、遠隔ユニット1130がポータブルコンピュータとして示され、遠隔ユニット1150がワイヤレスローカルループシステムにおける固定ロケーション遠隔ユニットとして示されている。例えば、遠隔ユニットは、携帯電話、携帯式パーソナル通信システム(PCS)ユニット、携帯情報端末などのポータブルデータユニット、GPS対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メーター読み取り機器などの固定ロケーションデータユニット、またはデータもしくはコンピュータ命令を記憶もしくは回収する他のデバイス、あるいはそれらの組合せであってもよい。図11は、本開示の教示に係る遠隔ユニットを示しているが、本開示は、これらの例示的な図示されたユニットに限定されない。本開示の態様は、開示したハイブリッドキャッシュ装置を含む多くのデバイスに好適に採用され得る。

【0037】

図12は、半導体部品の回路、配置および論理設計に使用される設計ワークステーション、例えは以上に開示したハイブリッドキャッシュ装置を示す構成図である。設計ワークステーション1200は、オペレーティングシステムソフトウェア、サポートファイル、およびCadenceまたはOrCADなどの設計ソフトウェアを含むハードディスク1201を含む。設計ワークステーション1200は、回路設計1210、またはハイブリッドキャッシュ装置などの半導体部品1212の設計を容易にするためのディスプレイ1202をも含む。回路設計1210または半導体部品1212を実体的に記憶するために記憶媒体1204が設けられている。回路設計1210または半導体部品1212は、GDCIまたはGERBERなどのファイル形式で記憶媒体1204上に記憶されてもよい。記憶媒体1204は、CD-ROM、DVD、ハードディスク、フラッシュメモリまたは他の適宜のデバイスであってもよい。また、設計ワークステーション1200は、記憶媒体1204に対して入力の受け取りまたは出力の書き込みを行うための駆動装置1203を含む。

【0038】

記憶媒体1204上に記録されたデータは、論理回路構成、フォトリスグラフィマスクのためのパターンデータ、または電子ビームリソグラフィなどの連続書き込みツールのためのマスクパターンデータを示すものであってもよい。データは、論理シミュレーションに関連するタイミング図またはネット回路などの論理検証データをさらに含んでいてもよい。データを記憶媒体1204に供給すると、半導体ウェハを設計するための処理数を減少させることによって、回路設計1210または半導体部品1212の設計が容易になる。

【0039】

ファームウェアおよび/またはソフトウェアの実装には、それらの手法が、本明細書に記載されている機能を果たすモジュール(例えは、手順および関数等)を用いて実現され得る。本明細書に記載されている手法を実現する上で、命令を実体的に具現化する機械可読媒体を使用してもよい。例えは、ソフトウェアコードをメモリに記憶し、プロセッサユニ

10

20

30

40

50

ットによって実行してもよい。メモリは、プロセッサユニットの内部、または外部に実装され得る。本明細書に使用されているように、「メモリ」という用語は、長期、短期、揮発性、不揮発性、または他のメモリのタイプを指し、特定のメモリのタイプもしくはメモリの数、またはメモリが記憶される媒体のタイプに限定されない。

【0040】

ファームウェアおよび/またはソフトウェアで実装される場合は、関数は、コンピュータ可読媒体上の1つまたは複数の命令またはコードとして記憶され得る。例としては、データ構造で符号化されたコンピュータ可読媒体、およびコンピュータプログラムで符号化されたコンピュータ可読媒体が挙げられる。コンピュータ可読媒体としては、物理的なコンピュータ記憶媒体が挙げられる。記憶媒体は、コンピュータによってアクセス可能である利用可能媒体であってもよい。例として、かつ限定することなく、そのようなコンピュータ可読媒体としては、RAM、ROM、EEPROM、CD-ROM、または他の光ディスク記憶デバイス、磁気ディスク記憶デバイスもしくは他の磁気記憶デバイス、または所望のプログラムコードを命令もしくはデータ構造の形で記憶するために使用することができ、コンピュータによってアクセスすることができる他の媒体が挙げられ、本明細書で使用されるディスク(disk)およびディスク(disc)としては、コンパクトディスク(disc)(CD)、レーザディスク(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピィディスク(disk)およびブルーレイディスク(disc)が挙げられ、ディスク(disk)は、通常は磁気によりデータを再生する一方、ディスク(disc)は、レーザにより光学的にデータを再生する。上記媒体の組合せもコンピュータ可読媒体の範囲内に含まれるべきである。

10

20

【0041】

コンピュータ可読媒体上の記憶に加えて、命令および/またはデータが、通信装置に含まれる伝送媒体上の信号として供給されてもよい。例えば、通信装置は、命令およびデータを表す信号を有するトランシーバを含んでいてもよい。命令およびデータは、特許請求の範囲に概説されている機能を1つまたは複数のプロセッサに実現させるように構成される。

【0042】

本開示およびその利点について詳細に説明したが、添付の特許請求の範囲によって規定される開示内容の技術から逸脱することなく、ここに様々な変更、置き換えおよび改変を加えることができる事が理解されるべきである。例えば、SRAMおよびMRAMをメモリのタイプとして記載したが、DRAMおよびPCRAM等の他のメモリタイプも考えられる。さらに、本出願の範囲は、本明細書に記載されている処理、機械、製造、組成物、手段、方法およびステップの特定の構成に限定されることを意図するものではない。本明細書に記載の対応する構成と実質的に同じ機能を果たし、実質的に同じ結果を達成する、現在存在しているか、または後に開発されることになる処理、機械、製造、組成物、手段、方法またはステップを本開示に従って利用できることを本開示から当業者なら容易に理解するであろう。したがって、添付の特許請求の範囲は、そのような処理、機械、製造、組成物、手段、方法またはステップをその範囲内に含むことを意図するものである。

30

【符号の説明】

【0043】

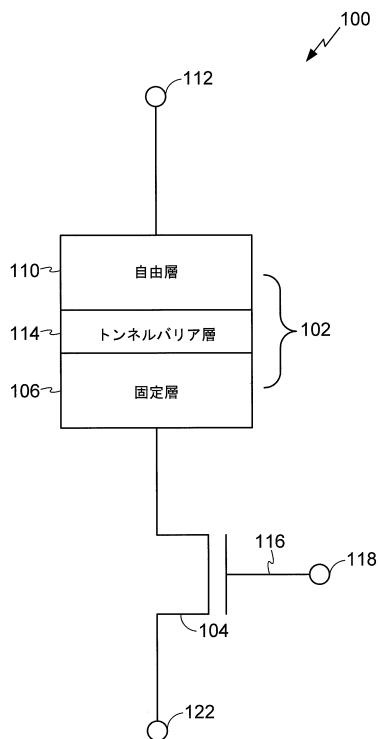
40

- 100 メモリ素子
- 102 磁気トンネル接合
- 104 アクセストランジスタ
- 106、214 固定層
- 110、218 自由層
- 112、318 ビット線
- 114 トンネルバリア層
- 116 ゲート
- 118、316 ワード線
- 200 磁気ランダムアクセスメモリ

50

| | | |
|----------------|----------------------|----|
| 212、226 | ビットセル | |
| 216 | トンネル層 | |
| 220 | 電流源 | |
| 222、224 | 読み取り選択トランジスタ | |
| 226 | ワード線選択トランジスタ | |
| 240 | 基準回路 | |
| 260 | データ回路 | |
| 300 | メモリマクロ | |
| 302 | ローカルデータ経路 | 10 |
| 304 | グローバルデータ経路 | |
| 306 | セルアレイ | |
| 308 | デコーダ | |
| 310 | グローバル制御ユニット | |
| 312 | D IN | |
| 314 | D OUT | |
| 320 | 単位セル | |
| 400 | SRAMキャッシュ | |
| 404、604、806 | キャッシュインターフェース | |
| 406、606、808 | SRAMマクロ | |
| 408、608、810 | クアッドワード | 20 |
| 600、800 | ハイブリッドSRAM-MRAMキャッシュ | |
| 607、809 | MRAMマクロ | |
| 1100 | ワイヤレス通信システム | |
| 1120、1130、1150 | 遠隔ユニット | |
| 1140 | ベースステーション | |
| 1200 | 設計ワークステーション | |
| 1203 | 駆動装置 | |
| 1204 | 記憶媒体 | |

【 図 1 】



從來技術

【 図 2 】

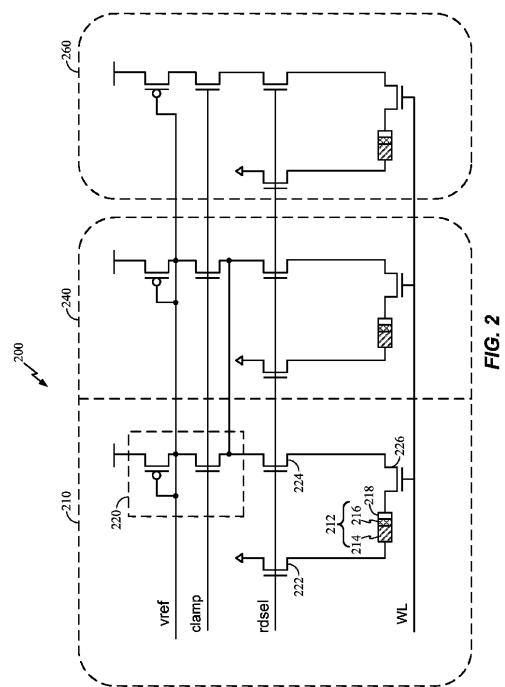
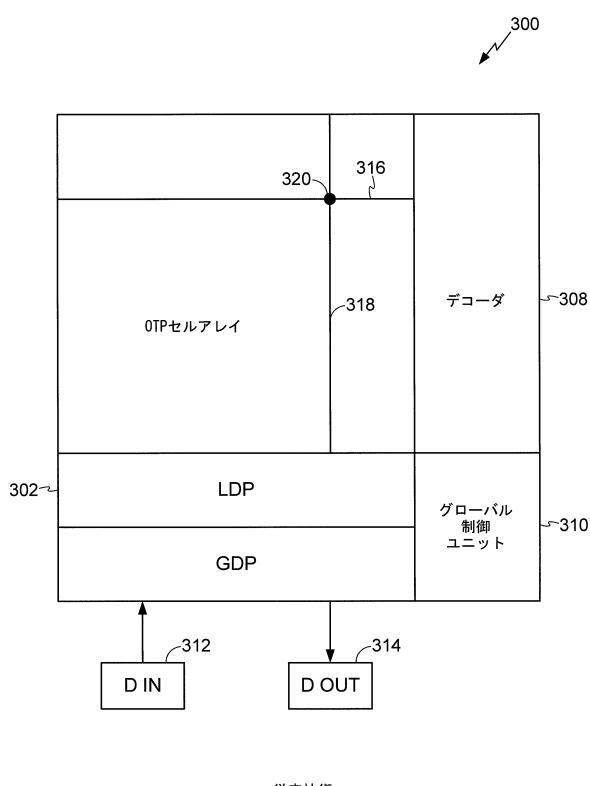


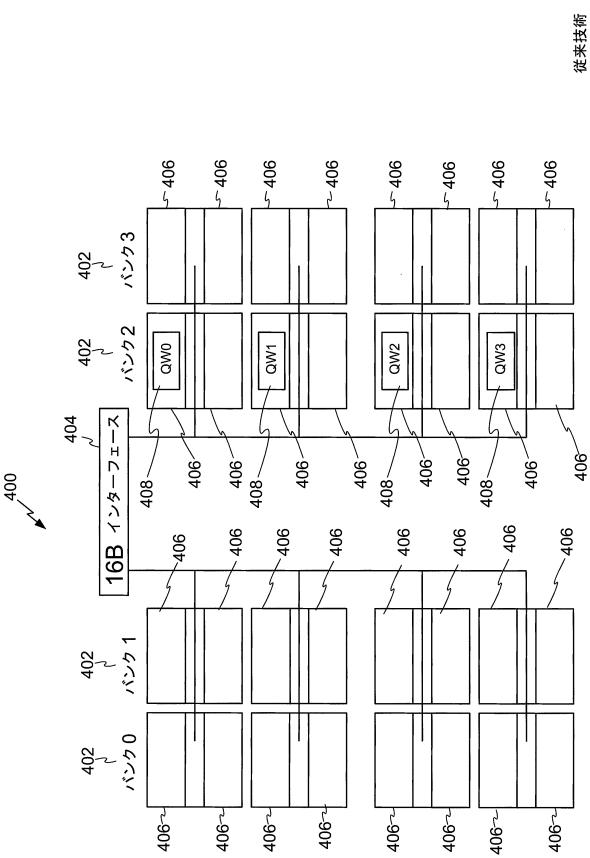
FIG. 2

【図3】



従来技術

【 図 4 】



從來技術

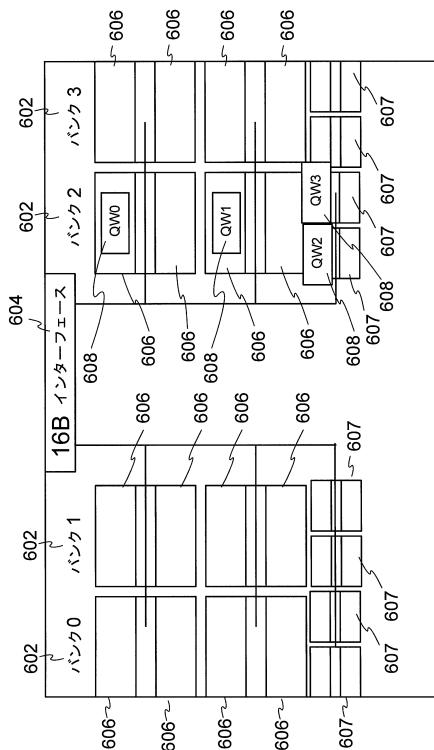
【図 5 A】

| | | | | | | | | | |
|------|-------|-------|-------|-------|-------|-------|-------|-------|-----------------|
| ブロック | サイクル1 | サイクル2 | サイクル3 | サイクル4 | サイクル5 | サイクル6 | サイクル7 | サイクル8 | サイクル9 |
| ブロック | QW0 | イネーブル | アレイ | アレイ | アレイ | アレイ | アレイ | アレイ | データアウト準備完了状態 |
| ブロック | QW1 | イネーブル | アセス | アセス | アセス | アセス | アセス | アセス | データアウト準備完了状態 |
| ブロック | QW2 | イネーブル | アセス | アセス | アセス | アセス | アセス | アセス | データアウト準備完了状態 |
| ブロック | QW3 | イネーブル | アセス | アセス | アセス | アセス | アセス | アセス | データアウト準備完了状態 |
| バス | - | - | - | - | - | - | - | - | QW0 QW1 QW2 QW3 |

【図 5 B】

| | | | | | | | | | | |
|------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-----------------|
| ブロック | サイクル1 | サイクル2 | サイクル3 | サイクル4 | サイクル5 | サイクル6 | サイクル7 | サイクル8 | サイクル9 | サイクル10 |
| ブロック | QW0 | イネーブル | アセス | データアウト準備完了状態 |
| ブロック | QW1 | イネーブル | アセス | データアウト準備完了状態 |
| ブロック | QW2 | イネーブル | アセス | データアウト準備完了状態 |
| ブロック | QW3 | イネーブル | アセス | データアウト準備完了状態 |
| バス | - | - | - | - | - | - | - | - | - | QW0 QW1 QW2 QW3 |

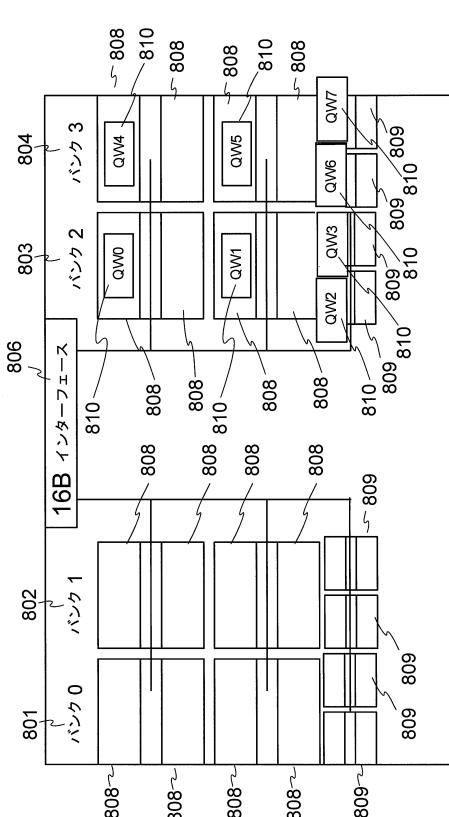
【図 6】



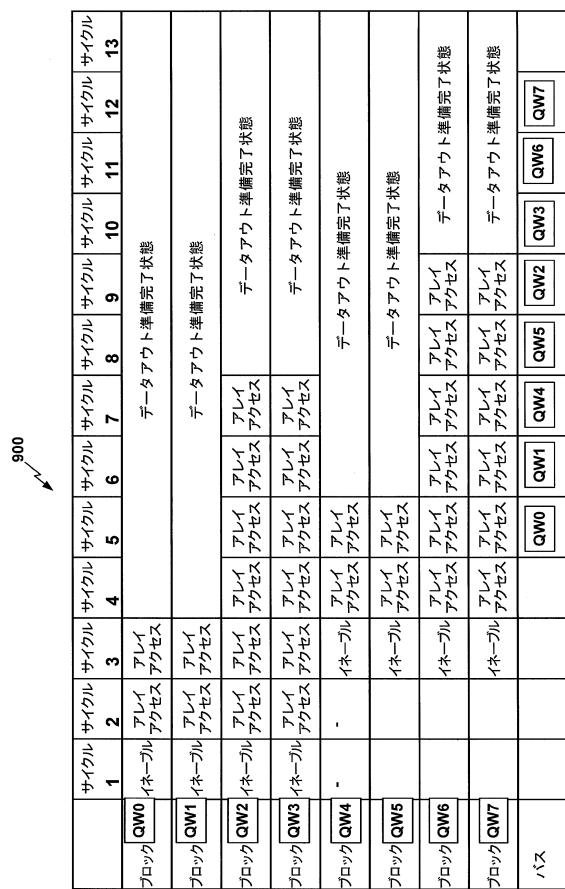
【図 7】

| | | | | | | | | | |
|------|-------|-------|-------|-------|-------|-------|-------|-------|-----------------|
| ブロック | サイクル1 | サイクル2 | サイクル3 | サイクル4 | サイクル5 | サイクル6 | サイクル7 | サイクル8 | サイクル9 |
| ブロック | QW0 | イネーブル | アセス | アセス | アセス | アセス | アセス | アセス | データアウト準備完了状態 |
| ブロック | QW1 | イネーブル | アセス | アセス | アセス | アセス | アセス | アセス | データアウト準備完了状態 |
| ブロック | QW2 | イネーブル | アセス | アセス | アセス | アセス | アセス | アセス | データアウト準備完了状態 |
| ブロック | QW3 | イネーブル | アセス | アセス | アセス | アセス | アセス | アセス | データアウト準備完了状態 |
| バス | - | - | - | - | - | - | - | - | QW0 QW1 QW2 QW3 |

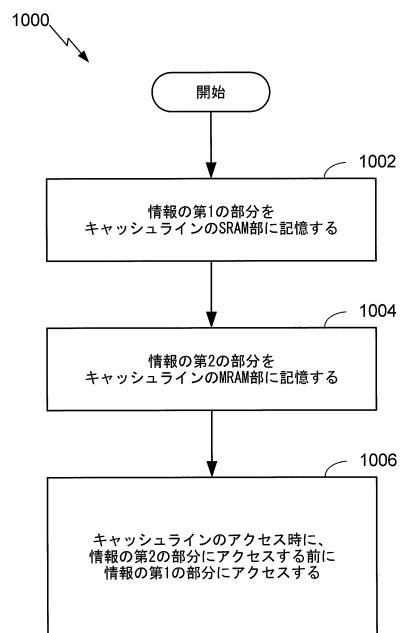
【図 8】



【図9】



【図10】



【図11】

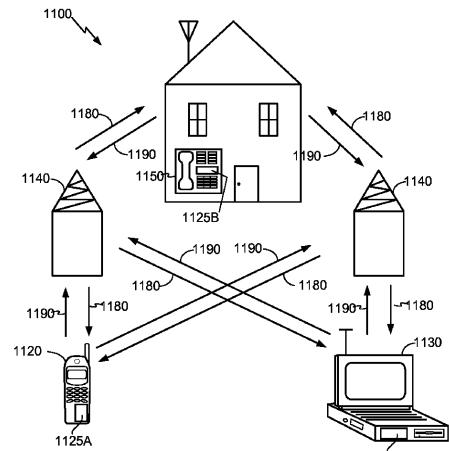


FIG. 11

【図12】

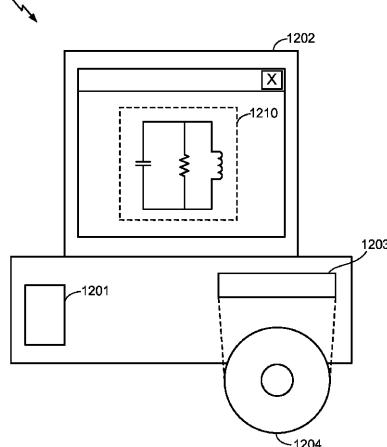


FIG. 12

フロントページの続き

(72)発明者 ジュンウォン・スー

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ヴ・5775

審査官 後藤 彰

(56)参考文献 米国特許出願公開第2009/0144503(US, A1)

米国特許出願公開第2008/0126716(US, A1)

特開平11-328950(JP, A)

特開平08-328949(JP, A)

特開2002-351741(JP, A)

米国特許出願公開第2010/0293325(US, A1)

Vinay Saripalli et al., Exploiting Heterogeneity for Energy Efficiency in Chip Multiprocessors, IEEE Transactions of emerging and selected topics in circuits and systems, 米国, IEEE, 2011年 7月25日, VOL.1, NO.2, pp.109-119

(58)調査した分野(Int.Cl., DB名)

G06F 12/08