

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016 年 11 月 24 日(24.11.2016)



(10) 国際公開番号

WO 2016/185585 A1

- (51) 国際特許分類:  
H04L 7/04 (2006.01)
- (21) 国際出願番号: PCT/JP2015/064485
- (22) 国際出願日: 2015 年 5 月 20 日(20.05.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 堺ディスプレイプロダクト株式会社  
(SAKAI DISPLAY PRODUCTS CORPORATION)  
[JP/JP]; 〒5908522 大阪府堺市堺区匠町 1 番地  
Osaka (JP).
- (72) 発明者: 矢吹 治人(YABUKI, Haruhito); 〒5908522  
大阪府堺市堺区匠町 1 番地 堺ディスプレイ  
プロダクト株式会社内 Osaka (JP).
- (74) 代理人: 河野 英仁, 外(KOHNO, Hideto et al.); 〒  
5400035 大阪府大阪市中央区釣鐘町二丁目 4 番  
3 号 河野特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,  
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,  
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,  
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,  
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,  
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,  
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

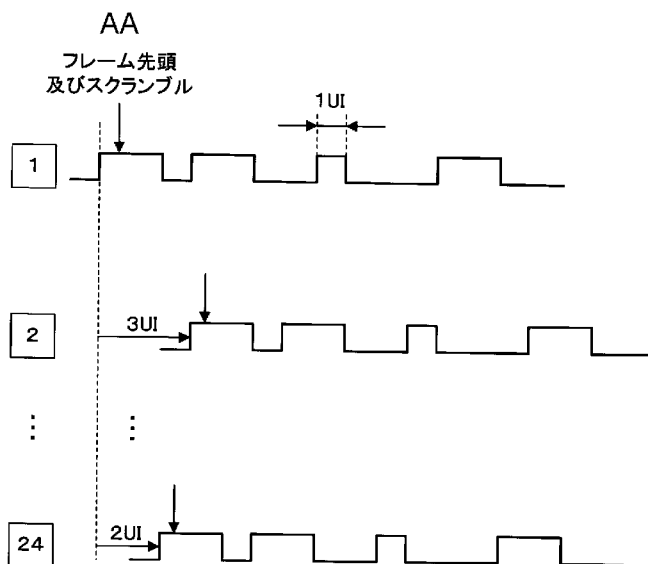
- (84) 指定国 (表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,  
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー  
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー  
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,  
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,  
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),  
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,  
ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: ELECTRIC CIRCUIT AND DISPLAY DEVICE

(54) 発明の名称: 電気回路及び表示装置



AA Frame front and scrambling

(57) Abstract: Provided are an electric circuit and a display device having the electric circuit. The electric circuit comprises a transmission unit and one or more reception units that perform data frame communications with the transmission unit via a plurality of buses. In the electric circuit, scramble processing is performed during the data frame communications, wherein the scramble processing is performed at different timings for the respective buses with respect to the data frame communication time, whereby the occurrence of EMI noise can be more reliably reduced without increasing the number of components (for example, gaskets).

(57) 要約: 送信部、及び、複数のバスを介して該送信部とデータフレームの通信を行う一又は複数の受信部を備え、前記データフレームの通信の際、スクランブル処理を行う電気回路において、前記データフレームの通信時間に対してバス毎に異なるタイミングで前記スクランブル処理を行うことにより、部品（例えば、ガスケット）の点数を増やすことなく、より確実に EMI ノイズの発生を低減させることができる電気回路、及び、該電気回路を備える表示装置を提供する。

## 明 細 書

発明の名称：電気回路及び表示装置

### 技術分野

[0001] 本発明は、送信部、及び、複数のバスを介して該送信部とデータフレームの通信を行う一又は複数の受信部を備え、前記データフレームの通信の際、スクランブル処理を行う電気回路及び表示装置に関する。

### 背景技術

[0002] 従来から、複数のバスを用いる送信装置及び受信装置の間におけるデータの通信においては、EMI (Electro Magnetic Interference) ノイズの問題が発生していた。

[0003] 該EMIノイズ問題に対しては、データ通信速度が速い現在の電気機器においては、いわゆる乱数を用いるスクランブル処理が知られている。斯かるスクランブル処理のそれ自体公知の技術であり、詳しい説明を省略する。

[0004] 一方、特許文献1においては、受信装置へ送出すべきデータ及びクロックを生成し、間欠的に位相シフトを与えられたクロックを生成して送出すると共に、該クロックに同期してデータを送出することにより、EMIノイズの低減を図ることができる送信装置が開示されている。

### 先行技術文献

#### 特許文献

[0005] 特許文献1：特開2012-39173号公報

### 発明の概要

#### 発明が解決しようとする課題

[0006] しかしながら、データの通信速度が益々高速化されている現在においては、前記スクランブル処理によるEMIノイズの低減は十分とは言えない。

[0007] 図7は従来におけるスクランブル処理の問題を説明するタイミングチャートである。該タイミングチャートにおいて、横軸は時間であり、縦軸は各バスを示す。

[0008] 図7から分かるように、従来においては、1～nまでのすべてのバスにおいて、同一タイミングにてスクランブル処理が行われていた。すなわち、全てのバスにてデータフレームの先頭部分の位相が揃っていた。

[0009] 従って、バス毎にスクランブル処理は行われているものの、全バスにて先頭部分の位相が揃っていることから、同時にスクランブル処理が行われ、バス間において干渉が生じてEMIノイズが発生していた。しかしながら、特許文献1においては、複数のバスを用いる場合におけるこのような問題に対して、工夫されておらず、斯かる問題を解決できない。

[0010] 本発明は、斯かる事情に鑑みてなされたものであり、その目的とするところは、送信部、及び、複数のバスを介して該送信部とデータフレームの通信を行う一又は複数の受信部を備え、前記データフレームの通信の際、スクランブル処理を行う電気回路において、前記データフレームの通信時間に対してバス毎に異なるタイミングで前記スクランブル処理を行うことにより、一層確実にEMIノイズの発生を低減させることができる電気回路、及び、該電気回路を備える表示装置を提供することにある。

### 課題を解決するための手段

[0011] 本発明に係る電気回路は、送信部、及び、複数のバスを介して該送信部とデータフレームの通信を行う一又は複数の受信部を備え、前記データフレームの通信の際、スクランブル処理を行う電気回路において、前記データフレームの通信時間に対してバス毎に異なるタイミングで前記スクランブル処理を行うことを特徴とする。

[0012] 本発明にあつては、前記データフレームの通信の際、前記データフレームの通信時間に対してバス毎に異なるタイミングで前記スクランブル処理が行われる。

[0013] 本発明に係る電気回路は、前記送信部は、任意の2つのバス間に $nU$ の出力遅延を生じさせる処理を行う遅延部を備えることを特徴とする。但し、 $n$ ：整数、ただし任意の2つ以上のバス間は0を除く、 $U$ ：データレートの1周期。

- [0014] 本発明にあっては、前記送信部の遅延部が任意の2つのバス間にて $nU$ の出力遅延を生じさせることにより、前記データフレームの通信の際、前記データフレームの通信時間に対してバス毎に異なるタイミングで前記スクランブル処理が行われる。
- [0015] 本発明に係る電気回路は、前記受信部は、前記送信部から受信したデータに対して、前記遅延部による処理を解除する解除部を備えることを特徴とする。
- [0016] 本発明にあっては、前記受信部が前記送信部からデータを受信した場合、前記解除部が、斯かる受信データに対して、前記遅延部による処理を解除する。
- [0017] 本発明に係る電気回路は、前記送信部は、任意の2つのバスのデータフレーム間で $nU$ のタイミング差になるように前記スクランブル処理を行うスクランブル部を備えることを特徴とする。但し、 $n$ ：整数、ただし任意の2つ以上のバス間は0を除く、 $U$ ：データレートの1周期。
- [0018] 本発明にあっては、前記送信部のスクランブル部が任意の2つのバスのデータフレーム間で $nU$ のタイミング差になるように前記スクランブル処理を行うことにより、前記データフレームの通信の際、前記データフレームの通信時間に対してバス毎に異なるタイミングで前記スクランブル処理が行われる。
- [0019] 本発明に係る電気回路は、前記受信部は、前記送信部から受信したデータに対して、前記スクランブル部によるスクランブル処理を解除する解除部を備えることを特徴とする。
- [0020] 本発明にあっては、前記受信部が前記送信部からデータを受信した場合、前記解除部が、斯かる受信データに対して、前記スクランブル部によるスクランブル処理を解除する。
- [0021] 本発明に係る表示装置は、前述の発明の何れかに記載の電気回路と、該電気回路に接続された液晶表示パネルとを備え、前記電気回路を介して受信したデータに基づいて、前記液晶表示パネルが画像表示を行うことを特徴とする。

る。

[0022] 本発明にあっては、前記電気回路を介して、前記遅延部による処理、又は、前記スクランブル部によるスクランブル処理により、EMIノイズが軽減された状態のデータが前記液晶表示パネルに伝送され、該液晶表示パネルは受信したデータに基づいて画像表示を行う。

### 発明の効果

[0023] 本発明によれば、部品（例えば、ガスケット）の点数を増やすことなく、一層EMIノイズの発生を低減させることができる。

### 図面の簡単な説明

[0024] [図1]実施の形態1の液晶テレビジョンの要部構成を示す機能ブロック図である。

[図2]実施の形態1の液晶テレビジョンにおける、Tconの要部構成を示す機能ブロック図である。

[図3]実施の形態1に係る液晶テレビジョンにおいて、シリアライザがデータフレームの先頭部分のタイミングをシフトさせる処理を説明するタイミングチャートである。

[図4]実施の形態1に係る液晶テレビジョンにおいて、シリアライザがデータフレームの先頭部分のタイミングをシフトさせる処理を行わない場合のEMI測定結果である。

[図5]実施の形態1に係る液晶テレビジョンにおいて、シリアライザがデータフレームの先頭部分のタイミングをシフトさせる処理を行った場合のEMI測定結果である。

[図6]実施の形態2に係る液晶テレビジョンにおいて、各スクランブラがスクランブル処理のタイミングを異にする処理を説明するタイミングチャートである。

[図7]従来におけるスクランブル処理の問題を説明するタイミングチャートである。

### 発明を実施するための形態

[0025] 以下に、本発明の実施の形態に係る電気回路及び表示装置をいわゆる液晶テレビジョンに適用した場合を例として、図面に基づいて詳述する。

[0026] (実施の形態1)

図1は実施の形態1の液晶テレビジョン100の要部構成を示す機能ブロック図である。

[0027] 液晶テレビジョン100は、TVSoC(System on a Chip)10(送信部)と、TVSoC10からデータを受信する複数のTcon(Timing Controller)20と、更にTcon20(送信部、受信部)からデータを受信する複数のソースドライバ30(受信部)及びゲートドライバ40とを備えており、ソースドライバ30及びゲートドライバ40は斯かるデータに基づいて画像が表示される液晶表示パネル50に接続されている。

[0028] 請求の範囲に記載の電気回路は、例えば、TVSoC10及びTcon20、又は、Tcon20及びソースドライバ30を含む。

[0029] TVSoC10はいわゆるテレビ受信回路であり、CVBS信号、HDMI(登録商標)信号などを受け取ってテレビ映像を生成し、テレビ画像信号、水平同期信号、垂直同期信号、及びクロックを含む画像信号を、例えば、V-by-One信号規格を用いてTcon20に出力する。

[0030] Tcon20は、TVSoC10からの信号(データ)に基づいて、デジタル画像信号、液晶表示パネル50の駆動回路の動作を制御するための制御信号等を生成する。そして、Tcon20は、デジタル画像信号(以下、単に画像信号ともいう。)及び制御信号をソースドライバ30及びゲートドライバ40に送信する。すなわちTcon20は、TVSoC10から垂直同期信号(VS)、水平同期信号(HS)、データイネーブル信号(Data Enable、DE)、クロック信号(CLK)などのタイミング信号を用いて、ソースドライバ30の動作タイミングを制御するためのソースタイミング制御信号と、ゲートドライバ40の動作タイミングを制御するためのゲートタイミング制御信号を発生する。

[0031] また、ソースドライバ30、ゲートドライバ40は各々1個の半導体集積

回路（IC）から構成されており、Tcon20及びソースドライバ30の間は、例えば24本のバスによって接続されている。

[0032] 表示パネル50の各ピクセル（図示せず）は、ソースライン及びゲートラインを介して、ソースドライバ30及びゲートドライバ40に接続されている。

[0033] 図2は実施の形態1の液晶テレビジョン100における、Tcon20の要部構成を示す機能ブロック図である。

[0034] 実施の形態1において、Tcon20は、DeSkew21と、プロセッサ22と、トランスミッタ29とを備えている。

[0035] Tcon20は、V-by-One信号規格を介して信号を受信するので、2本の信号を受信することとなる。Tcon20に受信された2本の信号は34本・10bitの平行信号に変換される。

[0036] この際、DeSkew21は、該平行信号を受信し、画像信号（R，G，B）を除く上述のタイミング信号を分離する。すなわち、30本の画像信号及び4本のタイミング信号が生成され、プロセッサ22に送信される。

[0037] これら信号に対して、プロセッサ22では、OverDrive，Dither等の公知の処理が施され、前記タイミング信号と24本・8bitの画像信号とが別々トランスミッタ29に送信される。

[0038] トランスミッタ29は、複数のコマンドーエンコーダ23と、該複数と同数のスクランブラ24と、該複数と同数のエンコーダ25と、該複数と同数のシリアライザ26とを備えている。

[0039] プロセッサ22からの前記タイミング信号及び24本・8bitの画像信号は先ずコマンドーエンコーダ23に入力される。コマンドーエンコーダ23は、RGB毎の画像信号と、同期信号（HS，VS）と、データイネーブル信号（DE）と、クロック信号（CLK）と共に、レジスタA27から所定の指示信号（例えば、画像信号に係る設定値等）を受ける。

[0040] コマンドーエンコーダ23はデータイネーブル信号に基づいて制御コードを生成する。また、コマンドーエンコーダ23は、クロック信号（CLK）

に基づいて、前記画像信号と同期信号（H S，V S）とを処理し、24本の8 b i t・パラレルのパケット信号を生成する。コマンドーエンコーダ23は、これらの8 b i tのパケット信号と、制御コードと、クロック信号とをスクランブラ24へ出力する。

[0041] 次いで、スクランブラ24（スクランブル部）は、乱数発生器（図示せず）を有しており、この乱数発生器からの乱数を用いて、前記8 b i tのパケット信号に対してスクランブル処理を施す。以下、このようにスクランブル処理済みの信号をスクランブル信号という。スクランブラ24は、スクランブル信号と前記制御コードとをエンコーダ25へ出力する。

[0042] エンコーダ25は、クロック信号（C L K）に基づいて、スクランブル信号をエンコード処理し、エンコード信号を生成する。例えば、エンコーダ25は、8 b / 10 bエンコーダであり、8 b i tのスクランブル信号から10 b i tのエンコード信号を生成する。エンコーダ25は、これらのエンコード信号をシリアライザ26へ出力する。

[0043] 次いで、シリアライザ26（遅延部）は、バス数を減らすため、レジスタB28からの指示信号に基づいて、10 b i tのエンコード信号にパラレルーシリアル変換を施す。これによって10 b i tのエンコード信号に係るデータフレームが、例えば、ドライバインタフェースであるC a l D r i C o n（登録商標）を用いてT c o n 20からソースドライバ30に送信される。

[0044] このような構成を有する実施の形態1に係る液晶テレビジョン100においては、例えば、T c o n 20及びソースドライバ30の間におけるデータフレームの通信の際、前記データフレームの通信時間に対してバス毎に異なるタイミングで前記スクランブル処理を行う。これによって、T c o n 20及びソースドライバ30の間での複数バスを介した通信におけるE M I ノイズの発生を極力抑えることが出来る。以下、詳しく説明する。

[0045] 実施の形態1に係る液晶テレビジョン100においては、T c o n 20のシリアライザ26は、前記データフレームの先頭部分をバス毎に所定のタイ

ミングでシフト（遅延）させる。

- [0046] 図3は実施の形態1に係る液晶テレビジョン100において、シリアルライザ26がデータフレームの先頭部分のタイミングをシフトさせる処理を説明するタイミングチャートである。該タイミングチャートにおいて、横軸は時間であり、縦軸は各バスを示す。
- [0047] より詳しくは、シリアルライザ26は、データフレームの先頭部分、換言すれば、データフレームそのものに対して、任意の2つのバス間に $nU$ の出力遅延を生じさせる。ここで、「 $n$ 」は整数であるが、任意の2つ以上のバス間は0を除く。また「 $U$ 」はデータレートの1周期、換言すれば、データフレームの送信最小単位である。
- [0048] 図3に示したように、例えば、1番目のバス（以下、1バス）は遅延がされておらず、2バスに対しては $3U$ だけ遅延されており、データフレームの先頭部分がその分シフトされている。また、何れのデータフレームにおいても、先頭部分にてスクランブル処理がされていることから、1バスと2バスとの間においては、前記通信時間（遅延時間が含まれる）に対してスクランブル処理のタイミングが異なる。
- [0049] すなわち、1バスと2バスとの間においては、 $3U$ だけデータフレームの先頭部分がシフトされているので、 $3U$ だけ異なるタイミングでスクランブル処理が行われることとなる。
- [0050] また、24バスに対しては $2U$ だけ遅延されており、2バスと24バスとの間においてもスクランブル処理のタイミングが異なる。すなわち、2バスと24バスとの間においては、 $1U$ だけデータフレームの先頭部分がシフトされているので、 $1U$ だけ異なるタイミングでスクランブル処理が行うこととなる。
- [0051] 従って、実施の形態1に係る液晶テレビジョン100においては、複数のバスにおいて同じデータが連続することを未然に防止でき、EMIノイズの発生を極力減らす効果を奏する。
- [0052] また、斯かる効果は、上述したように、データフレームの先頭部分、換言

すれば、データフレームそのものに対して、任意の2つのバス間に $nU$ の出力遅延を生じさせることにより得られ、「 $n$ 」は整数であるが、任意の2つ以上のバス間は0を除く。すなわち、必ずしも任意の2つのバス間で $nU$ の出力遅延を生じさせる必要はなく、一部においてのみ $nU$ の出力遅延を生じさせても良い。換言すれば、少なくとも一对のバス間で $nU$ の出力遅延を生じさせるように構成すれば良い。

[0053] 図4は実施の形態1に係る液晶テレビジョン100において、シリアライザ26がデータフレームの先頭部分のタイミングをシフトさせる処理を行わない場合のEMI測定結果であり、図5は実施の形態1に係る液晶テレビジョンにおいて、シリアライザがデータフレームの先頭部分のタイミングをシフトさせる処理を行った場合のEMI測定結果である。また、図5においては、全バスのうち、一部においてのみ $nU$ の出力遅延を生じさせた場合を示す。

[0054] 図4及び図5において、横軸は周波数であり、縦軸はレベル（強度）を示す。また、図4及び図5のAは定アンテナがHorizontalの場合であり、図4及び図5のBは測定アンテナがVerticalの場合である。

[0055] 図4及び図5から分かるように（特に、図5の円部分参照）、シリアライザ26による斯かる処理が行われていない場合より、該処理が行われた場合は、365MHz～915MHz程度、EMIノイズのピークが低減されており、EMIノイズの発生の抑制に効果的であることが解かる。

[0056] （実施の形態2）

本発明は実施の形態1に記載の液晶テレビジョン100に限るものでない。

[0057] 実施の形態2に係る液晶テレビジョン100においては、各々のスクランブラ24が各バス毎に異なるタイミングでスクランブル処理を行うように構成されている。これによって、Tcon20及びソースドライバ30の間におけるデータフレームの通信の際、前記データフレームの通信時間に対してバス毎に異なるタイミングで前記スクランブル処理を行うことができる。以

下、詳しく説明する。

[0058] 実施の形態2に係る液晶テレビジョン100においては、各バスにおけるデータフレームの出力の遅延はないものの、バス毎に対応する各スクランブラ24が夫々異なるタイミングで当該データフレームに対してスクランブル処理を行う。

[0059] 図6は実施の形態2に係る液晶テレビジョン100において、各スクランブラ24がスクランブル処理のタイミングを異にする処理を説明するタイミングチャートである。該タイミングチャートにおいて、横軸は時間であり、縦軸は各バスを示す。

[0060] より詳しくは、各スクランブラ24は対応するデータフレームに対して、任意の2つのバスのデータフレーム間で $nU$ のタイミング差になるようにスクランブル処理を行う。ここで、「 $n$ 」は整数であるが、任意の2つ以上のバス間は0を除く。また、「 $U$ 」はデータレートの1周期、換言すれば、データフレームの送信最小単位である。

[0061] 図6に示したように、各バスにおけるデータフレームの出力に遅延は生じていないので各データフレームの先頭部分（白抜き矢印）は同一時刻上に位置している。しかし、バス毎に $nU$ のタイミング差になるようにスクランブル処理が行われるので、データフレームに対するスクランブル処理のタイミング（矢印）がバス毎に異なる。

[0062] 例えば、1バスはデータフレームの先頭部分にてスクランブル処理が行われ、2バスにおいては $3U$ 後にスクランブル処理が行われる。すなわち、1バスと2バスとの間においては、 $3U$ だけスクランブル処理のタイミングが異なっている。

[0063] また、24バスにおいては、1バスに対して $2U$ 後、2バスに対しては $1U$ 先にスクランブル処理が行われる。すなわち、2バスと24バスとの間においては、 $1U$ だけスクランブル処理のタイミングが異なっている。

[0064] 従って、実施の形態2に係る液晶テレビジョン100においても、実施の形態1の場合と同様、複数のバスにおいて同じデータが連続することを未然

に防止でき、EMIノイズの発生を極力減らす効果を奏する。

[0065] また、斯かる効果は、上述したように、任意の2つのバスのデータフレーム間で $nU$ のタイミング差になるようにスクランブル処理を行うことにより得られ。ここで、「 $n$ 」は整数であるが、任意の2つ以上のバス間は0を除く。すなわち、斯かるスクランブル処理は必ずしも任意の2つのバスのデータフレーム間で $nU$ のタイミング差になるように行われることは要せず、一部においてのみ該スクランブル処理を行うようにしても良い。換言すれば、少なくとも一对のバス間で $nU$ のタイミング差になるようにスクランブル処理を施せば良い。

[0066] 実施の形態1と同様の部分については、同一の符号を付して詳細な説明を省略する。

[0067] 以上の記載においては、Tcon20及びソースドライバ30の間におけるデータフレームの通信の際、Tcon20（スクランブラ24及びシリアライザ26）にてスクランブル処理のタイミングがシフトされる場合を例として説明したが、本発明はこれに限るものでない。

[0068] 本発明は、TVSoC10及びTcon20間の通信に対しても適用可能である。TVSoC10及びTcon20は、Tcon20及びソースドライバ30と同様、複数のバスによって接続されているので、EMIノイズが発生する虞がある。

[0069] 従って、送信側であるTVSoC10が、上述した、スクランブラ24によるスクランブル処理のタイミングのシフト処理、又は、シリアライザ26による出力遅延の処理を施すことにより、TVSoC10及びTcon20の通信におけるEMIノイズの発生を極力低減させることが出来る。

[0070] また、この際、Tcon20におけるDeSkew21が、TVSoC10からの信号（データ）の変形を取り除く処理を行うように構成すれば良い。すなわち、DeSkew21が、スクランブル処理のタイミングのシフト処理、又は、出力遅延の処理が施されたTVSoC10からの信号から、斯かる処理による変更を取り除くように構成する。

[0071] 換言すれば、この際、D e S k e w 2 1 は請求の範囲に記載の解除部としての役割をなす。

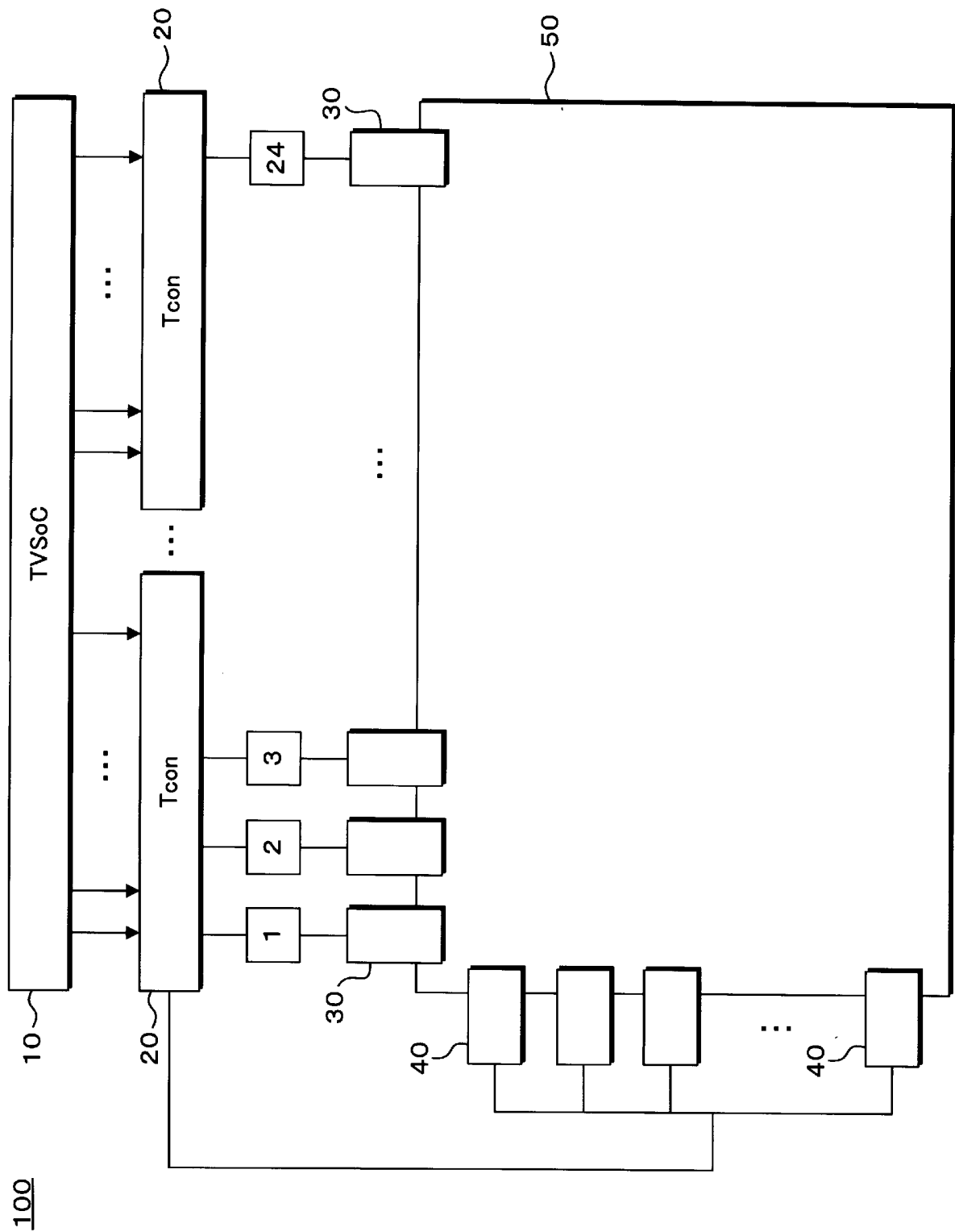
### 符号の説明

[0072] 1 0 T V S o C (送信部)  
2 0 T c o n (送信部、受信部)  
2 1 D e S k e w (解除部)  
2 6 シリアライザ (遅延部)  
2 4 スクランプラ (スクランブル部)  
3 0 ソースドライバ (受信部)  
4 0 ゲートドライバ  
1 0 0 液晶テレビジョン

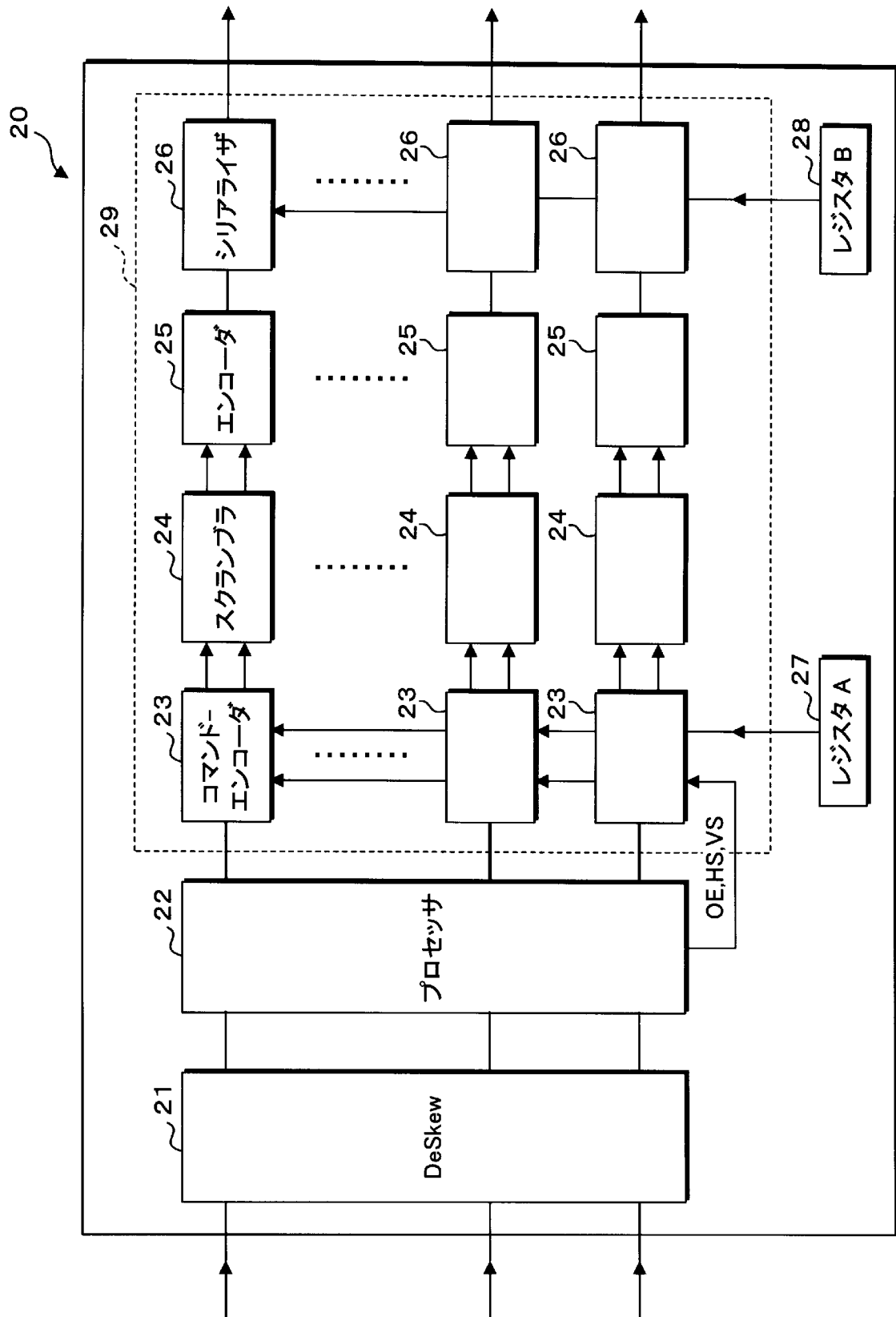
## 請求の範囲

- [請求項1] 送信部、及び、複数のバスを介して該送信部とデータフレームの通信を行う一又は複数の受信部を備え、前記データフレームの通信の際、スクランブル処理を行う電気回路において、
- 前記データフレームの通信時間に対してバス毎に異なるタイミングで前記スクランブル処理を行うことを特徴とする電気回路。
- [請求項2] 前記送信部は、任意の2つのバス間に  $nU$  の出力遅延を生じさせる処理を行う遅延部を備えることを特徴とする請求項1に記載の電気回路。
- 但し、 $n$ ：整数、ただし任意の2つ以上のバス間は0を除く、 $U$ ：データレートの1周期。
- [請求項3] 前記受信部は、前記送信部から受信したデータに対して、前記遅延部による処理を解除する解除部を備えることを特徴とする請求項2に記載の電気回路。
- [請求項4] 前記送信部は、任意の2つのバスのデータフレーム間で  $nU$  のタイミング差になるように前記スクランブル処理を行うスクランブル部を備えることを特徴とする請求項1に記載の電気回路。
- 但し、 $n$ ：整数、ただし任意の2つ以上のバス間は0を除く、 $U$ ：データレートの1周期。
- [請求項5] 前記受信部は、前記送信部から受信したデータに対して、前記スクランブル部によるスクランブル処理を解除する解除部を備えることを特徴とする請求項4に記載の電気回路。
- [請求項6] 請求項1～5の何れかに記載の電気回路と、
- 該電気回路に接続された液晶表示パネルとを備え、
- 前記電気回路を介して受信したデータに基づいて、前記液晶表示パネルが画像表示を行うことを特徴とする表示装置。

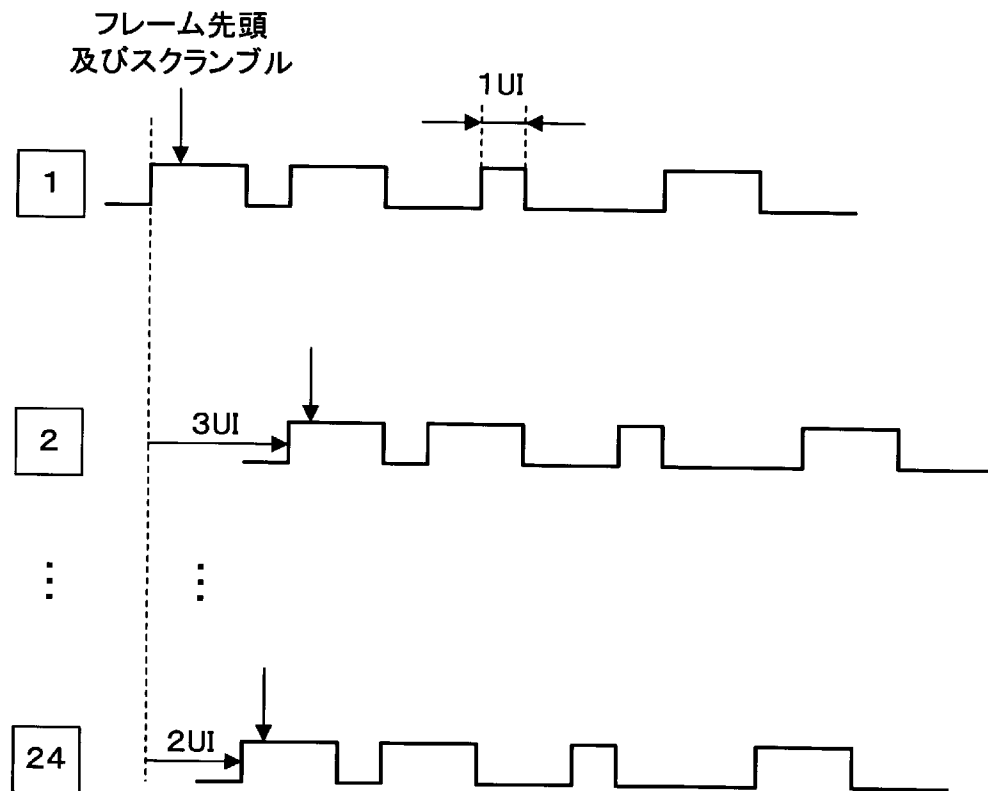
[図1]



[図2]

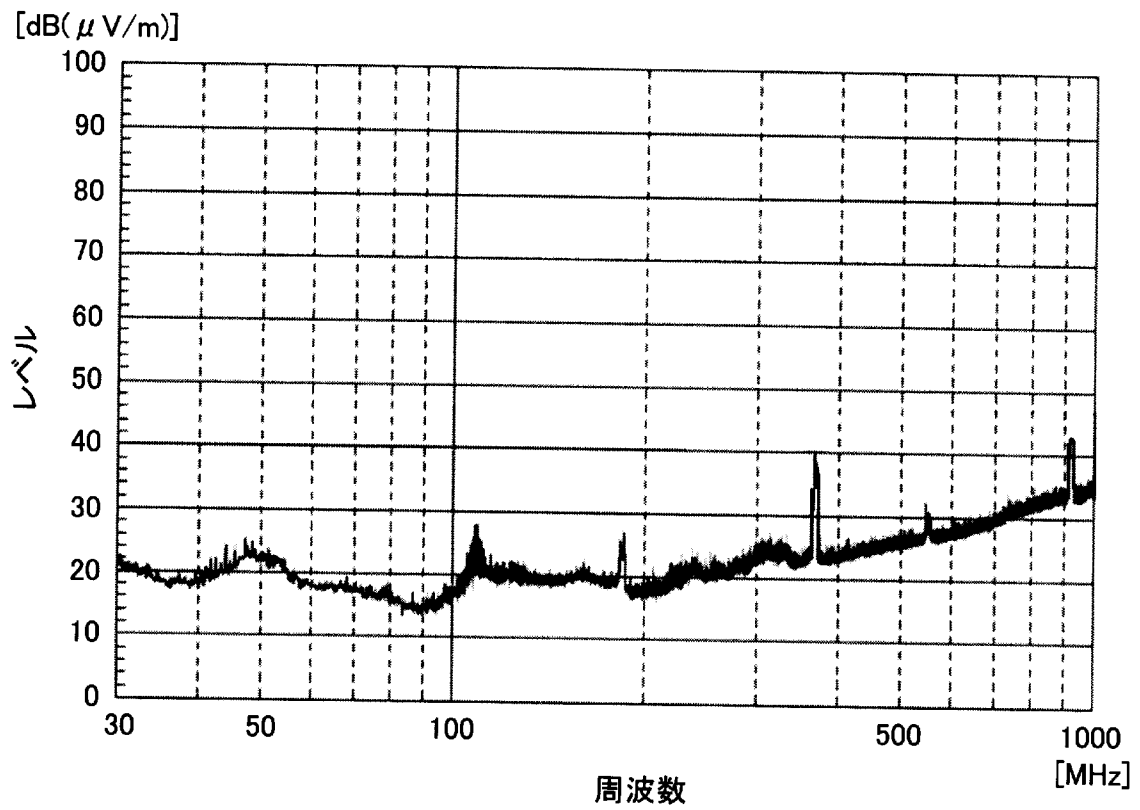


[図3]

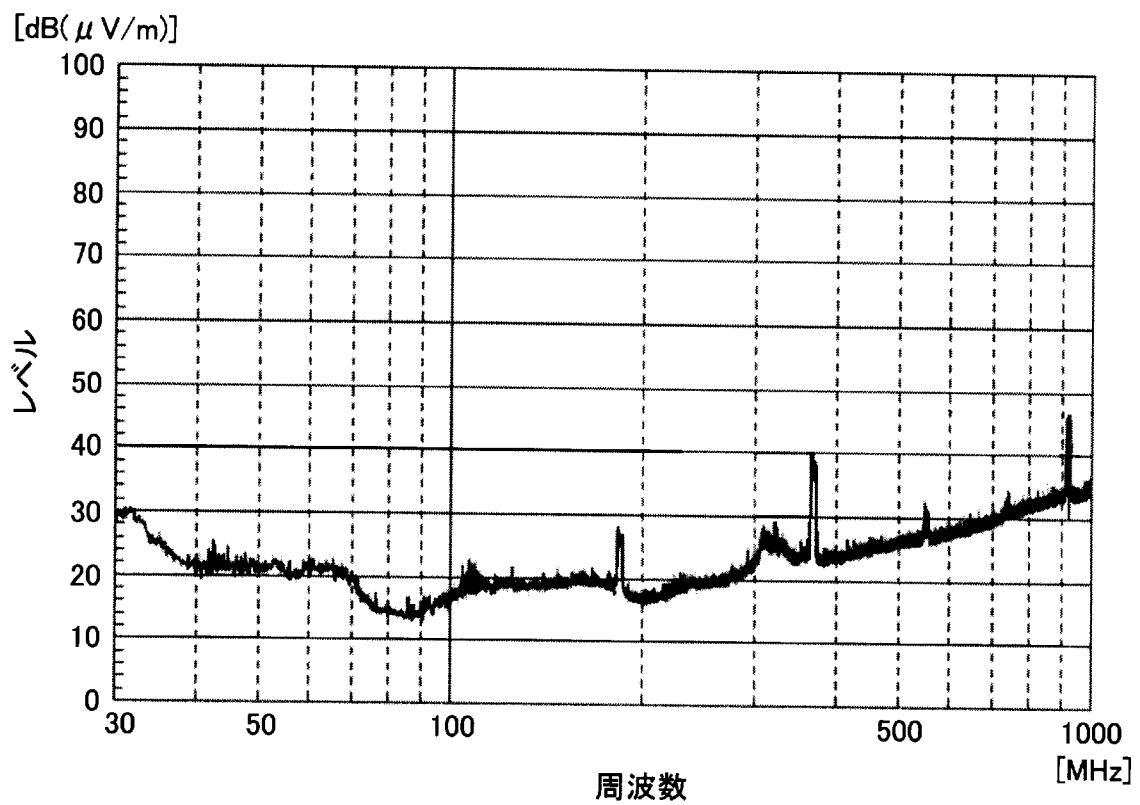


[図4]

A

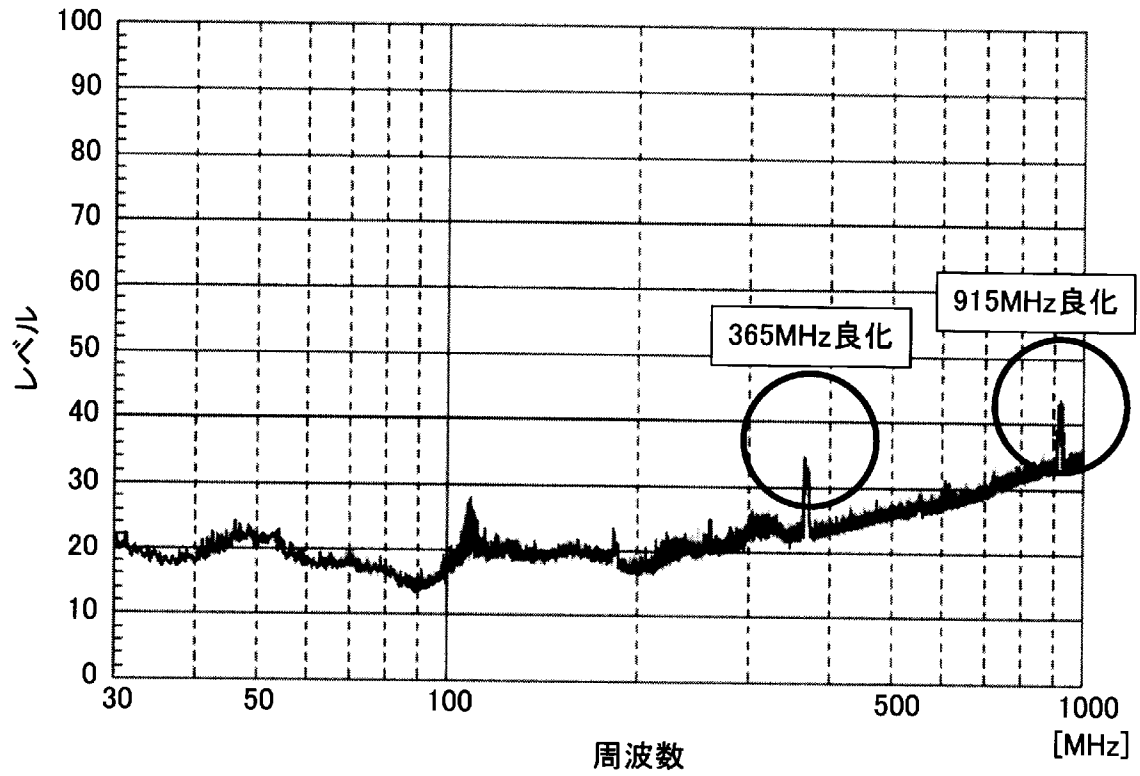


B

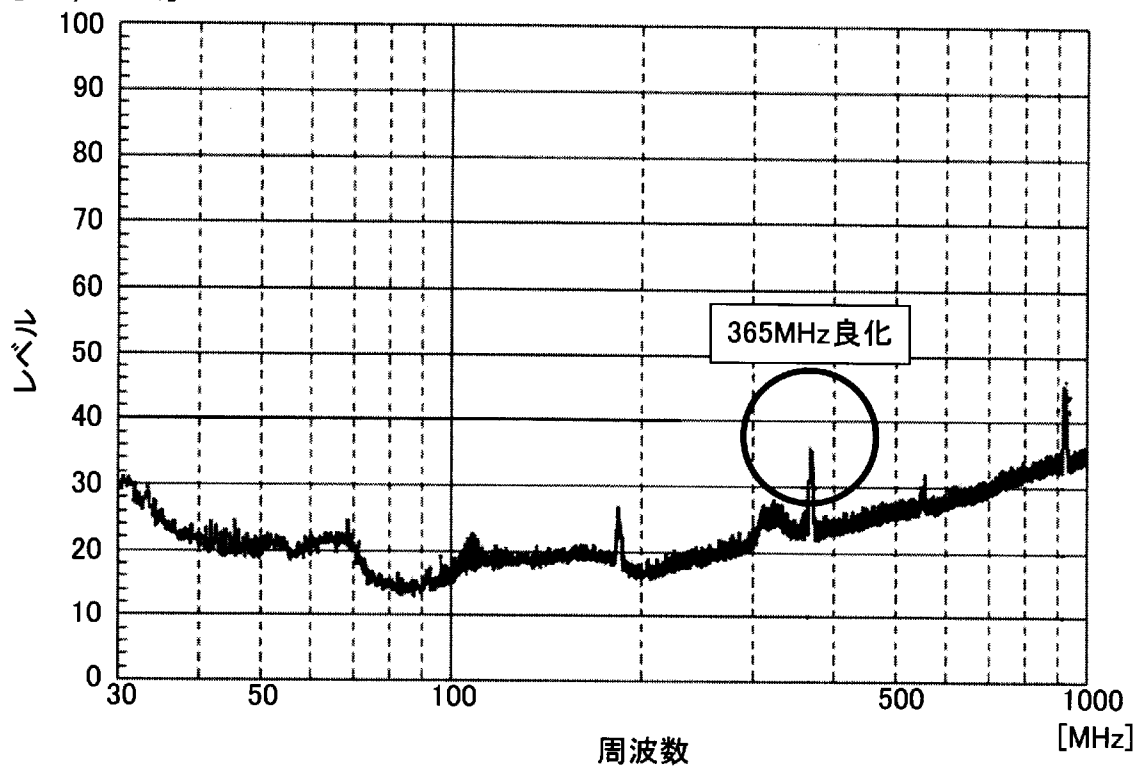


[図5]

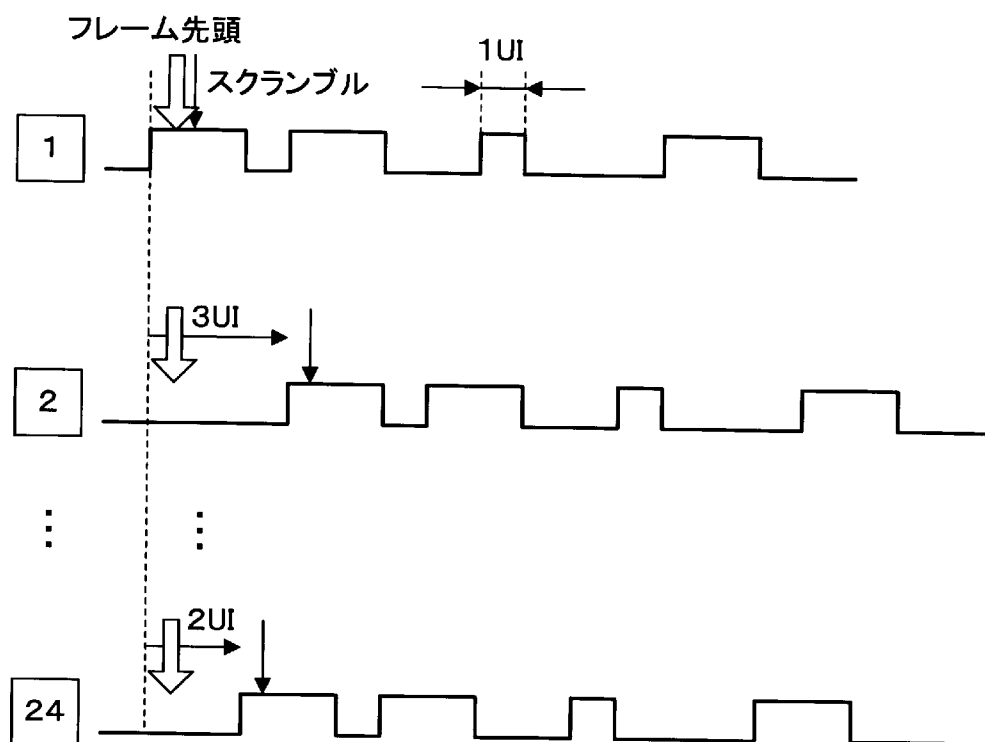
A

[dB( $\mu$  V/m)]

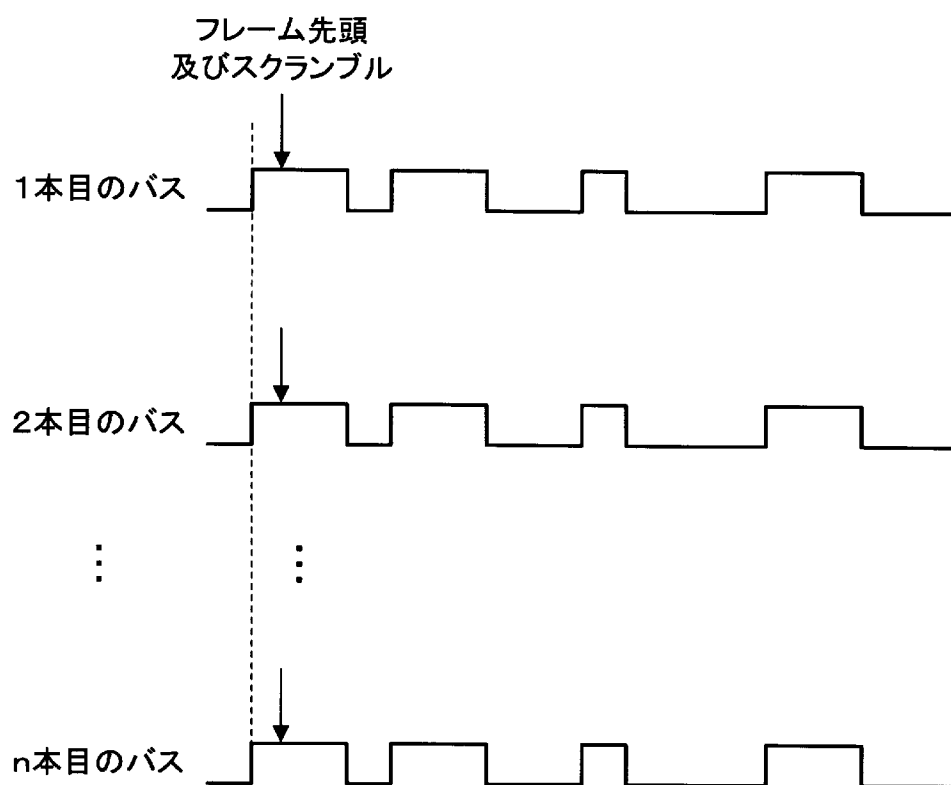
B

[dB( $\mu$  V/m)]

[図6]



[図7]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/064485

## A. CLASSIFICATION OF SUBJECT MATTER

H04L7/04(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L7/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2015 |
| Kokai Jitsuyo Shinan Koho | 1971-2015 | Toroku Jitsuyo Shinan Koho | 1994-2015 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                            | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | JP 2014-529269 A (Intel Corp.),<br>30 October 2014 (30.10.2014),<br>paragraphs [0007], [0014], [0040]; fig. 4<br>& US 2013/0279622 A1 & WO 2013/048444 A1<br>& CN 103918237 A | 1-6                   |
| A         | WO 2010/109668 A1 (Fujitsu Ltd.),<br>30 September 2010 (30.09.2010),<br>fig. 6<br>& US 2012/0014461 A1                                                                        | 1-6                   |
| A         | JP 1-213042 A (Fujitsu Ltd.),<br>25 August 1989 (25.08.1989),<br>entire text<br>(Family: none)                                                                                | 1-6                   |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
29 July 2015 (29.07.15)

Date of mailing of the international search report  
11 August 2015 (11.08.15)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04L7/04(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04L7/04

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 5 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 5 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 5 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                           | 関連する<br>請求項の番号 |
|-----------------|---------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| X               | JP 2014-529269 A（インテル コーポレーション）2014.10.30,<br>段落[0007], [0014], [0040], 第4図<br>& US 2013/0279622 A1 & WO 2013/048444 A1<br>& CN 103918237 A | 1-6            |
| A               | WO 2010/109668 A1（富士通株式会社）2010.09.30, 第6図<br>& US 2012/0014461 A1                                                                           | 1-6            |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

2 9 . 0 7 . 2 0 1 5

国際調査報告の発送日

1 1 . 0 8 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

阿部 弘

5 K

9 3 8 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 6

| C (続き) . 関連すると認められる文献 |                                                     |                |
|-----------------------|-----------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                   | 関連する<br>請求項の番号 |
| A                     | JP 1-213042 A (富士通株式会社) 1989.08.25, 全文<br>(ファミリーなし) | 1-6            |